

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年4月20日(20.04.2017)



(10) 国際公開番号
WO 2017/064791 A1

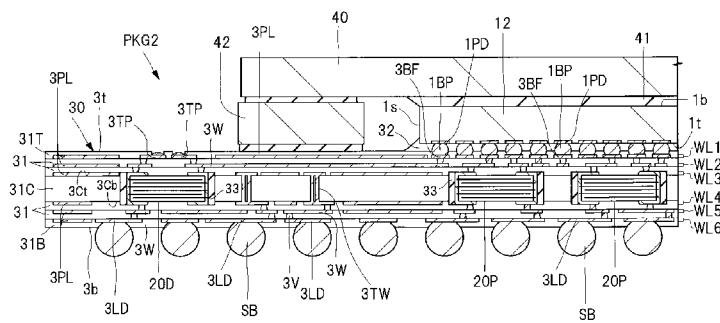
- (51) 国際特許分類:
H01L 23/12 (2006.01) H01L 25/00 (2006.01)
H01G 2/06 (2006.01) H05K 3/46 (2006.01)
- (21) 国際出願番号: PCT/JP2015/079179
- (22) 国際出願日: 2015年10月15日(15.10.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: ルネサスエレクトロニクス株式会社
(RENESAS ELECTRONICS CORPORATION)
[JP/JP]; 〒1350061 東京都江東区豊洲三丁目2番24号 Tokyo (JP).
- (72) 発明者: 中川 和之(NAKAGAWA, Kazuyuki); 〒1350061 東京都江東区豊洲三丁目2番24号 ルネサスエレクトロニクス株式会社内 Tokyo (JP). 土屋 恵太(TSUCHIYA, Keita); 〒1350061 東京都江東区豊洲三丁目2番24号 ルネサスエレクトロニクス株式会社内 Tokyo (JP). 佐藤 嘉昭(SATO, Yoshiaki); 〒1350061 東京都江東区豊洲三丁目2番24号 ルネサスエレクトロニクス株式会社内 Tokyo (JP). 馬場 伸治(BABA, Shinji); 〒1350061 東京都江東区豊洲三丁目2番24号 ルネサスエレクトロニクス株式会社内 Tokyo (JP).
- (74) 代理人: 特許業務法人筒井国際特許事務所 (TSUTSUI & ASSOCIATES); 〒1600022 東京都新宿区新宿2丁目3番10号 新宿御苑ビル3階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

図 6



(57) Abstract: This semiconductor device includes: a wiring board that is provided with a first surface and a second surface on the reverse side of the first surface; a semiconductor chip, which is provided with a plurality of chip electrodes, and is mounted on the wiring board; a first capacitor, which is disposed at a position overlapping the semiconductor chip in plan view, and which is embedded in the wiring board; and a second capacitor that is disposed between the first capacitor and a peripheral portion of the wiring board in plan view. Furthermore, the second capacitor is inserted into a signal transmission path by being connected in series, said signal transmission path inputting or outputting electric signals with respect to the semiconductor chip.

(57) 要約: 半導体装置は、第1面および上記第1面の反対側の第2面を備える配線基板と、複数のチップ電極を備え、上記配線基板に搭載された半導体チップと、平面視において、上記半導体チップと重なる位置に配置され、かつ、上記配線基板に内蔵された第1コンデンサと、平面視において、上記第1コンデンサと上記配線基板の周縁部との間に配置された第2コンデンサと、を含んでいる。また、上記第2コンデンサは、上記半導体チップに対し、電気信号を入力または出力する信号伝送経路に直列接続で挿入されているものである。



WO 2017/064791 A1

ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG). 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置

技術分野

[0001] この発明は、例えば、半導体チップおよびコンデンサが搭載された配線基板を有する半導体装置に関する。

背景技術

[0002] 特開2010-21275号公報（特許文献1）、特開2009-38111号公報（特許文献2）、特開2012-89590号公報（特許文献3）、および国際公開第2006/001087号（特許文献4）には、配線基板上に半導体チップおよびコンデンサなどのチップ部品が搭載された半導体装置が記載されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2010-21275号公報
特許文献2：特開2009-38111号公報
特許文献3：特開2012-89590号公報
特許文献4：国際公開第2006/001087号

発明の概要

発明が解決しようとする課題

[0004] マザーボードなどの配線基板上に複数の半導体装置を搭載し、この複数の半導体装置同士を電氣的に接続する信号経路にコンデンサを直列で接続する技術がある。このコンデンサは、交流信号に含まれる直流成分をカットする目的で用いられ、DC (Direct Current) カット用コンデンサ、あるいは、AC (Alternate Current) 結合用コンデンサと呼ばれる（以下、DCカット用コンデンサと呼ぶ）。

[0005] 本願発明者は、上記のように複数の半導体装置の間で信号の入出力を行う電子装置を小型化する取組の一環として、これまで配線基板上に搭載してい

たDCカット用コンデンサを半導体装置の内部に搭載する技術について検討した。

[0006] そして、上記検討の結果、単に半導体装置の内部にDCカット用のコンデンサを内蔵させた場合、コンデンサのレイアウトによっては、半導体装置の電気特性、および信頼性の観点から課題があることが判った。

[0007] その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0008] 一実施の形態による半導体装置は、第1面および上記第1面の反対側の第2面を備える配線基板と、複数のチップ電極を備え、上記配線基板に搭載された半導体チップと、平面視において、上記半導体チップと重なる位置に配置され、かつ、上記配線基板に内蔵された第1コンデンサと、平面視において、上記第1コンデンサと上記配線基板の周縁部との間に配置された第2コンデンサと、を含んでいる。また、上記第2コンデンサは、上記半導体チップに対し、電気信号を入力または出力する信号伝送経路に直列接続で挿入されているものである。

発明の効果

[0009] 上記一実施の形態によれば、半導体装置の電気特性、および信頼性を向上させることができる。

図面の簡単な説明

[0010] [図1]一実施の形態である半導体装置を含む電子装置の構成例を示す説明図である。

[図2]図1に示す電子装置が備える回路の構成例を示す説明図である。

[図3]図1に示す複数の半導体装置のうち、DCカット用のコンデンサを内蔵する半導体装置の上面図である。

[図4]図4は、図3に示す半導体装置の下面図である。

[図5]図3に示す放熱板を取り除いた状態で配線基板上の半導体装置の内部構造を示す平面図である。

- [図6]図3のA-A線に沿った断面図である。
- [図7]図5に示す複数のコンデンサのうちの一つを示す平面図である。
- [図8]図7のA-A線に沿った断面図である。
- [図9]図6に対する変形例である半導体装置の拡大断面図である。
- [図10]図5に示すDCカット用のコンデンサに接続される信号伝送経路の例を模式的に示す拡大断面図である。
- [図11]図5に対する変形例である半導体装置のDCカット用のコンデンサが内蔵された領域の周辺を拡大して示す拡大平面図である。
- [図12]図11に示す半導体装置の拡大断面図である。
- [図13]図5に対する別の変形例である半導体装置のDCカット用のコンデンサが内蔵された領域の周辺を拡大して示す拡大平面図である。
- [図14]図13に示す半導体装置の拡大断面図である。
- [図15]図10に示す複数の配線層のうち、コンデンサが埋め込まれた配線層の拡大平面図である。
- [図16]図15に示す配線層の上層の配線層の拡大平面図である。
- [図17]図16に示す配線層の上層の配線層の拡大平面図である。
- [図18]図10に示す高速伝送経路を構成するコンデンサとスルーホール配線が形成されたコア絶縁層との関係を示す要部断面図である。
- [図19]図18に対する変形例である半導体装置のコンデンサとスルーホール配線が形成されたコア絶縁層との関係を示す要部断面図である。
- [図20]図18に対する別の変形例である半導体装置のコンデンサとスルーホール配線が形成されたコア絶縁層との関係を示す要部断面図である。
- [図21]配線基板に内蔵されたコンデンサにビア配線を接続する実施態様の例を示す要部断面図である。
- [図22]配線基板に内蔵されたコンデンサにビア配線を接続する図21とは別の実施態様の例を示す要部断面図である。
- [図23]配線基板に内蔵されたコンデンサにビア配線を接続する図21、図22とは別の実施態様の例を示す要部断面図である。

[図24]配線基板に内蔵されたコンデンサにビア配線を接続する図21～図23とは別の実施態様の例を示す要部断面図である。

[図25]一実施の形態である半導体装置の製造工程の概要を示す説明図である。

[図26]図25に示す配線基板準備工程で準備する配線基板の製造工程の一例を示す説明図である。

[図27]図25に示す電氣的試験工程において、DCカット用のコンデンサの電極を短絡させて検査を行う状態を模式的に示す拡大断面図である。

[図28]図1に対する変形例である半導体装置の上面側を示す平面図である。

[図29]図28に示す半導体装置の下面図である。

[図30]図10に対する変形例である半導体装置が有するDCカット用のコンデンサに接続される信号伝送経路の例を模式的に示す拡大断面図である。

[図31]図10に対する他の変形例である半導体装置が有するDCカット用のコンデンサに接続される信号伝送経路の例を模式的に示す拡大断面図である。

[図32]図5に対する検討例である半導体装置が有する配線基板の上面側からみた透視平面において、複数のコンデンサと半導体チップとの位置関係を示す平面図である。

[図33]図32に示すDCカット用のコンデンサに接続される信号伝送経路の例を模式的に示す拡大断面図である。

発明を実施するための形態

[0011] (本願における記載形式・基本的用語・用法の説明)

本願において、実施の態様の記載は、必要に応じて、便宜上複数のセクション等に分けて記載するが、特にそうでない旨明示した場合を除き、これらは相互に独立別個のものではなく、記載の前後を問わず、単一の例の各部分、一方が他方の一部詳細または一部または全部の変形例等である。また、原則として、同様の部分は繰り返しの説明を省略する。また、実施の態様における各構成要素は、特にそうでない旨明示した場合、理論的にその数に限定

される場合および文脈から明らかにそうでない場合を除き、必須のものではない。

[0012] 同様に実施の態様等の記載において、材料、組成等について、「AからなるX」等といっても、特にそうでない旨明示した場合および文脈から明らかにそうでない場合を除き、A以外の要素を含むものを排除するものではない。たとえば、成分についていえば、「Aを主要な成分として含むX」等の意味である。たとえば、「シリコン部材」等といっても、純粋なシリコンに限定されるものではなく、SiGe（シリコン・ゲルマニウム）合金やその他シリコンを主要な成分とする多元合金、その他の添加物等を含む部材も含むものであることはいうまでもない。また、金めっき、Cu層、ニッケル・めっき等といっても、そうでない旨、特に明示した場合を除き、純粋なものだけでなく、それぞれ金、Cu、ニッケル等を主要な成分とする部材を含むものとする。

[0013] さらに、特定の数値、数量に言及したときも、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、その特定の数値を超える数値であってもよいし、その特定の数値未満の数値でもよい。

[0014] また、実施の形態の各図中において、同一または同様の部分は同一または類似の記号または参照番号で示し、説明は原則として繰り返さない。

[0015] また、添付図面においては、却って、煩雑になる場合または空隙との区別が明確である場合には、断面であってもハッチング等を省略する場合がある。これに関連して、説明等から明らかである場合等には、平面的に閉じた孔であっても、背景の輪郭線を省略する場合がある。更に、断面でなくとも、空隙でないことを明示するため、あるいは領域の境界を明示するために、ハッチングやドットパターンを付すことがある。

[0016] （実施の形態）

<電子装置>

まず、図1および図2を用いて、マザーボード上に複数の半導体装置（半

導体パッケージ)が搭載され、複数の半導体装置の間で、電気信号を伝送する電子装置の構成例について説明する。図1は、本実施の形態の半導体装置を含む電子装置の構成例を示す説明図である。また、図2は、図1に示す電子装置が備える回路の構成例を示す説明図である。なお、図1では、半導体装置PKG1と半導体装置PKG2とが電氣的に接続されていることを明示的に示すため、図2に示す高速伝送経路SGP2を太線により模式的に示す。

[0017] 図1に示す電子装置(電子機器)EDV1は、配線基板(マザーボード、実装基板)MB1、配線基板MB1に搭載される半導体装置PKG1、および配線基板MB1に搭載される半導体装置PKG2を有する。半導体装置PKG1と半導体装置PKG2とは、配線基板MB1に形成された信号伝送経路SGPを介して、互いに電氣的に接続される。

[0018] 詳しくは、図2に示すように、電子装置EDV1は、複数の信号伝送経路SGPを有する。図2に示す例では、複数の信号伝送経路SGPには、第1の伝送速度で電気信号が伝送される低速伝送経路SGP1と、第1の伝送速度よりも速い第2の伝送速度で電気信号が伝送される高速伝送経路SGP2とが含まれる。また、図2に示す例では、高速伝送経路SGP2は、差動信号が伝送される、一对の差動信号伝送経路DSP、DSnにより構成される。

[0019] なお、本実施の形態では、高速伝送経路SGP2の一例として、一对の差動信号伝送経路DSP、DSnを介して、差動信号を伝送する実施態様を取り上げて説明するが、高速信号の種類は、差動信号の他、種々の変形例が適用できる。例えば、一つの信号伝送経路SGPを用いる、所謂、シングルエンド構造の場合であっても、周波数を高くすることにより、高速伝送を行うことができる。

[0020] また、図2に示す例では、半導体装置PKG1が有する半導体チップ11には、例えば第1の伝送速度で伝送される低速信号送信用の電極(電極パッド)TxLが形成される。また、半導体チップ11には、例えば第1の伝送

速度よりも速い第2の伝送速度で伝送される高速信号送信用の電極（電極パッド） T_x （詳しくは、一对の差動信号が出力される電極 $T_x p$ と電極 $T_x n$ ）が形成される。

[0021] 一方、半導体装置PKG2が有する半導体チップ12には、第1の伝送速度で伝送される低速信号受信用の電極（電極パッド） $R_x L$ が形成される。また、半導体チップ12には、例えば第1の伝送速度よりも速い第2の伝送速度で伝送される高速信号受信用の電極（電極パッド） R_x （詳しくは、一对の差動信号が入力される電極 $R_x p$ と電極 $R_x n$ ）が形成される。

[0022] そして、電極 $T_x L$ と電極 $R_x L$ とを電氣的に接続することで、形成される低速伝送経路SGP1では、例えば、3Gbps（Gigabit per second）未満の伝送速度で、電気信号が伝送される。また、電極 T_x と電極 R_x とを電氣的に接続することで形成される高速伝送経路SGP2では、例えば、3Gbps～100Gbps程度の伝送速度で電気信号が伝送される。

[0023] 電子装置EDV1のように、高速で信号を伝送する場合、高速伝送経路SGP2中にコンデンサ20Dを直列で接続することが好ましい。高速伝送経路SGP2中に挿入されたコンデンサ20Dにより、交流信号に含まれる直流成分をカットする（言い換えれば、直流成分をブロックする）ことができる。これにより、高速での信号の入出力を安定化させることができる。このように信号伝送経路中に直列接続で挿入され、交流信号中の直流成分をカットするコンデンサ20Dのことを、DC（Direct Current）カット用コンデンサ、あるいは、AC（Alternate Current）結合用コンデンサ、若しくは、DCブロック用コンデンサと呼ぶ（以下、DCカット用コンデンサと呼ぶ）。

[0024] DCカット用コンデンサであるコンデンサ20Dは、例えば、図2に示すコンデンサ20Pのように、電源回路中に並列接続で挿入される電源回路用のコンデンサ20Pとは区別される。図2に示すコンデンサ20Pは、半導体チップ12に基準電位（第1の電位） VSS を供給する基準電位供給経路 VSP と、半導体チップ12に電源電位（第2の電位） VDD を供給する電

源電位供給経路VDPと、の間に挿入される。コンデンサ20Pは、電源電位供給経路VDPに含まれるノイズ（信号）を基準電位供給経路VSP側にバイパスして流す、バイパスコンデンサとして機能させることができる。また、コンデンサ20Pは、半導体チップ12に形成された回路に流れる電流のループ（経路距離）を小さくすることで、電源電位供給経路VDPおよび基準電位供給経路VSPに含まれるインピーダンス成分の影響を低減する、デカップリングコンデンサとして機能させることができる。また、供給された電力を消費する回路の近傍に、コンデンサ20Pを接続することで、瞬間的に駆動電圧が降下する現象を抑制する、バッテリーとして機能させることができる。

[0025] 上記したバイパスコンデンサ、デカップリングコンデンサ、あるいはバッテリーとして用いる電源回路用のコンデンサ20Pは、いずれも電源回路中に並列接続で挿入されている。一方、コンデンサ20Dは、信号伝送経路SGP中に直列接続で挿入されている。このため、図2に示すように、高速伝送経路SGP2が差動信号伝送経路DSP、DSNにより構成される場合には、差動信号伝送経路DSPおよび差動信号伝送経路DSNに対して、コンデンサ20Dがそれぞれ挿入される。

[0026] なお、コンデンサが、配線経路（信号伝送経路や電位供給経路）中に直列接続されている状態、および並列接続されている状態は、以下のように定義できる。すなわち、コンデンサは2つの電極を有し、この2つの電極に接続される配線の接続先によって定義することができる。例えば、図2に示す例では、コンデンサ20Dが有する一方の電極は、第1の配線を介して半導体チップ12の電極Rxに接続されている。また、コンデンサ20Dが有する他方の電極は、上記第1の配線とは異なる第2の配線を介してランド3LHに接続されている。そして、ランド3LHと半導体チップ12の電極Rxは、コンデンサ20Dを介して電氣的に接続されている。この場合、コンデンサ20Dは、半導体チップ12の電極Rxとランド3LHとを電氣的に接続する配線経路中に直列接続されていると言える。

[0027] また、コンデンサ20Pが有する一方の電極は、第1の配線を介して半導体チップ12の電極V_dおよびランド3LV_dのそれぞれに接続されている。また、コンデンサ20Pが有する他方の電極は、上記第1の配線とは異なる第2の配線を介して半導体チップ12の電極V_sおよびランド3LV_sのそれぞれに接続されている。この場合、コンデンサ20Pは、半導体チップ12に電源電位を供給する配線経路と基準電位を供給する配線経路との間に並列接続されていると言える。

[0028] ここで、上記したように、DCカット用コンデンサであるコンデンサ20Dは、高速伝送経路SGP2中に少なくとも1個以上挿入されていれば良い。したがって、例えば図1に示す配線基板MB1にコンデンサ20Dを搭載することもできる。しかし、DCカット用コンデンサは、高速伝送経路SGP2の数に対応して搭載する必要がある。例えば、シングルエンド構造の高速伝送経路の場合、高速伝送経路の数と同数のコンデンサ20Dが必要になる。また、例えば、図2に示すように、差動信号を伝送する高速伝送経路SGP2の場合、この差動対の高速伝送経路SGP2に対して各々1つ（計二つ）のコンデンサ20Dが必要になる。

[0029] このように多数のコンデンサ20Dを配線基板MB1に搭載する場合、配線基板MB1に形成された複数の配線のうち、高速伝送経路SGP2を構成する配線のレイアウトが複雑になる。また、配線のレイアウトが複雑になることで、電子装置EDV1の小型化が困難になる。

[0030] また、高速伝送経路SGP2では、クロストークノイズを低減する観点から、高速伝送経路SGP2を構成する配線は、図1に示す配線基板MB1の内層（半導体装置PKG1、PKG2の実装する端子が形成された配線層よりも内側に形成された配線層）に形成することが好ましい。しかし、配線基板MB1にコンデンサ20Dを搭載する場合、コンデンサ20Dと高速伝送経路SGP2を電氣的に接続するために、図示しないビアやスルーホールなどの積層された配線層間を電氣的に接続する層間導電路を経由させる必要が生じる。ビアやスルーホールなどの層間導電路は、高速伝送経路SGP2中

におけるインピーダンス不連続を生じさせる原因になる。したがって、高速伝送経路SGP2の電気的特性を向上させる観点からは、高速伝送経路SGP2に含まれる層間導回路の数は低減することが好ましい。

[0031] そこで、本願発明者は、DCカット用コンデンサであるコンデンサ20Dを図1に示すように半導体装置PKG2内に搭載する技術について検討した。半導体装置PKG2内にコンデンサ20Dを搭載することで、配線基板MB1に形成される配線のレイアウトを単純化することができる。これにより、配線基板MB1を小型化することができる。

[0032] また、半導体装置PKG2内にコンデンサ20Dを搭載することで、配線基板MB1が有する高速伝送経路SGP2に挿入される層間導回路の数を低減できる。これにより、高速伝送経路SGP2の電気的特性を向上させることができる。

[0033] なお、本実施の形態では、図1に示すように、送信用の回路を有する半導体装置PKG1と受信用の回路を有する半導体装置PKG2のうち、受信用の回路を有する半導体装置PKG2にコンデンサ20Dが搭載されている。ただし、上記したように、コンデンサ20Dは、高速伝送経路SGP2中に一個以上挿入されていれば良い。したがって、図1に対する変形例として、送信用の回路を有する半導体装置PKG1にコンデンサ20Dを搭載し、半導体装置PKG2にはコンデンサ20Dを搭載しなくても良い。また、図1に対する別の変形例として、半導体装置PKG1と半導体装置PKG2の両方にコンデンサ20Dを搭載することもできる。

[0034] <半導体装置>

次に、図1に示す半導体装置PKG2を例として、半導体装置PKG2内にDCカット用のコンデンサ20Dを搭載する実施態様について詳細に説明する。図3は、図1に示す複数の半導体装置のうち、DCカット用のコンデンサを有する半導体装置の上面図である。また、図4は、図3に示す半導体装置の下面図である。また、図5は、図3に示す配線基板の上面側からみた透視平面において、複数のコンデンサと半導体チップとの位置関係を示す平

面図である。また、図6は、図3のA-A線に沿った拡大断面図である。

[0035] なお、図3～図6では、見易さのため、端子数を少なくして示している。端子（端子3BF、ランド3LD、半田ボールSB）の数は、図3～図6に示す態様には限定されない。例えば、端子3BF、ランド3LD、半田ボールSBなどの端子数が、それぞれ100個～10,000個程度の半導体装置に適用することができる。また、図5では、複数のコンデンサと半導体チップとの平面的な位置関係を明示するため、配線基板30に内蔵されている複数のコンデンサの輪郭を点線で示している。また、図5は平面図であるが、複数のコンデンサのうち、コンデンサ20Dとコンデンサ20Pを識別し易くするため、複数のコンデンサ20Pのそれぞれにハッチングを付している。また、図6は断面図であるが、見易さのため、複数の絶縁層31のそれぞれと、アンダフィル樹脂はハッチングを省略している。

[0036] まず、本実施の形態の半導体装置PKG2の概要構成について、図3～図6を用いて説明する。本実施の形態の半導体装置PKG2は、配線基板30、配線基板30に搭載された半導体チップ12（図5参照）、および配線基板30に内蔵されている複数のコンデンサ20D、20Pを備える。

[0037] 図6に示すように、配線基板30は、半導体チップ12が搭載された上面（面、主面、チップ搭載面）3t、上面3tとは反対側の下面（面、主面、実装面）3b、および上面3tと下面3bの間に配置された複数の側面3s（図3～図5参照）を有し、図4および図5に示すように平面視において四角形の外形形状を成す。図4および図5に示す例では、配線基板30の平面サイズ（平面視における寸法、上面3tおよび下面3bの寸法、外形サイズ）は、例えば一辺の長さが12mm～60mm程度の正方形または長方形を成す。また、配線基板30の厚さ（高さ）、すなわち、図6に示す上面3tから下面3bまでの距離は、例えば0.3mm～1.3mm程度である。

[0038] 配線基板30は、上面3t側に搭載された半導体チップ12と、図1に示すマザーボード（実装基板）である配線基板MB1とを、電氣的に接続するためのインタポーザ（中継基板）である。配線基板30は、チップ搭載面で

ある上面 3 t 側と実装面である下面 3 b 側を電氣的に接続する複数の配線層（図 6 に示す例では 6 層）WL 1、WL 2、WL 3、WL 4、WL 5、WL 6 を有する。各配線層は、電気信号や電力を供給する経路である配線などの導体パターンを有し、複数の経路間を絶縁する絶縁層 3 1 に覆われている。また、厚さ方向に隣り合う配線層の間は、ビア配線 3 V やスルーホール配線 3 TW などの層間導電路を介して電氣的に接続されている。

[0039] また、複数の配線層のうち、最も上面 3 t 側に配置される配線層 WL 1 の大部分は、ソルダレジスト膜である絶縁層 3 1 T に覆われる。また、複数の配線層のうち、最も下面 3 b 側に配置される配線層 WL 6 の大部分は、ソルダレジスト膜である絶縁層 3 1 B に覆われる。

[0040] また、配線基板 3 0 は、例えば、ガラス繊維に樹脂を含浸させたプリプレグからなる絶縁層（コア材、コア絶縁層）3 1 C の上面 3 C t および下面 3 C b に、それぞれ複数の配線層をビルドアップ工法により積層することで、形成されている。また、絶縁層 3 1 C の上面 3 C t 側の配線層 WL 3 と下面 3 C b 側の配線層 WL 4 とは、上面 3 C t と下面 3 C b のうちの一方から他方までを貫通するように設けられた複数の貫通孔（スルーホール）に埋め込まれた、複数のスルーホール配線 3 TW を介して電氣的に接続されている。

[0041] 配線基板 3 0 の上面 3 t には、半導体チップ 1 2 と電氣的に接続される複数の端子（ボンディングパッド、ボンディングリード、チップ接続用端子）3 B F が形成されている。また、配線基板 3 0 の下面 3 b には、半導体装置 P K G 2 の外部入出力端子である複数のランド 3 L D が形成されている。複数の端子 3 B F と複数のランド 3 L D は、配線基板 3 0 に形成された配線 3 W、ビア配線 3 V、およびスルーホール配線 3 TW を介して、それぞれ電氣的に接続されている。

[0042] なお、図 6 に示す例では、配線基板 3 0 はコア材である絶縁層 3 1 C の上面 3 C t 側、および下面 3 C b 側にそれぞれ複数の配線層を積層した配線基板を示している。しかし、図 6 に対する変形例としては、プリプレグ材などの硬い材料からなる絶縁層 3 1 C を有さず、絶縁層 3 1 と配線 3 W などの導

体パターンを順に積層して形成する、所謂、コアレス基板を用いても良い。コアレス基板を用いた場合、スルーホール配線 3TW は形成せず、各配線層は、ビア配線 3V を介して電氣的に接続される。また、図 6 では、6 層の配線層を有する配線基板 30 を例示的に示しているが、変形例としては、例えば、7 層以上、あるいは 5 層以下の配線層を有する配線基板を用いても良い。

[0043] また、配線層 WL 1、WL 2、WL 3、WL 4、WL 6 のそれぞれは、配線 3W、ビア配線 3V、スルーホール配線 3TW やランド 3LD などの導体パターンの周囲を囲むように形成された導体プレーン（パターン） 3PL を有する。導体プレーン 3PL は、信号伝送用の配線や端子などの導体パターンが形成されていない領域に形成される導体パターンであって、基準電位または電源電位の供給経路の一部を構成する。また、導体プレーン 3PL は、配線 3W、ビア配線 3V、スルーホール配線 3TW やランド 3LD などの導体パターンなどの導体パターンとは離間して設けられている。

[0044] このように各配線層に導体プレーン 3PL を形成すると、信号伝送時に、信号伝送経路から周囲に広がる電界および磁界の広がりを抑制することができ、他信号からのクロストークノイズを抑制することができる。これにより、信号伝送経路のノイズ耐性を向上させることができる。特に本実施の形態のように、3Gbps 以上の伝送速度で信号が伝送される高速伝送経路が含まれる場合には、導体プレーンを形成することでノイズ耐性を向上させることが好ましい。また、導体プレーン 3PL は、信号伝送経路のリターン経路（リターンパス）を構成しても良い。

[0045] また、図 6 に示す例では、複数のランド 3LD のそれぞれには、半田ボール（半田材、外部端子、電極、外部電極）SB が接続されている。半田ボール SB は、半導体装置 PKG 2 を図 1 に示す配線基板 MB 1 に実装する際に、配線基板 MB 1 側の複数の端子（図示は省略）と複数のランド 3LD を電氣的に接続する、導電性部材である。半田ボール SB は、例えば、鉛（Pb）入りの Sn-Pb 半田材、あるいは、Pb を実質的に含まない、所謂、鉛

フリー半田からなる半田材である。鉛フリー半田の例としては、例えば錫（Sn）のみ、錫－ビスマス（Sn－Bi）、または錫－銅－銀（Sn－Cu－Ag）、錫－銅（Sn－Cu）などが挙げられる。ここで、鉛フリー半田とは、鉛（Pb）の含有量が0.1wt%以下のものを意味し、この含有量は、RoHS（Restriction of Hazardous Substances）指令の基準として定められている。

[0046] また、図4に示すように複数の半田ボールSBは、行列状（アレイ状、マトリクス状）に配置されている。また、図4では図示を省略するが、複数の半田ボールSBが接合される複数のランド3LD（図6参照）も行列状（マトリクス状）に配置されている。このように、配線基板30の実装面側に、複数の外部端子（半田ボールSBやランド3LD）を行列状に配置する半導体装置を、エリアアレイ型の半導体装置と呼ぶ。エリアアレイ型の半導体装置は、配線基板30の実装面（下面3b）側を、外部端子の配置スペースとして有効活用することができるので、外部端子数が増大しても半導体装置の実装面積の増大を抑制することが出来る点で好ましい。つまり、高機能化、高集積化に伴って、外部端子数が増大する半導体装置を省スペースで実装することができる。

[0047] また、半導体装置PKG2は、配線基板30上に搭載される半導体チップ12を備えている。図6に示すように、半導体チップ12のそれぞれは、表面（主面、上面）1t、表面1tとは反対側の裏面（主面、下面）1b、および、表面1tと裏面1bとの間に位置する側面1sを有し、図5に示すように平面視において配線基板30よりも平面積が小さい四角形の外形形状を成す。図5に示す例では、半導体チップ12は、四つの側面1sのそれぞれが、配線基板30の四つの側面3sのそれぞれに沿った状態で配線基板30の上面3tに搭載されている。

[0048] また、図6に示すように、半導体チップ12の表面1t側には、複数のパッド（電極パッドボンディングパッド）1PDが形成されている。複数のパッド1PDは、半導体チップ12の表面1tにおいて半導体チップ12の表

面 1 t を保護するパッシベーション膜から露出している。本実施の形態では、半導体チップ 1 2 の表面 1 t には、複数のパッド 1 P D が行列状（マトリクス状、アレイ状）に配置されている。半導体チップ 1 2 の電極である複数のパッド 1 P D を行列状に配置することで、半導体チップ 1 2 の表面 1 t を電極の配置スペースとして有効活用することができるので、半導体チップ 1 2 の電極数が増大しても平面積の増大を抑制することが出来る点で好ましい。ただし、図示は省略するが、本実施の形態に対する変形例としては、複数のパッド 1 P D が表面 1 t の周縁端を構成する各辺に沿って形成されるタイプの半導体チップに適用することもできる。

[0049] また、図 6 に示す例では、半導体チップ 1 2 は、表面 1 t が配線基板 3 0 の上面 3 t と対向配置された状態で、配線基板 3 0 上に搭載されている。このような搭載方式は、フェイスダウン実装方式、あるいはフリップチップ接続方式と呼ばれる。

[0050] また、図示は省略するが、半導体チップ 1 2 の主面（詳しくは、半導体チップ 1 2 の基材である半導体基板の素子形成面に設けられた半導体素子形成領域）には、複数の半導体素子（回路素子）が形成されている。複数のパッド 1 P D は、半導体チップ 1 2 の内部（詳しくは、表面 1 t と図示しない半導体素子形成領域の間）に配置される配線層に形成された配線（図示は省略）を介して、この複数の半導体素子と、それぞれ電氣的に接続されている。

[0051] 半導体チップ 1 2（詳しくは、半導体チップ 1 2 の基材）は、例えばシリコン（S i）から成る。また、表面 1 t には、半導体チップ 1 2 の基材および配線を覆う絶縁膜が形成されており、複数のパッド 1 P D のそれぞれの一部は、この絶縁膜に形成された開口部において、絶縁膜から露出している。また、複数のパッド 1 P D は、それぞれ金属からなり、本実施の形態では、例えばアルミニウム（A l）からなる。

[0052] また、図 6 に示すように、複数のパッド 1 P D にはそれぞれ突起電極 1 B P が接続され、半導体チップ 1 2 の複数のパッド 1 P D と、配線基板 3 0 の複数の端子 3 B F とは、複数の突起電極 1 B P を介して、それぞれ電氣的に

接続されている。突起電極（バンプ電極）1BPは、半導体チップ12の表面1t上に突出するように形成された金属部材（導電性部材）である。突起電極1BPは、本実施の形態では、パッド1PD上に、下地金属膜（アンダーバンプメタル）を介して半田材が積層された、所謂、半田バンプである。下地金属膜は、例えば、パッド1PDとの接続面側からチタン（Ti）、銅（Cu）、ニッケル（Ni）が積層された積層膜（ニッケル膜上にさらに金（Au）膜を形成する場合もある）を例示することができる。また、半田バンプを構成する半田材としては、上記した半田ボールSBと同様に、鉛入りの半田材や鉛フリー半田を用いることができる。半導体チップ12を配線基板30に搭載する際には、複数のパッド1PDおよび複数の端子3BFの双方に、予め半田バンプを形成しておき、半田バンプ同士を接触させた状態で加熱処理（リフロー処理）を施すことで、半田バンプ同士が一体化して、突起電極1BPが形成される。また、本実施の形態に対する変形例としては、銅（Cu）やニッケル（Ni）からなる導体柱の先端面に半田膜を形成したピラーバンプ（柱状電極）を突起電極1BPとして用いても良い。

[0053] また、本実施の形態では、半導体チップ12は、伝送速度の異なる複数の信号が入出力される回路を備えている。図示は省略するが、半導体チップ12には、第1の伝送速度で第1信号が入出力される第1回路と、上記第1の伝送速度よりも速い、第2の伝送速度で第2信号が入出力される第2回路と、を備えている。第2信号としては、例えば、3Gbps（Gigabit per second）～100Gbps程度の伝送速度で、差動信号が伝送される。以下、本実施の形態において、第2信号が伝送される伝送経路を高速伝送経路と記載して説明する。また、第2の伝送速度よりも遅い第1の伝送速度で第1信号が伝送される伝送経路を低速伝送経路として説明する。なお、第1回路には、上記第1信号の他、第1回路を駆動する第1駆動電圧が供給される。また、なお、第2回路には、上記第2信号の他、第2回路を駆動する第2駆動電圧が供給される。

[0054] また、図6に示すように半導体チップ12と配線基板30の間には、アン

ダフィル樹脂（絶縁性樹脂）32が配置される。アンダフィル樹脂32は、半導体チップ12の表面1tと配線基板30の上面3tの間の空間を塞ぐように配置される。また、アンダフィル樹脂32は、絶縁性（非導電性）の材料（例えば樹脂材料）から成り、半導体チップ12と配線基板30の電氣的接続部分（複数の突起電極1BPの接合部）を封止するように配置される。このように、複数の突起電極1BPと複数の端子3BFとの接合部をアンダフィル樹脂32で覆うことで、半導体チップ12と配線基板30の電氣的接続部分に生じる応力を緩和させることができる。また、半導体チップ12の複数のパッド1PDと複数の突起電極1BPとの接合部に生じる応力についても緩和させることができる。さらには、半導体チップ12の半導体素子（回路素子）が形成された主面を保護することもできる。

[0055] また、図5に示すように、半導体装置PKG2は、配線基板30に搭載されている複数のコンデンサ20D、20Pを備えている。コンデンサ20D、20Pのそれぞれは、例えば、セラミック材料を本実施の形態の例では、半導体装置PKG2は、配線基板30に内蔵されている複数のコンデンサ20D、20Pを備えている。なお、上記した「配線基板30に内蔵されている」状態は、以下のように定義される。

[0056] 例えば図6に示す例では、コンデンサ20Dの全体、およびコンデンサ20Pの全体が、配線基板30の上面3tおよび下面3bの間に配置されている。この場合、コンデンサ20Pおよびコンデンサ20Dは、配線基板30に内蔵されている状態と言える。一方、図6に示す半導体チップ12は、配線基板30の上面3tおよび下面3bの間には存在しない。この場合、半導体チップ12は、配線基板30に内蔵されていない状態である。

[0057] また、図6には該当する部品がないが、コンデンサなどの電子部品の一部が配線基板30の上面3tおよび下面3bの間に配置され、かつ、他の一部分が配線基板30の上面3tの上方、または下面3bの下方に突出するように下面3bの間以外に配置されている状態が考えられる。本願では、このような場合には、上記電子部品は、配線基板30に内蔵されていない状態と

して取り扱う。

[0058] また、例えば配線基板 30 の上面 3 t および下面 3 b のうちの少なくとも一方において、コンデンサなどの電子部品の電極が露出しており、かつ、上記露出した電極以外の部分（主要部）は、上面 3 t および下面 3 b の間に配置されている場合が考えられる。本願では、このような場合には、上記電子部品は、配線基板 30 に内蔵されている状態として取り扱う。言い換えれば、本願では、電子部品の電極や端子を除く主要部分（本体部）が、配線基板 30 の上面 3 t および下面 3 b の間に配置されていれば、電子部品は配線基板 30 に内蔵されている状態として取り扱う。

[0059] コンデンサ 20D を配線基板 30 に内蔵させること、およびコンデンサ 20P を配線基板 30 に内蔵させることには、それぞれ異なる効果があるが、効果の詳細は後述する。

[0060] また、図 6 に示す例では、半導体チップ 12 の裏面 1 b には、放熱板（ヒートスプレッド、部材）40 が貼り付けられている。放熱板 40 は、例えば、配線基板 30 よりも熱伝導率が高い金属板であって、半導体チップ 12 で発生した熱を外部に排出する機能を備えている。また、放熱板 40 は、接着材（放熱樹脂）41 を介して半導体チップ 12 の裏面 1 b に貼り付けられている。接着材 41 は、例えば、多数の金属粒子やフィラ（例えばアルミナなど）を含有させることにより、アンダフィル樹脂 32 よりも熱伝導率が高くなっている。

[0061] また、図 3 および図 6 に示す例では、半導体チップ 12 の周囲には、放熱板 40 を支持する支持枠（スティフナリング）42 が固定されている。放熱板 40 は、半導体チップ 12 の裏面 1 b および支持枠 42 に接着固定されている。半導体チップ 12 の周囲に金属性の支持枠 42 を固定することで、配線基板 30 の反り変形を抑制することができるので、実装信頼性を向上させる観点から好ましい。また、半導体チップ 12 の周囲を囲むように設けられた支持枠 42 に、放熱板 40 を接着固定することで、放熱板 40 の平面積を大きくすることができる。つまり放熱板 40 の表面積を大きく確保すること

により放熱性能を向上でき、かつ半導体チップ12上に安定的に固定する観点から、放熱板40を支持枠42に接着固定することが好ましい。

[0062] なお、本実施の形態では、半導体チップ12の裏面1bに放熱板40が貼り付けられた実施態様を例に取り上げて説明したが、変形例としては、放熱板40を取り付けず、半導体チップ12の裏面1bが露出した実施態様としても良い。

[0063] <コンデンサのレイアウト1>

次に、図5および図6に示す配線基板30とコンデンサ20D、20Pとの接続構造の詳細について説明する。まず、本セクションでは、図5に示す複数のコンデンサ20P、20Dのうち、電源回路用の複数のコンデンサ20Pのそれぞれが配線基板30に内蔵されていることにより、得られる効果について説明する。

[0064] 図7は、図5に示す複数のコンデンサのうちの一つを示す平面図である。また、図8は、図7のA-A線に沿った断面図である。また、図32は、図5に対する検討例である半導体装置が有する配線基板の上面側からみた透視平面において、複数のコンデンサと半導体チップとの位置関係を示す平面図である。また、図9は、図6に対する変形例である半導体装置の拡大断面図である。

[0065] なお、図5に示すDCカット用のコンデンサ20Dと、電源回路用のコンデンサ20Pは、同じ構造になっている。したがって、図7および図8では、コンデンサ20Dおよびコンデンサ20Pの代表例として、1個のコンデンサの構造例を示している。また、図7では、コンデンサ20D、20Pの延在方向DL、および幅方向DWについて、矢印を付して模式的に示す。また、図32は、図5と同様に平面図であるが、複数のコンデンサのうち、コンデンサ20Dとコンデンサ20Pを識別し易くするため、複数のコンデンサ20Pのそれぞれにハッチングを付している。

[0066] 図5に示すように、本実施の形態の配線基板30には、複数のコンデンサ20D、20Pが搭載されている。複数のコンデンサ20D、20Pには、

上記したようにDCカット用コンデンサであるコンデンサ20Dと、バイパスコンデンサ、デカップリングコンデンサ、あるいはバッテリーとして用いる電源回路用のコンデンサ20Pが含まれる。図5では、複数のコンデンサ20D、20Pのうちの一部に符号を付して示している。図5において、半導体チップ12と重なる位置に配置されている複数のコンデンサ（ハッチングが付してあるコンデンサ）は、全てがコンデンサ20Pであり、複数のコンデンサ20Dのそれぞれは、複数のコンデンサ20Pと配線基板30の側面3sとの間に配置されている。図5に示す例では、複数のコンデンサ20Dのそれぞれは、半導体チップ12と重ならない位置に配置されている。また、図5に示す例では、複数のコンデンサ20Dは、支持枠42の外側に配置されている。

[0067] 図7に示すように、コンデンサ（チップコンデンサ）20D、20Pのそれぞれは、平面視において四角形を成す。また、コンデンサ20D、20Pは、延在方向（長手方向）DLに沿って延びる二つの長辺（長側面）2LSと、延在方向DLに対して直交する幅方向DWに沿って延びる二つの短辺（短側面）2SSと、を有する。また、コンデンサ20D、20Pは、延在方向DLにおいて（言い換えれば、長辺2LSの延在方向において）互いに反対側の端部に配置される電極2E1および電極2E2（または電極2E3および電極2E4）を有する。また、コンデンサ20D、20Pは、電極2E1、2E3と電極2E2、2E4との間に挟まれる本体部2BDを有している。例えば図8に示すように、本体部2BDは、絶縁層（誘電体層）20ILを介して積層される、複数の導体板20CLを有し、複数の導体板20CLのそれぞれは、電極2E1、2E3および電極2E2、2E4のうちの一方に接続されている。電極2E1、2E3および電極2E2、2E4は、対向配置される複数の導体板間に形成された容量を外部に取り出すための外部電極端子として機能する。なお、上記では、コンデンサ20D、20Pの構造の一例について説明したが、コンデンサ20D、20Pの構造には種々の変形例がある。

[0068] 例えば、図7に示すコンデンサ20D、20Pは、短辺2SSのそれぞれを覆うように電極が配置されたコンデンサの構造を例示的に示している。しかし、変形例として、長辺2LSを覆うように電極が配置されていても良い。つまりコンデンサの電極の位置は、短辺2SSまたは長辺2LSのうちのいずれかであれば良い。

[0069] また、図5に示す複数のコンデンサ20D、20Pのうち、電源回路用の複数のコンデンサ20Pのそれぞれは、電源回路の第1の電位と第2の電位を接続するように電源回路内に並列接続で挿入される。すなわち、図6に示す半導体チップ12が有する複数のパッド1PDには、基準電位VSS（図2参照）が供給される電極（電極パッド）Vs（図2参照）と、電源電位VDD（図2参照）が供給される電極（電極パッド）Vd（図2参照）が含まれる。また、図6に示す配線基板30が有する複数のランド3LDには、基準電位VSSが供給されるランド3LVs（図2参照）と、電源電位VDDが供給されるランド3LVd（図2参照）が含まれる。また、図2に示すように、コンデンサ20Pの一方の電極は、電極Vsとランド3LVsを接続する基準電位供給経路VSP側に接続され、コンデンサ20Pの他方の電極は、電極Vdとランド3LVdとを接続する電源電位供給経路VDP側に接続される。

[0070] また、図5に示すように、複数のコンデンサ20Pのそれぞれは、平面視において、半導体チップ12と重なる位置に配置されている。図6に示すように本実施の形態では複数のコンデンサ20Pのそれぞれは、配線基板30に内蔵されている。このため、複数のコンデンサ20Pのそれぞれを、半導体チップ12と重なる位置に配置することができる。

[0071] 本実施の形態のように、電源回路用の複数のコンデンサ20Pのそれぞれが、半導体チップ12と重なる位置に配置されている場合、コンデンサ20Pが半導体チップ12の周囲に配置されている場合と比較して、コンデンサ20Pと半導体チップ12の間の伝送距離を短くすることができる。そして、電源回路用のコンデンサ20Pと半導体チップ12との伝送距離を短くす

ることで、電源回路の電気的特性を向上させることができる。

[0072] 例えば、コンデンサ20Pをバイパスコンデンサとして用いる場合、電力が消費される回路の近傍にコンデンサ20Pを挿入することで、電力が消費される回路に流れるノイズを低減させることができる。また例えば、コンデンサ20Pをデカップリング用のコンデンサとして用いる場合、コンデンサ20Pと半導体チップ12との距離を近づけることで、半導体チップ12に形成された回路に流れる電流のループ（経路距離）を小さくすることができる。この結果、図2に示す電源電位供給経路VDPおよび基準電位供給経路VSPに含まれるインピーダンス成分の影響を低減できる。また例えば、コンデンサ20Pをバッテリーとして用いる場合、電力を消費する回路とコンデンサ20Pとの距離を小さくすることで、瞬間的に駆動電圧が低下する現象を抑制し易くなる。

[0073] また、複数のコンデンサ20D、20Pのうち、DCカット用の複数のコンデンサ20Dのそれぞれは、図2に示す高速伝送経路SGP2に直列接続で挿入される。すなわち、図6に示す半導体チップ12が有する複数のパッド1PDには、相対的に低い、第1の伝送速度で伝送される低速信号用の電極（電極パッド）R×L（図2参照）が含まれる。また、図6に示す半導体チップ12が有する複数のパッド1PDには、第1の伝送速度よりも速い第2の伝送速度で伝送される高速信号用の電極（電極パッド）R×p、R×n（図2参照）が含まれる。また、図6に示す配線基板30が有する複数のランド3LDには、相対的に低い、第1の伝送速度で伝送される低速信号用のランド3LL（図2参照）が含まれる。また、図6に示す配線基板30が有する複数のランド3LDには、第1の伝送速度よりも速い第2の伝送速度で伝送される高速信号用のランド3LH（図2参照）が含まれる。また、図2に示すように、電極R×p、R×nのそれぞれは、コンデンサ20Dを介してランド3LHと電気的に接続されている。詳しくは、コンデンサ20Dの一方の電極は、高速伝送経路SGP2のうちの半導体チップ12の電極R×pまたは電極R×p側に接続され、コンデンサ20Dの他方の電極は

、高速伝送経路SGP2のうちのランド3LH側に接続される。さらに詳しくは、図6に示すようにコンデンサ20Dの一方の電極は、配線基板30の配線3Wを介して半導体チップ12のパッド1PDと電氣的に接続されている。一方、コンデンサ20Dの他方の電極は、配線基板30の他の配線3Wを介してランド3LDに接続されている。このように、コンデンサ20Dの一方の電極が半導体チップに繋がる配線に接続され、コンデンサ20Dの他方の電極が、ランド3LDに繋がる他の配線に接続されている時、コンデンサ20Dは、ランド3LDと半導体チップ12とを接続する配線経路中に直列接続されていると言える。また、図2に示す低速伝送経路SGP1を構成する電極R×Lおよびランド3LLは、コンデンサを介さずに、電氣的に接続される。

[0074] また、本実施の形態のように、一つの配線基板30に電源回路用のコンデンサ20PとDCカット用のコンデンサ20Dとを搭載する場合、図5に示すように、複数の電源回路用のコンデンサ20Pを半導体チップ12と重なる位置に配置することで、以下の効果が得られる。

[0075] 図5に示すように、本実施の形態の半導体装置PKG2が有する電源回路用のコンデンサ20Pのそれぞれは、半導体チップ12と重なる位置に配置されている。また、半導体装置PKG2が有するDCカット用の複数のコンデンサ20Dのそれぞれは、平面視において、複数のコンデンサ20Pと配線基板30の周縁部（上面3tの周縁を構成する各辺）との間に配置されている。

[0076] 複数のコンデンサ20Dのそれぞれは、上記したように、高速信号用の信号伝送経路（図2に示す高速伝送経路SGP2）の途中に直列接続で挿入されている。このため、配線基板30は、複数のコンデンサ20Dと半導体チップ12とのそれぞれを電氣的に接続する配線経路を備えている。したがって、高速伝送経路を高密度化する場合、これらの配線経路を高密度で配置する必要がある。

[0077] ところが、電源回路用のコンデンサ20Pのレイアウトによっては、高速

伝送経路を構成する配線のレイアウトが阻害される場合がある。例えば、図32に示す変形例である半導体装置PKGh1のように、複数のコンデンサ20Pのそれぞれが配線基板30に内蔵されず、半導体チップ12の周囲に配置されている場合について考える。

[0078] 半導体装置PKGh1は、複数のコンデンサ20Pが配線基板30の上面3t上に搭載され、かつ、半導体チップ12と複数のコンデンサ20Dとの間に配置されている点で、図5に示す半導体装置PKG2と相違する。また、半導体装置PKGh1は、複数のコンデンサ20Dのそれぞれが、配線基板30の上面3t上に搭載されている点で図5に示す半導体装置PKG2と相違する。

[0079] 半導体装置PKGh1のように、平面視において、半導体チップ12と複数のコンデンサ20Dとの間に複数のコンデンサ20Pが配置されている場合、半導体チップ12とコンデンサ20Dとの間に、電源回路用のコンデンサ20Pの電極2E3、2E4（図7参照）が配置されることになる。このため、配線基板30の最上層の配線層のうち、コンデンサ20Pの電極2E3、2E4と重なる位置には、コンデンサ20Pに電位を供給するための端子を形成する必要がある。半導体チップ12とコンデンサ20Dとの間に電源回路用の端子が形成されている場合、高速伝送経路の妨げになる。例えば、電源回路用の端子の直下に高速伝送経路用の配線を配置すると、高速伝送経路のリターンパスに対する影響が大きくなる。また、電源回路用の端子の影響を低減するために、高速伝送経路の配線とコンデンサ20Pとの離間距離を大きくするためには、コンデンサ20Pが配置されていない領域を選択して配線を形成する必要がある。このため、多数の高速伝送経路を高密度で配置することが困難になる。

[0080] そこで、実施の形態では、図5や図6に示すように複数のコンデンサ20Pは配線基板30に内蔵されることで、半導体チップ12と重なる位置に配置されている。そして、図5に示すように、複数のコンデンサ20Dのそれぞれは、平面視において、複数のコンデンサ20Pと配線基板30の周縁部

(上面 3 t の周縁を構成する各辺) との間に配置されている。言い換えれば、複数のコンデンサ 20 D のそれぞれは、平面視において複数のコンデンサ 20 D が配置されている領域の周囲に配置されている。

[0081] これにより、コンデンサ 20 D と半導体チップ 12 とを接続する配線経路中に、コンデンサ 20 D は配置されていない。このため、コンデンサ 20 D に接続される高速伝送経路のレイアウトは、コンデンサ 20 P に接続される端子によって妨げられず、高密度化することができる。

[0082] また、本実施の形態によれば、コンデンサ 20 P を配線基板 30 に内蔵するので、図 32 に示す半導体装置 PKG h 1 のように、半導体チップ 12 の周囲にコンデンサ 20 P を搭載するスペースを設けなくても良い。このため、半導体チップ 12 とコンデンサ 20 D との距離を近づけることができるので、コンデンサ 20 D と半導体チップ 12 とを接続する配線経路のインダクタンスや抵抗を低減させることができる。

[0083] 上記の通り、本実施の形態のように、一つの配線基板 30 に電源回路用のコンデンサ 20 P と DC カット用のコンデンサ 20 D とを搭載する場合、図 5 に示すように、複数の電源回路用のコンデンサ 20 P を半導体チップ 12 と重なる位置に配置することで、単に、電源回路用のコンデンサ 20 P を配線基板 30 に内蔵することによる効果とは異なる効果が得られる。すなわち、半導体チップ 12 とコンデンサ 20 P の配線経路距離を近づける効果とは異なる効果が得られる。

[0084] また、図 5 に示すように、平面視において、複数のコンデンサ 20 D のそれぞれと配線基板 30 の周縁端との間隔は、複数のコンデンサ 20 D のそれぞれと半導体チップ 12 との間隔より小さい。言い換えれば、複数のコンデンサ 20 D のそれぞれは、配線基板 30 の上面 3 t の周縁部側に寄せて配置されている。多数の高速伝送経路を設ける場合、半導体チップ 12 の周辺の領域では、多数の配線経路が密集して配置される。したがって、複数のコンデンサ 20 D のそれぞれが、配線基板 30 の上面 3 t の周縁部側に寄せて配置されていれば、半導体チップ 12 の近傍の領域において、高速伝送経路の

配置密度を向上させることができる。

[0085] 本セクションで説明した複数の効果のそれぞれは、複数のコンデンサ 20D のそれぞれが、配線基板 30 に内蔵されているか否かを問わずに得られる。したがって、図 6 に対する変形例である図 9 に示す半導体装置 PKG 3 のように、複数のコンデンサ 20P のそれぞれが配線基板 30 に内蔵され、かつ、複数のコンデンサ 20D のうちの一部または全部が配線基板 30 の上面 3t 上に搭載されていても良い。

[0086] <コンデンサのレイアウト 2>

次に、図 5 に示す複数のコンデンサ 20P、20D のうち、DC カット用の複数のコンデンサ 20D のそれぞれが配線基板 30 に内蔵されていることにより、得られる効果について説明する。図 10 は、図 5 に示す DC カット用のコンデンサに接続される信号伝送経路の例を模式的に示す拡大断面図である。また、図 11 は、図 5 に対する変形例である半導体装置の DC カット用のコンデンサが内蔵された領域の周辺を拡大して示す拡大平面図である。また、図 12 は、図 11 に示す半導体装置の拡大断面図である。また、図 13 は、図 5 に対する別の変形例である半導体装置の DC カット用のコンデンサが内蔵された領域の周辺を拡大して示す拡大平面図である。また、図 14 は、図 13 に示す半導体装置の拡大断面図である。また、図 33 は、図 32 に示す DC カット用のコンデンサに接続される信号伝送経路の例を模式的に示す拡大断面図である。

[0087] なお、図 10、図 12、図 14 および図 33 では、コンデンサ 20D を経由する信号伝送経路およびリターン経路を明示するため、高速伝送経路 SGP 2 は二点鎖線、リターン経路 RP は点線を用いて、それぞれ模式的に示している。また、図 11 および図 13 では、コンデンサ 20D とテスト用の端子 3TP とを接続する配線経路の例を点線で示している。また、図 10、図 12、図 14、および図 33 は断面図であるが、信号伝送経路の見易さのため、配線基板上に搭載された部品を除き、ハッチングは省略している。

[0088] 図 10 に示すように、本実施の形態の半導体装置 PKG 2 が有するコンデ

ンサ20Dは、配線基板30に内蔵されている。一方、図33に示す半導体装置PKGh1が有するコンデンサ20Dは配線基板30に内蔵されず、配線基板30の上面3t上に搭載されている。図10に示す半導体装置PKG2と図33に示す半導体装置PKGh1とを比較して判るように、コンデンサ20Dを配線基板30に内蔵させた場合、コンデンサ20Dが配線基板30上に搭載された場合と比較して、高速伝送経路SGP2およびリターン経路RPが大きく変化する。まず、半導体装置PKG2の高速伝送経路SGP2は、半導体装置PKGh1の高速伝送経路SGP2と比較して、インピーダンス不連続点の数が少ない。インピーダンス不連続点とは、配線経路の一部分において、インピーダンス値が急激に変化する場所である。このため、例えばビア配線3Vやスルーホール配線3TWなどの層間導電路の部分では、配線構造が変化するために、インピーダンス不連続点に成り易い。

[0089] 半導体装置PKG2の場合、高速伝送経路SGP2に含まれるビア配線3Vの数およびスルーホール配線3TWの数が、図33に示す半導体装置PKGh1の場合と比較して少ない。このため、高速伝送経路SGP2に含まれるインピーダンス不連続点を低減し、伝送特性を向上させることができる。

[0090] また、図10に示す例では、コンデンサ20Dはコア材である絶縁層31Cの上面3Ctおよび下面3Cbの間に配置されている。このため、コンデンサ20Dに接続される高速伝送経路SGP2は、スルーホール配線3TWと電氣的に分離されている。言い換えれば、コンデンサ20Dに接続される高速伝送経路SGP2は、スルーホール配線3TWを介さずに半導体チップ12と電氣的に接続されている。上記したインピーダンス不連続点のうち、スルーホール配線3TWやコンデンサ20Dの部分では、インピーダンスの値が大きく変化する易いので、ビア配線3Vと比較して伝送特性に与える影響が特に大きい。このため、図10に示すように、スルーホール配線3TWが設けられている絶縁層31Cにコンデンサ20Dを埋め込むことで、スルーホール配線3TWを1個分省略することができるので、高速伝送経路SGP2の伝送特性を特に向上させることができる。

- [0091] ところで、半導体装置 P K G 2 に形成された回路の電氣的な試験として、回路に対して直流電流を流して検査を行う、D C テストが含まれる場合がある。D C テストには、例えば、回路の電氣的な接続状態を確認する導通テストなどが含まれる。
- [0092] ここで、D C テストを行う回路中に D C カット用のコンデンサ 2 0 D が直列接続で挿入されている場合、直流電流を流すために、コンデンサ 2 0 D の一方の電極 2 E 1 (図 7 参照) と他方の電極 2 E 2 とを短絡させて、直流電流が流れる経路を設ける必要がある。
- [0093] ところが、本実施の形態のように、D C カット用のコンデンサ 2 0 D を配線基板 3 0 に内蔵させる場合、コンデンサ 2 0 D が有する電極 2 E 1 (図 7 参照) および電極 2 E 2 (図 7 参照) は、配線基板 3 0 の上面 3 t と下面 3 b との間に埋め込まれ、露出しない場合がある。コンデンサ 2 0 D の電極 2 E 1 および電極 2 E 2 が配線基板 3 0 の外部に露出しない場合には、D C テストを行う際に、コンデンサ 2 0 D の電極間をバイパスするための他の方法が必要になる。そこで、本実施の形態では、コンデンサ 2 0 D の一方の電極 2 E 1 に接続されるテスト用の端子 3 T P、および他方の電極 2 E 2 に接続されるテスト用の端子 3 T P のそれぞれが配線基板 3 0 から露出可能な位置に設けている。これにより、D C テストを行う際には、二つの端子 3 T P の間を電氣的に接続することで、高速伝送経路 S G P 2 に直流電流を流すことができる。
- [0094] 詳しくは、図 6 に示すように、本実施の形態の配線基板 3 0 は、上面 3 t 側に配置され、半導体チップ 1 2 の複数のパッド 1 P D と電氣的に接続される端子 (チップ接続用端子) 3 B F と、下面 3 b 側に配置されている複数の外部端子であるランド 3 L D と、を備えている。また、配線基板 3 0 は、コンデンサ 2 0 D に接続され、かつ、配線基板 3 0 から露出するテスト用の端子 3 T P 1 および端子 3 T P 2 を備えている。また、図 1 0 に示すようにコンデンサ 2 0 D の一方の電極 2 E 1 は、チップ接続用の端子 3 B F (図 6 参照) およびテスト用の一方の端子 3 T P 1 に接続されている。また、また、

コンデンサ 20D の他方の電極 2E2 は、外部端子であるランド 3LD およびテスト用の他方の端子 3TP2 に接続されている。

[0095] そして、コンデンサ 20D の電極 2E1 に接続される端子 3TP1 および電極 2E2 に接続される端子 3TP2 をそれぞれ配線基板から露出することで、端子 3TP1 と端子 3TP2 とを容易に短絡させることができる。なお、図 10 に示す例ではテスト用の複数の端子 3TP のそれぞれは、配線基板 30 の上面 3t において、最上層の絶縁層 31T から露出している。しかし、変形例として、テスト用の端子 3TP が下面 3b 側に形成され、配線基板 30 の下面 3b において最下層の絶縁層 31B から露出していても良い。

[0096] また、上記したように、本願では、「コンデンサ 20D が配線基板 30 に内蔵されている」状態には、以下の場合が含まれる。すなわち、配線基板 30 の上面 3t および下面 3b のうちの少なくとも一方において、コンデンサ 20D の電極 2E1、2E2 が露出しており、かつ、上記露出した電極以外の部分（主要部）は、上面 3t および下面 3b の間に配置されている場合である。この場合には、コンデンサ 20D の電極 2E1 および電極 2E2 のそれぞれのうち、配線基板 30 から露出する部分を、上記したテスト用の端子 3TP の代わりに用いても良い。すなわち、DC テストを行う際に、コンデンサ 20D の電極 2E1 および電極 2E2 のそれぞれのうち、配線基板 30 から露出する部分を短絡させても良い。

[0097] また、図 10 に示すように、コンデンサ 20D の電極 2E1、2E2 のそれぞれと、テスト用の端子 3TP とを電氣的に接続する配線経路を設ける場合、端子 3TP に接続される配線経路が信号伝送経路の信号波形や波形品質に与える影響を低減する観点から、以下の構成が好ましい。すなわち、本実施の形態では、コンデンサ 20D の電極 2E1 から配線基板 30 の端子 3TP1 までの配線経路距離、およびコンデンサ 20D の電極 2E2 から配線基板 30 の端子 3TP2 までの配線経路距離のそれぞれは、コンデンサ 20D に供給される電気信号の波長の $1/4$ 以下である。これにより、テスト用の配線経路の影響により信号強度が低下することを抑制できる。

[0098] また、コンデンサ20Dに接続されるテスト用の配線経路を短くする観点からは、図5に示すように、平面視において、複数のテスト用の端子3TPのそれぞれは、コンデンサ20Dと重なる位置に配置されていることが好ましい。

[0099] ただし、テスト用の配線経路が短くできる範囲内であれば、複数のテスト用の端子3TPのそれぞれが、コンデンサ20Dと重ならない位置に配置されていても良い。例えば、図5および図6に対する変形例である図11および図12に示す半導体装置PKG4のように、コンデンサ20Dが、放熱板40や放熱板40を支持する支持枠42と重なる位置に配置されている場合がある。この場合、放熱板40が取り付けられた状態でDCテストを行うためには、平面視において、複数のテスト用の端子3TPのそれぞれは、放熱板40と配線基板30の周縁端との間に配置されていることが好ましい。図11および図12に示す例では、テスト用の端子3TPは、コンデンサ20Dと配線基板30の周縁端との間に配置されている。

[0100] また、例えば、図5および図6に対する別の変形例である図13および図14に示す半導体装置PKG5のように、配線基板30の上面3tの周縁端の近傍まで放熱板40に覆われている場合、上面3t側にテスト用の端子3TPを配置することが困難になる。この場合、複数のテスト用の端子3TPのそれぞれが、配線基板30の下面3b（図10参照）側に形成されている場合には、放熱板40が取り付けられた状態でDCテストを行うことができる。

[0101] 本セクションで説明した複数の効果のそれぞれは、図5に示す複数のコンデンサ20Pの有無を問わずに得られる。したがって、図5に示す複数のコンデンサ20Pが搭載されていない半導体装置（図示は省略）の場合でも、複数のコンデンサ20Dのそれぞれが配線基板30に内蔵されている場合には、本セクションで説明した効果が得られる。

[0102] <コンデンサのレイアウト3>

次に、コンデンサの周囲の導体パターンのレイアウトについて説明する。

図15は、図10に示す複数の配線層のうち、コンデンサが埋め込まれた配線層の拡大平面図である。また、図16は、図15に示す配線層の上層の配線層の拡大平面図である。また、図17は、図16に示す配線層の上層の配線層の拡大平面図である。

[0103] 上記したように、信号伝送時に、信号伝送経路から周囲に広がる電界および磁界の広がりを抑制することで、他信号からのクロストークノイズを抑制する観点から、本実施の形態では、配線3Wなどが形成されていない領域には、導体プレーン3PLが配置されている。図15～図17に示すように、配線層WL1（図17参照）～配線層WL3（図17参照）には、それぞれ導体プレーン3PLが形成されている。また、図15に示すように、配線層WL3には、導体プレーン3PLの一部に開口部3K3が形成され、開口部3K3が形成され、開口部3K3の内側にコンデンサ20Dが埋め込まれている。

[0104] ところが、本願発明者の検討によれば、例えば図16に示す配線層WL2において、コンデンサ20Dの電極2E1および電極2E2と重なる位置に導体プレーン3PLが配置されコンデンサ20Dの大部分が導体プレーン3PLに覆われている場合、高速伝送経路の伝送特性が低下する懸念があることが判った。すなわち、導体プレーン3PLと電極2E1、2E2の間に容量結合が生じ、伝送経路中に寄生容量が追加されることが判った。

[0105] 高速伝送経路を構成する導体パターンのうち、コンデンサ20Dの電極2E1および電極2E2は、接続位置の自由度を考慮すると、引き回し配線（例えば図16に示す配線3W）のような配線幅（最小幅寸法）にすることは難しい。なお、ここで言う電極2E1および電極2E2の「最小幅寸法」は、例えば図7に示す幅方向DWにおける最も短い長さである。

[0106] 導体プレーン3PLと電極2E1、2E2の間に容量結合が生じた場合、寄生容量の値は、主に厚さ方向に重なっている部分の面積に比例して大きくなる。そして、高速伝送経路を構成する電極2E1および電極2E2に寄生容量が追加されると、見かけ上、高速伝送経路中のインピーダンスが低下す

る。つまり、高速伝送経路中の一部に低インピーダンス部が追加されることにより、インピーダンス不連続が生じる。高周波信号の信号伝送経路では、伝送経路中のインピーダンス成分が、所定の値（例えば単線で50オーム、差動で100オーム、あるいは差動で85オーム）に近づくように配線レイアウトを設計することで、信号の反射等の特性劣化を抑制することができる。したがって、信号の伝送品質を向上させる観点から、電極2E1や電極2E2と導体プレーン3PLとの間で生じる寄生容量の値は、出来る限り低減してインピーダンス整合を取ることが好ましい。

[0107] そこで、本願発明者は、コンデンサ20Dを半導体装置に搭載する場合に、コンデンサ20Dを搭載するための電極2E1および電極2E2においてインピーダンス不連続が生じることを抑制する方法を見出した。すなわち、図16に示すように、コンデンサ20Dの電極2E1、2E2が配置された配線層WL3と隣り合う配線層WL2が有する導体プレーン3PLは、電極2E1および電極2E2のそれぞれと重なる領域に形成された開口部3K2を有する。

[0108] 図16に示す電極2E1、2E2と、導体プレーン3PLとの関係は、下記のように表現することもできる。すなわち、配線層WL2が有する導体プレーン3PLは、電極2E1および電極2E2のそれぞれと重なる領域が開口されている。

[0109] また、開口部3K2内において、配線3Wやビア配線3Vが形成されていない領域では、配線層WL2よりもさらに一層分内側の配線層WL3（図15参照）を覆う絶縁層31が露出している。

[0110] また、上記したように、容量結合に起因して生じる寄生容量の値は、導体プレーン3PLと電極2E1または電極2E2とが厚さ方向に重なっている部分の面積に比例して大きくなる。したがって、図16に示すように、電極2E1および電極2E2の全体が、導体プレーン3PLと厚さ方向に重なっていないことが特に好ましい。言い換えれば、図16に示すように、電極2E1の輪郭および電極2E2の輪郭は、平面視において、それぞれ開口部3

K 2 の開口端部（開口されている領域の周縁部）の内側に位置していることが好ましい。

[0111] ただし、電極 2 E 1 および電極 2 E 2 の一部が導体プレーン 3 P L と厚さ方向に重なっていても、寄生容量の値を低減することはできる。例えば、電極 2 E 1 および電極 2 E 2 の平面積のうちの、90%以上が導体プレーン 3 P L と重なっていなければ、寄生容量の値を低減することができる。

[0112] また、図 1 6 に示す開口部 3 K 2 の形状は、配線層 W L 3（図 1 5 参照）における電極 2 E 1 および電極 2 E 2 の形状や位置に対応していることが好ましい。図 1 6 に示すように電極 2 E 1 および電極 2 E 2 と重なる領域の全体を含むように開口部 3 K 2 が形成されていれば、開口部 3 K 2 の面積がそれ以上に大きくなっても寄生容量の値は大きくは低減しない。

[0113] 一方、導体プレーン 3 P L は、高速伝送経路のリファレンス経路（リターンパス）として利用される場合がある。この場合、リファレンス経路と高速伝送経路の離間距離を一定に保つことが好ましい。したがって、開口部 3 K 2 の面積は極端に大きくない方が好ましい。例えば図 1 6 に示すように、開口部 3 K 2 の開口端部の輪郭は、配線層 W L 3（図 1 5 参照）における電極 2 E 1 および電極 2 E 2 の輪郭に沿っていることが好ましい。

[0114] 上記のように、本実施の形態によれば、高速伝送経路の一部を構成する電極 2 E 1 と電極 2 E 2 は、配線層 W L 3 に形成される。そして配線層 W L 3 と厚さ方向に隣り合う配線層 W L 2 に形成される導体プレーン 3 P L は、電極 2 E 1 および電極 2 E 2 のそれぞれと重なる領域が開口されている。これにより、導体プレーン 3 P L と電極 2 E 1 および電極 2 E 2 の容量結合によるインピーダンスが低下することを抑制し、高速伝送経路のノイズ耐性を向上させることができる。そして、本実施の形態の半導体装置 P K G 2（図 5 参照）は、高速伝送経路のノイズ耐性を向上させることができるので、電気特性や信頼性や信頼性を向上させることができる。

[0115] また、図 1 7 に示すように、本実施の形態では、配線層 W L 2（図 1 6 参照）の上層に積層された配線層 W L 1 が有する導体プレーン 3 P L は、電極

2 E 1 および電極 2 E 2 のそれぞれと重なる領域に形成された開口部 3 K 1 を有する。開口部 3 K 1 の内側には、テスト用の端子 3 T P 1 および端子 3 T P 2 が配置されている。

[0116] 図 1 7 に示す電極 2 E 1、2 E 2 と、導体プレーン 3 P L との関係は、下記のように表現することもできる。すなわち、配線層 W L 1 が有する導体プレーン 3 P L は、電極 2 E 1 および電極 2 E 2 のそれぞれと重なる領域が開口されている。

[0117] 電極 2 E 1 および電極 2 E 2 に追加される寄生容量を考慮する場合、配線層 W L 3 に最も近い配線層 W L 2 が有する導体プレーン 3 P L との容量結合である。したがって、上記したように、配線層 W L 2 の導体プレーン 3 P L に上記したような開口部 3 K 2 を形成することで、寄生容量の値は大幅に低減することができる。したがって、配線層 W L 1 はどのような配線構造であっても、図 1 6 に示す開口部 3 K 2 を設けることにより、高速伝送経路のノイズ耐性を向上させることができる。

[0118] しかし、上記に加えて、高速伝送経路のノイズ耐性をさらに向上させる場合には、配線層 W L 2 の次に配線層 W L 3 との離間距離が小さい配線層 W L 1 に形成された導体プレーン 3 P L との容量結合について考慮することが好ましい。特に、半導体パッケージの薄型化、および半導体装置の高機能化に伴う配線層数の増加の両方に対応するためには、各配線層の厚さは薄くなる傾向がある。導体プレーン 3 P L と電極 2 E 1、2 E 2 の間に容量結合が生じた場合、寄生容量の値は、主に厚さ方向に重なっている部分の離間距離に反比例して大きくなる。したがって、複数の配線層それぞれの厚さが薄くなれば、寄生容量の値が大きくなりやすい。なお、本実施の形態では、例えば各配線層 W L 2、W L 3 を覆う絶縁層 3 1 (図 6 参照) の厚さは 2 0 ~ 3 0 μm である。

[0119] そこで、本実施の形態では、配線層 W L 1 に形成された導体プレーン 3 P L のうち、電極 2 E 1 および電極 2 E 2 と重なる領域には、開口部 3 K 1 が形成される。開口部 3 K 1 の好ましい形状や、電極 2 E 1 および電極 2 E 2

との重なり の程度については、上記した図6に示す開口部3K2の場合と同様なので、重複する説明は省略する。

[0120] また、本セクションで説明した複数の効果のそれぞれは、図5に示す複数のコンデンサ20Pの有無を問わずに得られる。したがって、図5に示す複数のコンデンサ20Pが搭載されていない半導体装置（図示は省略）の場合でも、複数のコンデンサ20Dのそれぞれが配線基板30に内蔵されている場合には、本セクションで説明した効果が得られる。

[0121] <コンデンサのレイアウト4>

次に、配線基板30に内蔵されるコンデンサ20D、20Pの厚さと、配線基板30の厚さ方向におけるレイアウトの関係について説明する。図18は、図10に示す高速伝送経路を構成するコンデンサとスルーホール配線が形成されたコア絶縁層との関係を示す要部断面図である。また、図19および図20は、図18に対する変形例である半導体装置のコンデンサとスルーホール配線が形成されたコア絶縁層との関係を示す要部断面図である。

[0122] 上記したように、図10に示すコンデンサ20Dが配線基板30に内蔵されている場合の利点の一つとして、高速伝送経路に含まれるスルーホール配線3TWの数を減らすことで、インピーダンス不連続点の数を減少させることができる、という点がある。この利点を実現するためには、スルーホール配線3TWを備える絶縁層31Cに、コンデンサ20Dが配置されている（埋め込まれている）ことが好ましい。

[0123] また、絶縁層31Cに配置されたコンデンサ20Dと、他の配線層とを電氣的に接続するビア配線3Vの接続性（接合容易性など）を考慮すると、図18に示すようにコンデンサ20Dの厚さTH1は、絶縁層31Cの厚さTH2と同じであることが好ましい。図18に示す例では、本体部2BDの厚さTH1が絶縁層31Cの厚さ（図10に示す上面3Ctおよび下面3Cbのうち、一方から他方に向かう方向の距離）が同じ値になっている。コンデンサ20D厚さTH1と厚さTH2とが同じ程度であれば、スルーホール配線3TWに接続されるビア配線3Vと同じサイズのビア配線3Vをコンデン

サ 20D の電極 2E1、2E2（図 10 参照）に接続できる。この場合、複数のビア配線 3V を一括して形成できるので、ビア配線 3V の形成工程の効率を向上させることができる。

[0124] また、コンデンサ 20D の在庫管理を容易にする観点からは、コンデンサ 20D は汎用製品を利用することが好ましい。この場合、図 18 に示すコンデンサ 20D の厚さ TH1 は、利用する製品によって異なる値になる場合が考えられる。一方、図 18 に示す絶縁層 31C の厚さ TH2 は、配線基板 30 の支持強度や、電気的特性などの仕様に応じて決定される。このため、コンデンサ 20D の厚さ TH1 と、絶縁層 31C の厚さ TH2 とを同じ値にすることが困難な場合も考えられる。

[0125] 例えば、図 19 に示す半導体装置 PKG6 や図 20 に示す半導体装置 PKG7 の例では、コンデンサ 20D の厚さ TH1 は絶縁層 31C の厚さ TH2 より小さい。半導体装置 PKG6 や半導体装置 PKG7 の場合、絶縁層 31C の上面 3Ct 側および下面 3Cb のうちのいずれか一方の面からコンデンサ 20D の一部が突出するように配置されている。この場合、コンデンサ 20D の電極 2E1（図 10 参照）の一方の面に相対的に厚さが厚い（言い換えれば厚さ方向の長さが長い）ビア配線 3VL が接続され、電極 2E1 の反対側の面に相対的に厚さが薄い（言い換えれば厚さ方向の長さが短い）ビア配線 3VS が接続される。

[0126] コンデンサ 20D の周囲には、例えば樹脂などの絶縁材料からなる絶縁材（穴埋め材）33 が埋め込まれている。絶縁材 33 は、図 6 に示すように、半導体装置 PKG2 の場合でも、コンデンサ 20D およびコンデンサ 20P の周囲に配置されている。この絶縁材 33 は、スルーホール配線 3TW に埋め込まれる絶縁材と同じ材料であっても良いし、異なる材料であっても良い。また、図 6 に示す絶縁材 33 の部分が、絶縁層 31C の上層および下層にそれぞれ形成された絶縁層 31 と一体に形成されていても良い。

[0127] また、図示しない変形例として、絶縁層 31C の上面 3Ct 側および下面 3Cb の中間の位置にコンデンサ 20D を配置する構成でも良い。ただし、

この場合、コンデンサ20Dを配線基板30に埋め込む工程が煩雑になるので、製造工程が簡単になる点で、半導体装置PKG6または半導体装置PKG7の構成が好ましい。

[0128] 図19および図20に示す変形例によれば、コンデンサ20Dの厚さTH1と、絶縁層31Cの厚さTH2とを任意の値にすることができるので、コンデンサ20Dの選択の自由度、および絶縁層31Cの厚さの選択の自由度を向上させることができる。

[0129] ただし、図19や図20に示すビア配線3VLのように、厚さ方向の長さが長いビア配線の場合、他のビア配線3Vと比較してインピーダンスが大きくなる。したがって、高速伝送経路中のインピーダンス不連続点を低減させる観点からは、図18に示すように、コンデンサ20Dの厚さTH1が、絶縁層31Cの厚さTH2と同じ程度であることが好ましい。

[0130] なお、本セクションでは、DCカット用のコンデンサ20Dを取り上げて説明したが、図6に示す電源用のコンデンサ20Pとして、図19や図20に示すように絶縁層31Cの厚さと異なる厚さを有するコンデンサを用いても良い。

[0131] <コンデンサとビア配線の接続方法>

本実施の形態のように、配線基板30（図6参照）の内部にコンデンサ20Dやコンデンサ20Pが内蔵されている場合、コンデンサ20Dやコンデンサ20Pの電極2E（図21参照）にビア配線3Vを接続する必要がある。以下図21～図24を用いてコンデンサ20D、20Pとビア配線3Vとの接続方法の例について順に説明する。図21～図24のそれぞれは、配線基板に内蔵されたコンデンサにビア配線を接続する実施態様の例を示す要部断面図である。

[0132] 図21～図24に示す例では、コンデンサ20D、20Pが備える電極2Eは、上面2Etおよび上面2Etの反対側の下面2Ebを有する。また、図21～図25に示す例では、コンデンサ20D、20Pが備える電極2Eは、上面2Etおよび下面2Ebのそれぞれに、ビア配線3Vが接続されて

いる。また、図21～図24に示す例では、配線層WL3に設けられた電極2Eの上面2Etと配線層WL2とはビア配線3V23を介して電氣的に接続されている。また、配線層WL1と配線層WL2とはビア配線3V12を介して電氣的に接続されている。また、配線層WL4に設けられた電極2Eの下面2Ebと配線層WL5とは、ビア配線3V45を介して電氣的に接続されている。また、配線層WL5と配線層WL6とはビア配線3V56を介して電氣的に接続されている。

[0133] まず、図21に示す例ではビア配線3V23とビア配線3V12とが厚さ方向に重なっている（言い換えれば、平面視において重なっている）。また、図21に示す例ではビア配線3V45とビア配線3V56とが厚さ方向に重なっている（言い換えれば、平面視において重なっている）。このように、厚さ方向に隣り合って配置されるビア配線3Vが厚さ方向に重なるように配置されている場合、配線経路の引き回しスペースを低減できる。したがって、配線経路の密度を高くすることができる。図21に示すような配線方式は、配線経路の数が多く、配線密度を高くする必要がある領域に適用して有効である。例えば、半導体チップ12（図6参照）と重なる領域では、信号伝送経路や電源電位や基準電位の供給経路が密集して配置される。したがって、半導体チップ12と重なる領域に接続されるコンデンサに対して、図21に示すビア配線の接続構造を適用することで、配線密度を向上させることができる。

[0134] 一方、図22に示す例ではビア配線3V23とビア配線3V12とが厚さ方向に重なっていない（言い換えれば、平面視において重なっていない）。また、図21に示す例ではビア配線3V45とビア配線3V56とが厚さ方向に重なっていない（言い換えれば、平面視において重なっていない）。図22に示すビア配線3Vのレイアウトの場合、各配線層に引出配線を設ける必要があるため、配線密度は、図21に示す例と比較して低下する。また、各配線経路の配線経路距離が図21に示す例と比較して長くなる。しかし、図22に示す例のようにビア配線3Vが厚さ方向に重なっていない場合、ビ

ア配線 3 V を配線 3 W などの導体パターンに接続する工程を、図 2 1 に示す例と比較して容易に行うことができる。このため、ビア配線 3 V と他の導体パターンとの接続信頼性を向上させることができる。図 2 2 に示すビア配線 3 V の接続方式は、信号伝送経路など、高い信頼性が要求される配線経路に適用すると有効である。

[0135] 次に、図 2 3 に示す例では、ビア配線 3 V 2 3 の直径がビア配線 3 V 1 2 の直径よりも大きい。また、ビア配線 3 V 4 5 の直径がビア配線 3 V 5 6 の直径よりも大きい。すなわち、図 2 3 に示す例では、コンデンサ 2 0 D、2 0 P の電極 2 E に接続されるビア配線 3 V 2 3、3 V 4 5 の直径が、コンデンサ 2 0 D、2 0 P の電極 2 E 以外に接続されるビア配線 3 V よりも直径が大きくなっている。コンデンサ 2 0 D、2 0 P が配線基板 3 0 (図 6 参照) に内蔵されている場合、コンデンサ 2 0 D、2 0 P と絶縁層 3 1 C (図 6 参照) との線膨張係数の違いに起因して、電極 2 E とビア配線 3 V 2 3、3 V 4 5 との接続部分に応力が印加される場合がある。このため、電極 2 E とビア配線 3 V 2 3、3 V 4 5 との接続部分は、他の接続部分と比較して、接続強度を向上させることが好ましい。そこで、図 2 3 に示すように、コンデンサ 2 0 D、2 0 P の電極 2 E に接続されるビア配線 3 V 2 3、3 V 4 5 の直径が大きくなっていれば、電極 2 E とビア配線 3 V 2 3、3 V 4 5 との接続面積を大きくすることができる。この結果、電極 2 E とビア配線 3 V 2 3、3 V 4 5 との接続部分の接続信頼性を向上させることができる。

[0136] また、図 2 4 に示す例では、電極 2 E の上面 2 E t に複数のビア配線 3 V 2 3 が接続されている。また、電極 2 E の下面 2 E b に複数のビア配線 3 V 4 5 が接続されている。言い換えれば、電極 2 E には、上面 2 E t および下面 2 E b のそれぞれに、複数のビア配線 3 V が接続されている。この例の場合、電極 2 E と複数のビア配線 3 V 2 3、3 V 4 5 との接続面積の合計を大きくすることができる。このため、図 2 4 に示す例の場合にも電極 2 E と複数のビア配線 3 V 2 3、3 V 4 5 との接続部分の接続信頼性を向上させることができる。

[0137] なお、図 2 1 ~ 図 2 2 に示す例では、隣り合う配線層を接続するビア配線 3 V について説明したが、ビア配線 3 V の接続構造には、図 2 1 ~ 図 2 4 に示す例以外にも種々の変形例がある。

[0138] 例えば、図 2 1 ~ 図 2 4 に示す構造例の一部分を他の構造例の一部分と組み合わせても良い。また、例えば、図 2 1 に示す構造例に対する更なる変形例として、図 2 1 に示すビア配線 3 V 1 2 およびビア配線 3 V 2 3 に代えて、配線層 W L 2 を貫通するビア配線 3 V を用いて、配線層 W L 1 と配線層 W L 3 とを電氣的に接続しても良い。

[0139] <半導体装置の製造方法>

次に、図 1 ~ 図 2 4 を用いて説明した半導体装置 P K G 2、P K G 3、P K G 4、P K G 5、P K G 6、P K G 7 の製造工程について説明する。本セクションでは、代表例として、半導体装置 P K G 2 の製造方法を取り上げて説明する。半導体装置 P K G 2 は、図 2 5 に示すフローに沿って製造される。図 2 5 は、一実施の形態である半導体装置の製造工程の概要を示す説明図である。各工程の詳細について以下に説明する。なお、以下の製造方法の説明においては、予め製品サイズに形成された配線基板 3 0 を準備して、一層分の半導体装置 P K G 2 を製造する方法について説明する。しかし、変形例としては、複数の製品形成領域に区画された、所謂、多数個取り基板を準備して、複数の製品形成領域のそれぞれについて組立を行ったあと、製品形成領域毎に分割して複数の半導体装置を取得する、多数個取り方式にも適用できる。この場合、図 2 5 に示すボールマウント工程の後、または電氣的試験工程の後に、多数個取り基板を切断して製品形成領域毎に分割する、個片化工程が追加される。

[0140] また、以下の説明では、既に説明した図 1 ~ 図 2 4 の各図を必要に応じて引用して説明する。

[0141] 1. 配線基板準備工程

まず、図 2 5 に示す配線基板準備工程では、図 2 6 に示す配線基板 3 0 を準備する。図 2 6 は、図 2 5 に示す配線基板準備工程で準備する配線基板の

製造工程の一例を示す説明図である。図26に示す配線基板30は、図6に示す配線基板30のうち、半導体チップ12、支持枠42、放熱板40、および複数の半田ボールSBを搭載する前の状態の配線基板30である。

[0142] 図26に示す配線基板30は、例えば以下のように製造される。まず、基材準備工程では、コア絶縁層である絶縁層31に支持部材である支持テープ（支持部材）3STを貼りつけた状態の基材を準備する。図26に示す例では、支持テープ3STは、絶縁層31Cに貼り付けられている。ただし、支持テープ3STは、絶縁層31Cの上面3Ctおよび下面3Cbのうち、いずれか一方に貼り付けられていれば良い。絶縁層31Cには、複数のスルーホール配線3TW（図6参照）が形成されている。また、絶縁層31Cの上面3Ctには図6に示す配線層WL3を構成する複数の導体パターンが形成され、下面3Cbには、配線層WL4を構成する複数の導体パターンが形成されている。また、絶縁層31Cのうち、コンデンサ20D、20Pを搭載する予定領域には、上面3Ctおよび下面3Cbのうち、一方から他方までを貫通する開口部CBTが形成されている。

[0143] 次に、コンデンサ搭載工程では、開口部CBT内にコンデンサ20D、20Pを配置する。この本工程では、コンデンサ20D、20Pは支持テープ3STにより支持される。

[0144] 次に、絶縁材充填工程では、コンデンサ20D、20Pの周囲に絶縁材33（図6参照）を充填し、硬化させる。これにより、コンデンサ20D、20Pは開口部CBT内に固定される。

[0145] 次に、指示部材剥離工程では、コンデンサ20D、20Pが固定された絶縁層31Cから支持テープ3STを剥離させる。

[0146] 次に配線層積層工程では、図6に示す配線層WL2、WL1を順次積層する。また、配線層WL1を覆うように絶縁層31Tを形成する。また、絶縁層31Cの下面3Cb側には、配線層WL5、WL6を順次積層する。また、配線層WL6を覆うように絶縁層31Bを形成する。本工程は、絶縁層、ビア配線、配線層を順次形成する、所謂ビルドアップ工法により行うことが

できる。

[0147] 次に、端子露出工程では、図6に示す絶縁層31Tに開口部を形成し、複数の端子3BF、端子3TPのそれぞれの少なくとも一部を、絶縁層31Tから露出させる。また、端子露出工程では、図6に示す絶縁層31Bに開口部を形成し、複数のランド3LDのそれぞれの少なくとも一部を、絶縁層31Tから露出させる。

[0148] 次に、端子表面処理工程では、露出した複数の端子それぞれの表面に、表面処理を施し、例えば図10に示す金属膜3mfを形成する。金属膜3mfは、例えば半田材を用いることができる。また、金属膜3mfは、例えばメッキ法により形成されたニッケル(Ni)および金(Au)の積層膜、あるいは、ニッケル、パラジウム(Pd)、および金の積層膜であっても良い。

[0149] 以上の各工程により、配線基板30にコンデンサ20D、20Pが内蔵された配線基板30が得られる。なお、上記したように、複数のコンデンサ20D、20Pのうちの一部が配線基板30の上面3tに搭載される場合、図25に示す配線基板準備工程と放熱板搭載工程の間でコンデンサを搭載する。

[0150] 2. 半導体チップ搭載工程

次に、図25に示す半導体チップ搭載工程では、図5および図6に示すように、配線基板30の上面3t上に半導体チップ12を搭載する。

[0151] 本工程では、半導体チップ12を準備して(半導体チップ準備工程)、図6に示す配線基板30の上面3tのうち、複数の端子3BFが形成された領域上に搭載する。図6に示す例では、半導体チップ12の表面1t(図6参照)と配線基板30上面3tが対向した状態で、所謂フェイスダウン実装方式(またはフリップチップ接続方式とも呼ぶ)により、実装する。

[0152] また、本工程では、図6に示すように半導体チップ12の表面1t側に形成された複数のパッド1PDと、配線基板30の複数の端子3BFとが、複数の突起電極1BPを介してそれぞれ電氣的に接続される。本実施の形態のように、複数の端子3BFを行列状に配置する場合、複数の突起電極1BP

として半田材料を球形に成形した、半田バンプを用いる場合が多い。ただし、突起電極 1 B P は半田バンプには限定されず、例えば、銅などの金属材料を柱状に成形した、ピラーバンプを用いても良い。

[0153] また、本工程では、半導体チップ 1 2 と配線基板 3 0 の間に、アンダフィル樹脂（絶縁性樹脂） 3 2 が配置される。アンダフィル樹脂 3 2 は、半導体チップ 1 2 と配線基板 3 0 の電氣的接続部分（複数の突起電極 1 B P の接合部）を封止するように配置される。このように、複数の突起電極 1 B P の接続部を封止するようにアンダフィル樹脂 3 2 を配置することで、半導体チップ 1 2 と配線基板 3 0 の電氣的接続部分に生じる応力を緩和させることができる。

[0154] このアンダフィル樹脂 3 2 の形成方法は、大きく分けて 2 種類の方法がある。第 1 の方法である先塗布方式では、半導体チップを搭載する前に、アンダフィル樹脂 3 2 をチップ搭載領域上に配置しておく。次に、アンダフィル樹脂 3 2 の上から半導体チップ 1 2 を押し付けて、配線基板 3 0 と半導体チップ 1 2 を電氣的に接続する。その後、アンダフィル樹脂 3 2 を硬化させて、図 6 に示す構造体を得る。なお、半導体チップ 1 2 を搭載する前に樹脂材を配置する本方式の場合、上記のようなペースト状の樹脂材に限らず、フィルム状の樹脂材を用いることもできる。この場合は、「塗布」作業ではなく、「貼付」作業となる。

[0155] また、第 2 の方法である後注入方式では、アンダフィル樹脂 3 2 を配置する前に、半導体チップ 1 2 と配線基板 3 0 を電氣的に接続する。その後、半導体チップ 1 2 と配線基板 3 0 の間の隙間に液状の樹脂を注入し、硬化させることにより、図 6 に示す樹脂体を得る。本工程では、上記した先塗布（あるいは先貼り）方式と後注入方式のいずれを用いても良い。

[0156] 4. 放熱板搭載工程

次に、図 2 5 に示す放熱板搭載工程では、図 6 に示すように、半導体チップ 1 2 上に放熱板 4 0 を搭載し、半導体チップ 1 2 を放熱板 4 0 で覆う。

[0157] 本工程では、図 6 に示すように、放熱板 4 0 を準備して（放熱板準備工程

）、半導体チップ12を覆うように配線基板30の上面3t上に搭載する。これにより、半導体チップ12は、放熱板40に覆われる。一方、DCカット用の複数のコンデンサ20Dのそれぞれに接続されるテスト用の端子3TPは、図5および図6に示すように放熱板40で覆われず、この放熱板40から露出する。

[0158] 放熱板40取り付けの方法には種々の方法がある。例えば、図6に示す例では、放熱板40の周縁部には支持枠42が取り付けられ、放熱板40は支持枠42を介して配線基板30に接着固定される。また、半導体チップ12の裏面1bには、接着材（放熱樹脂）41が塗布され、放熱板40は接着材41を介して半導体チップ12に接着固定される。

[0159] また、上記とは別の方法として、支持枠42を配線基板30に接着固定しておき、固定された支持枠42上に放熱板40を搭載しても良い。また、図6に対する別の変形例として、支持枠42を設けず、放熱板40を半導体チップ12に接着固定するのみの構成としても良い。

[0160] なお、本実施の形態に対する変形例として、放熱板40を取り付けない場合には、本工程を省略することができる。

[0161] 5. ボールマウント工程

次に、図25に示すボールマウント工程では、図4および図6に示すように、配線基板30の実装面である下面3b側に、複数の半田ボールSBを取り付ける。本工程では、図4および図6に示す絶縁層31Bから露出するランド3LD上に半田ボールSBを配置して、リフロー処理（加熱して半田成分を熔融接合させた後、冷却する処理）を施すことにより半田ボールSBがランド3LDに接合される。なお、図1に示す配線基板MB1と半導体装置PKG2を電氣的に接続する導電性材料として半田ボールSBを用いない場合、本工程は省略することもできる。あるいは、本工程において、半田ボールSBに代えて、ランド3LDの露出面に、薄い半田膜などの金属膜を形成しても良い。

[0162] 6. 電氣的試験工程（DCテスト工程）

次に、図 25 に示す電氣的試験工程では、半導体装置 P K G 2 に形成された回路の電氣的な試験を行う。この電氣的試験には、検査用に直流電流を流して検査を行う、DC テストが含まれる。DC テストには、例えば、回路の電氣的な接続状態を確認する導通テストなどが含まれる。図 27 は、図 25 に示す電氣的試験工程において、DC カット用のコンデンサの電極を短絡させて検査を行う状態を模式的に示す拡大断面図である。

[0163] DC テストでは、上記したように、直流電流を流して検査を行うので、検査対象の回路に、DC カット用のコンデンサ 20D が含まれている場合、検査用の電流がカットされてしまう。したがって、コンデンサ 20D が挿入された高速伝送経路の DC テストを行う際には、図 27 に模式的に示すように、コンデンサ 20D の電極 2E2 と電極 2E1 とを短絡させた状態で、直流の検査信号 S G i n を入力する必要がある。コンデンサ 20D の電極 2E2 と電極 2E1 とを短絡させれば、高速伝送経路中に DC カット用のコンデンサ 20D が直列接続で挿入されていても、電極 2E1 側から検査信号 S G o u t が出力され、回路全体の DC テストを行うことができる。

[0164] ここで、図 27 に示すように、コンデンサ 20D の電極 2E2 と電極 2E1 とを短絡させる場合、コンデンサ 20D の電極 2E1 および電極 2E2 の両方に容易に導電性部材を接触させることができる構造が要求される。そこで、本実施の形態では、DC カット用のコンデンサ 20D の電極 2E1 および電極 2E2 のそれぞれは、配線基板 30 から露出するテスト用の端子 3 T P 1、3 T P 2 と電氣的に接続されている。この場合、コンデンサ 20D の電極 2E1 および電極 2E2 は配線基板 30 の内部に配置されていても、テスト用の端子 3 T P 1、3 T P 2 を介してコンデンサ 20D の電極 2E2 と電極 2E1 とを短絡させることができる。

[0165] コンデンサ 20D の電極 2E2 と電極 2E1 とを短絡させるための導電性部材には種々の態様がある。例えば、配線を介して電氣的に接続される針状の導電性部材（コンタクタ）を端子 3 T P 1 および端子 3 T P 2 のそれぞれに接触させた状態で実装面側の半田ボール S B（図 6 参照）側から、検査信

号SGinを入力する。この場合、テスト用の端子3TP2および端子3TP1を通過した検査信号SGoutが、電極2E1側から出力される。

[0166] <半導体装置の実装方法>

次に、図1を用いて、マザーボードである配線基板MB1上に半導体装置PKG1および半導体装置PKG2を搭載して、半導体装置PKG1と半導体装置PKG2とを電氣的に接続する方法について説明する。

[0167] 図1に示すように、配線基板MB1の上面（搭載面）MBtには、半導体装置PKG1を接続するための複数の端子TM1と、半導体装置PKG2を接続するための複数の端子TM2とが、形成されている。半導体装置PKG1は、外部端子である複数の半田ボールSBを備える。本実施の形態の半導体装置の実装方法では、半導体装置PKG1の複数の半田ボールSBを、配線基板MB1の複数の端子TM1にそれぞれ接合することで、半導体装置PKG1と配線基板MB1とを電氣的に接続する。また、本実施の形態の半導体装置の実装方法では、半導体装置PKG2の複数の半田ボールSBを、配線基板MB1の複数の端子TM2にそれぞれ接合することで、半導体装置PKG2と配線基板MB1とを電氣的に接続する。

[0168] 上記のように、半導体装置PKG1および半導体装置PKG2を配線基板MB1と電氣的に接続することで、配線基板MB1の高速伝送経路SGP2を介して、半導体装置PKG1と半導体装置PKG2とが電氣的に接続される。この時、本実施の形態では、半導体装置PKG2にDCカット用のコンデンサ20Dが搭載されているので、配線基板MB1には、コンデンサ20Dは搭載されない。この結果、配線基板MB1のサイズを低減することができるので、電子装置EDV1を小型化することができる。また、マザーボードである配線基板MB1上にDCカット用のコンデンサ20Dを搭載する必要がなくなるため、配線基板MB1上における部品搭載エリアを削減することができ、配線基板MB1の配線設計自由度を向上することができる。この結果、信号品質や電源品質を向上することができる。

[0169] (変形例)

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

[0170] 例えば、図5では、複数の電源回路用のコンデンサ20Pのそれぞれが半導体チップ12と重なる位置に配置され、複数のDCカット用のコンデンサ20Dのそれぞれが半導体チップ12と重ならない位置に配置された実施態様について説明した。しかし、平面視における半導体チップ12とコンデンサ20D、20Pとの位置関係には種々の変形例がある。

[0171] 例えば、図28に示す半導体装置PKG8のように、複数のコンデンサ20Dを内蔵させる場合には、平面視において、複数のコンデンサ20Dと半導体チップ12とが重なっていても良い。図28は、図1に対する変形例である半導体装置の上面側を示す平面図である。また、図29は、図28に示す半導体装置の下面図である。なお、図28では、複数のコンデンサと半導体チップとの平面的な位置関係を明示するため、配線基板30に内蔵されている複数のコンデンサの輪郭を点線で示している。また、図5は平面図であるが、複数のコンデンサのうち、コンデンサ20Dとコンデンサ20Pを識別し易くするため、複数のコンデンサ20Pのそれぞれにハッチングを付している。

[0172] 図28に示す半導体装置PKG8は、平面視において複数のコンデンサ20Dおよび複数のコンデンサ20Pのそれぞれが、半導体チップ12と重なっている点で、図5に示す半導体装置PKG2と相違する。コンデンサ20Dが配線基板30に内蔵されている場合、コンデンサ20Dの上方に半導体チップ12を搭載することができる。このため、半導体チップ12の裏面1bの面積が大きい場合でも、半導体チップ12と同じパッケージ内に搭載することができる。かつ、パッケージの平面サイズの増大を抑制できる。

[0173] また、図28に示すように、半導体チップ12の平面積が大きくなると、半導体チップ12の側面1sと配線基板30の側面3sの離間距離が小さくなる。このため、テスト用の端子3TP（図29参照）を配線基板30の上

面 3 t 側に形成した場合、アンダフィル樹脂 3 2 が広がる範囲の程度によっては端子 3 T P がアンダフィル樹脂 3 2 に覆われてしまう場合がある。

[0174] そこで、半導体装置 P K G 8 の場合、図 1 3 および図 1 4 を用いて説明した半導体装置 P K G 5 と同様に、配線基板 3 0 の下面 3 b において、複数のテスト用の端子 3 T P を露出させることが好ましい。

[0175] また、図 2 8 に示す半導体装置 P K G 8 は、半導体チップ 1 2 の裏面 1 b に、図 1 に示す放熱板 4 0 が搭載されていない点で、図 1 に示す半導体装置 P K G 1 と相違する。図 1 や図 6 に示す放熱板 4 0 は、半導体装置の熱的な仕様に応じて要否が決定される。このため、図 2 8 に示す例の他、例えば、図 6 に示す放熱板 4 0 および支持枠 4 2 を搭載しない半導体装置であっても良い。また、図 2 8 に示す半導体装置 P K G 8 に対して放熱板 4 0 (図 6 参照) を取り付けても良い。

[0176] さらに、放熱板 4 0 を取り付ける場合であっても、放熱板 4 0 の形状には種々の変形例がある。例えば、図 6 に示す支持枠 4 2 を設けず、単に放熱板 4 0 が半導体チップ 1 2 の裏面 1 b に接着材 (放熱樹脂) 4 1 を介して貼り付けられていても良い。また、図 6 に示す支持枠 4 2 の機能と放熱板 4 0 との機能を兼ねるように、一枚の板を成形しても良い。

[0177] また、図 1 0 ~ 図 1 7 では、コンデンサ 2 0 D にテスト用の配線経路が接続された実施態様について説明した。しかし、コンデンサ 2 0 D が挿入される信号伝送経路に対して D C テストが要求されない製品の場合には、図 3 0 に示す半導体装置 P K G 9 のように、コンデンサ 2 0 D にテスト用の配線経路が接続されていなくても良い。図 3 0 は、図 1 0 に対する変形例である半導体装置が有する D C カット用のコンデンサに接続される信号伝送経路の例を模式的に示す拡大断面図である。

[0178] 半導体装置 P K G 9 の場合、コンデンサ 2 0 D を経由する信号伝送経路にテスト用の配線経路が接続されないので、図 1 0 に示す半導体装置 P K G 2 と比較して、信号伝送経路に対するノイズ影響を低減できる。ただし、半導体装置 P K G 9 の場合、コンデンサ 2 0 D を経由する信号伝送経路に対して

DCテストを行うことは難しい。

[0179] また、図6に示す例では、配線基板30はコア材である絶縁層31Cの上面3Ct側、および下面3Cb側にそれぞれ複数の配線層を積層した配線基板を示している。しかし、図6に対する変形例としては、図31に示す半導体装置PKG10のように、プリプレグ材などの硬い材料からなる絶縁層31C（図6参照）を有さず、絶縁層31と配線3Wなどの導体パターンを順に積層して形成する、所謂、コアレス基板を用いても良い。図31は、図10に対する他の変形例である半導体装置が有するDCカット用のコンデンサに接続される信号伝送経路の例を模式的に示す拡大断面図である。

[0180] 図31に示す半導体装置PKG10は、図6に示す絶縁層31Cを有していない点で、図6に示す半導体装置PKG2と相違する。また、半導体装置PKG10は、コンデンサ20Dが備える電極2E1および電極2E2のそれぞれの一部分が、配線基板30から露出している点で図10に示す半導体装置PKG2と相違する。

[0181] 半導体装置PKG10のように、コアレス基板を用いた場合、図6に示すスルーホール配線3TWは形成されない。このため、コンデンサ20Dを、配線基板30の任意の配線層に配置した場合でも、スルーホール配線3TW（図6参照）によるインピーダンス不連続点の課題は生じない。

[0182] 例えば半導体装置PKG10の例では、コンデンサ20Dは、配線層WL1、WL2、および配線層WL3に跨って配置されている。また、コンデンサ20Dの電極2E1および電極2E2のそれぞれの一部分は、配線基板30の上面3tにおいて最上層の絶縁層31Tから露出している。このため、半導体装置PKG10の例では、電極2E1および電極2E2の露出した部分を、図10に示すテスト用の端子3TPとして利用することができる。

[0183] なお、上記した本願における「配線基板30に内蔵されている」状態の定義によれば、図31に示すコンデンサ20Dは、配線基板30に内蔵されている状態として取り扱われる。また、図示は省略するが、コンデンサ20Dが備える電極2E1および電極2E2のそれぞれの一部分が、配線基板30

の下面 3 b において、最下層の絶縁層 3 1 B から露出していても良い。さらに、図 3 1 では、代表例として、コンデンサ 2 0 D の一部分が配線基板 3 0 から露出している例を取り上げて説明している。しかし、図 6 に示すコンデンサ 2 0 P の一部分が配線基板 3 0 から露出しても良い。

[0184] また、上記実施の形態で説明した技術思想の要旨を逸脱しない範囲内において、変形例同士を組み合わせて適用することができる。

[0185] その他、上記実施の形態に記載された内容の一部を以下に記載する。

[付記 1]

(a) 第 1 面および前記第 1 面の反対側の第 2 面を備える配線基板を準備する工程と、

(b) 前記配線基板の前記第 1 面側に、複数のチップ電極を備えた半導体チップを搭載する工程と、

を含み、

前記配線基板は、

前記配線基板に内蔵された第 1 コンデンサと、

平面視において、前記第 1 コンデンサと前記配線基板の周縁部との間に配置された第 2 コンデンサと、

を有し、

前記第 2 コンデンサは、前記半導体チップに対し、電気信号を入力または出力する信号伝送経路に直列接続で挿入されており、

前記 (b) 工程では、平面視において、前記第 1 コンデンサと重なる位置に前記半導体チップが搭載される、半導体装置の製造方法。

符号の説明

[0186] 1 b 裏面 (主面、下面)

1 B P 突起電極 (バンプ電極)

1 P D パッド (電極パッドボンディングパッド)

1 s 側面

1 t 表面 (主面、上面)

- 2 B D 本体部
- 2 E、2 E 1、2 E 2、2 E 3、2 E 4 電極
- 2 E b 下面
- 2 E t 上面
- 2 L S 長辺（長側面）
- 2 S S 短辺（短側面）
- 3 b 下面（面、主面、実装面）
- 3 B F 端子（ボンディングパッド、ボンディングリード、チップ接続用端子）
- 3 C b 下面
- 3 C t 上面
- 3 K 1、3 K 2、3 K 3 開口部
- 3 L D、3 L H、3 L L、3 L V d、3 L V s ランド（外部端子、端子）
- 3 m f 金属膜
- 3 P L 導体プレーン（パターン）
- 3 s 側面
- 3 S T 支持テープ（支持部材）
- 3 t 上面（面、主面、チップ搭載面）
- 3 T P、3 T P 1、3 T P 2 端子（テスト用の端子、テスト端子）
- 3 T W スルーホール配線
- 3 V、3 V 1 2、3 V 2 3、3 V 2 3、3 V 4 5、3 V 5 6、3 V L、3 V S ビア配線
- 3 W 配線
- 1 1、1 2 半導体チップ
- 2 O C L 導体板
- 2 O D、2 O P コンデンサ（チップコンデンサ、セラミックコンデンサ）
- 2 O I L 絶縁層（誘電体層）
- 3 O 配線基板

- 3 1 絶縁層
- 3 1 B、3 1 T 絶縁層 (ソルダレジスト膜)
- 3 1 C 絶縁層 (コア材、コア絶縁層)
- 3 2 アンダフィル樹脂 (絶縁性樹脂)
- 3 3 絶縁材 (穴埋め材)
- 4 0 放熱板 (ヒートスプレッド、部材)
- 4 1 接着材 (放熱樹脂)
- 4 2 支持枠 (スティフナリング)
- C B T 開口部
- D L 延在方向 (長手方向)
- D S p、D S n 差動信号伝送経路
- D W 幅方向
- E D V 1 電子装置 (電子機器)
- M B 1 配線基板 (マザーボード、実装基板)
- M B t 上面 (搭載面)
- P K G 2、P K G 3、P K G 4、P K G 5、P K G 6、P K G 7、P K G 8、P K G 9、P K G 1 0、P K G h 1 半導体装置
- R P リターン経路
- R x、R x L、R x n、R x p 電極 (電極パッド)
- S B 半田ボール (半田材、外部端子、電極、外部電極)
- S D 接合材
- S G i n、S G o u t 検査信号
- S G P 信号伝送経路
- S G P 1 低速伝送経路
- S G P 2 高速伝送経路
- T M 1、T M 2 端子
- T x、T x L、T x n、T x p 電極 (電極パッド)
- V d、V s 電極 (電極パッド)

V D D 電源電位

V D P 電源電位供給経路

V S P 基準電位供給経路

V S S 基準電位

W L 1、W L 2、W L 3、W L 4、W L 5、W L 6 配線層

請求の範囲

- [請求項1] 第1面および前記第1面の反対側の第2面を備える配線基板と、
複数のチップ電極を備え、前記配線基板に搭載された半導体チップと、
平面視において、前記半導体チップと重なる位置に配置され、かつ、
前記配線基板に内蔵された第1コンデンサと、
平面視において、前記第1コンデンサと前記配線基板の周縁部との間に配置された第2コンデンサと、
を含み、
前記第2コンデンサは、前記半導体チップに対し、電気信号を入力または出力する信号伝送経路に直列接続で挿入されている、半導体装置。
- [請求項2] 請求項1において、
前記第1コンデンサは、前記半導体チップに電源電位を供給する電源電位供給経路に接続されている、半導体装置。
- [請求項3] 請求項2において、
平面視において、前記第2コンデンサと前記配線基板の周縁端との間隔は、前記第2コンデンサと前記半導体チップとの間隔より小さい、半導体装置。
- [請求項4] 請求項2において、
前記第2コンデンサは、前記配線基板に内蔵されている、半導体装置。
- [請求項5] 請求項2において、
平面視において、前記第2コンデンサは、前記半導体チップと重ならない位置に配置されている、半導体装置。
- [請求項6] 請求項2において、
前記配線基板は、
前記第1面と前記第2面との間に位置する第3面、および前記第3

面の反対側の第4面を有する第1絶縁層と、

前記第1絶縁層の前記第3面および前記第4面のうち、一方から他方までを貫通するように形成された複数のスルーホール配線と、

を備え、

前記第2コンデンサは、前記第3面と前記第4面との間に配置され、かつ、前記複数のスルーホール配線とは、電氣的に分離されている、半導体装置。

[請求項7]

請求項2において、

前記配線基板は、

前記第1面側に配置され、前記半導体チップの前記複数のチップ電極と電氣的に接続される複数のチップ接続用端子と、

前記第2面側に配置される複数の外部端子と、

前記第2コンデンサに電氣的に接続される第1端子および第2端子と、

を備え、

前記第2コンデンサは、

前記複数のチップ接続用端子のうちの第1チップ接続用端子、および前記第1端子のそれぞれと電氣的に接続される第1電極と、

前記複数の外部端子のうちの第1外部端子、および前記第2端子のそれぞれと電氣的に接続される第2電極と、

を備えている、半導体装置。

[請求項8]

請求項7において、

前記第2コンデンサの前記第1電極から前記配線基板の前記第1端子までの配線経路距離、および前記第2コンデンサの前記第2電極から前記配線基板の前記第2端子までの配線経路距離のそれぞれは、前記電気信号の波長の $1/4$ 以下である、半導体装置。

[請求項9]

請求項7において、

平面視において、前記第1端子および前記第2端子は、前記第2コ

ンデンサと重なる位置に配置されている、半導体装置。

[請求項10]

請求項7において、

前記第1端子および前記第2端子は、前記配線基板の前記第1面側に形成され、

前記配線基板の前記第1面上には、前記半導体チップの全体を覆う第1部材が搭載され、

平面視において、前記第1端子および前記第2端子は、前記第1部材と前記配線基板の周縁端との間に配置されている、半導体装置。

[請求項11]

請求項7において、

前記配線基板の前記第1面上には、前記半導体チップの全体を覆う第1部材が搭載され、

平面視において、前記第2コンデンサは前記第1部材と重なる位置に配置され、

前記第1端子および前記第2端子は、前記配線基板の前記第2面側に形成されている、半導体装置。

[請求項12]

第1面および前記第1面の反対側の第2面を備える配線基板と、

複数のチップ電極を備え、前記配線基板に搭載された半導体チップと、

平面視において、前記半導体チップと重ならない位置に配置され、かつ、前記配線基板に内蔵されたコンデンサと、

を含み、

前記コンデンサは、前記半導体チップに形成された第1回路に対し、電気信号を入力または出力する信号伝送経路に直列接続で挿入されている、半導体装置。

[請求項13]

請求項12において、

前記配線基板は、

前記第1面と前記第2面との間に位置する第3面、および前記第3面の反対側の第4面を有する第1絶縁層と、

前記第1絶縁層の前記第3面および前記第4面のうち、一方から他方までを貫通するように形成された複数のスルーホール配線と、

を備え、

前記コンデンサは、前記第3面と前記第4面との間に配置され、かつ、前記複数のスルーホール配線とは、電氣的に分離されている、半導体装置。

[請求項14]

請求項12において、

前記配線基板は、

前記第1面側に配置され、前記半導体チップの前記複数のチップ電極と電氣的に接続される複数のチップ接続用端子と、

前記第2面側に配置される複数の外部端子と、

前記コンデンサに電氣的に接続される第1端子および第2端子と、

を備え、

前記コンデンサは、

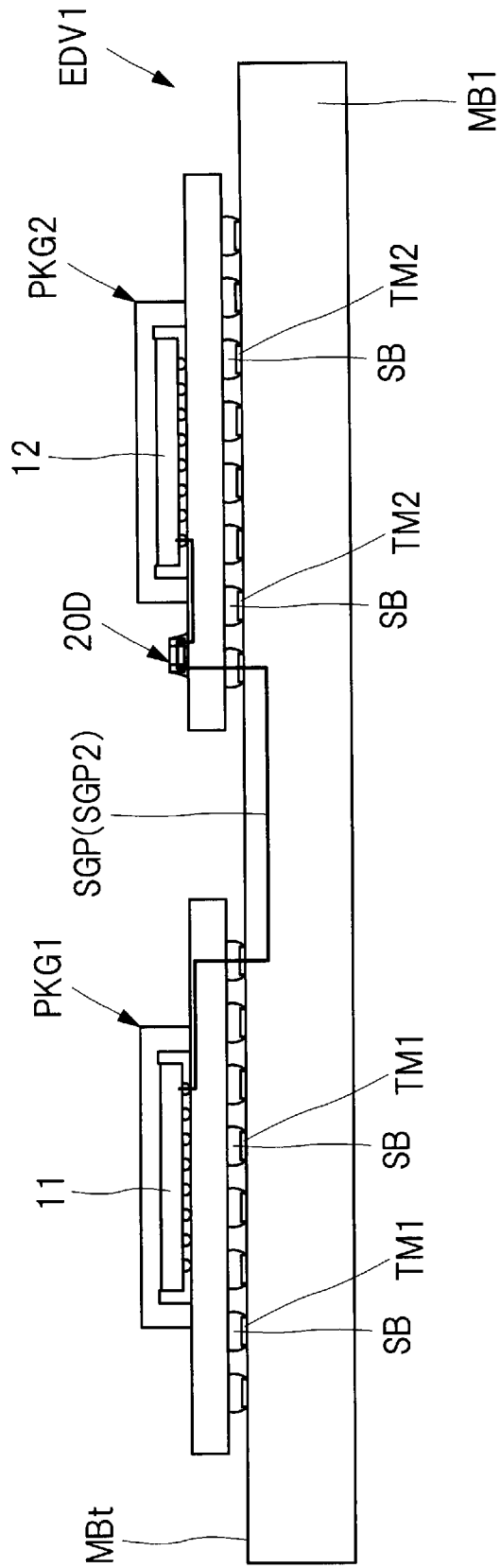
前記複数のチップ接続用端子のうちの第1チップ接続用端子、および前記第1端子のそれぞれと電氣的に接続される第1電極と、

前記複数の外部端子のうちの第1外部端子、および前記第2端子のそれぞれと電氣的に接続される第2電極と、

を備えている、半導体装置。

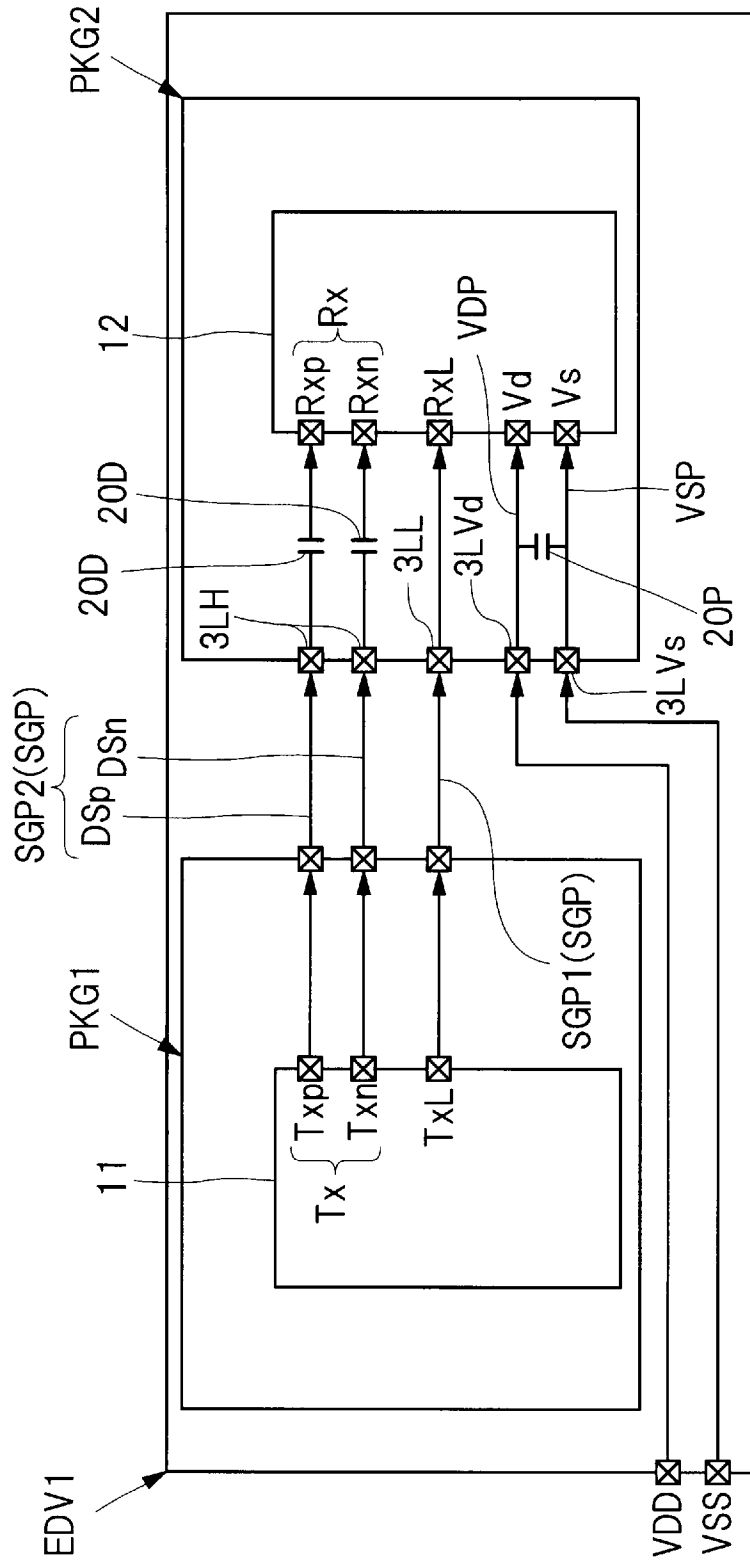
[図1]

図 1



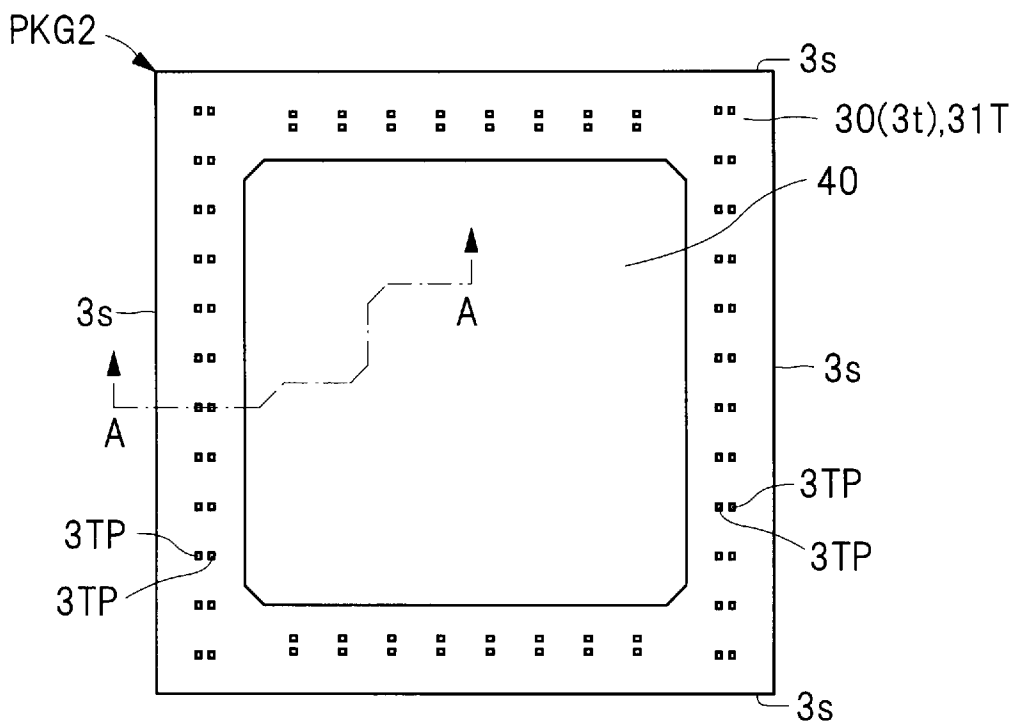
[図2]

図 2



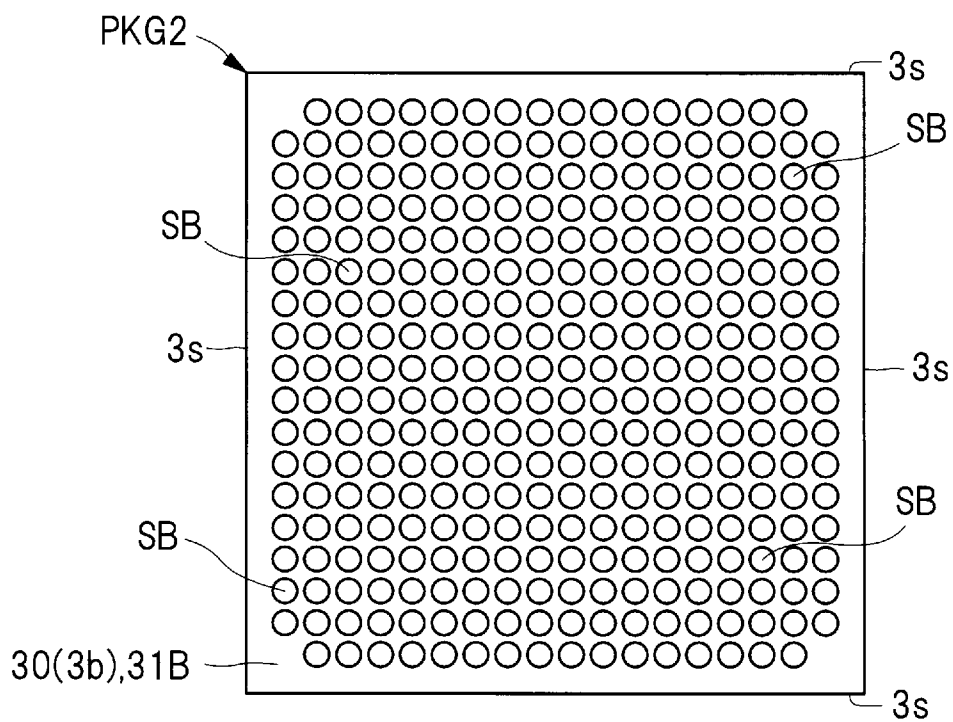
[図3]

図 3



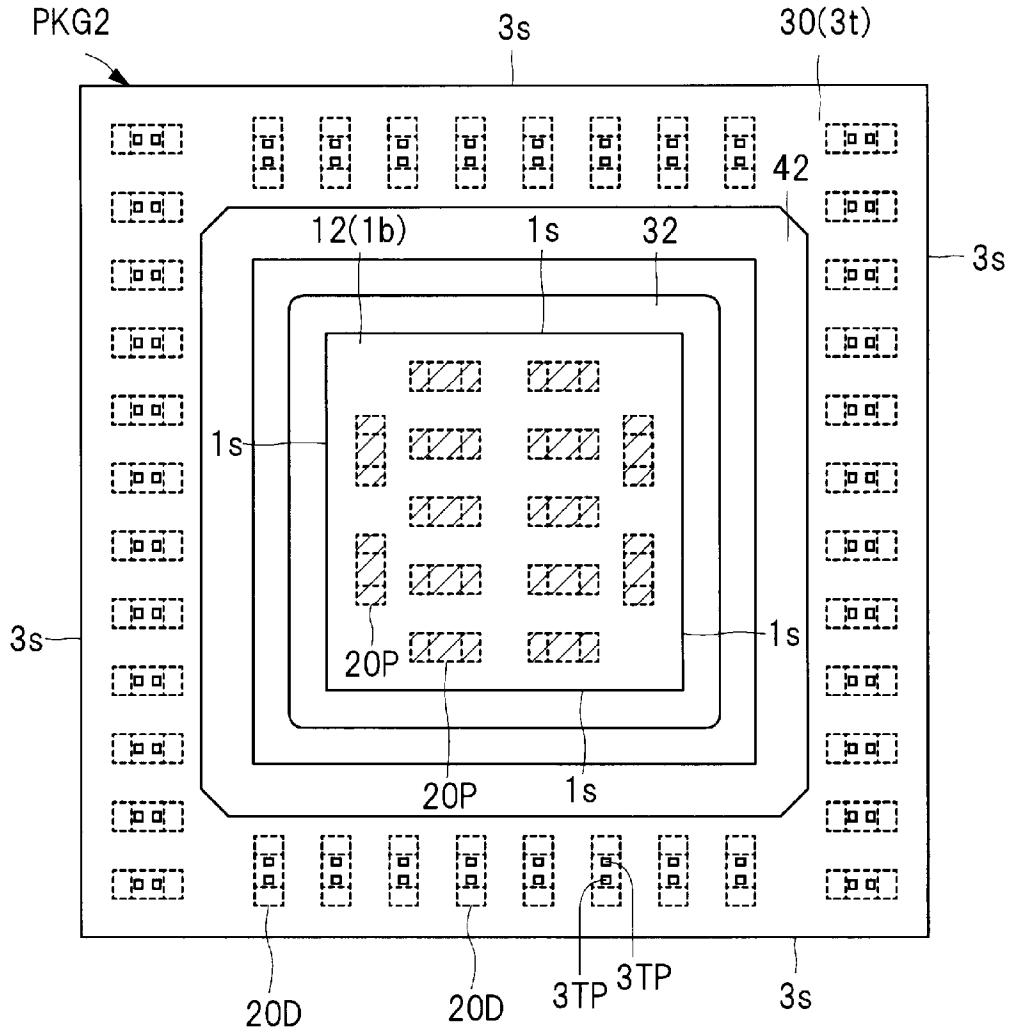
[図4]

図 4



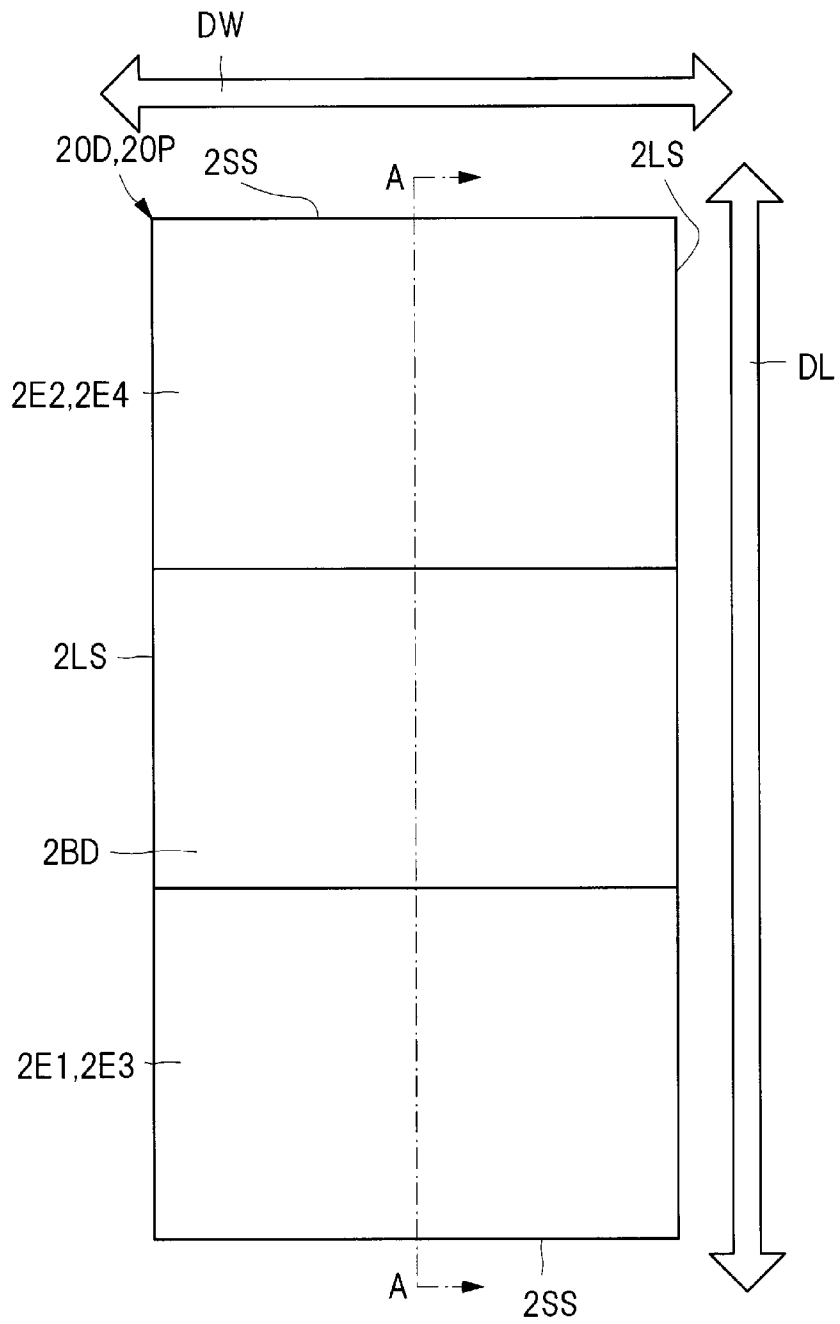
[図5]

図 5



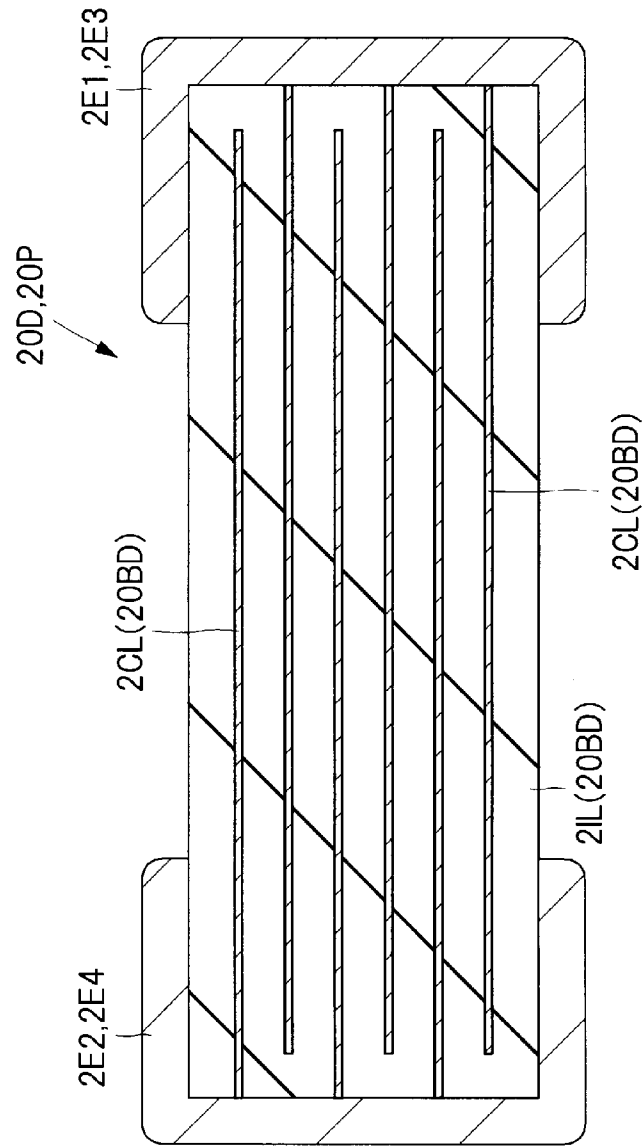
[図7]

図 7



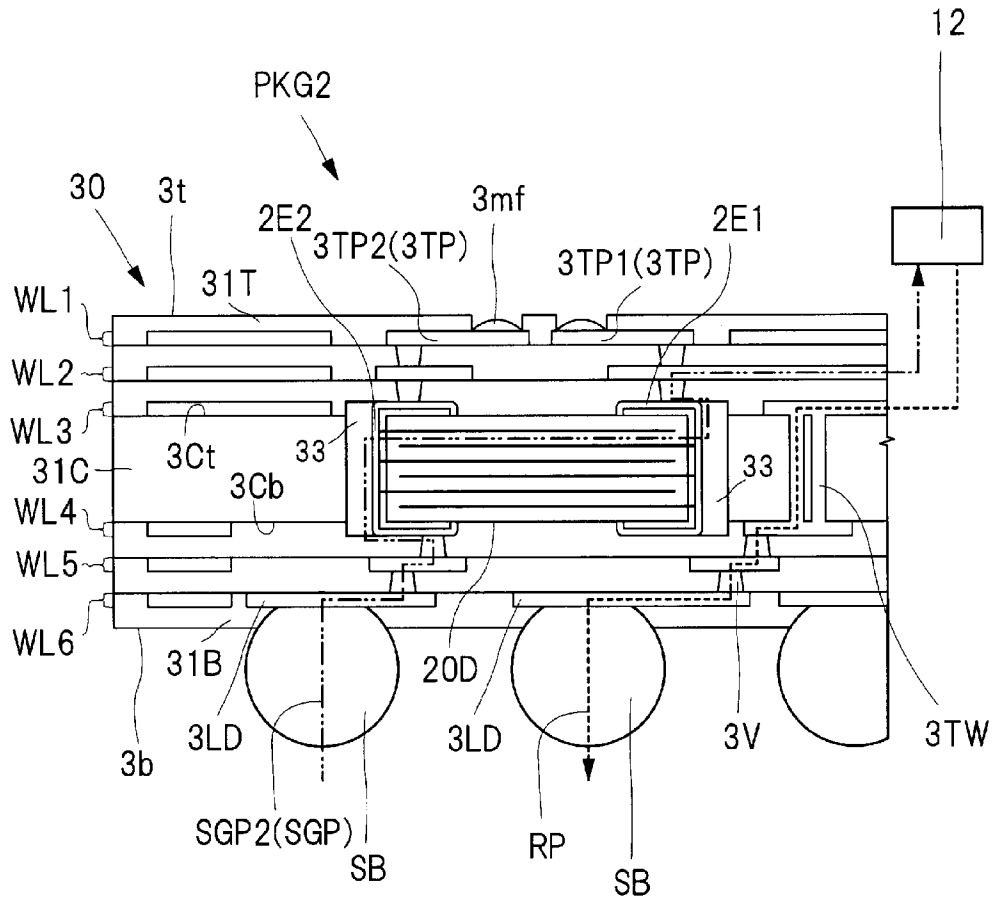
[8]

8



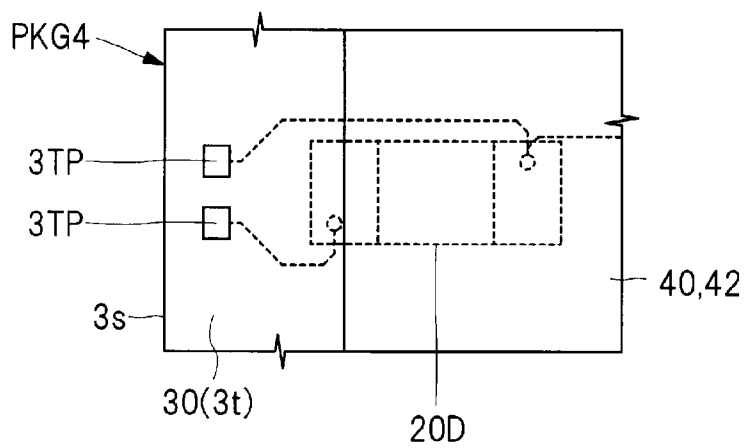
[図10]

図 10



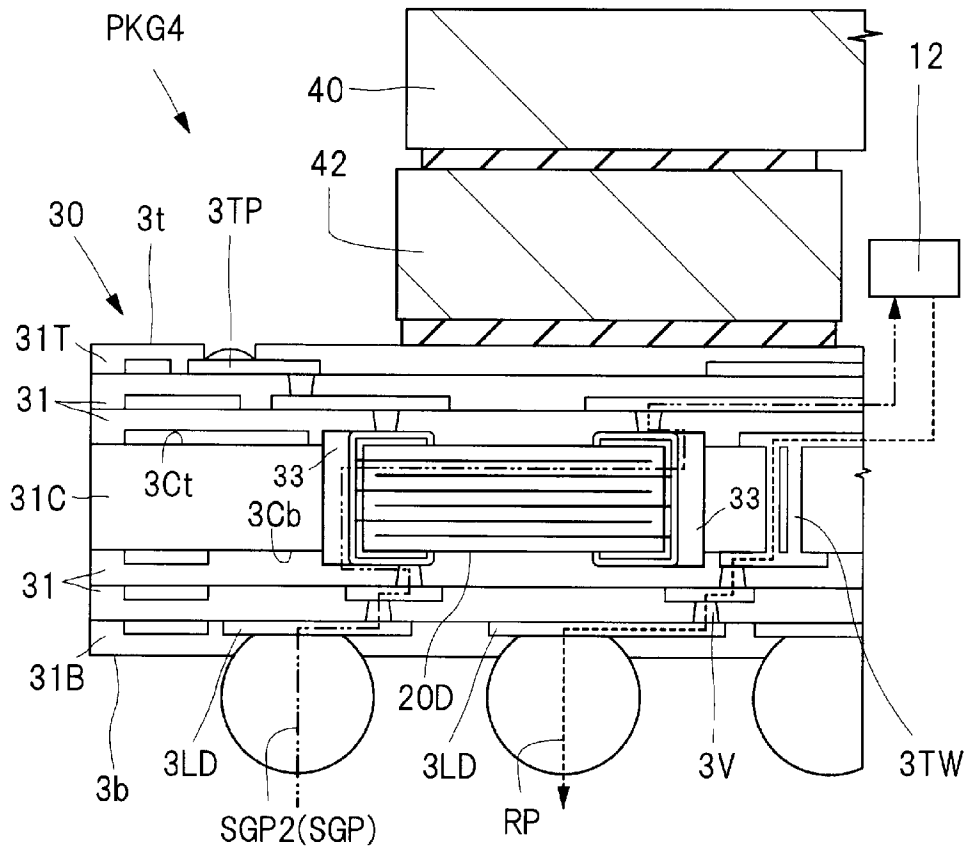
[図11]

図 11



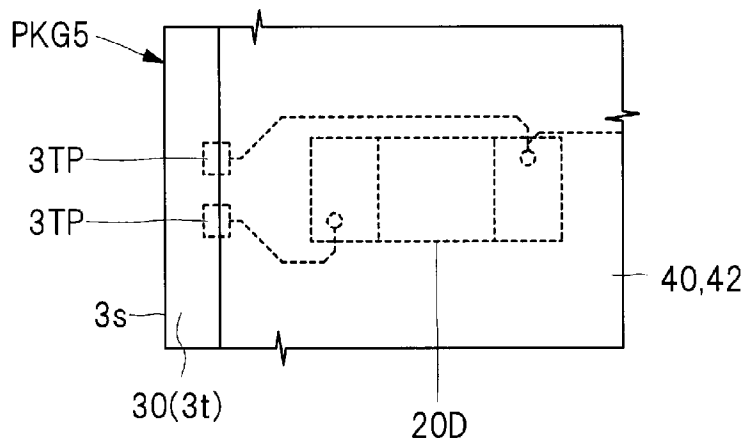
[図12]

図 12



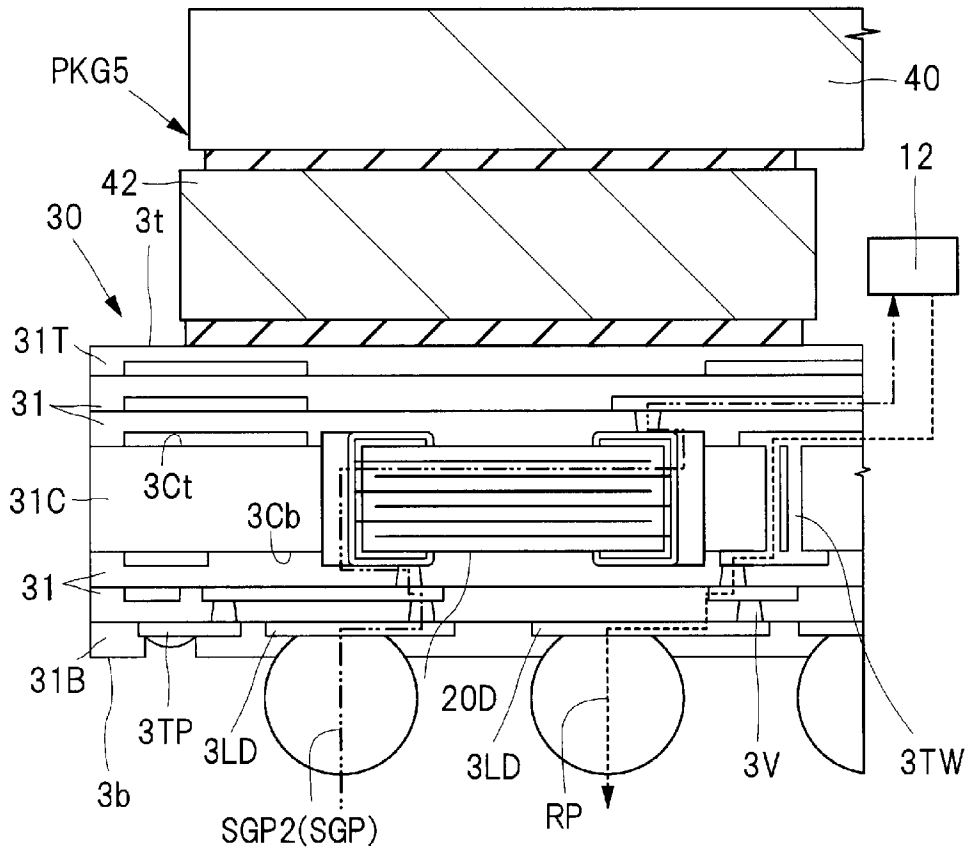
[図13]

図 13



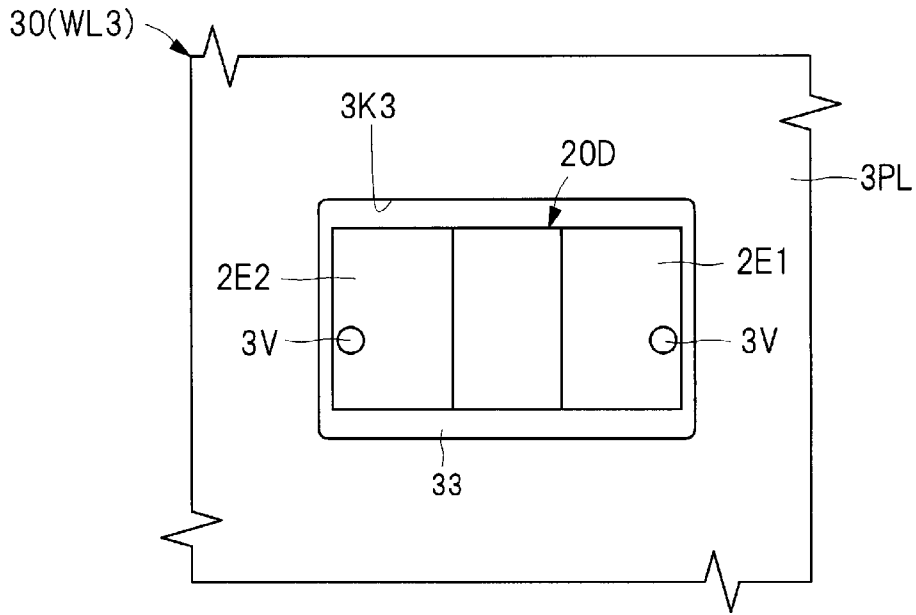
[図14]

図 14



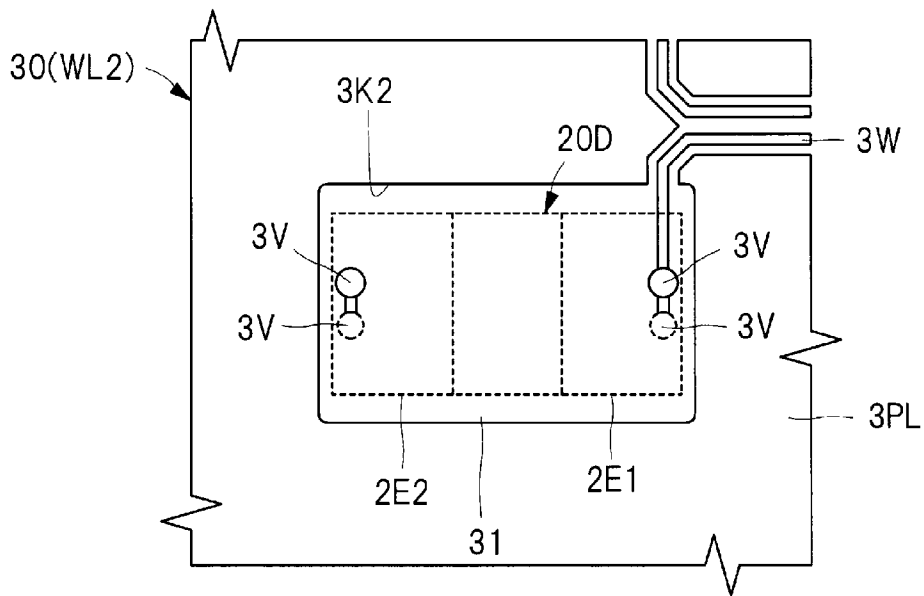
[図15]

図 15



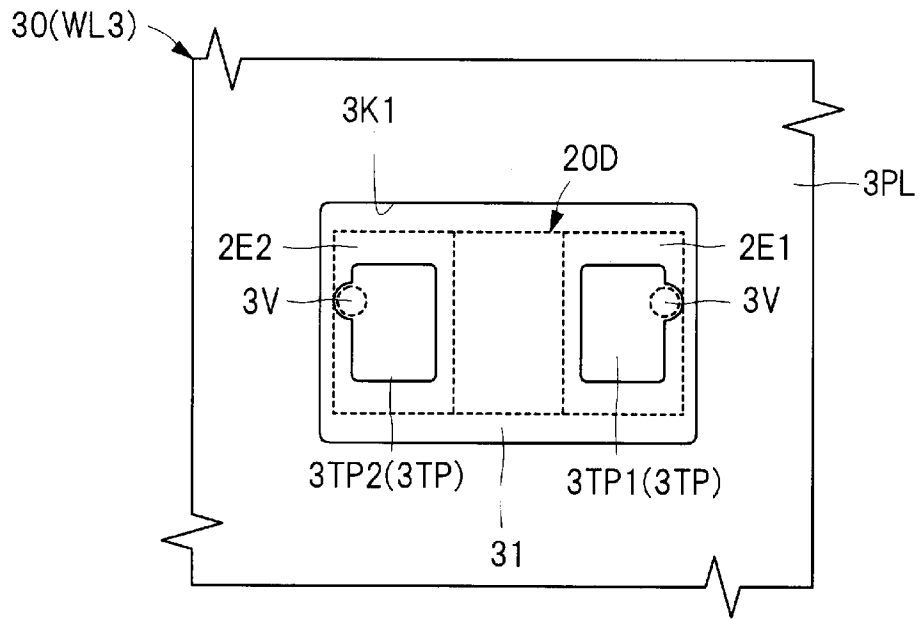
[図16]

図 16



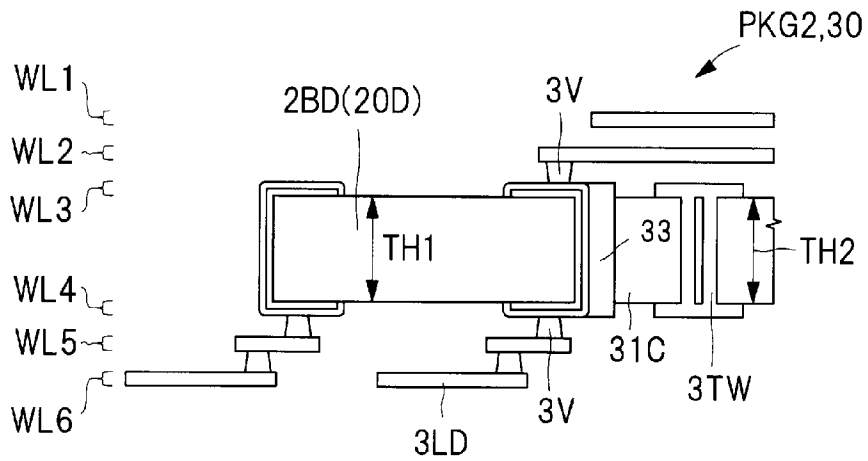
[図17]

図 17



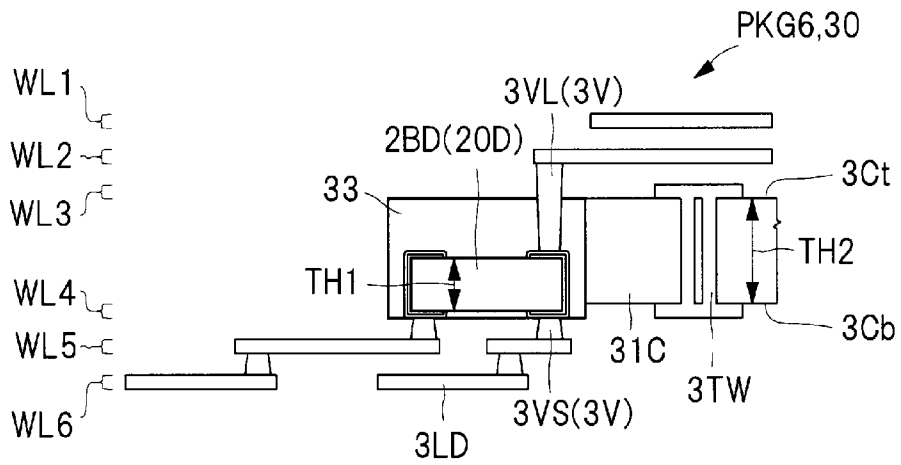
[図18]

図 18



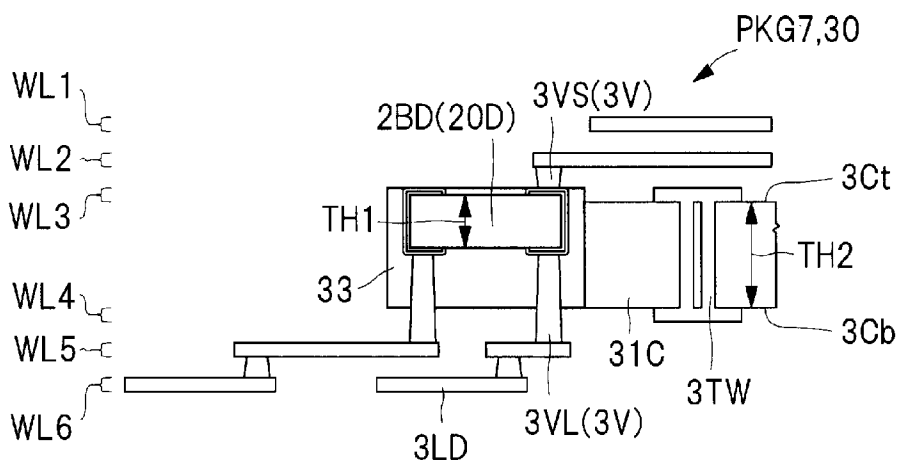
[図19]

図 19



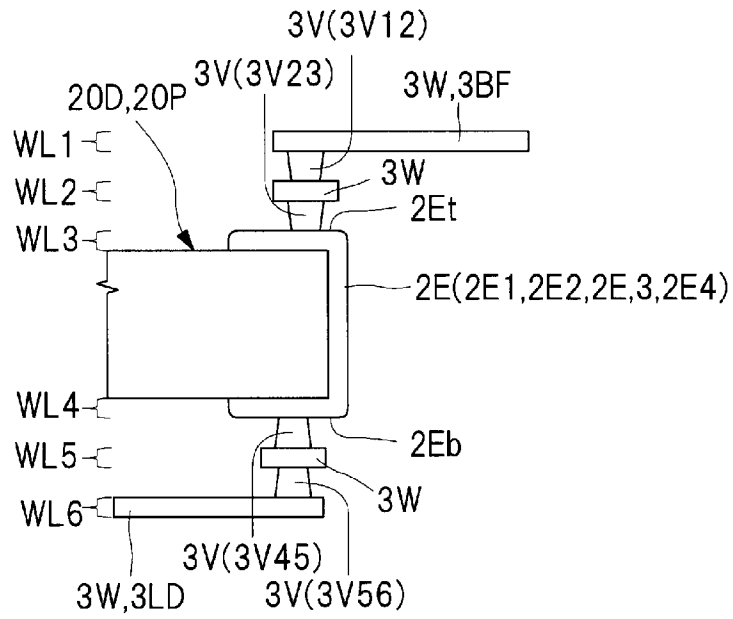
[図20]

図 20



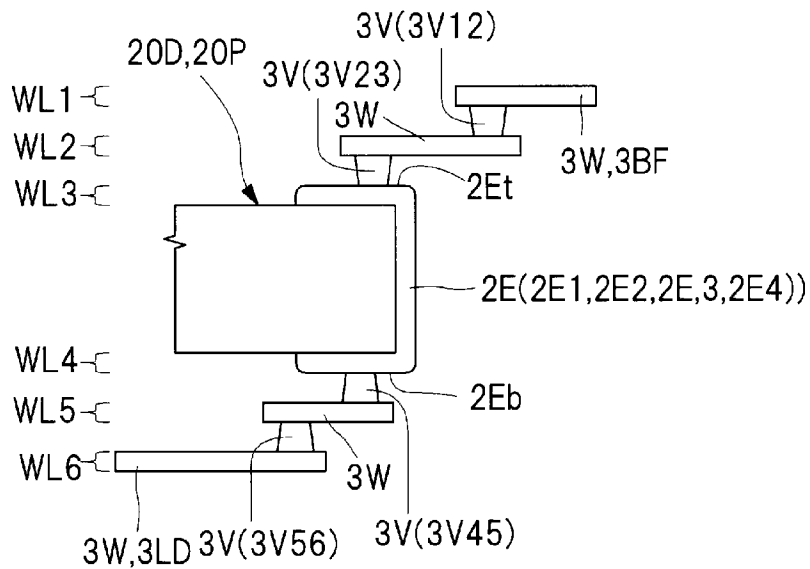
[図21]

図 21



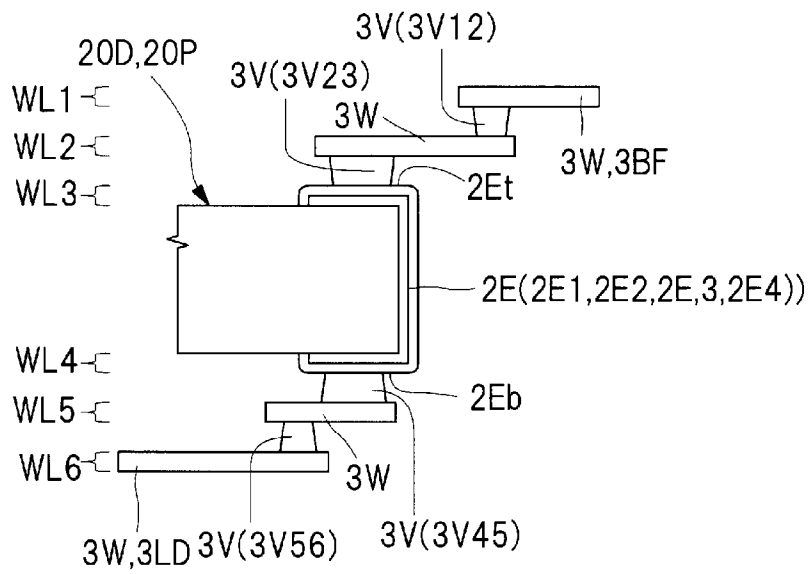
[図22]

図 22



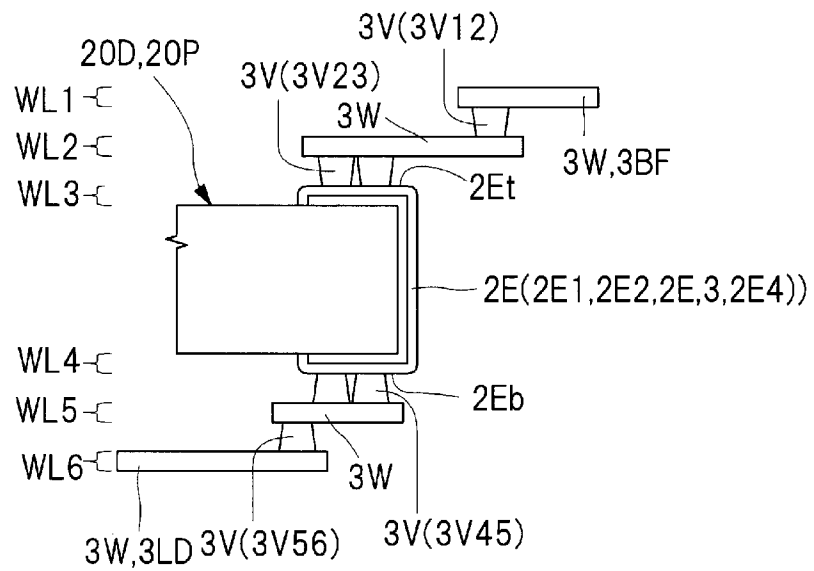
[図23]

図 23



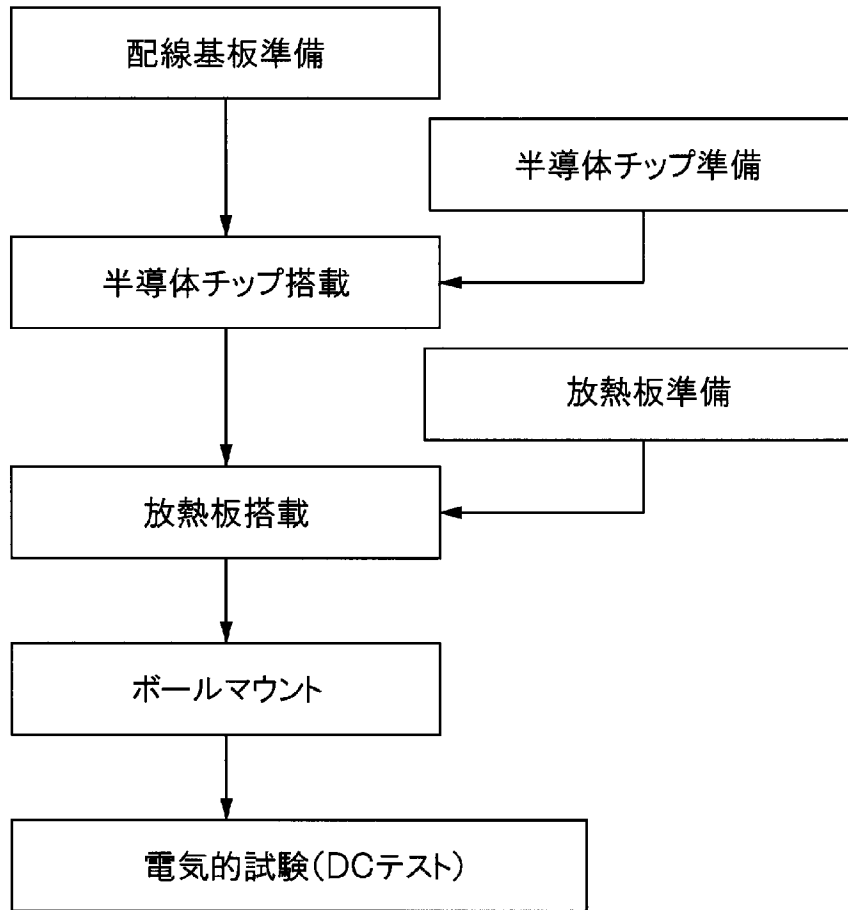
[図24]

図 24



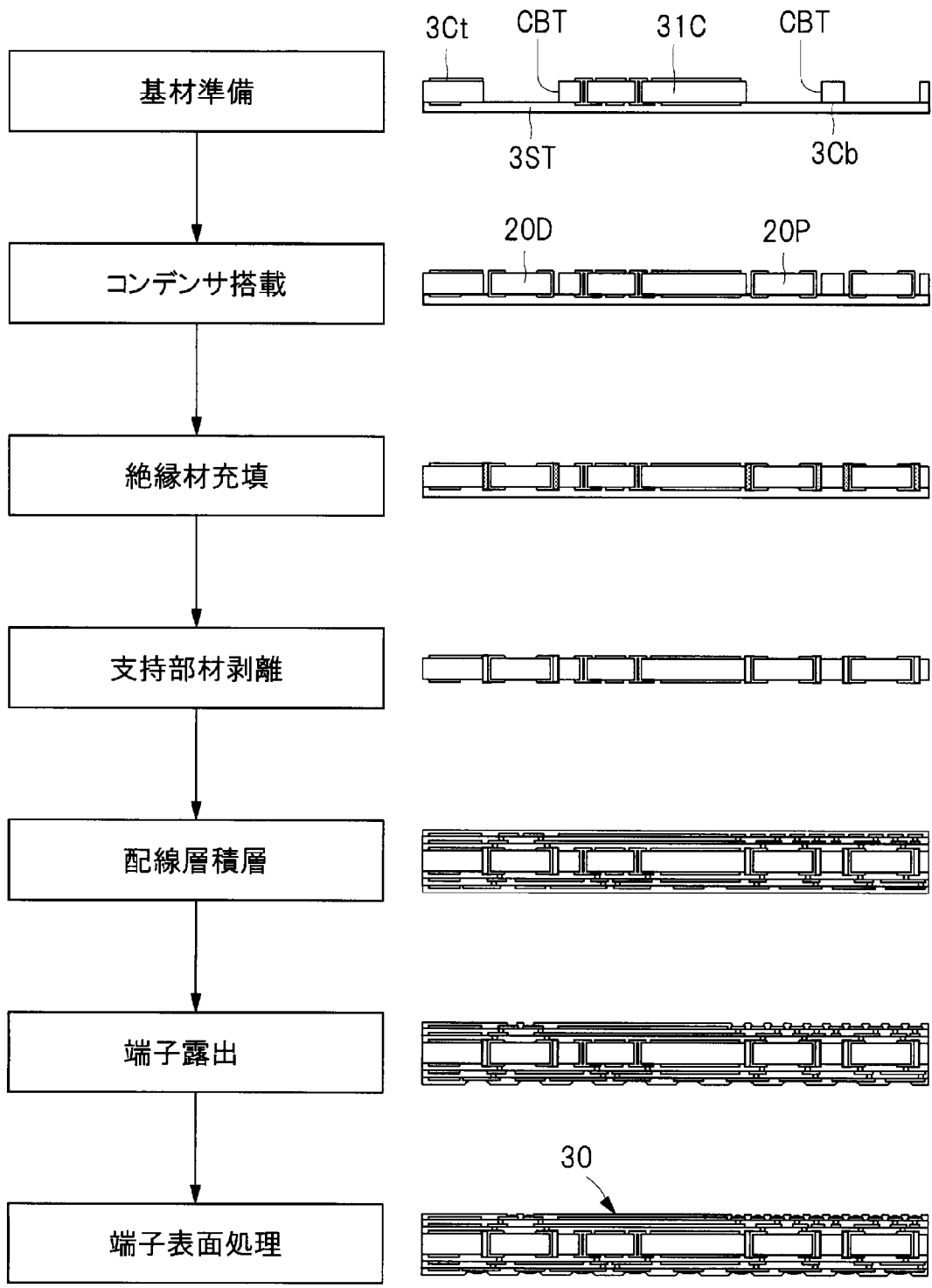
[図25]

図 25



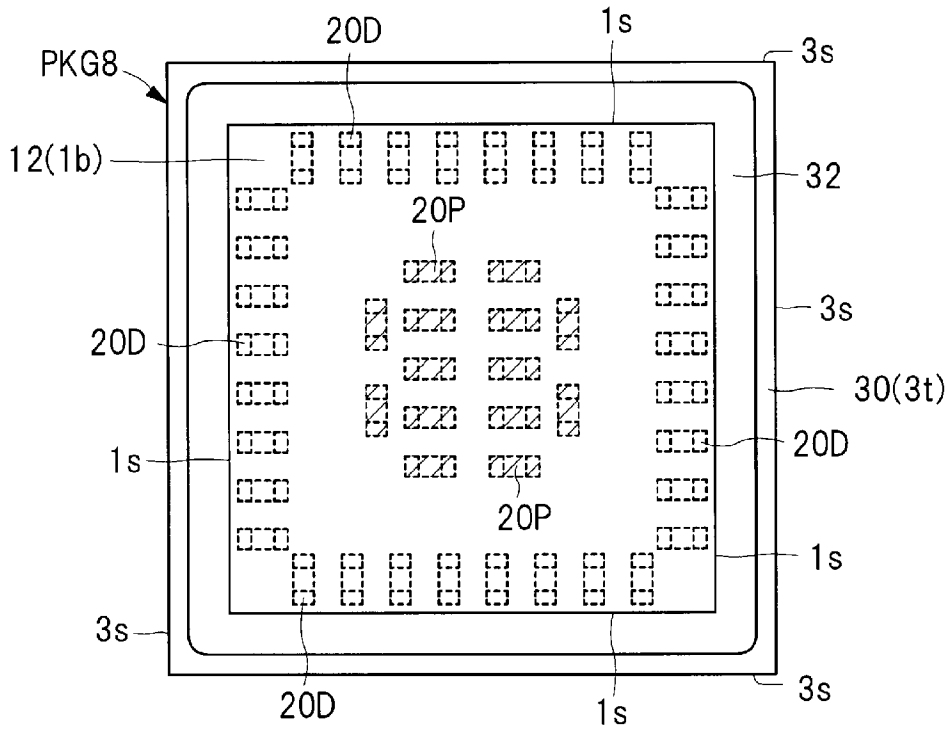
[図26]

図 26



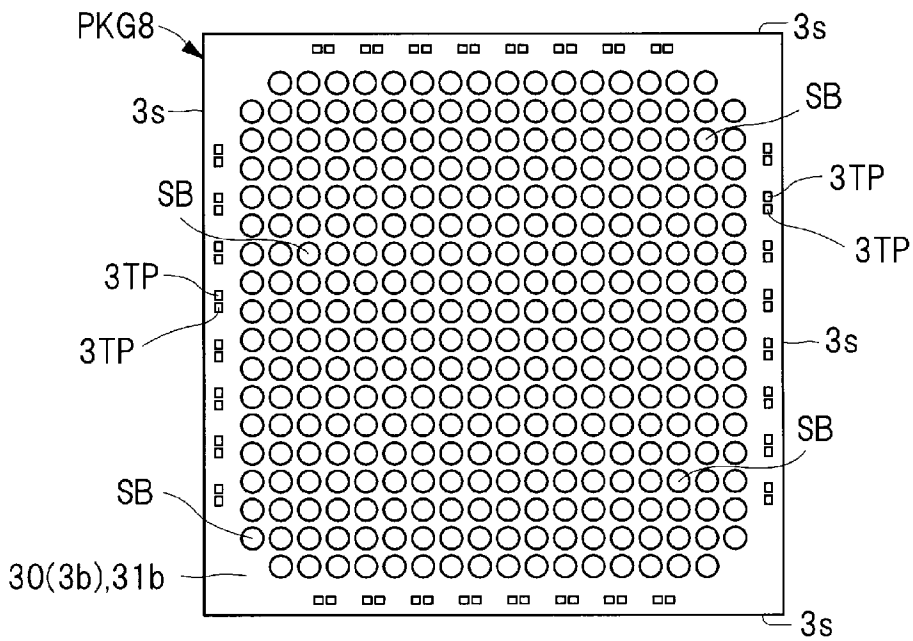
[図28]

図 28



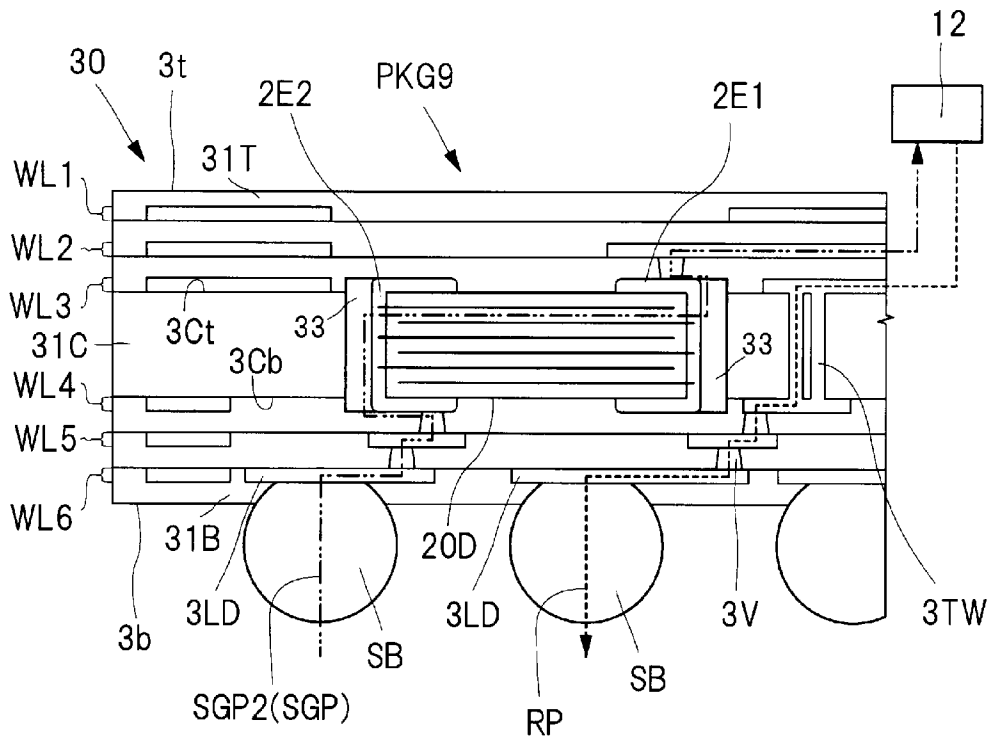
[図29]

図 29



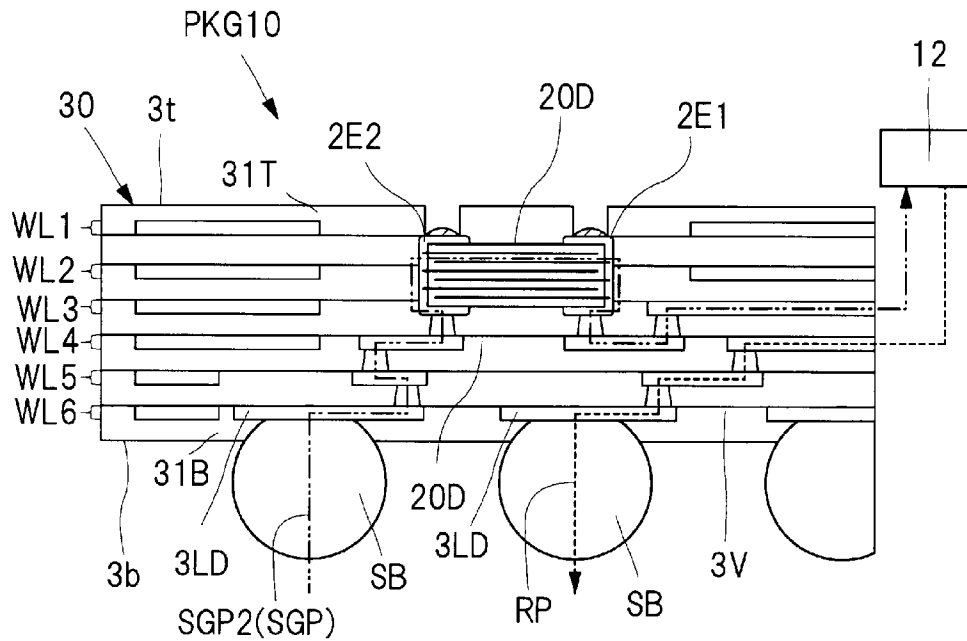
[図30]

図 30



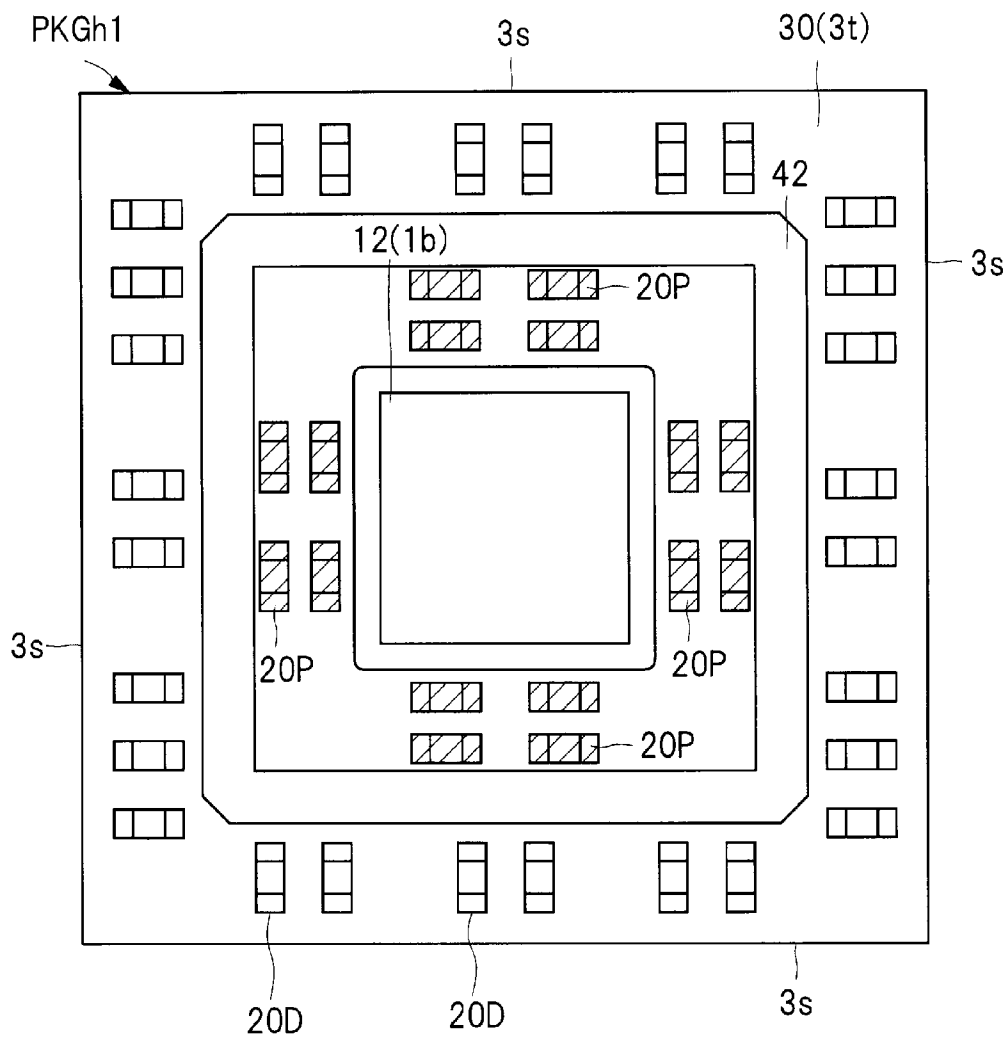
[図31]

図 31



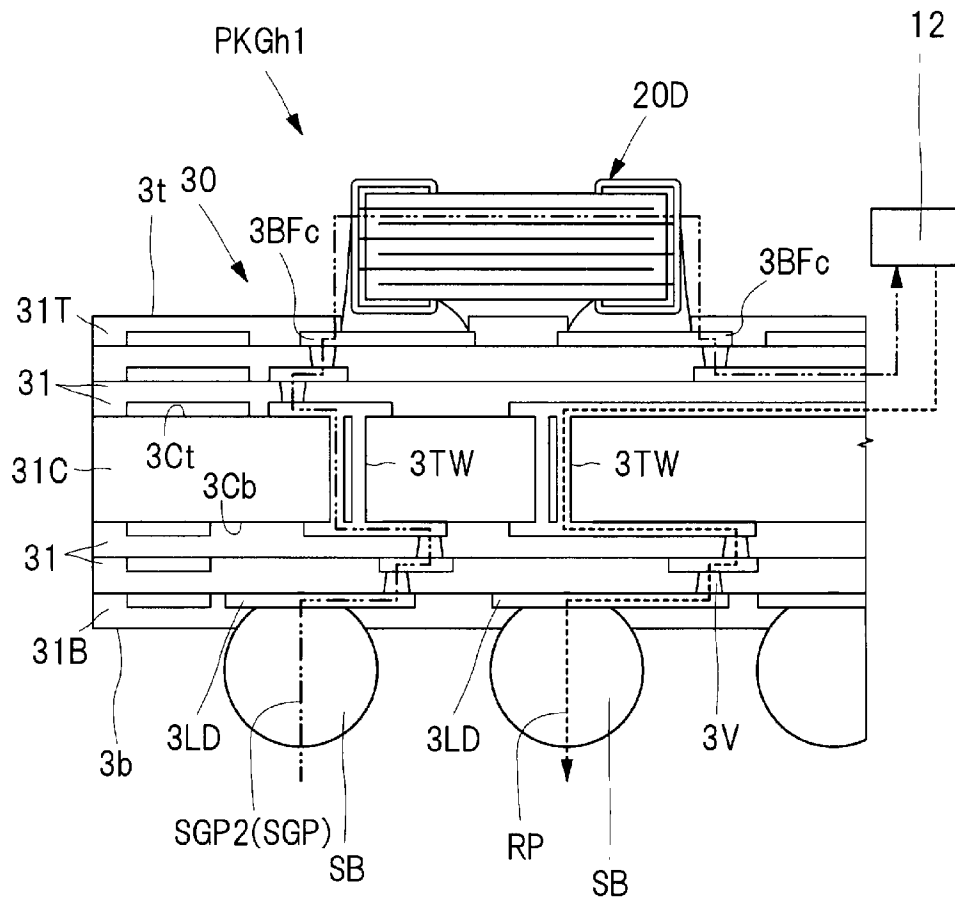
[図32]

図 32



[図33]

図 33



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/079179

A. CLASSIFICATION OF SUBJECT MATTER
H01L23/12(2006.01)i, H01G2/06(2006.01)i, H01L25/00(2006.01)i, H05K3/46(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L23/12-23/15, H01L25/00-25/18, H01G2/06, H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-38111 A (Toshiba Corp.), 19 February 2009 (19.02.2009), paragraphs [0009] to [0017]; fig. 1 to 4 & US 2009/0032922 A1 fig. 1 to 4	1-14
Y	JP 2002-100874 A (Ibiden Co., Ltd.), 05 April 2002 (05.04.2002), paragraphs [0032] to [0042], [0084]; fig. 6, 7, 11 & US 6876554 B1 fig. 48 to 52, 56 & WO 2001/019149 A1 & EP 1137332 A1 & CN 1321410 A & KR 10-2007-0101408 A	1-14

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 25 December 2015 (25.12.15)	Date of mailing of the international search report 12 January 2016 (12.01.16)
--	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/079179

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-187127 A (Taiyo Yuden Co., Ltd.), 02 October 2014 (02.10.2014), paragraph [0022]; fig. 1 & US 2014/0285213 A1 fig. 1	4, 6-14
Y	JP 2002-9225 A (Murata Mfg. Co., Ltd.), 11 January 2002 (11.01.2002), paragraphs [0045] to [0047]; fig. 1 & US 2002/0049042 A1 fig. 1 & GB 2365629 A & DE 10129032 A & FR 2810495 A	11
A	JP 2003-142628 A (NGK Spark Plug Co., Ltd.), 16 May 2003 (16.05.2003), paragraph [0018]; fig. 1 (Family: none)	1-14
A	JP 2008-227177 A (NEC Corp.), 25 September 2008 (25.09.2008), paragraphs [0108] to [0113]; fig. 11 (Family: none)	1-14
A	WO 2005/114729 A1 (NEC Corp.), 01 December 2005 (01.12.2005), paragraphs [0045] to [0047], [0055]; fig. 7, 9 & US 2008/0237890 A1 fig. 7, 9 & CN 1957465 A	1-14

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L23/12(2006.01)i, H01G2/06(2006.01)i, H01L25/00(2006.01)i, H05K3/46(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L23/12-23/15, H01L25/00-25/18, H01G2/06, H05K3/46		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-38111 A (株式会社東芝) 2009.02.19, 段落 0009-0017, 図 1-4 & US 2009/0032922 A1, FIGS. 1-4	1-14
Y	JP 2002-100874 A (イビデン株式会社) 2002.04.05, 段落 0032-0042, 0084, 図 6, 7, 11 & US 6876554 B1, Figs. 48-52, 56 & WO 2001/019149 A1 & EP 1137332 A1 & CN 1321410 A & KR 10-2007-0101408 A	1-14
<input checked="" type="checkbox"/> C 欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 25.12.2015	国際調査報告の発送日 12.01.2016	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 木下 直哉 電話番号 03-3581-1101 内線 3551	5 D 3 8 5 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2014-187127 A (太陽誘電株式会社) 2014. 10. 02, 段落 0022, 図 1 & US 2014/0285213 A1, FIG. 1	4, 6-14
Y	JP 2002-9225 A (株式会社村田製作所) 2002. 01. 11, 段落 0045-0047, 図 1 & US 2002/0049042 A1, FIG. 1 & GB 2365629 A & DE 10129032 A & FR 2810495 A	11
A	JP 2003-142628 A (日本特殊陶業株式会社) 2003. 05. 16, 段落 0018, 図 1 (ファミリーなし)	1-14
A	JP 2008-227177 A (日本電気株式会社) 2008. 09. 25, 段落 0108-0113, 図 11 (ファミリーなし)	1-14
A	WO 2005/114729 A1 (日本電気株式会社) 2005. 12. 01, 段落 0045-0047, 0055 図 7, 9 & US 2008/0237890 A1, FIGS. 7, 9 & CN 1957465 A	1-14