

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4266477号
(P4266477)

(45) 発行日 平成21年5月20日 (2009. 5. 20)

(24) 登録日 平成21年2月27日 (2009. 2. 27)

(51) Int. Cl.

F I

HO 4 M	1/00	(2006. 01)	HO 4 M	1/00	U
HO 4 M	1/73	(2006. 01)	HO 4 M	1/73	
HO 4 M	11/00	(2006. 01)	HO 4 M	11/00	3 O 2
HO 4 N	1/387	(2006. 01)	HO 4 N	1/387	1 O 1
HO 4 N	7/14	(2006. 01)	HO 4 N	7/14	

請求項の数 6 (全 18 頁)

(21) 出願番号 特願2000-49688 (P2000-49688)
 (22) 出願日 平成12年2月25日 (2000. 2. 25)
 (65) 公開番号 特開2001-237930 (P2001-237930A)
 (43) 公開日 平成13年8月31日 (2001. 8. 31)
 審査請求日 平成19年2月23日 (2007. 2. 23)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100076428
 弁理士 大塚 康徳
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100112508
 弁理士 高柳 司郎
 (74) 代理人 100116894
 弁理士 木村 秀二
 (72) 発明者 白神 慎二
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内

最終頁に続く

(54) 【発明の名称】 情報処理装置及びその制御方法

(57) 【特許請求の範囲】

【請求項 1】

それぞれ周波数の異なる複数の周波数のクロック信号を発生するクロック発生源と、
 前記クロック発生源から出力される複数の周波数のクロック信号のいずれかを選択する
 選択手段と、

それぞれが、処理済み或は処理対象のデータを記憶するメモリを有し、前記選択手段に
 より選択されたクロック発生源からのクロック信号により動作する複数の処理手段と、

前記複数の処理手段の各処理手段が有する前記メモリに記憶されているデータ量の情報
 を取得し、当該取得したデータ量の情報に応じて各処理手段に対するクロック信号を選択
 するように制御する選択制御手段と、

を有することを特徴とする情報処理装置。

【請求項 2】

前記複数の処理手段の1つは、
 撮像した画像信号を入力する入力手段と、
 前記入力手段により入力された画像信号を間引く間引き手段とを有し、
 前記間引き手段により間引かれた画像信号を前記メモリに記憶することを特徴とする請
 求項 1 に記載の情報処理装置。

【請求項 3】

前記複数の処理手段の1つは、
前記メモリに記憶された画像信号を補間する補間手段と、

10

20

前記補間手段により補間された画像信号に基づいて画像を表示する表示手段とを有することを特徴とする請求項 2 に記載の情報処理装置。

【請求項 4】

前記メモリは F I F O であり、前記データ量の情報は前記 F I F O に占める有効データの割合を表す情報であることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の情報処理装置。

【請求項 5】

それぞれが、処理済み或は処理対象のデータを記憶するメモリを有しクロック発生源からのクロック信号により動作する複数の処理手段を有する情報処理装置の制御方法であって、

10

前記複数の処理手段の各処理手段を動作させるために、それぞれ周波数の異なる複数の周波数のクロック信号を発生するクロック発生源から出力される複数の周波数のクロック信号のいずれかを選択する選択工程と、

前記複数の処理手段の各処理手段が有するメモリに記憶されているデータ量の情報を取得し、前記取得したデータ量の情報に応じて各処理手段に対するクロック信号を選択するように制御する選択制御工程と、

を有することを特徴とする情報処理装置の制御方法。

【請求項 6】

請求項 5 に記載の情報処理装置の制御方法をコンピュータに実行させるためのプログラムを記憶した、コンピュータにより読取り可能な記憶媒体。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えばデジタル・スチルカメラや携帯テレビ電話端末装置、或はカメラ内蔵型ノート PC 等に適用できる情報処理装置及びその方法に関するものである。

【0002】

【従来の技術】

近年、CCD 等の固体撮像装置の小型化、省電力化及び L S I の高集積化、高機能化、低消費電力化などの技術の進展に伴い、デジタルスチルカメラに代表されるように、電池で駆動可能な携帯型の撮影装置が一般に利用されるようになった。更には、携帯電話機能を内蔵した携帯型テレビ電話端末やカメラを内蔵したノート型 PC 等も開発されている。このような特に電池で駆動される撮影装置では、電池による動作時間を延長するために電力削減が求められている。また、AC 電源で駆動される撮影装置においても、環境保全等の観点により、より有効な省電力機能が求められてきている。そのため従来から電池残量を常に表示し、残量が少なくなってきた場合は、ユーザに電源をこまめに切ることを促したり、ユーザの選んだ動作モードに応じて非動作部分のクロック供給を遮断したりする節電機能が実現されている。

30

【0003】

【発明が解決しようとする課題】

一般に撮影装置においては、撮影される画像のフレームレートと解像度が高くなるほど単位時間あたりに処理すべき画像データ量が増大するため、画像データを扱う電子回路は高い動作クロック周波数を必要とする。一般に、回路の消費電力は、その回路を駆動するクロック周波数に比例して増大するため、画像のフレームレートと解像度の増大は消費電力の増大をもたらす。従って、消費電力を低減するためには、極力フレームレートと解像度を小さくするほうが望ましい。

40

【0004】

しかしながら、例えばデジタルカメラなどの撮影装置では、その動作モードによって取り込む画像のフレームレートや解像度に対する要求が異なる。例えば、電子ビューファインダモード（EVF モードと呼ぶ）においては、極力スムーズな動画が表示されることが望ましいが、その表示画面は機器に内蔵された小さな画面であることが多い。従って、フ

50

フレームレートは大きい程良いが、解像度はそれほど要求されない。また静止画取り込みモード（撮影モードと呼ぶ）では、フレームレートは最低でよい（静止画のため）が、解像度は最大であることが要求される。更に記録した画像を再生する再生モードでは、撮像素子による画像信号の取り込みを行わず、表示部への表示が最大解像度で行われる。またテレビ電話モードでは、フレームレート、解像度ともに電話回線のデータ転送能力によって決定される。

【 0 0 0 5 】

上記の例より明らかなように、このような撮影装置を構成する各々の機能ブロック、例えば撮影機能ブロック、画像処理機能ブロック、表示機能ブロックなどでは、その動作モードに応じて単位時間あたりに処理すべきデータ量が大幅に異なり、常に最大周波数で動作する必要がなく、正常な動作が行われる限り、できるだけ低い周波数で動作したほうが装置の消費電力を低減させることが可能になる。にもかかわらず、従来の技術では、完全に非動作状態にある機能ブロックへのクロック信号の供給を停止させるだけで、装置の消費電力を抑えるようにしていたため、有効な電力削減を行うことができなかった。

【 0 0 0 6 】

本発明は上記従来例に鑑みてなされたもので、複数の処理手段のそれぞれに供給するクロック信号の周波数を、各処理手段が有するメモリに記憶されているデータ量の情報に応じて切り替えることにより、装置全体の消費電力を抑えることができる情報処理装置及びその制御方法を提供することを目的とする。

【 0 0 0 8 】

【課題を解決するための手段】

上記目的を達成するために本発明の情報処理装置は以下のような構成を備える。即ち、それぞれ周波数の異なる複数の周波数のクロック信号を発生するクロック発生源と、前記クロック発生源から出力される複数の周波数のクロック信号のいずれかを選択する選択手段と、

それぞれが、処理済み或は処理対象のデータを記憶するメモリを有し、前記選択手段により選択されたクロック発生源からのクロック信号により動作する複数の処理手段と、

前記複数の処理手段の各処理手段が有する前記メモリに記憶されているデータ量の情報を取得し、当該取得したデータ量の情報に応じて各処理手段に対するクロック信号を選択するように制御する選択制御手段と、
を有することを特徴とする。

【 0 0 0 9 】

上記目的を達成するために本発明の情報処理装置の制御方法は以下のような工程を備える。即ち、

それぞれが、処理済み或は処理対象のデータを記憶するメモリを有しクロック発生源からのクロック信号により動作する複数の処理手段を有する情報処理装置の制御方法であって、

前記複数の処理手段の各処理手段を動作させるために、それぞれ周波数の異なる複数の周波数のクロック信号を発生するクロック発生源から出力される複数の周波数のクロック信号のいずれかを選択する選択工程と、

前記複数の処理手段の各処理手段が有するメモリに記憶されているデータ量の情報を取得し、前記取得したデータ量の情報に応じて各処理手段に対するクロック信号を選択するように制御する選択制御工程と、
を有することを特徴とする。

【 0 0 1 0 】

【発明の実施の形態】

以下、添付図面を参照して本発明の好適な実施の形態を詳細に説明する。

【 0 0 1 1 】

図 1 は、本発明の実施の形態に係る携帯型のテレビ電話端末装置の構成を示すブロック図である。図 1 において、各機能ブロック間を接続する線のうち、データ系の接続を太い実

10

20

30

40

50

線で図示し、制御系の接続を細い実線で図示し、クロック系の接続を点線で図示している。但し、全ての接続が図示されているわけではなく、説明に必要な代表的な配線接続のみを図示した。

【 0 0 1 2 】

このテレビ電話端末装置の主要なブロック構成として、撮像した画像信号の取り込みに関する処理を実行する画像取り込みコントローラ 1、その画像信号から生成した画像データに対して画像処理を実行する信号処理プロセッサ 2、画像データに基づく画像表示に関わる処理を行う表示コントローラ 3、画像データをメモリに記憶させるためのメモリ制御を行うメモリコントローラ 4、装置全体の制御を行う C P U 5 を有している。

【 0 0 1 3 】

まず、代表的な動作モードとして、E V F (ビューファインダ) モード、撮影モード、再生モード及びテレビ電話モードのそれぞれについて動作を説明を行う。

【 0 0 1 4 】

[画像取り込みコントローラ 1 の説明]

撮像対象の画像がレンズモジュール 6 を介して C C D 7 上に結像されることにより、その画像に応じた画像信号が C C D 7 から出力される。尚、このレンズモジュール 6 は、レンズ、オート・アイリスのための駆動系、オートフォーカスのための駆動系等を備えており、これら駆動系の制御は図示しない制御信号によって C P U 5 によって行われる。C C D 7 から出力される画像信号は前処理モジュール (CDS・AGC) 8 に入力される。本実施の形態においては、C C D 7 の取り込む有効画素数は 640×480 画素 (VGA 相当) である。前処理モジュール 8 は、C D S (相関二重サンプリング) 及び A G C (自動利得制御) 機能を備えている。また、C C D 7 及び前処理モジュール 8 に対するクロック及びタイミング信号は、タイミング生成回路 (TG) 9 より供給される。前処理モジュール 8 で前処理が施された画像データは、A / D 変換器 (ADC) 10 により 10 ビットのデジタルデータに変換され、タイミング生成回路 (SG) 11 により生成されるピクセルクロック (Pixel Clock) に同期して画像取り込みコントローラ 1 に入力される。

【 0 0 1 5 】

画像取り込みコントローラ 1 に入力された画像データは間引き回路 1 a によって間引き処理され、間引かれた結果であるデータが F I F O 1 b に書き込まれる。この間引き回路 1 a における間引き方式は、図示しない制御信号によって C P U 5 によって予め設定されている。

【 0 0 1 6 】

図 2 (A) は、間引き回路 1 a の動作の一例を示すタイミングチャートである。間引き回路 1 a は、S G 11 から入力されるピクセルクロック (Pixel Clock) を計数するピクセルカウンタ (Pixel Count)、図示しない水平・垂直同期信号に基づいて、画像のライン数を計数するラインカウンタ (Line Num) を備えており、C P U 5 によって予め設定された間引き方式と、これらのカウンタの計数値に基づいて、A D C 10 から入力されるデジタル画像データをラッチし、F I F O 1 b に書き込むためのクロック (Latch Clock) を生成する。

【 0 0 1 7 】

図 2 (A) の例では、水平 640 ピクセル、垂直 480 ラインのデータに対し水平・垂直とも $1/2$ の間引きを行う場合 (320×240 画素: CIF 相当) が例示されている。従って、有効ラインは奇数ラインであり、この期間を示すための信号が Active Line 信号である。また、有効ピクセルは奇数ピクセルであり、これを示す信号が Active Pixel 信号である。

【 0 0 1 8 】

これら信号を基に、図 2 (B) に示すように Pixel Clock、Active Line 信号及び Active Pixel 信号の論理積が取られ、これが F I F O 1 b に書き込むための Latch Clock 信号となる。なお、図 2 (A) において、F I F O 1 b に書き込まれるデータが Data to FIFO である。

【 0 0 1 9 】

尚、この間引き回路 1 a は、フレーム間引き機能も備える構成にすることが可能である。この場合は、更にフレームカウンタを設け、例えば 4 フレームごとに 1 フレームを取り込む場合にはフレームカウンタが「4 の倍数 + 1」のときに Active Frame 信号を生成し、図 2 (B) に示す A N D 回路の入力に加えるようにすればよい。

【 0 0 2 0 】

バスインターフェース回路 (BUS IF) 1 c は、 F I F O 1 b が空でない状態 (何等のデータが書込まれている) を検知すると、メインバス (MB) 上にデータ書き込みのバストランザクションを発生し、メモリコントローラ 4 に F I F O 1 b から読み出したデータを転送する。バスインターフェース回路 1 c は、通常、画像取り込みクロック (Latch Clock) とは非同期のバスクロックで動作している。従って、 F I F O 1 b の読み出しクロックは、 F I F O 1 b の書き込みクロック (Latch Clock) とは非同期であり、 F I F O 1 b はこの非同期のデータ転送を緩衝するために備えられている。

10

【 0 0 2 1 】

尚、このメインバス M B には、他にもバストランザクションを発生するバスマスタが複数接続されている (信号処理プロセッサ 2、表示コントローラ 3、 C P U 5 など) ので、同時に複数のバストランザクションが発生する可能性がある。そのためバスアービタ 1 2 は、1 度に 1 つだけのバスマスタがバストランザクションを発生できるようにバスを調停する。

20

【 0 0 2 2 】

[メモリコントローラ 4 の説明]

メモリコントローラ 4 は、バスインターフェース回路 (BUS IF) 4 a においてバストランザクションを受信し、格納すべき画像データ及びその画像データを格納すべきメモリアドレスを一時バッファ 4 b に書き込む。 S D R A M インターフェース回路 (SDRAM IF) 4 c は、画像メモリである S D R A M 1 3 への各種制御信号を出力するとともに、バッファ 4 b に格納されたメモリアドレス及び画像データを S D R A M 1 3 に出力する。バスインターフェース回路 4 a、バッファ 4 b、 S D R A M インターフェース回路 4 c、及び S D R A M 1 3 は全てバスクロックに同期して動作する。

【 0 0 2 3 】

[信号処理プロセッサ 2 の説明]

信号処理プロセッサ 2 は、画像データの読み出しのためのバストランザクションを発生し、バスクロックで動作するバスインターフェース回路 (BUS IF) 2 a によって、画像取り込みコントローラによって取り込まれた画像データを画像メモリから読み出す。こうして読み出された画像データはバスクロックに同期して双方向 F I F O 2 b に書き込まれる。 D S P (デジタル信号プロセッサ) 2 c は、バスクロックとは異なるクロック (D S P クロック) で動作しており、この D S P クロックに同期して双方向 F I F O 2 b のデータにアクセスして、カラーマトリクス処理により Y C 分離を行い、続いて色補正、エッジ強調、ホワイトバランス調整、ガンマ補正などの処理を行う。このようにして得られた画像データは、モニタ 1 5 への表示に用いられる他、画像圧縮にも用いられる。モニタ 1 5 への表示用に用いる場合は、表示コントローラ 3 が読み出せるように、バスインターフェース回路 2 a を起動して、書き込みのバストランザクションを発生し、 S D R A M 1 3 にデータを転送する。

30

40

【 0 0 2 4 】

[E V F モードの説明]

E V F モードにおいては、上述した動作をフレーム毎に繰り返すことによって、連続したフレームを画像メモリ 1 3 に取り込む。信号処理プロセッサ 2 が画像データを書込む画像メモリの領域としては、同一領域を上書きする動作でよい。表示コントローラ 3 は、その画像メモリの領域より画像データを読み出すことにより表示データを得る。その際、表示コントローラ 3 は、画像データを読み出すためのバストランザクションを発生し、バスクロックで動作するバスインターフェース回路 (BUS IF) 3 a によって画像メモリ 1 3 から

50

表示すべき画像データを読み出す。表示コントローラ 3 は更に、この読み出した画像データをバスクロックに同期して F I F O 3 b の書き込みポートに入力する。N T S C のモニタや液晶ディスプレイに代表されるように、一般に表示装置は画面を絶え間なくリフレッシュする必要があるため、有効画面期間中は、あるピクセルクロックで動作し続けなければならない。そのためバスインターフェース回路 3 a は、F I F O 3 b がフル状態になるまで画像メモリから画像データを読み出し続ける。

【 0 0 2 5 】

次に補間回路 3 c は、表示ピクセルクロックに同期して F I F O 3 b より画像データを読み出す。補間回路 3 c はラインメモリを備えており、F I F O 3 b より読み出された画像データは、まずこのラインメモリに格納される。このラインメモリに格納された画像データは、補間なしの場合は先頭から順に読み出されて N T S C エンコーダ 3 d に入力され、N T S C フォーマットの映像データに変換される。この場合、補間回路 3 c は、1 ピクセル分の画像データが読み出されると、直ちに 1 ピクセル分の画像データを F I F O 3 b から読み出す。ここでライン補間を行う場合は、(補間するライン数 - 1) 分のラインデータを N T S C エンコーダ 3 d に送出した後、次のラインは 1 ピクセル分の画像データを N T S C エンコーダ 3 d に送出する毎に、F I F O 3 b から 1 ピクセル分の画像データを読み出す。例えば、ここでライン方向に 4 倍の補間を施すときは、3 ライン分をそのラインメモリからの画像データで表示し、4 ライン目の表示の際には、そのラインの表示を行いながら F I F O 3 b から次のラインの画像データを読み込んでくるという動作を行う。

【 0 0 2 6 】

N T S C エンコーダ 3 d によって N T S C フォーマットに変換された映像データは、D / A 変換器 (DAC) 1 4 によってアナログ信号に変換された後、N T S C のモニタ 1 5 によって表示される。

【 0 0 2 7 】

上記の動作をフレームごとに連続して行うことにより、E V F モードの動作となる。この E V F モードでは、画像取り込みコントローラ 1 がフレーム間引きを行っていたとしても、各フレーム分の画像データを読み出す必要がある。この場合、表示される画像はこま落としになるが、モニタ 1 5 は一定のフレームレートで動作し続ける必要があるからである。

【 0 0 2 8 】

[撮影モードの説明]

次に、撮影モードでの動作を説明する。この撮影モードでは、1 フレーム分の画像データを取り込んだ後、この画像データを J P E G 圧縮してメモリカード 1 7 などの外部記憶等に記録する。

【 0 0 2 9 】

まず、シャッタ・ボタン等含むスイッチ群 1 6 のシャッタ・ボタンの押下が C P U 5 によって検出されると、C P U 5 は図示しない制御信号により画像取り込みコントローラ 1 に対し、次の 1 フレームの画像データを取り込み、それ以降のフレームの画像データを取り込まないように指示する。同様に、信号処理プロセッサ 2 に対し、次の 1 フレームの画像データに対して圧縮処理を行うように通知する。

【 0 0 3 0 】

画像取り込みコントローラ 1 は、前述の E V F モードの場合とは異なり、1 フレームの画像を取り込んで画像メモリ 1 3 に画像データを転送し終えると、動作を一時停止する。信号処理プロセッサ 2 は、このメモリ 1 3 に格納された 1 フレーム分の画像データを読み出して、E V F モードで表示用の画像データを生成した場合と全く同様にして Y C 分離、色補正、エッジ強調、ホワイトバランス調整、ガンマ補正等の画像処理を行う。その後、直ちにその画像データに対して、D C T 演算処理、量子化処理、可変長符号化処理などを施して得られた符号化データを、画像メモリ 1 3 内の表示用画像データ領域とは別の領域に書き込む。

【 0 0 3 1 】

C P U 5 は、画像メモリ 1 3 に記憶された画像データを読み出し、必要なマーカ等を付加

10

20

30

40

50

してJ P E Gデータとした後に、メモ리카ード17に格納する。こうして1フレーム分の画像データの格納が終了すると、C P U 5は画像取り込みコントローラ1に対して、E V Fモードでの画像信号の取り込み再開するように通知する。

【0032】

なお、メモ리카ード17に格納された符号化された画像データは、P C等のホストコンピュータとのインターフェースを実現するコミュニケーション回路18を介して、P C等からアクセスすることが可能である。本実施の形態においてはコミュニケーション回路18は、例えばシリアルインターフェース、U S B、I r D A、携帯電話モジュールなどを含んでいる。

【0033】

[再生モードの説明]

次に再生モードの動作を説明する。この再生モードでは、画像取り込みコントローラ1の動作は停止している。C P U 5はメモ리카ード17に格納された符号化された圧縮データを読み出してS D R A M 13に書き込む。信号処理プロセッサ2は、このS D R A M 13に書込まれた符号データを読み出して、復号化、逆量子化、逆D C T変換等の画像伸長処理を行って表示可能な画像データとした後、再びS D R A M 13に書き戻す。表示コントローラ3は、この表示可能データをS D R A M 13より読み出して表示動作を行う。

【0034】

[テレビ電話モードの説明]

次に、テレビ電話モードの動作を説明する。前述した撮影モードでは、1フレームの画像データを取り込んだ後、画像取り込みコントローラ1は一時動作を停止した。しかし、このテレビ電話モードでは、画像データの取り込み処理を中断せずに、次々に連続するフレームの画像データを取り込む。このときの取り込みフレームレートは、C P U 5によって設定された間引き方式に基づいて決定される。こうして取り込まれた画像データは撮影モードの場合と同様の処理によって信号処理プロセッサ2により画像処理及び画像圧縮・符号化処理が施されて、S D R A M 13に書き込まれる。こうしてS D R A M 13に書き込まれた符号データは、C P U 5により読み出され、所定のマーカ等が挿入された後、コミュニケーション回路18の携帯電話モジュールによって電話回線を通じて通話相手に伝送される。

【0035】

一方、電話回線を通じて通話相手より受信した符号データは、コミュニケーション回路18からC P U 5を経由してS D R A M 13に書き込まれる。信号処理プロセッサ2は、このS D R A M 13に書込まれた符号データを読み出して、復号化、逆量子化、逆D C T変換等の画像伸長処理を行って表示可能な画像データとした後、再びS D R A M 13に書き戻す。表示コントローラ3は、表示すべき画像データをS D R A M 13より読み出してモニタ15に表示するように表示動作を行う。

【0036】

以上のようにして、C C D 7により撮像した画像を通話相手に電送するとともに、通信相手から送られてくる画像データを受信してモニタ15に表示することができる。

【0037】

[クロックの説明]

次に、画像取り込みコントローラ1、信号処理プロセッサ2、表示コントローラ3及びメモリコントローラ4のそれぞれに供給されるクロックについて説明する。

【0038】

クロック発生器(CG)19, 20, 21, 22は、C P U 5により、そのクロック出力をオン/オフできる可変クロック発生器である。クロック発生器(CG(C))19は、S G 11及び画像取り込みコントローラ1の画像取り込み部(間引き回路1a、F I F O 1b)の動作クロックを生成する。クロック発生器(CG(D))20は、D S P 2cの動作クロックを生成する。クロック発生器(CG(B))21は、各コントローラのバスインターフェース部の動作クロックを生成する。クロック発生器(CG(N))22は、表示コントローラ3

10

20

30

40

50

の F I F O 3 b、補間回路 3 c、N T S C エンコーダ 3 d 及び D / A 変換器 1 4 の動作クロックを生成する。

【 0 0 3 9 】

またクロック発生器 2 1 から出力されるバスクロックは、各コントローラのバスインターフェース回路に供給されるが、各コントローラ毎にクロック供給を停止できるようにクロックゲート回路 (G) 2 3 , 2 4 , 2 5 , 2 6 を備えている。この内、クロックゲート回路 2 6 は C P U 5 によって制御され、クロックゲート回路 2 3 は F I F O 1 b からの制御信号により制御され、クロックゲート回路 2 4 は F I F O 2 b からの、クロックゲート回路 2 5 は F I F O 3 b からの制御信号により制御される。

【 0 0 4 0 】

次に、動作モードに応じて間引き回路 1 a、補間回路 3 c の設定をどのように制御するかを説明する。

【 0 0 4 1 】

動作モードの変更は、ユーザによるスイッチ群 1 6 の操作によって行われる。スイッチの構成は様々な例が考えられるが、本実施の形態ではダイヤルと押しボタンにより構成する。ダイヤルの回転により動作モードの候補が順次更新されて表示され、その候補が表示されている時に押しボタンの押下により、その表示されている動作モードが実際の動作モードとして選択される。この動作モードの選択のイベントにより C P U 5 に割り込みが発生し、R O M 2 7 に格納された割り込み処理ルーチンにより、動作モードの変更処理ルーチンが実行される。

【 0 0 4 2 】

この動作モード変更処理ルーチンでは、新たに選択された動作モードを読み取り、その読み取られた動作モードに対応して間引き回路 1 a 及び補間回路 3 c に初期値が設定される。これら間引き回路 1 a 及び補間回路 3 c に設定されるデフォルト値は、工場出荷時の R O M 2 7 に格納されている。ユーザが設定値を変更した場合は、その変更したことを示すフラグと共に、その変更を加えた部分の対応が R A M 2 8 に記録される。

【 0 0 4 3 】

図 3 は、動作モードと間引き方式及び補間方式の設定値の対応例を説明する図である。

【 0 0 4 4 】

ここでは動作モードとして、E V F、撮影、再生、テレビ電話の 4 種類が定義されている。間引き方式は解像度 (図中ではサイズ (size) と表記) とフレームレート (図中ではフレーム (frame) と表記) とに分けて示しており、補間方式は解像度のみを示してある。なぜなら本実施の形態では、表示が N T S C 出力であるためフレームレートが一定だからである。解像度の間引き・補間方式は縦横 1 / 2 間引き・補間の場合を「 C I F 」として示し、縦横 1 / 4 間引き・補間の場合を「 Q C I F 」として示している。またフレームレートは、1 秒間に 3 0 フレームならば 3 0 フレーム / s (frame/s) のように示している。また、停止状態を示す場合は「 - 」と図示している。

【 0 0 4 5 】

図 3 に示す例によれば、動作モード変更ルーチンが読み取った新たな動作モードが E V F モードだった場合は、解像度の間引き・補間方式は「 C I F 」であり、フレームレートは 3 0 フレーム / s と設定する。また撮影モードでは、表示は停止しており、画像取り込みとしては V G A を 1 フレームだけ取り込むように設定する。更に再生モードの場合は、画像取り込みは停止しており、表示としては「 V G A 」を表示する。またテレビ電話モードの場合は、解像度の間引き・補間方式は「 Q C I F 」であり、フレームレートは 1 5 フレーム / s と設定する。C P U 5 は、この図 3 の内容に相当するデータを R O M 2 7 又は R A M 2 8 より読み出して間引き回路 1 a における間引き方式、及び補間回路 3 c における補間方式の設定を得る。

【 0 0 4 6 】

次にクロック発生器 1 9 ~ 2 2 及びクロックゲート回路 2 3 ~ 2 6 の設定をどのように制御するかを説明する。

10

20

30

40

50

【 0 0 4 7 】

クロック発生器 1 9 は、C P U 5 からのオン信号によりピクセルクロックとして 1 3 . 5 M H z のクロック信号を出力する。このピクセルクロックは通常オン（出力される）であるが、再生モードの場合は新たに画像信号を取り込む必要はないためオフとされる。

【 0 0 4 8 】

クロック発生器 2 0 は、C P U 5 からの 2 ビットのクロック選択信号により 4 種類の周波数のクロックを発生することができる。即ち、選択信号が “ 0 0 ” の場合は 0 M H z 、即ちクロックの発生が停止された状態であり、“ 0 1 ” の場合は 5 0 M H z のクロックを出力し、“ 1 0 ” の場合は 1 0 0 M H z のクロックを出力し、“ 1 1 ” の場合には 1 5 0 M H z のクロックを出力する。この 2 ビットの選択信号は、R O M 2 7 に格納されて C P U 5 により読み出されて実行される制御プログラムによって制御される。即ち、動作モードと処理する画像データの解像度により単位時間に処理すべき画像データの量が異なるため、例えば E V F モードでは V G A の場合は 1 0 0 M H z で動作させ、C I F 及び Q C I F では 5 0 M H z で動作させるが、テレビ電話モードでは V G A の場合は 1 5 0 M H z で動作させ、C I F の場合は 1 0 0 M H z で動作させ、Q C I F の場合は 5 0 M H z で動作させる、というような制御を行う。

【 0 0 4 9 】

クロック発生器 2 1 は、C P U 5 からのオン / オフ信号により起動 / 停止するとともに、起動状態にあっても F I F O 1 b , 2 b , 3 b からの制御信号によって、その発生するクロックの周波数が変更される。

【 0 0 5 0 】

図 4 は、クロック発生器 2 1 の一例を示すブロック図である。

【 0 0 5 1 】

2 1 a はクロック原発振器で、8 0 M H z のクロックを常時発生している。2 1 b はクロックの 1 / 2 分周器であり、8 0 M H z のクロック信号が入力され 4 0 M H z のクロック信号を出力する。2 1 c はクロックの 1 / 2 分周器であり、4 0 M H z のクロック信号が入力されて 2 0 M H z のクロック信号を出力する。2 1 d はクロックの 1 / 2 分周器であり、2 0 M H z のクロック信号が入力されて 1 0 M H z のクロック信号を出力する。2 1 e はクロックセレクタで、4 つのクロック入力 A , B , C , D のうち 1 つのクロックを選択信号 Sel A , Sel B , Sel C , Sel D に応じて出力端子 Out に出力する。

【 0 0 5 2 】

図 5 は、このクロックセレクタ 2 1 e におけるクロック信号の選択処理を説明する図である。

【 0 0 5 3 】

選択信号 Sel A , Sel B , Sel C , Sel D の順にプライオリティが高くなり、例えば Sel D が “ 1 ” の場合は、他の選択信号の状態に拘わらず D 端子に入力されたクロック信号が Out 端子に出力される。ここで入力 A , B , C , D のそれぞれには、前述した周波数 1 0 M H z , 2 0 M H z , 4 0 M H z , 8 0 M H z のクロック信号がそれぞれ入力されている。また、端子 Sel A には A N D 回路 2 1 f の出力が、端子 Sel B には O R 2 1 g の出力が、端子 Sel C には O R 2 1 h の出力が、そして端子 Sel D には O R 2 1 i の出力がそれぞれ接続されている。また A N D 2 1 f , O R 2 1 g , 2 1 h , 2 1 i の各入力には、F I F O 1 b , 2 b , 3 b のポインタステータス信号がそれぞれ接続される。各々のポインタステータス信号の意味するところを、F I F O 1 b の一例の構成図である図 6 、F I F O 2 b の一例の構成図である図 7 、F I F O 3 b の一例の構成図である図 8 を用いて説明する。

【 0 0 5 4 】

図 6 は、本実施の形態の F I F O 1 b の構成例を示すブロック図である。

【 0 0 5 5 】

この F I F O 1 b は、同期型デュアルポート S R A M 1 b 0 、書き込み制御回路 1 b 1 、書き込みアドレス生成（ポインタ生成）回路 1 b 2 、読み出し制御回路 1 b 3 、読み出しアドレス生成（ポインタ生成）回路 1 b 4 及びポインタステータス生成回路 1 b 5 を備え

10

20

30

40

50

ている。

【 0 0 5 6 】

デュアルポートSRAM 1 b 0 は、例えば 1 2 8 (ワード) × 8 (ビット) のデュアルポートSRAMで、間引き回路 1 a よりの書き込み有効信号 (write en) が入力されるとCCDのピクセルクロック (ccd clk) に同期してCCDデータであるWRITE DATAが、書き込みアドレス生成 (ポインタ生成) 回路 1 b 2 から出力されるメモリアドレスに書き込まれる。こうしてデュアルポートSRAM 1 b 0 に 1 つの画像データが書き込まれた後、書き込むアドレス生成回路 1 b 2 から出力される書き込みアドレスは 1 だけインクリメントされる。また読み出し動作は、バスインターフェース回路 1 c からの読み出し有効信号 (read en) が入力されるとバスクロック (bus clk) に同期して読み出しアドレス生成 (ポインタ生成) 回路 1 b 4 の生成するポインタの示すアドレスからREAD DATAが出力される。

10

【 0 0 5 7 】

こうして 1 つの画像データが読み出された後、読出しアドレス生成回路 1 b 4 から出力される読み出しアドレスは 1 だけインクリメントされる。ポインタステータス回路 1 b 5 は、書き込みポインタ (アドレス) と読み出しポインタ (アドレス) の差の絶対値を演算することにより、FIFO 1 b のステータスを出力する。例えば、差の絶対値が “ 0 ” の場合は、FIFO 1 b が空であることを示すので「 1 b : E m p t y 」信号を出力する。また、この差の絶対値がFIFO 1 b の容量 (1 2 8 ワード) の 8 0 % 以上の場合は、FIFO 1 b の有効データがFIFO 1 b の容量の 2 0 % 以下であることを示すので「 1 b < 2 0 % 」信号を出力する。同様に、FIFO 1 b の有効データが 2 0 % から 4 0 % の間の場合は「 1 b > 2 0 % 」信号を出力し、4 0 % から 6 0 % の間の場合は「 1 b > 4 0 % 」信号を出力し、6 0 % 以上の場合は「 1 b > 6 0 % 」信号を出力する。

20

【 0 0 5 8 】

図 7 は、FIFO 2 b の構成を示すブロック図である。

【 0 0 5 9 】

このFIFO 2 b は、バスインターフェース回路 2 a からDSP 2 c 方向のFIFOと逆向きのFIFOの組み合わせとして実現される。バスインターフェース回路 2 a からDSP 2 c 方向のFIFOは、同期型デュアルポートSRAM 2 b 0、書き込み制御回路 2 b 1、書き込みアドレス生成 (ポインタ生成) 回路 2 b 2、読み出し制御回路 2 b 3、読み出しアドレス生成 (ポインタ生成) 回路 2 b 4 及びポインタステータス生成回路 2 b 5 を備えている。

30

【 0 0 6 0 】

一方、DSP 2 c からバスインターフェース回路 2 a 向きのFIFOは、同期型デュアルポートSRAM 2 b 6、書き込みアドレス生成 (ポインタ生成) 回路 2 b 7、読み出しアドレス生成 (ポインタ生成) 回路 2 b 8、書き込み制御回路 2 b 9、読み出し制御回路 2 b 10 及びポインタステータス生成回路 2 b 11 を備えている。

【 0 0 6 1 】

デュアルポートSRAM 2 b 0 は、例えば 1 2 8 (ワード) × 8 (ビット) のデュアルポートSRAMであり、バスインターフェース回路 2 a よりの書き込み有効信号 (write en) が入力されるとバスクロック (bus clk) に同期してバス転送データであるWRITE DATAが書き込みアドレス生成 (ポインタ生成) 回路 2 b 2 の生成するメモリアドレスに書き込まれる。このデータの書き込み後、書き込みアドレス生成回路 2 b 2 から出力される書き込みポインタ (アドレス) はインクリメントされる。また読み出し動作は、DSP 2 c からの読み出し有効信号 (read en) が入力されるとDSPクロック (dsp clk) に同期して読み出しアドレス生成 (ポインタ生成) 回路 2 b 4 の生成するポインタの示すアドレスからREAD DATAが出力されるので、これを読み出す。このデータの読み出し後、読み出しアドレス生成回路 2 b 4 から出力される読み出しポインタはインクリメントされる。ポインタステータス回路 2 b 5 は、これら書き込みポインタと読み出しポインタの差の絶対値を演算することにより、FIFO 2 b のステータスデータを出力する。

40

【 0 0 6 2 】

50

またデュアルポートSRAM 2b6は、例えば128(ワード)×8(ビット)のデュアルポートSRAMで、DSP 2cからの書き込み有効信号(write en)が入力されるとDSPクロック(dsp clk)に同期してバス転送データであるWRITE DATAが書き込みアドレス生成(ポインタ生成)回路2b7の生成するメモリアドレスに書き込まれる。このデータ書き込み後、書き込みアドレス生成回路2b7から出力される書き込みポインタはインクリメントされる。また読み出し動作は、バスインターフェース回路2aからの読み出し有効信号(read en)が入力されるとバスクロック(bus clk)に同期して読み出しアドレス生成(ポインタ生成)回路2b8の生成するポインタの示すメモリアドレスからREAD DATAを出力するので、これを読み出す。このデータの読み出し後、読み出しアドレス生成回路2b8から出力される読み出しポインタがインクリメントされる。ポインタステータス回路2b11は、これら書き込みポインタと読み出しポインタの差の絶対値を演算することにより、FIFO 2bのステータスを出力する。

10

【0063】

FIFO 2bのポインタステータス信号は、上記ポインタステータス回路2b5、2b11の出力の演算により生成される。例えば、2つのFIFOポインタの差の絶対値がともに“0”の場合はFIFO 2bが空であることを示すのでAND 2b12により「2b: Empty」信号を出力する。2つのFIFOポインタの差の絶対値がともにFIFO 2bの容量(128ワード)の80%以上の場合はFIFO 2bの有効データがFIFO 2bの容量の20%以下であることを示すので、AND 2b13により「2b < 20%」信号を出力する。同様に、少なくとも一方のFIFOの有効データが20%から40%の間の場合は、OR 2b14により「2b > 20%」信号を出力し、少なくとも一方が40%から60%の間の場合はOR 2b15により「2b > 40%」信号を出力し、更に少なくとも一方が60%以上の場合は、OR 2b16により「2b > 60%」信号を出力する。

20

【0064】

図8は、FIFO 3bの構成を示すブロック図である。

【0065】

図8に示すように、FIFO 3bは同期型デュアルポートSRAM 3b0、書き込み制御回路3b1、書き込みアドレス生成(ポインタ生成)回路3b2、読み出し制御回路3b3、読み出しアドレス生成(ポインタ生成)回路3b4及びポインタステータス生成回路3b5を備えている。

30

【0066】

ここで3b0は、例えば128(ワード)×8(ビット)のデュアルポートSRAMであり、バスインターフェース回路3aよりの書き込み有効信号(write en)が入力されるとバスクロック(bus clk)に同期してバス転送データであるWRITE DATAが書き込みアドレス生成(ポインタ生成)回路3b2の生成するメモリアドレスに書き込まれる。このデータ書き込み後、書き込みアドレス生成回路3b2から出力される書き込みポインタがインクリメントされる。また読み出し動作は、補間回路3cからの読み出し有効信号(read en)が入力されると表示クロック(dispc clk)に同期して読み出しアドレス生成(ポインタ生成)回路3b4の生成するポインタの示すメモリアドレスからREAD DATAを出力するのでこれを読み出す。このデータの読み出し後、読み出しアドレス生成回路3b4から出力される読み出しポインタがインクリメントされる。ポインタステータス回路3b5は、これら書き込みポインタと読み出しポインタの差の絶対値を演算することにより、FIFO 3bのステータスを出力する。例えば、差の絶対値が“128”の場合はFIFO 3bが一杯であることを示すので「3b: full」信号を出力し、差の絶対値がFIFO 3bの容量(128ワード)の20%以下の場合は、FIFO 3bの有効データがFIFO容量の80%以上であることを示すので「3b > 80%」信号を出力する。同様に、FIFO 3bの有効データが80%から60%の間の場合は「3b < 80%」信号を出力し、60%から40%の間の場合は「3b < 60%」信号を出力し、40%以下の場合は「3b < 40%」信号を出力する。

40

【0067】

50

再び図 4 を用いてクロック発生器 2 1 の動作を説明する。

【 0 0 6 8 】

各 F I F O より入力されるポインタステータス信号は、A N D 2 1 f , O R 2 1 g , 2 1 h , 2 1 i に入力される。ここで F I F O 1 b , 2 b は F I F O 内の有効データが少ないほどバスの転送能力に余裕があることを示している。

【 0 0 6 9 】

一方、F I F O 3 b は空き容量がある限りデータを先読みするため、F I F O 3 b が F U L L に近いほどバスの転送能力に余裕があることを示す。A N D 2 1 f には、「1 b < 2 0 %」信号と「2 b < 2 0 %」信号と「3 b > 8 0 %」信号が入力されており、全ての入力が“ 1 ”である状態は全てのバスマスタにとってバス転送能力が十分あることを示している。従って、クロックの周波数を最低に設定することができるので、A N D 2 1 f の出力を Sel A 入力とし、周波数 1 0 M H z のクロック信号が選択されるようにする。

10

【 0 0 7 0 】

次に転送すべきデータ量が増加して F I F O 1 b 又は F I F O 2 b の少なくとも一方が 2 0 % を超えるか、或は F I F O 3 b が 8 0 % を下回った場合は、O R 2 1 g の出力が“ 1 ”となり、周波数 2 0 M H z のクロック信号が選択される。更に転送すべきデータ量が増加して F I F O 1 b 又は F I F O 2 b の少なくとも一方が 4 0 % を超えるか、或は F I F O 3 b が 6 0 % を下回った場合、O R 2 1 b の出力が“ 1 ”となり、周波数 4 0 M H z のクロック信号が選択される。更に転送すべきデータ量が増加して F I F O 1 b 又は F I F O 2 b の少なくとも一方が 6 0 % を超えるか、或は F I F O 3 b が 4 0 % を下回った場合、O R 2 1 i の出力が“ 1 ”となり、周波数 8 0 M H z のクロック信号が選択される。即ち、少なくとも 1 つのバスマスタのデータ転送能力が不足してきたことを動的に検知してバスクロックの周波数を自動的に高くすることができる。なお、クロック発生器 2 1 のバスクロックを停止するためには、C P U 5 によってクロックオン信号を“ 0 ”に設定する。こうすることにより A N D ゲート 2 1 j によってセレクト 2 1 e で選択されたバスクロックがゲートされ、クロック信号の出力が停止される。

20

【 0 0 7 1 】

一方、クロック発生器 2 2 は、C P U 5 からのオン信号によりピクセルクロックとして周波数 1 3 . 5 M H z のクロック信号を出力する。

【 0 0 7 2 】

30

次に、クロックゲート回路 2 3 , 2 4 , 2 5 の動作をクロックゲート回路の一例の構成図を用いて説明する。

【 0 0 7 3 】

図 9 は、クロックゲート回路 2 3 を説明する回路図である。

【 0 0 7 4 】

図 9 に示すように、クロックゲート回路 2 3 は、バスクロック (bus clk) を F I F O 1 b のエンプティ信号である「1 b : Empty」信号 (図 6) の反転信号でゲートする。即ち、画像取り込みコントローラ 1 の取り込みデータがなくなると自動的に画像取り込みコントローラ 1 のバスインターフェース回路 1 a の動作クロック及び F I F O 1 b の読み出しクロックが停止する。

40

【 0 0 7 5 】

図 1 0 は、クロックゲート回路 2 4 を説明する回路図である。

【 0 0 7 6 】

図 1 0 に示すように、クロックゲート回路 2 4 は、バスクロック (bus clk) を F I F O 2 b のエンプティ信号である「2 b : Empty」信号 (図 7) の反転信号でゲートする。即ち、信号処理プロセッサ 2 の処理データがなくなると自動的に信号処理プロセッサ 2 のバスインターフェース回路 2 a の動作クロック及び F I F O 2 b のバス側クロックが停止する。

【 0 0 7 7 】

図 1 1 は、クロックゲート回路 2 5 を説明する回路図である。

50

【 0 0 7 8 】

図 1 1 に示すように、クロックゲート回路 2 5 は、バスクロック (bus clk) を F I F O 3 b のフル信号である「3 b : full」信号 (図 8) の反転信号でゲートする。即ち、表示コントローラ 3 の表示データをそれ以上読み出せない状態になると自動的に表示コントローラ 2 のバスインターフェース回路 3 a の動作クロック及び F I F O 3 b の書き込みクロックが停止する。

【 0 0 7 9 】

フレームレートに対応するクロック発生器 1 9 ~ 2 2 及びクロックゲート回路 2 3 ~ 2 6 の設定は、C P U 5 によってフレームごとにクロック発生器及びクロックゲート回路を制御することによって行う。例えば、E V F モードにおいてフレームレートが 1 0 フレーム / s と設定されていたならば、画像取り込みコントローラ 1 及び信号処理プロセッサ 2 は、3 フレームにつき 1 フレームだけ処理を行えばよいので、取り込みを行わない 3 フレーム中 2 フレーム分の期間はクロックゲート回路 2 3 及び 2 4 及びクロック発生器 2 0 により、画像取り込みコントローラ 1 及び信号処理プロセッサ 2 へのクロック信号の供給を停止させる。

【 0 0 8 0 】

本実施の形態に示したような間引き方式、補間方式の設定とクロック周波数の制御によれば、あらゆる動作モードにおいてユーザの望む解像度やフレームレートを柔軟に設定できるとともに、ユーザの設定した解像度やフレームレートで正常に動作するためのクロック周波数が自動的に設定されるので、あらゆる動作状況においても最大限の省電力効果が得られる。

【 0 0 8 1 】

なお本発明は、複数の機器 (例えばホストコンピュータ、インターフェース機器、リーダ、プリンタなど) から構成されるシステムに適用しても、一つの機器からなる装置 (例えば、複写機、ファクシミリ装置など) に適用してもよい。

【 0 0 8 2 】

また本発明の目的は、前述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体 (又は記録媒体) を、システム或は装置に供給し、そのシステム或は装置のコンピュータ (又は CPU や MPU) が記憶媒体に格納されたプログラムコードを読み出し実行することによっても達成される。この場合、記憶媒体から読み出されたプログラムコード自体が前述した実施形態の機能を実現することになり、そのプログラムコードを記憶した記憶媒体は本発明を構成することになる。また、コンピュータが読み出したプログラムコードを実行することにより、前述した実施形態の機能が実現されるだけでなく、そのプログラムコードの指示に基づき、コンピュータ上で稼働しているオペレーティングシステム (OS) などが実際の処理の一部又は全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれる。

【 0 0 8 3 】

更に、記憶媒体から読み出されたプログラムコードが、コンピュータに挿入された機能拡張カードやコンピュータに接続された機能拡張ユニットに備わるメモリに書込まれた後、そのプログラムコードの指示に基づき、その機能拡張カードや機能拡張ユニットに備わる CPU などが実際の処理の一部又は全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれる。

【 0 0 8 4 】

以上に述べたように本実施の形態の携帯型のテレビ電話端末装置によれば、ユーザの利用形態に応じた柔軟な画質の制御が極めて容易に実現可能となり、また、いかなる動作モードにおいても最大限の消費電力削減を行えるという効果がある。

【 0 0 8 5 】

【発明の効果】

以上説明したように本発明によれば、複数の処理手段のそれぞれに供給するクロック信号の周波数を、各処理手段が有するメモリに記憶されているデータ量の情報に応じて切り

替えることにより、装置全体の消費電力を抑えることができる。

【図面の簡単な説明】

【図 1】本発明の実施の形態に係る携帯型のテレビ電話端末装置の構成を示すブロック図である。

【図 2】本実施の形態の間引き回路の動作の一例を示すタイミングチャート (A) 及びラッチクロック (Latch Clock) の生成回路を示す図 (B) である。

【図 3】動作モードと間引き方式及び補間方式の対応を説明する図である。

【図 4】本実施の形態に係るクロック発生器の構成を示すブロック図である。

【図 5】図 4 のクロックセクタにおけるクロック選択を説明する図である。

【図 6】本実施の形態に係る FIFO 1 b の構成例を示すブロック図である。

【図 7】本実施の形態に係る FIFO 2 b の構成例を示すブロック図である。

【図 8】本実施の形態に係る FIFO 3 b の構成例を示すブロック図である。

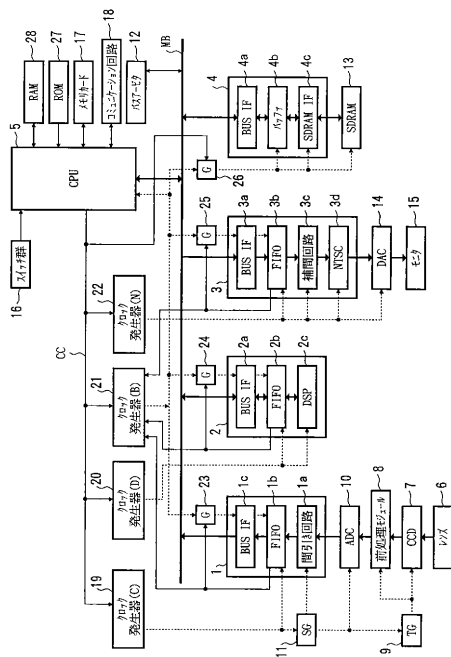
【図 9】本実施の形態に係るクロックゲート回路 2 3 の構成例を示す図である。

【図 10】本実施の形態に係るクロックゲート回路 2 4 の構成例を示す図である。

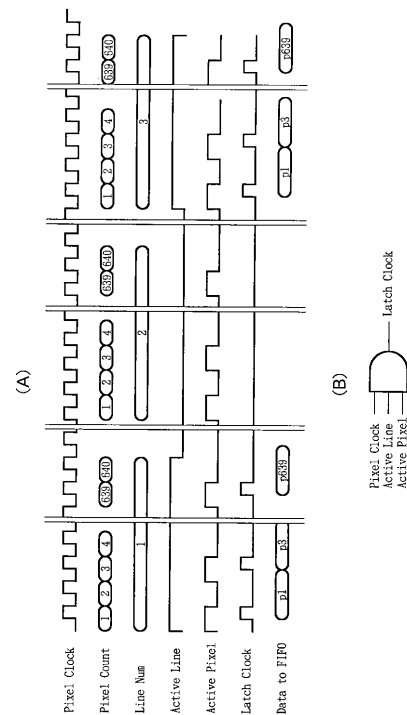
【図 11】本実施の形態に係るクロックゲート回路 2 5 の構成例を示す図である。

10

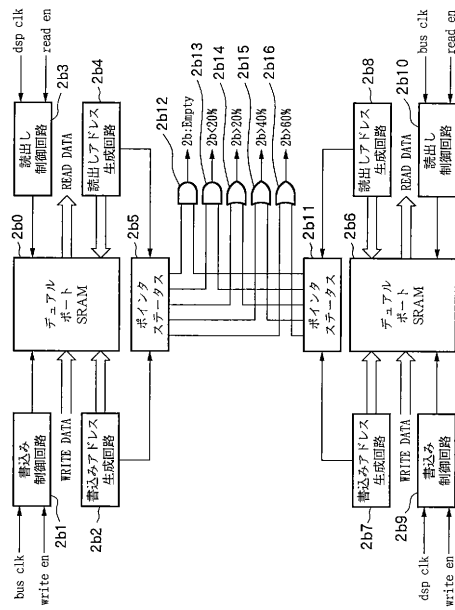
【図 1】



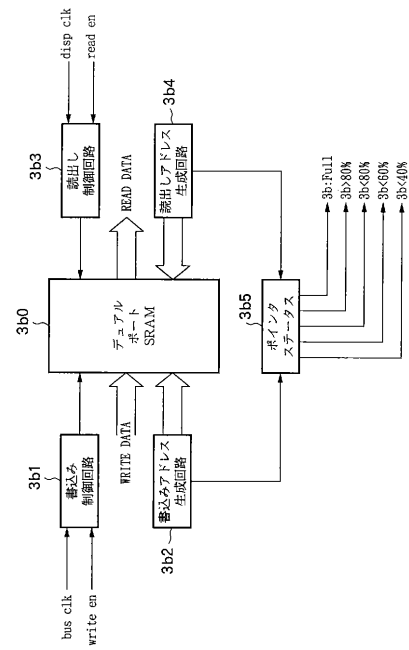
【図 2】



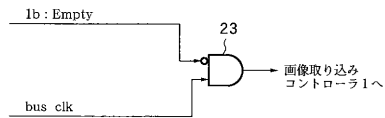
【図 7】



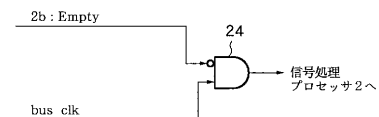
【図 8】



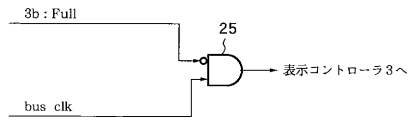
【図 9】



【図 10】



【図 11】



フロントページの続き

審査官 西脇 博志

- (56)参考文献 特開平 0 9 - 2 9 8 7 2 7 (J P , A)
特開平 0 6 - 3 5 1 0 1 0 (J P , A)
特開平 1 1 - 2 6 1 9 8 2 (J P , A)
特開平 1 1 - 3 0 8 5 8 7 (J P , A)
特開平 0 7 - 2 1 2 7 3 6 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
H04M 1/00-1/82
11/00-11/10