



[12] 发明专利申请公开说明书

[21] 申请号 200410070331.9

[43] 公开日 2005 年 2 月 16 日

[11] 公开号 CN 1581494A

[22] 申请日 2004.7.29

[74] 专利代理机构 北京三友知识产权代理有限公司
代理人 王一斌

[21] 申请号 200410070331.9

[30] 优先权

[32] 2003.8.1 [33] US [31] 60/491,698

[71] 申请人 台湾积体电路制造股份有限公司

地址 台湾省新竹科学工业园区

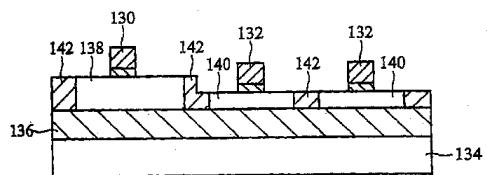
[72] 发明人 杨育佳 杨富量 胡正明

权利要求书 3 页 说明书 20 页 附图 13 页

[54] 发明名称 以部分空乏与完全空乏晶体管建构的静态存储元件

[57] 摘要

本发明是一种以部分空乏与完全空乏晶体管建构的静态存储元件，所述静态存储元件包括一第一反相器、一第二反相器、一第一完全空乏绝缘层上半导体晶体管以及一第二完全空乏绝缘层上半导体晶体管；第一反相器有一耦接至一左位元节点的输入与一耦接至右位元节点的输出，第二反相器有一耦接至一右位元节点的输入与一耦接至左位元节点的输出，第一完全空乏绝缘层上半导体晶体管有一耦接至左位元节点的漏极，而第二完全空乏绝缘层上半导体晶体管有一耦接至右位元节点的漏极。



1、一种静态存储元件，其特征在于所述静态存储元件包括：

一第一反相器，有一耦接至一左位元节点的输入，以及一耦接至一右位元节点的输出；

5 一第二反相器，有一耦接至一右位元节点的输入，以及一耦接至一左位元节点的输出；

一第一完全空乏绝缘层上半导体晶体管，有一耦接至一左位元节点的漏极；

10 一第二完全空乏绝缘层上半导体晶体管，有一耦接至一右位元节点的漏极；

一对互补的位元线，包括一左位元线以及一右位元线，其中左位元线耦接至该第一完全空乏绝缘层上半导体晶体管的源极，且右位元线耦接至该第二完全空乏绝缘层上半导体晶体管的源极；以及

15 一字符线，该字符线耦接至该第一完全空乏绝缘层上半导体晶体管的栅极以及该第二完全空乏绝缘层上半导体晶体管的栅极。

2、根据权利要求 1 所述的静态存储元件，其特征在于：该第一与第二反相器皆包括：

一部分空乏 n 沟道下拉晶体管；以及

一 p 沟道上拉晶体管，与该 n 沟道下拉晶体管串联耦接。

20 3、根据权利要求 2 所述的静态存储元件，其特征在于：该 p 沟道上拉晶体管包括一部分空乏 p 沟道上拉晶体管。

4、根据权利要求 2 所述的静态存储元件，其特征在于：该部分空乏绝缘层上半导体晶体管有一空乏宽度与基底厚度，该空乏区宽度比基底厚度要小。

25 5、根据权利要求 1 所述的静态存储元件，其特征在于：该第一与第

二完全空乏绝缘层上半导体晶体管包括绝缘硅晶体管。

6、根据权利要求 5 所述的静态存储元件，其特征在于：该第一与第二完全空乏绝缘层上半导体晶体管各具有一空乏宽度及基底厚度，该空乏宽度比基底厚度要宽。

5 7、根据权利要求 1 所述的静态存储元件，其特征在于：该第一与第二完全空乏绝缘层上半导体晶体管包括多重闸晶体管。

8、根据权利要求 1 所述的静态存储元件，其特征在于：该第一与第二完全空乏绝缘层上半导体晶体管包括 n 沟道晶体管。

9、根据权利要求 1 所述的静态存储元件，其特征在于：该第一与第 10 二完全空乏绝缘层上半导体晶体管包括 p 沟道晶体管。

10、根据权利要求 1 所述的静态存储元件，其特征在于：该第一与第二反相器各包含一串联耦接至一 p 沟道上拉晶体管的 n 沟道下拉晶体管，且其中该第一与第二完全空乏绝缘层上半导体晶体管有一电导值，该电导值小于该 n 沟道下拉晶体管的电导。

15 11、根据权利要求 1 所述的静态存储元件，其特征在于：该第一与第二完全空乏绝缘层上半导体晶体管各包括：

一垂直半导体鳍，该垂直半导体鳍形成于一绝缘层上，该鳍有一上表面以及两侧壁表面，该绝缘层位于一基板上；

一栅极介电层，该栅极介电层覆盖于该半导体鳍上；

20 一栅极电极，该栅极电极包覆于该半导体鳍的该上表面与该两侧壁表面，且位于栅极介电层之上；以及

一源极与漏极区域，位于该半导体鳍内，且在栅极电极的两侧。

12、根据权利要求 11 所述的静态存储元件，其特征在于：该栅极介电层位于该鳍的上表面的厚度异于位于该鳍的侧壁表面上的该栅极介电层的厚度。

25 13、根据权利要求 12 所述的静态存储元件，其特征在于：该栅极介

电层位于该鳍的上表面的厚度比位于该鳍的侧壁表面的该栅极介电层的厚度要薄。

14、根据权利要求 1 所述的静态存储元件，其特征在于：该第一与第二完全空乏绝缘层上半导体晶体管各有一带有应变的沟道区。

5 15、根据权利要求 1 所述的静态存储元件，其特征在于：该第一与第二反相器各包含一部分空乏绝缘层上半导体晶体管，且有一带有应变的沟道区。

以部分空乏与完全空乏晶体管建构的静态存储元件

5 技术领域

本发明是有关于半导体元件，且特别是有关于以部分空乏及完全空乏晶体管建构的绝缘层上半导体静态随机存取存储器。

10 背景技术

对高性能电路的渴求持续驱动着高速次百奈米 (sub-100 nanometer) 绝缘硅 (silicon-on-insulator; SOI) 互补式金氧半 (CMOS) 技术的发展。在绝缘硅技术中，金氧半场效晶体管 (MOSFET) 形成于覆盖绝缘材质 (如：15 硅氧化合物) 的硅薄膜上，于绝缘硅上形成的元件与于块晶 (bulk) 硅上形成的元件相较下，提供了许多优点：包括较小的接面电容、无逆基体效应 (reverse body effect)、抗软性错误性 (soft-error immunity)、介电质完全绝缘性以及无栓锁效应 (latch-up)，绝缘硅技术因此可提升高速性能、封装密度，并降低功耗 (power consumption)。

20 最常使用以及可用于实际量产的绝缘硅技术为部分空乏绝缘硅技术，使用此技术制造的晶体管有一部分空乏基底区，也就是部分空乏绝缘硅晶体管的基底的厚度比空乏层的最大宽度要厚，使得基底的一区域未遭空乏，部分空乏绝缘硅晶体管的未空乏基底未被施加任何电压，且一般被描述为一浮动基底 (floating body) 区。

25 虽然部分空乏绝缘硅晶体管具有高度可生产性的优点，但因浮动基底效应的存在，而使此技术的使用者面临了沉重的设计负担；在部分空乏绝缘硅晶体管中，因冲击离子化 (impact ionization) 而产生于源/漏极

附近的电荷载子，会在晶体管的源/漏极附近累积，当足够的载子于在沟道区下方形成的浮动基底中累积时，基底的电位会因此而改变。

浮动基底效应因浮动基底中的电荷累积而发生于部分空乏绝缘硅元件中，这会造成元件的电流-电压曲线的扭曲(kink)，因此造成电路电性的退化；一般而言，部分空乏绝缘硅元件的基底电位可能会在静态、动态或瞬时元件操作中改变，同时亦为许多因素(如：温度、电压、电路架构以及开关状态历史)的函数，由于部分空乏绝缘硅晶体管的基底电位视开关状态历史而定，元件特性也因开关状态历史而变，造成所谓的历史效应(history effect)。因此，使用部分空乏绝缘硅晶体管作电路设计并不直观，且在采用部分空乏绝缘硅技术或从块晶硅设计转换至部分空乏绝缘硅设计之前，有着相当重大的障碍。

发明内容

本发明的较佳实施例是有关于半导体元件的制造，且特别是有关于以部分空乏及完全空乏晶体管建构的绝缘层上半导体静态随机存取存储器的实施例。

在实施例中，提供了一静态存储元件包括一第一反相器、一第二反相器、一第一完全空乏的绝缘层上半导体晶体管以及一第二完全空乏的绝缘层上半导体晶体管；第一反相器有一与左位元节点耦接的输入以及一与右位元节点耦接的输出；第二反相器有一与右位元节点耦接的输入以及一与左位元节点耦接的输出；第一完全空乏的绝缘层上半导体晶体管有一与左位元节点耦接的漏极；第二完全空乏的绝缘层上半导体晶体管有一与右位元节点耦接的漏极。

本发明的较佳实施例的好处包括提供一用以整合完全空乏、部分空乏晶体管与多重闸(multiple-gate)晶体管的结构及方法，本发明描述了一同时使用完全空乏及部分空乏绝缘硅晶体管的静态随机存取存储单元结

构、此存储单元结构的特性改善、使用完全空乏绝缘硅晶体管作为通闸晶体管或存取晶体管以解决瞬时双载子效应衍生的问题，以及使用完全空乏绝缘硅晶体管作为上拉晶体管以解决历史效应衍生的问题。

5 附图说明

图 1 为一使用本发明的静态随机存取存储器示意图；
图 2 为一静态随机存取存储器阵列示意；
图 3 为第一实施例的剖面图；
10 图 4a ~ 4d 为本发明的部分空乏绝缘硅晶体管与完全空乏绝缘硅晶体管图；

图 5a 与 5b 各提供一图示，分别以 NMOS(图 5a) 与 PMOS(图 5b) 的宽度及长度为变量而显示其函数 - 部分空乏绝缘硅、完全空乏绝缘硅以及多重闸晶体管的区域；

15 图 6 显示本发明的静态随机存取存储单元实施例的布局图；
图 7a ~ 7c 与图 8a ~ 8b 提供一制造时的元件示意图。

符号说明：
100 ~ 静态随机存取存储单元
102 ~ p-沟道场效晶体管
20 104 ~ p-沟道场效晶体管
106 ~ n-沟道场效晶体管
108 ~ n-沟道场效晶体管
110 ~ n-沟道场效晶体管
112 ~ n-沟道场效晶体管
25 114 ~ 左位元线
116 ~ 右位元线

- 118 ~ 接地线
120 ~ 字符线
122 ~ 供电节点
130 ~ 部分空乏绝缘硅晶体管
5 132 ~ 完全空乏绝缘硅晶体管
134 ~ 基板
136 ~ 绝缘层
138 ~ 硅层
140 ~ 硅层
10 142 ~ 隔离区
150 ~ 部分空乏晶体管元件
160 ~ 内埋绝缘层
162 ~ 半导体层
164 ~ 源极区
15 166 ~ 漏极区
168 ~ 栅极区
170 ~ 沟道区
172 ~ 栅极介电层
180 ~ 长沟道晶体管
20 182 ~ 源极
184 ~ 漏极
186 ~ 栅极
188 ~ 栅极介电层
190 ~ 超环冕掺杂
25 192 ~ 淡掺杂基底
200 ~ 晶体管

- 202 ~ 内埋绝缘层
204 ~ 基底区
205 ~ 主动区
206 ~ 空乏区
5 208 ~ 隔离区
210 ~ 栅极电极
212 ~ 刻意的凹陷
214 ~ 栅极介电层
220 ~ 类鳍式场效晶体管元件
10 250 ~ 绝缘层上半导体晶圆
252 ~ 半导体层
254 ~ 绝缘材质
256 ~ 底层基板
258 ~ 主动区或硅鳍
15 260 ~ 隔离区
262 ~ 栅极介电层
264 ~ 栅极电极材质
270 ~ 间隙壁
272 ~ 高应力膜
20

具体实施方式

为让本发明的上述和其它目的、特征、和优点能更明显易懂，下文特举出较佳实施例，并配合所附图式，作详细说明如下：

- 25 本发明是有关于同时申请中的发明，其美国专利申请序号为 10/319,119，标题为“使用部分空乏、完全空乏以及多重闸元件的绝缘

层上半导体晶片”，申请于 2002 年 12 月 12 日，以及另一同时申请中的发明，其美国专利申请序号为 10/426,566，标题为“使用应变通道部分空乏、完全空乏以及多重闸晶体管的绝缘层上半导体晶片”，申请于 2003 年 4 月 30 日；这些申请案可引入此处作为参考，本发明植基于引入申请案所述的先前发明上，并提供了改善效果。

一方面，本发明是有关静态随机存取存储器；静态随机存取存储器一般用于数据处理器以储存指令与数据，静态随机存取存储器通常使用于需要较快存取率的数据处理器，近来的静态随机存取存储器设计已经利用部分空乏绝缘硅技术的优点，借由在绝缘硅基板上制造静态随机存取存储器，与在块晶硅基板上制造静态随机存取存储器相较，可得到高达 20~30% 的性能提升。

图 1 显示一六个晶体管的互补式金氧半静态随机存取存储单元 100 示意图；此静态随机存取存储单元 100 通常包括六个金氧半场效晶体管，两个 P-沟道场效晶体管 102 及 104 用于上拉操作，两个 N-沟道场效晶体管 106 及 108 用于下拉操作，以及两 N-场效晶体管 110 及 112 用于输入/输出存取，也就是通闸存取；如图 1 所示，P1 与 N1 形成一反相器，此反相器与包括 P2 与 N2 的另一反相器交互耦接，元件 110 及 112 为通闸存取元件以控制对静态随机存取存储单元 100 的读写。

左位元线 (BL) 114、右位元线 (BR) 116、接地线 (GND) 118 以及供电节点 (VDD) 122 亦示于图中，左位元线 114 传送的信号互补于右位元线 116 传送的信号，于是互补式对偶位元线 114 及 116 有时候被称为位元线与反位元线，一字符线 (WL) 120 耦接至旁通晶体管 110 及 112 的栅极以致于存于存储单元 100 的一逻辑值可置于位元线 114 及 116 上，抑或反之亦然。

一典型的静态随机存取存储器阵列包括诸多前述静态随机存取存储单元 100 所形成的 m 列 n 行的矩阵，如图 2 所示。同一列的存储单元共

享一字符线 120 (如: WL₀ 或 WL₁)，而同一行的存储单元则共享相同的互补式对偶位元线 114 及 116 (如: BL₀ 及 \overline{BL}_0 或 BL₁ 及 \overline{BL}_1)，前述设计使用于许多静态随机存取存储器，举例而言，包括：一有 1024 乘以 1024 个存储单元 100 的一兆位存储器。

5 在习知的以部分空乏绝缘硅晶体管建构的静态随机存取存储单元中，存储单元中的所有晶体管皆为部分空乏绝缘硅晶体管；然而，以部分空乏绝缘硅晶体管建构的静态随机存取存储单元受到浮动基底效应衍生的问题所困扰，主要由于当施加一偏压于晶体管的源极与漏极时，其浮动基底区会被充电。

10 举例而言，请参照图 2，假若 WL₀ 被选定 (如：在一高电压准位)，而 WL₁ 未被选定 (如：在一低电压准位)，未被选定的存储单元 100c 的通闸晶体管 110 可能是一 N-沟道晶体管，当一物理值“1”存于存储单元中时，通闸晶体管 110 的源极与漏极处于一初始高电位，P-型基底区会被充电至与源极及漏极一样的电位，当未被选定的存储单元 100c 的左位元线 BL₀ 15 突然接地时，通闸晶体管 110 的源极亦因而突然接地，而基底与源极之间的 p-n 接面会被导通，在浮动基底内累积的电荷会流出晶体管，提供从晶体管流至位元线 BL₀ 的寄生电流，此电流亦即所知的寄生双载子漏电流，这可能会减少噪声边限 (noise margin) 以及静态随机存取存储器电路的稳定性。

20 在特定的动态电路中，寄生双载子效应若未经适当的处理将造成逻辑态的错误；在一静态随机存取存储器阵列中，通闸晶体管 110 或 112 所贡献的寄生双载子漏电流会致使静态随机存取存储器阵列的速度比无漏电流状态下慢了高达 20%，这便是已知的瞬时双载子效应 (transient bipolar effect) 并已为 Kuang 等人在 1997 年 6 月于国际电机电子工程师学会固态电路期刊 (IEEE Journal of Solid-State Circuits) 第 32 册 25 6 月号第 837~844 页中所报导，此论文可引为本文的参考。

一方面，本发明提供一方法及系统以克服习知技术的缺点，并提供一具高度可生产性的类部分空乏绝缘硅技术(PD-SOI-like technology)，此技术可制造完全空乏绝缘硅型的元件，以消除浮动基底效应(如：历史效应)，可将部分空乏绝缘硅与完全空乏绝缘硅晶体管整合在同一晶片上。5 的绝缘硅技术已被成功发展出来，于本发明中，上述的绝缘硅技术可用以形成同时使用了部分空乏绝缘硅与完全空乏绝缘硅晶体管的静态随机存取存储单元。

本发明的第一实施例提供一具有部分空乏绝缘硅与完全空乏绝缘硅晶体管的静态随机存取存储单元，本发明的另一实施例教示一形成该静态随机存取存储单元的方法，对于静态随机存取存储器中易受浮动基底效应影响的重要部分，借由引入完全空乏绝缘硅晶体管可以显著地改善静态随机存取存储器阵列的效能，此外，本发明亦提供一用以形成静态随机存取存储单元的方法与结构，该静态随机存取存储单元是使用部分空乏绝缘硅与完全空乏绝缘硅晶体管，并提供了效能提升。10

15 本发明一较佳实施例使用了一绝缘硅技术，该绝缘硅技术在同一制程中引入了部分空乏绝缘硅与完全空乏绝缘硅晶体管，亦即部分空乏绝缘硅与完全空乏绝缘硅晶体管可形成于同一半导体基板上，且这些晶体管可被彼此相近地形成，因此，借由使用本发明的绝缘硅技术，可设计出一静态随机存取存储单元，该存储单元同时使用了部分空乏绝缘硅与完全空乏绝缘硅晶体管，本发明的实施例亦可选择性地将应变(strain)引入绝缘硅晶体管的沟道中，以提升此静态随机存取存储单元的效能。20

依据本发明的一实施例的静态随机存取存储单元的示意图标于图1，如上所讨论，图1的示意图显示了一六个晶体管的静态随机存取存储单元100，在此较佳实施例中，部分空乏绝缘硅与完全空乏绝缘硅晶体管皆被使用于静态随机存取存储单元100。25

举例而言，在一实施例中，四个组成两交互耦合反相器的晶体管102、

104、106 以及 108 是以部分空乏绝缘硅晶体管所组成，正如之前，部分
空乏绝缘硅晶体管 102 与 106 组成第一反相器，而部分空乏绝缘硅晶体
管 104 与 108 组成第二反相器，两通闸晶体管 110 与 112(有时亦称存取
晶体管)为完全空乏绝缘硅晶体管，在此较佳实施例中，晶体管 110 与 112
5 皆为 n 沟道晶体管(虽然它们亦可能为 p 沟道晶体管)。

借由使用完全空乏绝缘硅晶体管作为通闸晶体管或存取晶体管 110
与 112，可避免与双载子漏电流或瞬时双载子效应有关的问题，浮动基底
效应并不存在于完全空乏绝缘硅晶体管中，完全空乏绝缘硅晶体管不受
10 浮动基底效应影响，是因为基底为完全空乏，并无任何一部分的基底区
未被空乏，一绝缘硅晶体管若有较低的基底掺杂度或是较薄的基底厚度，
便可能有一完全空乏的基底，此外，在超微缩元件中，为了获得对短沟
道效应有良好的控制，元件基底厚度可减低至栅极长度的三分之一以下，
如此薄的基底厚度可能需要增高式源/漏极 (raised source/drain) 技术
以降低串联阻值。

15 依据本发明的另一实施例，上拉晶体管 102 与 104 为完全空乏绝缘硅
晶体管，在此实施例中，通闸晶体管 110 与 112 可能是部分空乏绝缘硅
晶体管，但最好是完全空乏绝缘硅晶体管，下拉晶体管 106 与 108 最好
是部分空乏绝缘硅晶体管，但亦可能是完全空乏绝缘硅晶体管。

目前为止，静态随机存取存储单元已被描述于存储阵列，亦即一行与
20 列的存储单元的二维矩阵，然而此观念亦可适用于其它元件，举例而言，
许多锁存器、缓存器、先入先出 (FIFO) 以及其它包括如图 1 与图 2 所示
的交互耦合反相器之类的元件，这些元件的任一者皆可受利于本发明的
诸多面向。

图 3 为一元件的剖面图，该元件包括一部分空乏绝缘硅晶体管 130
25 以及二完全空乏绝缘硅晶体管 132，这些晶体管 130 及 132 形成于一绝缘
硅基板上，此绝缘硅基板包括一基板 134(如：硅基板)以及一绝缘层

136(如：内埋氧化层)，部分空乏绝缘硅晶体管 130 形成于一硅层 138 中，且完全空乏绝缘硅晶体管 132 形成于一硅层 140 中，隔离区 142 区隔了分隔的主动区。

图 1 的静态随机存取存储单元 100 可以如图 3 的结构所建构，举例而言，在第一与第二个静态随机存取存储器结构实施例所提的位于硅层 140 中的完全空乏绝缘硅晶体管，可建构于基底厚度比最大空乏宽度 $W_{d,\max}$ 小的硅层中，空乏宽度 $W_{d,\max}$ 如方程式所示：

$$W_{d,\max} = \sqrt{\frac{4\epsilon_s \phi_b}{qN_a}} \quad (1)$$

此处 ϵ_s 为晶体管的基底区的介电系数， q 为基本电荷量， N_a 为晶体管的基底区的平均掺杂浓度，而 ϕ_b 如下所示：

$$\phi_b = \frac{kT}{q} \ln \left(\frac{N_a}{n_i} \right) \quad (2)$$

此处 k 为波兹曼常数， T 为温度，而 n_i 为本征载子浓度，对硅而言， n_i 为 $1.45 \times 10^{10} \text{ cm}^{-3}$ 。

掺杂浓度 N_a 可由已知的临界电压 (threshold voltage) 间接得知，所使用的方程式为

$$V_{th} = (\Phi_M - \Phi_S) + 2\phi_b + \frac{\sqrt{4\epsilon_s q N_a \phi_b}}{\epsilon_d / t_d} \quad (3)$$

此处 t_d 为栅极介电层的实质厚度， ϵ_d 为栅极介电层的介电系数， Φ_M 为栅极电极材质的功函数， Φ_S 为组成晶体管沟道区的材质的功函数。

由于晶体管的临界电压 V_{th} 为已知或可轻易地决定，且若已知栅极电极材质，便可知 $(\Phi_M - \Phi_S)$ ，因此由上述 V_{th} 的公式可解出 N_a ，如前所述， N_a 可由 V_{th} 决定，或由其它已知的物理或实验分析技巧得知。

N_a 值可接着用于计算最大空乏区宽度，假若计算所得的 $W_{d,\max}$ 大于基底区的厚度，则晶体管为一完全空乏绝缘硅晶体管；假若计算所得的 $W_{d,\max}$

小于基底区的厚度，则晶体管为一部分空乏绝缘硅晶体管，此为决定绝缘硅晶体管是否为完全空乏绝缘硅晶体管或部分空乏绝缘硅晶体管的第一个方法。

第二个方法类似于第一个方法，以 V_{th} 表示 $W_{d,max}$ ，将方程式(3)重新排列可得：

$$\sqrt{4\epsilon_s q N_a \phi_b} = [V_{th} - (\Phi_M - \Phi_S) - 2\phi_b] (t_d / \epsilon_d) \quad (4)$$

将两边取倒数，并乘以 $4\epsilon_s \phi_b$ ，可得

$$\frac{4\epsilon_s \phi_b}{\sqrt{4\epsilon_s q N_a \phi_b}} = \frac{4\epsilon_s \phi_b}{(V_{th} - (\Phi_M - \Phi_S) - 2\phi_b) \cdot (t_d / \epsilon_d)} \quad (5)$$

方程式(5)的左侧为 $W_{d,max}$ ，可得

$$W_{d,max} = \frac{4\epsilon_s \phi_b}{\sqrt{4\epsilon_s q N_a \phi_b}} = \frac{4\epsilon_s \phi_b}{(V_{th} - (\Phi_M - \Phi_S) - 2\phi_b) \cdot (t_d / \epsilon_d)} \quad (6)$$

由于 n 沟道晶体管的 Φ_S 为 $(4.61 + \phi_b)$ ，而 p 沟道晶体管的 Φ_S 为 $(4.61 - \phi_b)$ ，可得

$$n \text{ 沟道晶体管的 } W_{d,max} = \sqrt{\frac{4\epsilon_s \phi_b}{\{(V_{th} - \Phi_M + 4.61 - \phi_b)(t_d / \epsilon_d)\}}} \quad (7n)$$

$$p \text{ 沟道晶体管的 } W_{d,max} = \sqrt{\frac{4\epsilon_s \phi_b}{\{(V_{th} - \Phi_M + 4.61 - 3\phi_b)(t_d / \epsilon_d)\}}} \quad (7p)$$

第三个方式为检验绝缘硅晶体管的漏极电流对漏极电压 ($I_{DS}-V_{DS}$) 的特性，假若 $I_{DS}-V_{DS}$ 的斜率出现扭曲或不连续，晶体管为一部分空乏绝缘硅晶体管，不然，晶体管便为一完全空乏绝缘硅晶体管。

在图 3 中，部分空乏绝缘硅与完全空乏绝缘硅晶体管以改变硅层厚度的方式形成于同一基板上，部分空乏绝缘硅晶体管 130 可使用厚度大于 $W_{d,max}$ 的硅层，完全空乏绝缘硅晶体管 132 可使用厚度小于 $W_{d,max}$ 的硅层，在另一实施例中，有一些晶体管形成于比硅层 138 要薄的硅层 140 上，无论这些晶体管为完全空乏绝缘硅或部分空乏绝缘硅晶体管。

然而，在一较佳实施例中，完全空乏绝缘硅晶体管并非借由改变硅层厚度所形成，在此较佳实施例中，完全空乏绝缘硅晶体管为三维或类鳍式场效晶体管(Fin-FET-like)的完全空乏绝缘硅晶体管，以利用新式的元件几何来消除浮动基底效应，一般而言，平面的完全空乏绝缘硅晶体管的宽度大于50奈米，而非平面的完全空乏多重闸(multiple-gate)晶体管的宽度小于50奈米。

同时形成部分空乏绝缘硅与完全空乏绝缘硅晶体管的观念可更清楚地以图4a至图4d加以阐明，图4a至图4d图示了部分空乏绝缘硅晶体管以及完全空乏绝缘硅晶体管，该部分空乏绝缘硅晶体管以及完全空乏绝缘硅晶体管亦被描述于同时申请中的另一发明，其美国专利申请序号为10/319,119，标题为“使用部分空乏、完全空乏以及多重闸元件的绝缘层上半导体晶片”，申请于2002年12月12日。图4b的完全空乏绝缘硅晶体管使用一淡基底掺杂，使最大的空乏宽度大于硅层厚度，以达成完全空乏；图4d的完全空乏绝缘硅晶体管使用一新颖的几何构造以使栅极电场由硅基底两侧往内侵渗，以达成完全基底空乏。

透过设计超环冕(super-halo)掺杂以及淡基底掺杂，可在不同的栅极长度形成完全空乏绝缘硅以及部分空乏绝缘硅元件，如图4a与图4b所示。请先参照图4a，一部分空乏晶体管元件150形成于一内埋绝缘层160上，虽然基板未绘示于图中，但内埋绝缘层160是形成于一基板上，例如：一未掺杂或淡掺杂的硅基板(见图3的基板134)。

内埋绝缘层160通常为一如二氧化硅的氧化层，其它的绝缘层(如：硅氮化合物或铝氧化合物)亦可被使用，在一些实施例中，内埋绝缘层可包括一堆栈层，如：氧化物、氮化物及氧化物的堆栈层。

晶体管元件150形成于半导体层162上，且包括一源极区164与一漏极区166，一栅极168覆于一沟道170上，且由栅极介电层172将栅极168与沟道170分开。

相同地，长沟道晶体管 180 包含一源极 182、一漏极 184、一栅极 186 以及一栅极介电层 188。晶体管 180 可与晶体管 150 形成于同一半导体层 162 抑或不同半导体层上，例如：同一芯片的不同的岛状层或平台上。

一特征为如图 4b 所示的超环冕掺杂 190 的设计(或者如图 4a 的双超环冕掺杂 190)以及淡基底掺杂 192，以使得当栅极长度增长时，晶体管的基底有效掺杂浓度会随的降低，超环冕掺杂区 190 的掺杂浓度约为每立方公分 1×10^{18} 到 2×10^{19} 个掺杂物(dopant)，在淡掺杂基底区 192 的掺杂浓度约为每立方公分 1×10^{16} 到 1×10^{18} 个掺杂物。

在图 4a 中，短沟道晶体管 150 的高浓度超环冕掺杂 190 会造成最大空乏区宽度小于硅膜 162 的厚度，使得晶体管基底因此为部分空乏。当栅极 168 长度增加时，基底区的增加部分为淡掺杂基底区 192 所组成，且平均有效基底浓度因而减低，因此，最大空乏区宽度伴随着晶体管栅极或沟道长度的增加而增加。在图 4b 中，长沟道晶体管 180 有一淡基底掺杂，且最大空乏区宽度大于硅膜 162 的厚度，而晶体管基底为完全空乏。

现请参照图 4c 与图 4d，达成将晶体管基底完全空乏的另一方法为，借由使用一新颖的几何构造以使电场线(electric field line)由晶体管基底两侧往内侵渗。现请参照图 4c，一晶体管 200 形成于一内埋绝缘层 202 上，内埋绝缘层 202 可包含上述有关绝缘层 160 的任何特征，且可形成于一基板上，而前面有关图 4a 与图 4b 的讨论亦相同地适用于此。在此元件中，一主动半导体层区域 205 包含一基底区 204 与一空乏区 206，主动区 205 透过隔离区 208 与其它主动区隔离，此隔离区 208 较佳而言，为一浅槽隔离(STI)区，须知其它隔离结构亦可被使用。

一栅极电极 210 环绕晶体管主动区(如：沟道区)而形成，因此，一刻意的凹陷 212 在隔离区 208 内形成，使得半导体层 205 包含有侧壁，栅极电极 210 邻接于主动层 205 的上表面与侧壁。一栅极介电层 214 形成

于栅极电极 210 与主动区 205 之间。

晶体管元件 200 的源极与漏极区并未绘示于图 4c 中，在此例中，沟道电流流进或流出页面，于是，源/漏极区的一位于页面上的一平面，而另一则位于页面下的一平面。

5 图 4d 显示一类鳍式场效晶体管元件 220 的类似结构，与图 4c 相似的元件以相同的参考数字标示，在此例中，此主动半导体层很薄使得基底完全地空乏。

此新颖晶体管几何构造的一特征为在隔离区 208 内的刻意的凹陷 212，如图 4c 与图 4d 所示。图 4c 的平面式部分空乏晶体管 200 有一比 10 最大空乏区层宽度 $W_{d,max}$ 要大的宽度，当主动区宽度 W （见图 4d）缩减到比两倍基底的空乏区宽度要窄时，栅极电场由隔离区边缘开始侵渗，消除了未空乏基底区，而使得图 4d 的元件完全空乏。

最终形成的完全空乏绝缘硅元件有一非平面的几何结构且为一多重闸晶体管，栅极电极 210 环绕晶体管基底 206 的复数面（两侧壁与上表面）。借由栅极电极 210 环绕晶体管基底 205，多重闸晶体管容允栅极电场向晶体管基底横向侵渗，因而提升控制短沟道效应的能力。

本发明的较佳实施例以完全空乏绝缘硅与部分空乏绝缘硅晶体管依据晶体管尺寸的分布，教示一使用同一制程技术将部分空乏绝缘硅与完全空乏绝缘硅晶体管引入同一芯片上的独特方式，图 5a 与图 5b（统合为 20 图 5）显示部分空乏绝缘硅与完全空乏绝缘硅晶体管依据主动区宽度 W 与晶体管栅极长度 L_g 的分布，图 5a 提供 N 型金氧半元件的数据，而图 5b 提供 P 型金氧半元件的数据，这些图提供了一对应图，显示了部分空乏绝缘硅晶体管（灰色区）、传统完全空乏绝缘硅晶体管（白色区）以及多重闸晶体管（虚线框所围的区域）的分布区域，此分部区域为 N 型金氧半与 P 25 型金氧半晶体管的宽度与长度的函数。

平面式部分空乏绝缘硅与完全空乏绝缘硅晶体管通常有宽度大于 50

奈米的主动区，而非平面多重闸完全空乏晶体管通常有宽度小于 50 奈米的主动区；由实验所得的图 5 的结果中，晶体管是以 65 奈米的部分空乏绝缘硅制程所制造，此制程的名义上的栅极长度为 45 奈米，硅基底厚度为 40 奈米，还有双性掺杂 (dual-doped) 复晶硅栅极电极、14 埃 (angstroms) 5 的氮化栅极氧化层、以及钴硅化 (cobalt silicided) 的源/漏极与栅极。

P 沟道晶体管 (图 5b) 的部分空乏绝缘硅区比 N 沟道晶体管 (图 5a) 要小，因为冲击离子化引发的寄生双载子效应在 P 沟道晶体管中比较弱，当栅极长度增加时，部分空乏绝缘硅会转换成完全空乏绝缘硅。此外，非平面的类鳍式或多重闸晶体管通常是于比 50 奈米要小的宽度下所获得，有着短栅极长度 L_g 的宽沟道元件为部分空乏，显示了漏极电流 I_{DS} 对漏极电压 V_{DS} 特征曲线的扭曲，当 W 减少时，部分绝缘硅会转换成完全绝缘硅，且 I_{DS} 对 V_{DS} 特征曲线的扭曲会消失。

很清楚地，借由使用不同 W 与 L_g 的晶体管组合，可以结合部分空乏绝缘硅与完全空乏硅晶体管的优点，举例而言，当将块晶技术的电路设计转换成绝缘硅技术的电路设计时，电路的症结部分可使用完全空乏绝缘硅元件以达成最小的浮动基底效应，而电路的其余部分则使用部分空乏硅晶体管，举例而言，电路的症结部分可能包含模拟电路以及动态电路。

一静态随机存取存储单元的布局建构例示于图 6，须知其它的布局建构亦可使用，为简明起见，金属层布局未示于图中。在此特定布局中，字符线 (WL) 120 乃沿水平方向表示，左位元线 114、右位元线 116 以及接地线 GND118 亦示于图中，晶体管的尺寸亦标明其中，每一晶体管的宽度与长度分别以 W 与 L 标示，且晶体管的名称亦以下标表示，举例而言， W_{PG1_FD} 与 L_{PG1_FD} 标示完全空乏绝缘硅通闸晶体管 102 的宽度与长度。

依据本发明的较佳实施例，是选择通闸晶体管 102 与 104 的宽度与长度使得它们若为 n 沟道晶体管，便落在图 5a 中的完全空乏绝缘硅或多重

闸晶体管区(白色区域)，若为 p 沟道晶体管，便落在图 5b 中的完全空乏绝缘硅或多重闸晶体管区(白色区域)，较佳而言，可选择通闸晶体管 102 与 104 的宽度与长度使得它们落在多重闸类鳍式晶体管区，此等晶体管若为 n 沟道晶体管，通常有宽度约 50 奈米或更小的布局宽度，若为 p 沟道晶体管，通常有宽度约 60 奈米或更小的布局宽度；可选择晶体管 102 与 104 的栅极长度使得它们通常大于下拉晶体管 106 与 108 的栅极长度，在此较佳实施例中，下拉晶体管 106 与 108 为部分空乏绝缘硅晶体管。

下拉晶体管 106(108) 的电导对通闸晶体管 110(112) 的电导的比值可以作为一基本的基准，以量度静态随机存取存储单元的稳定性或该存储单元维持其数据态的能力，此比值为互补式金氧半静态随机存取存储器设计者所指的 β 或 β' 比值，定义为下拉晶体管的电导对通闸晶体管的电导的比值， β 比值越大，存储单元越稳定，且其静态噪声边限 (static noise margin) 会增加，一晶体管的电导约略正比于有效载子移动率 μ_{eff} 以及元件宽度对沟道长度的比值(也就是 W/L)，因此，静态随机存取存储单元的 β 值约为晶体管 106 的 $\mu_{eff}(W/L)$ 对晶体管 110 的 $\mu_{eff}(W/L)$ 的比值。假若晶体管 106 与 110 有相同的沟道长度，则 β 值便成为晶体管 106 的沟道宽度对晶体管 110 的沟道宽度的比值。 β 值较佳而言，视静态随机存取存储器的应用而定，约落在 1.8 到 3 的范围。

本发明的静态随机存取存储单元还可使用具应变沟道区的晶体管，举例而言，图 1 中组成静态随机存取存储单元的晶体管可皆为应变沟道晶体管，应变沟道晶体管是用于有效提升静态随机存取存储单元的性能，因此，晶体管 110 与 112 可为具应变沟道的完全空乏绝缘硅晶体管，而晶体管 102、104、106 及 108 可为应变沟道的部分空乏绝缘硅晶体管，使用适度的应变可提升载子移动率，且应变所致的移动率提升是为除了元件微缩之外，用以改善晶体管性能的另一方式。

将应变引入同一芯片上的部分空乏绝缘硅与完全空乏绝缘硅晶体管

的沟道区亦被描述于同时申请中的发明，其美国专利申请序号为 10/426,566，标题为“使用应变沟道部分空乏、完全空乏以及多重闸晶体管的绝缘层上半导体晶片”，申请于 2003 年 4 月 30 日，该申请案可引入此处作为参考；在此方式中，一高应力膜形成于完成的晶体管结构上，
5 该应力子(也就是高应力膜)对沟道施予显著的影响，改变沟道区中的硅晶格间隔，因而将应变引入沟道区。

使用部分空乏绝缘硅晶体管与完全空乏绝缘硅晶体管或多重闸晶体管以制造上述静态随机存取存储单元的方法将描述于后，请参照图 7a 至图 7c，起始物质是为一绝缘层上半导体型晶圆 (semiconductor-on-insulator wafer) 250，此绝缘层上半导体型晶圆包括一覆盖于绝缘层 254 上的半导体层 252，而绝缘层 254 又覆盖于一基板 256 上，如图 7a 所示；半导体层 252 可为元素半导体(如：硅与锗)、合金半导体(如：硅锗)或化合物半导体(如：砷化镓与磷化铟)，在此较佳实施例中，半导体层 252 为硅，较佳而言，为单晶硅。
10
15

绝缘层 254 可为如硅氧化合物、铝氧化合物、或硅氮化合物的任意绝缘材质，在此较佳实施例中，绝缘材质 254 为硅氧化合物，较佳而言，为二氧化硅，此层可于形成半导体层 252 之前沉积于基板 256 上，或者，可使用氧离子布植隔离 (separation by implantation of oxygen) 制程将氧布植入一包含 252 与 256 的基板，底层基板 256 可以是任何如硅基板或砷化镓基板的基板，在其它实施例中，可使用其它如陶瓷或石英的基板。
20

在此较佳实施例中，半导体层 252 为硅，且绝缘层 254 为硅氧化合物，较佳而言，较佳实施例中的硅层 252 的厚度范围约为 10 至 2000 埃，且硅氧化合物层的厚度约为 100 至 2000 埃。
25

现请参照图 7b，借由将硅层 252 图案化，可形成一主动区或硅鳍 258，举例而言，主动区或硅鳍的图案化可借由在硅层 252 上沉积一屏蔽材质

(未示于图中)，再借由光学微影(optical lithography)将屏蔽材质图案化以形成一图案化的屏蔽(未示于图中)，并对硅层 252 蚀刻，再将图案化的屏蔽去除，屏蔽材质可为一光阻、硅氮化合物或者一由覆有硅氮化合物层的硅氧化合物层所组成的堆栈层；隔离区 260，较佳而言，包括一
5 如硅氧化合物的介电层，是用以将硅主动区 258 与其它主动区(如：鳍；未示于图中)予以隔离。

现请参照图 7c，形成一栅极介电质，栅极介电层 262 有一厚度介于 3 至 100 埃，主动区 258 之上的栅极介电层 262 厚度可与主动区 258 侧壁上的栅极介电层 262 厚度不同，举例而言，在上表面的栅极介电层 262 10 厚度比例壁上的要薄，在某些例子中，在主动区 258 上表面的栅极介电层 262 的厚度小于 20 埃。

栅极介电质可包括一诸如硅氧化合物、硅氧氮化合物、或氮化的硅氧化合物抑或其组合的栅极介电材质，绝缘材质可以是一具高介电系数的材质，其介电系数大于 5，如：铝氧化合物(Al_2O_3)、铪氧化合物(HfO_2)、
15 铌硅氮氧化合物(HfSiON)、硅酸铪(HfSiO_4)、锆氧化合物(ZrO_2)、硅酸锆(ZrSiO_4)、镧氧化合物(La_2O_3)。

在较佳实施例中，栅极介电质 262 为硅氧化合物，可在氧气中于摄氏 500 至 1000 度的范围内以热氧化(thermal oxidation)形成，栅极介电层 262 可以化学气相沉积或反应式溅镀形成，栅极介电层 262 覆盖了硅鳍
20 258 的上表面及侧壁。

栅极介电层 262 适度地形成后，栅极电极材料 264 可形成于栅极介电层 262 之上，栅极电极材料 264 可以复晶硅、复晶硅锗、金属、金属硅化物、金属氮化物或金属氧化物形成，举例而言，金属者如钼(molybdenum)、钨(tungsten)、钛(titanium)、钽(tantalum)、铂(platinum)以及铪(Hafnium)可被用为栅极电极 264 的一部分，金属硅化物包括但不限于镍硅化合物、钴硅化合物、钨硅化合物、钛硅化合物、

钽硅化合物、铂硅化合物以及铒硅化合物，金属氮化物包括但不限于钼氮化合物、钨氮化合物、钛氮化合物以及钽氮化合物，金属氧化物包括但不限于钌氧化物以及铟锡氧化物。

5 棚极电极材质 264 可以如化学气相沉积的传统方式沉积，举例而言，
棚极电极可以沉积硅与耐融金属 (refractory metal) 形成，再续以回火
而形成一金属硅化物棚极电极材质，在实施例中，耐融金属可为钛、钽、
钴或镍。

10 棚极电极材质 264 经使用光微影方式，再使用电浆蚀刻予以图案化
后，以形成棚极电极，图 7c 是显示于棚极电极形成后 (见图 6) 的完全空
乏绝缘硅通闸晶体管 PG1_{FD} 以及部分空乏绝缘硅下拉晶体管 N1_{FD} 的棚极电
极，晶体管的棚极长度与宽度亦示于图 7c 的三维图示中，棚极介电质 262
至少位在棚极电极 264 所覆盖的元件区域内。

额外的制程步骤将于图 8a 与图 8b 中讨论，图中只显示了晶体管的其
中之一。

15 源极 266 与漏极 268 延伸区 (如：淡源/漏极掺杂区) 是以离子布值方
式形成，超环冕布植亦可于此阶段完成，借由与晶圆垂直方向夹 15 至 45
度的大角度进行超环冕布植，具短沟道长度的元件将接收到较高的有效
沟道掺杂浓度，而具长沟道长度的元件将接收到较低的有效沟道掺杂浓
度。

20 间隙壁 270 通常使用已知或习用的技术 (如：间隙壁材质沉积与非等
向电浆蚀刻) 所形成，间隙壁材质可包括一如硅氮化合物或二氧化硅的介
电材质，在较佳实施例中，间隙壁 270 为硅氮化合物。

在间隙壁形成之后，源/漏极区 266 与 268 以布植形成，并可以一或
多种如金属以及硅化物 (未示于图中) 的导电材质对源极与漏极区作带状
25 附着，且导电材质可经由侧壁或主动区上的接触孔 (contact) 与源漏极接
触。

其后，一高应力膜 272 沉积于如图 8b 所示的已完成晶体管结构上，
依据此发明，高应力膜不仅接触主动区 258 的上表面还接触了其侧壁表
面，举例而言，高应力膜 272 可为电浆辅助化学气相沉积 (PECVD) 的硅氮
化合物，电浆辅助化学气相沉积的硅氮化合物可用于将伸张或收缩应力
5 引入沟道区，薄膜的残存应力会影响到沟道中的应变分量，薄膜的残存
应力可依化学计量组成的 (stoichiometric) 硅氮化合物的高张力态至富
含硅 (silicon-rich) 薄膜的收缩态而量身订作，沟道区中应变的伸张或
收缩性可借由改变制程条件加以调整，该制程条件如：温度、压力、以
及一前驱物 (precursor) 气体 (如：二氟硅甲烷) 对整体气体的流量比。

10 在高应力膜 272 形成后，沉积一保护层 (passivation；未示于图中)，
其厚度为数千埃 (如：1000 至 5000 埃)，保护层较佳而言，包括了硅氧化
合物，接触孔 (未示于图中) 借由对保护层与高应力膜 272 而形成，导电
材质 (未示于图中) 再填入接触孔以对晶体管的源极区 266、漏极区 268 以
与门极电极 264 进行电连接。

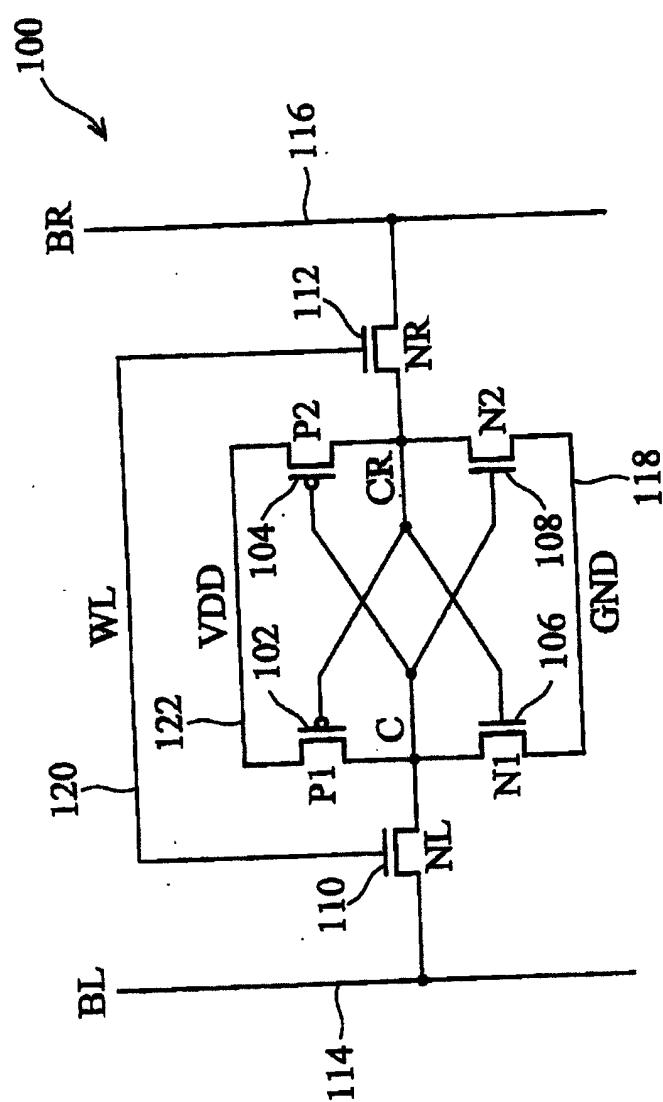


图1

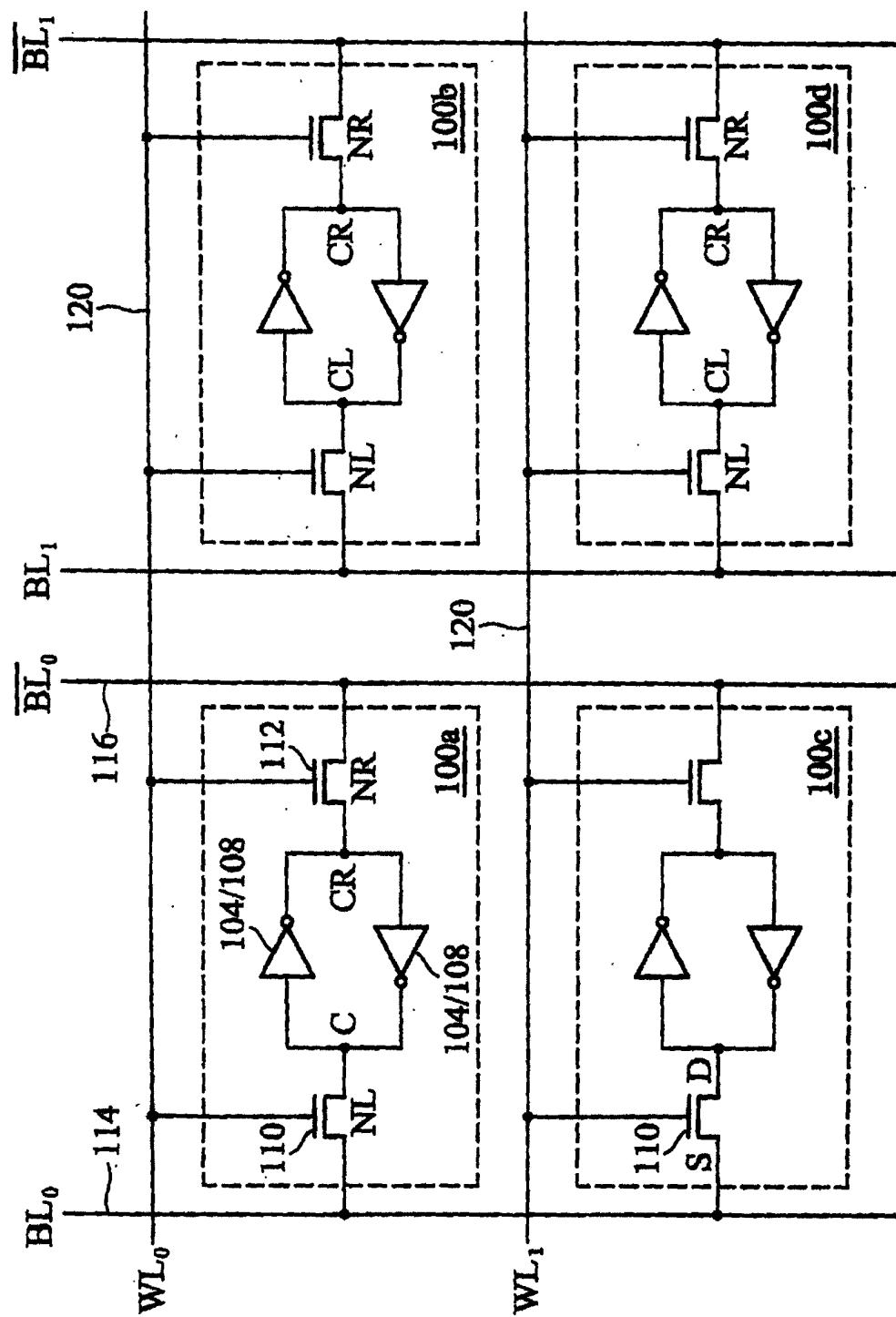


图2

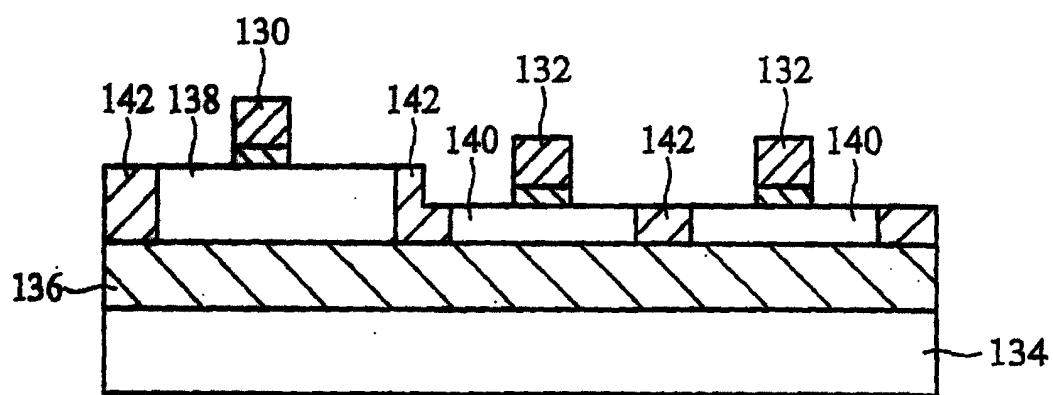


图 3

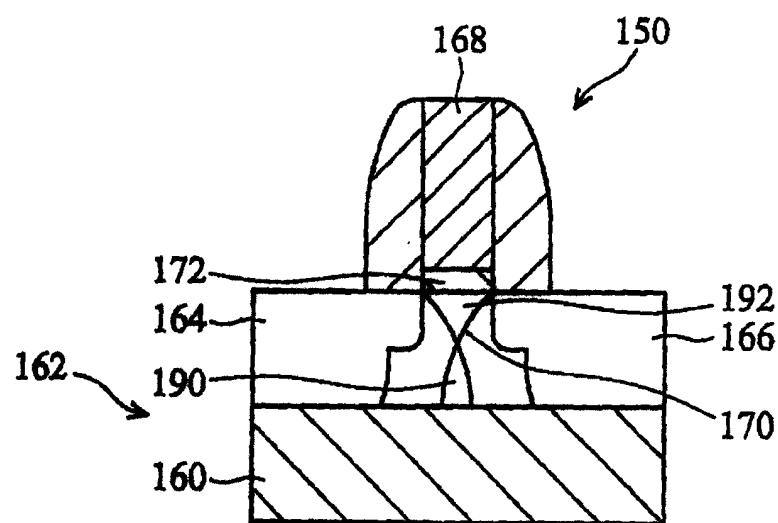


图 4a

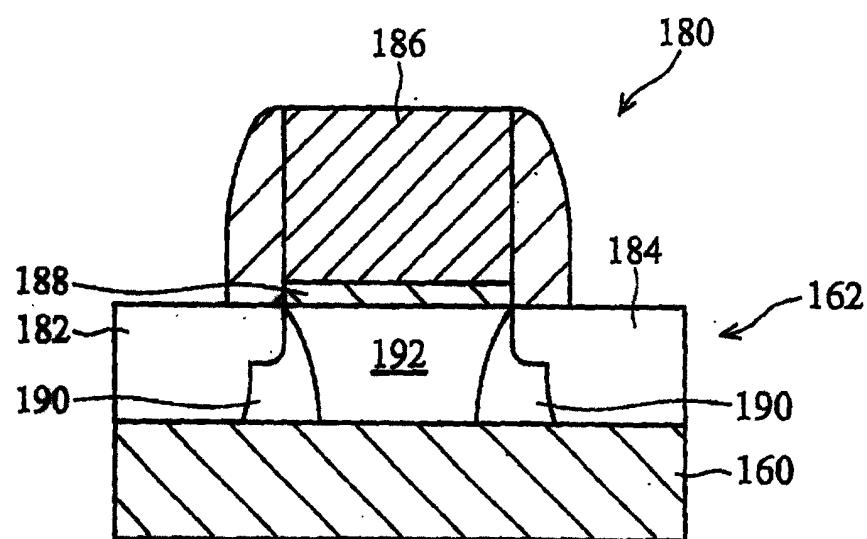


图 4b

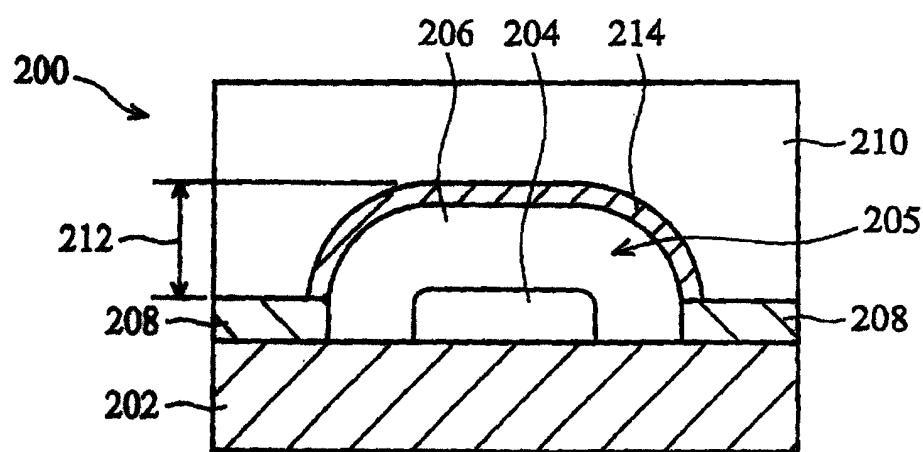


图 4c

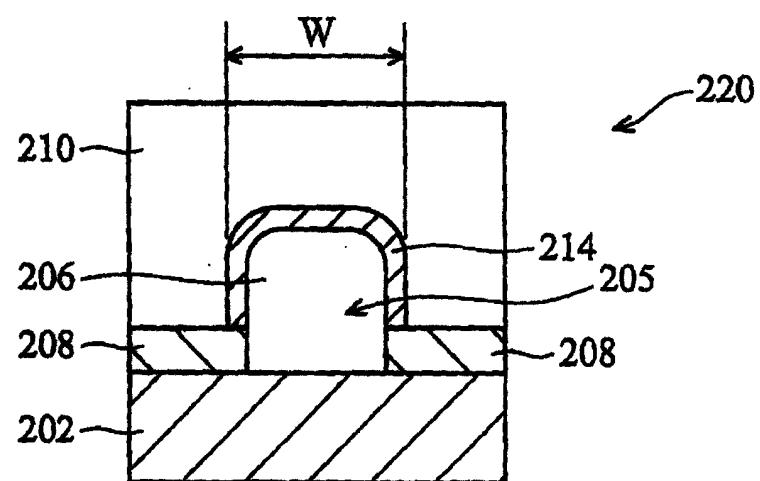


图 4d

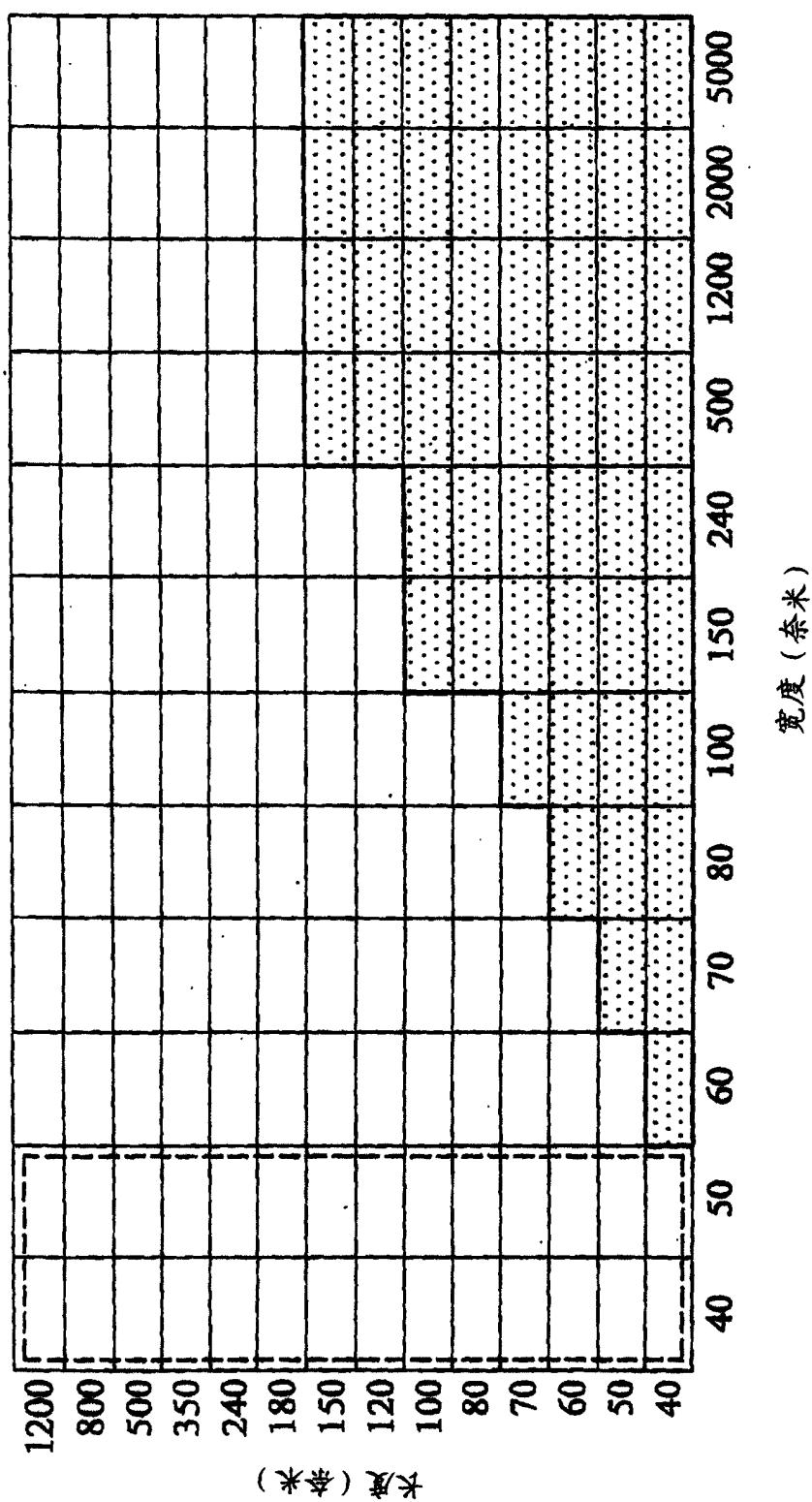


图 5a

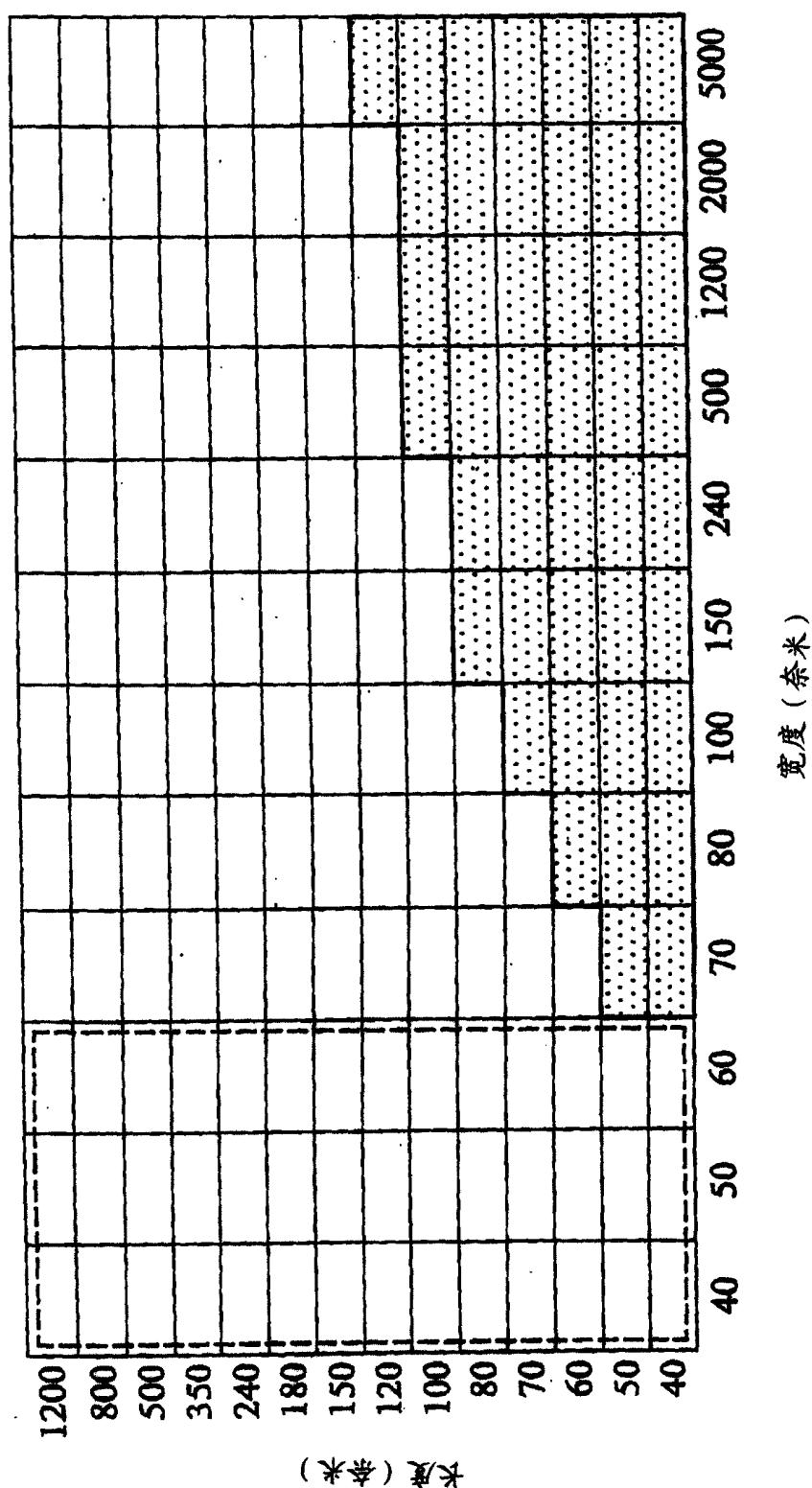


图 5b

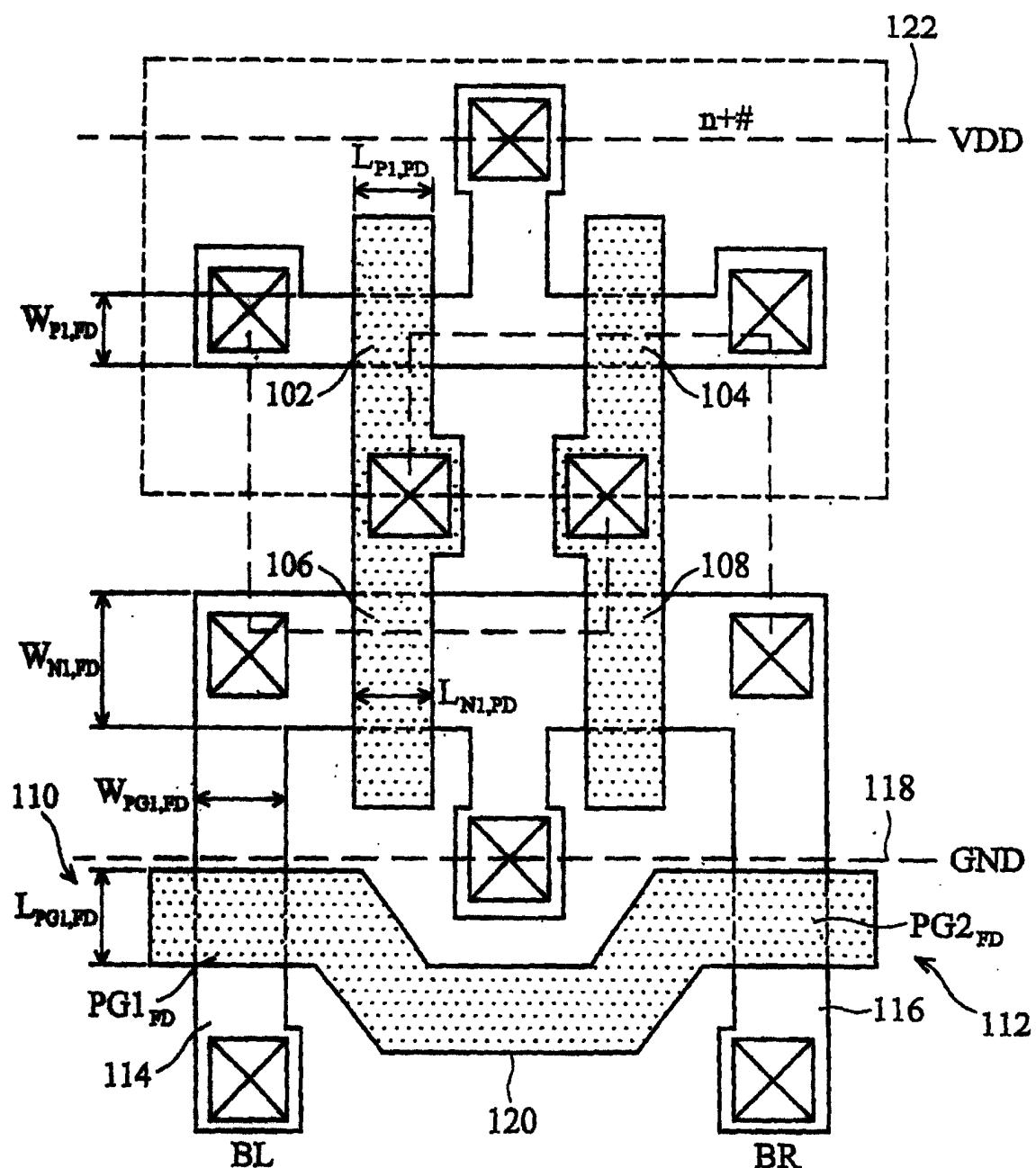


图6

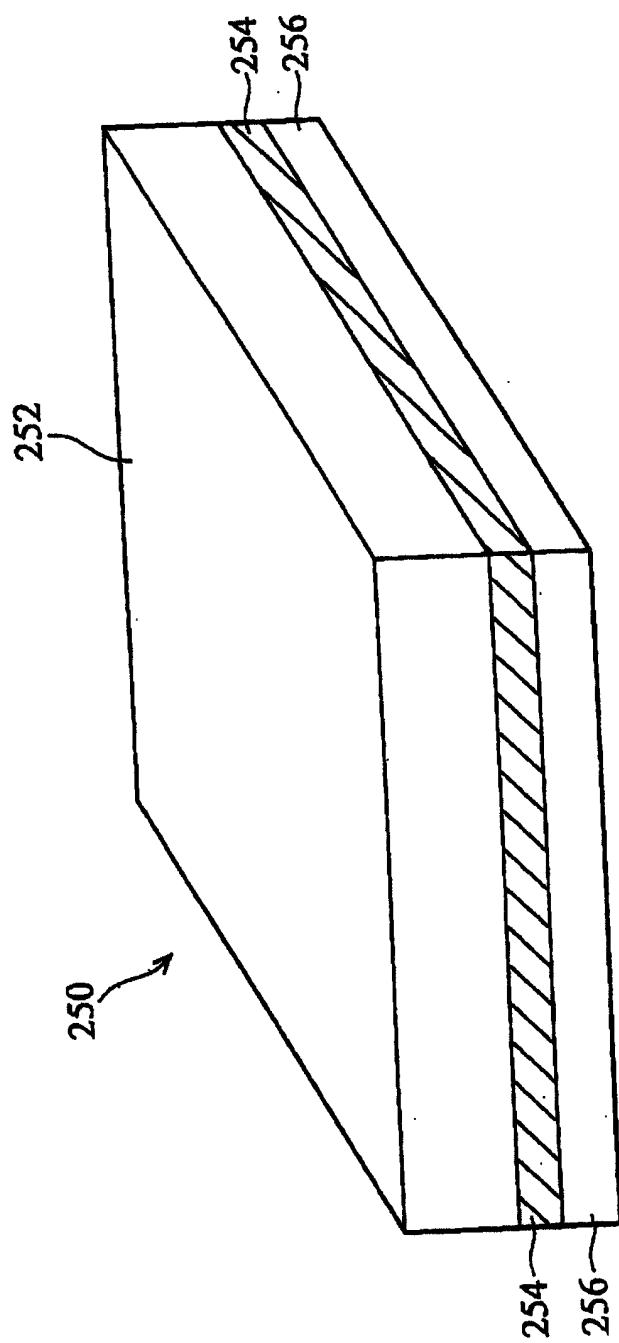


图7a

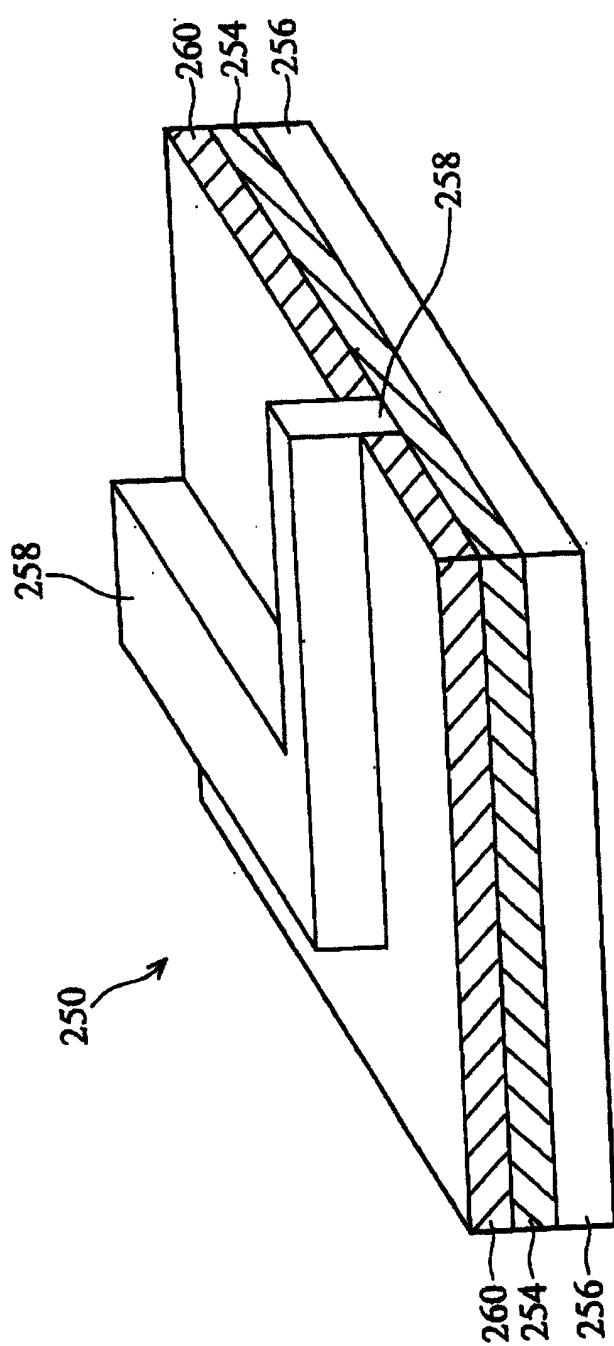


图 7b

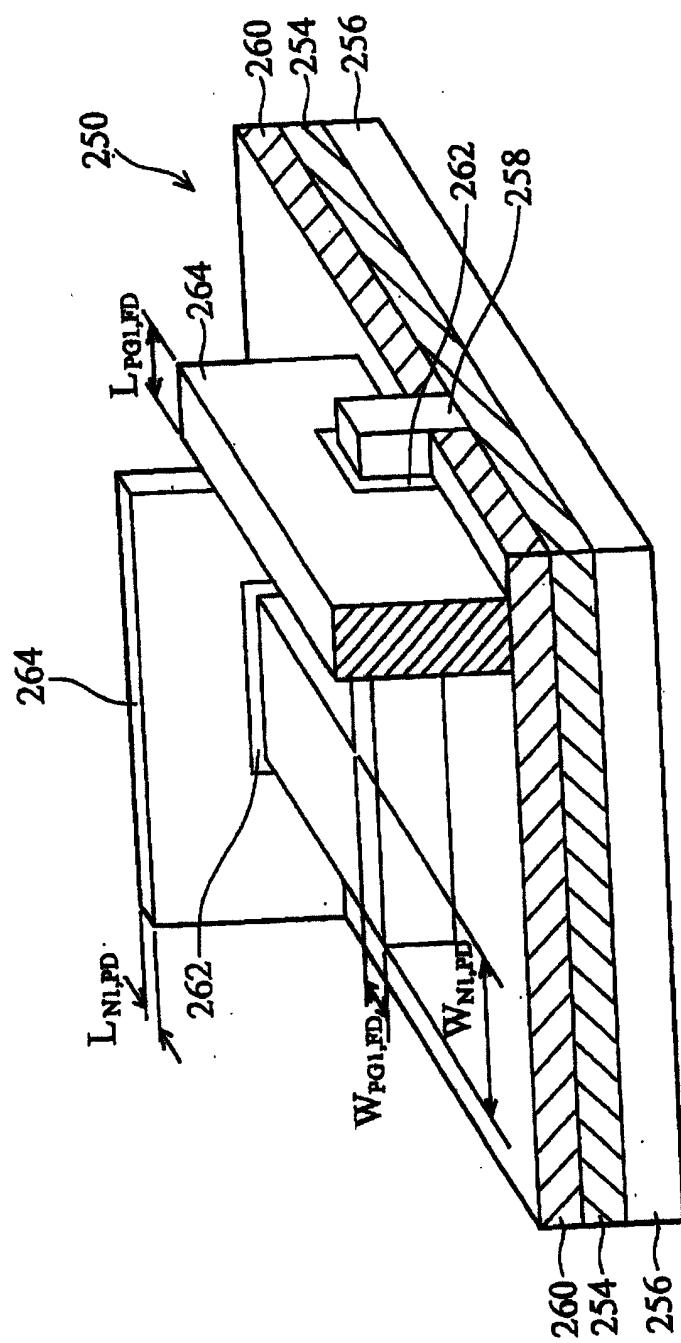


图7c

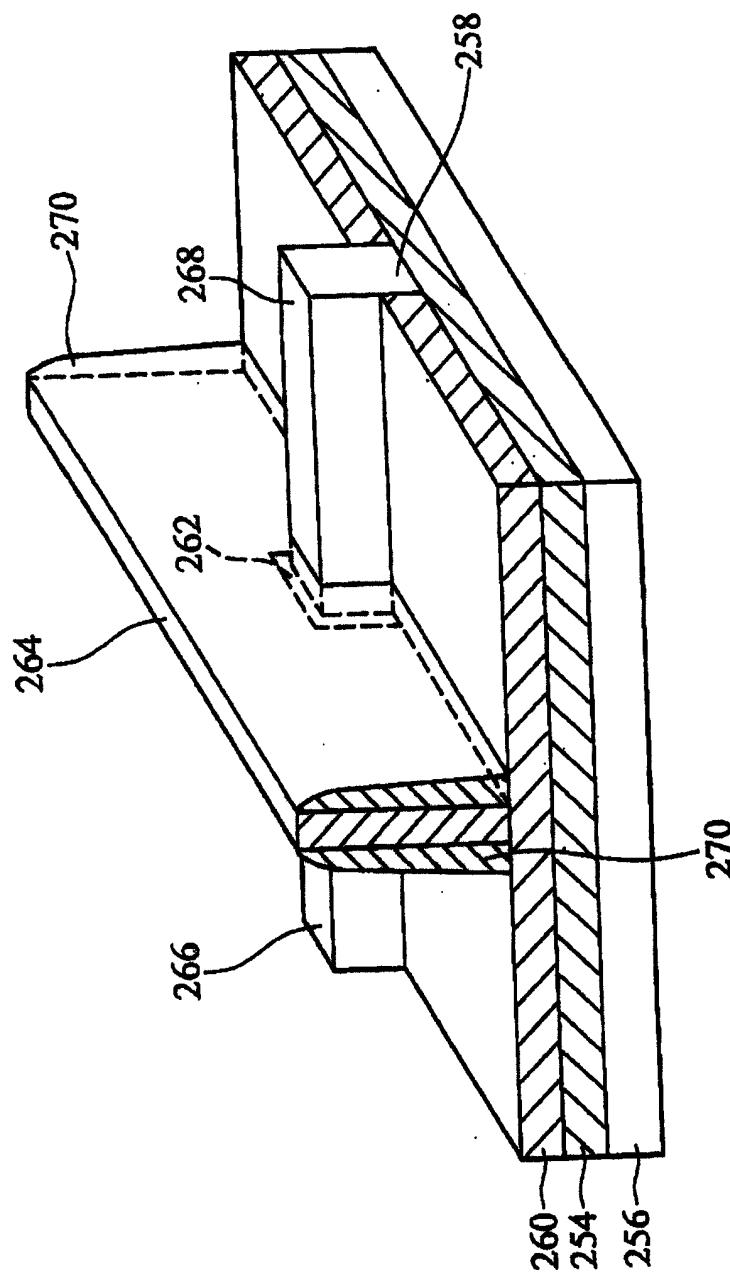


图 8a

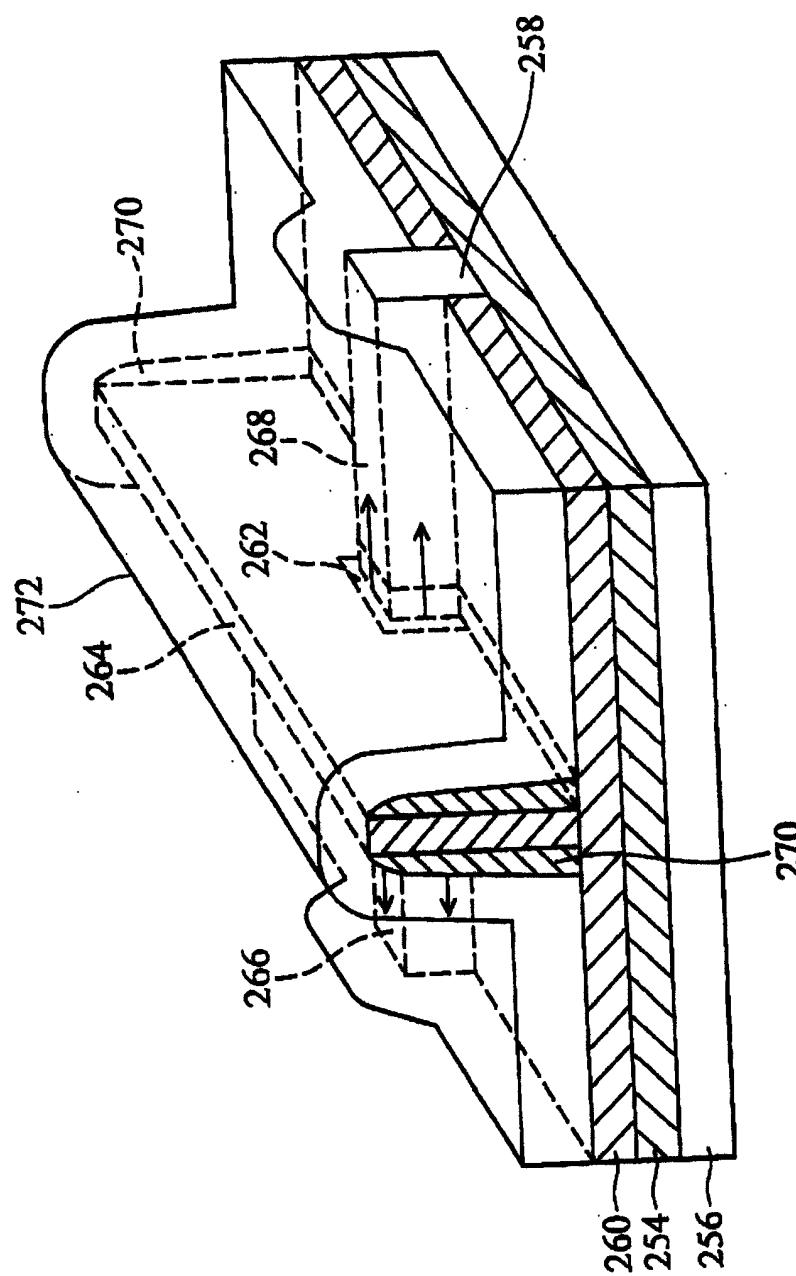


图 8b