



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0051567
(43) 공개일자 2010년05월17일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/20 (2006.01)

(21) 출원번호 10-2009-0106922

(22) 출원일자 2009년11월06일

심사청구일자 없음

(30) 우선권주장

JP-P-2008-286779 2008년11월07일 일본(JP)

(71) 출원인

소니 주식회사

일본국 도쿄도 미나토쿠 코난 1-7-1

(72) 발명자

야마시타 준이찌

일본 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼
가이샤 내

오모토 게이스케

일본 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼
가이샤 내

우찌노 가즈히데

일본 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼
가이샤 내

(74) 대리인

장수길, 이중희, 박충범

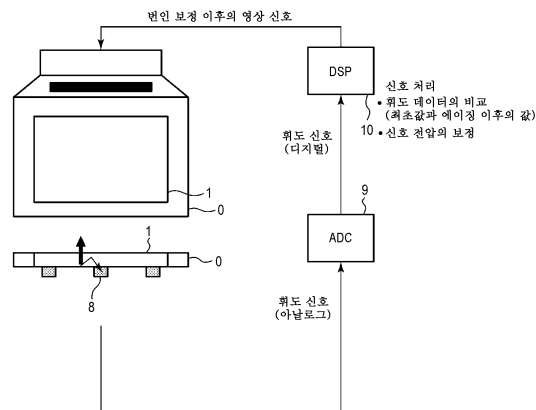
전체 청구항 수 : 총 8 항

(54) 표시 장치 및 전자 제품

(57) 요약

표시 장치는, 화면부; 구동부 및 신호 처리부를 포함하고, 화면부는 주사선들의 행들, 신호선들의 열들, 행렬 형상의 화소 회로들 및 광 센서를 포함하고, 구동부는 주사선들에 제어 신호를 공급하는 스캐너 및 신호선들에 영상 신호를 공급하는 드라이버를 포함하고, 화면부는 복수의 화소 회로들을 각각 갖는 복수의 영역들로 구획되고, 화소 회로는 영상 신호에 따라 발광하고, 광 센서는 각각의 영역에 대해 배치되어 발광에 따라 휘도 신호를 출력하며, 신호 처리부는 휘도 신호에 따라 영상 신호를 보정하여 그 신호를 드라이버에 공급한다.

대표도 - 도5



특허청구의 범위

청구항 1

표시 장치로서,

화면부, 구동부, 및 신호 처리부를 포함하고,

상기 화면부는 주사선들의 행들, 신호선들의 열들, 행렬 형상의 화소 회로들 및 광 센서를 포함하고,

상기 구동부는 상기 주사선들에 제어 신호를 공급하는 스캐너 및 상기 신호선들에 영상 신호를 공급하는 드라이버를 포함하고,

상기 화면부는 복수의 화소 회로들을 각각 갖는 복수의 영역들로 구획되고,

상기 화소 회로는 상기 영상 신호에 따라 발광하고,

상기 광 센서는 각각의 영역에 대해 배치되어 상기 발광에 따라 휘도 신호를 출력하며,

상기 신호 처리부는 상기 휘도 신호에 따라 상기 영상 신호를 보정하여 상기 신호를 상기 드라이버에 공급하는, 표시 장치.

청구항 2

제1항에 있어서,

상기 광 센서는 상기 영역의 중심 근처에 배치되어 있는, 표시 장치.

청구항 3

제1항에 있어서,

상기 신호 처리부는 상기 화면부에 영상을 표시하는 표시 기간 동안 표시용 영상 신호를 공급하고, 상기 화면부에 영상을 표시하지 않는 검출 기간 동안 검출용 영상 신호를 공급하는, 표시 장치.

청구항 4

제2항에 있어서,

상기 신호 처리부는 각각의 프레임에서 상기 검출용 영상 신호를 공급하고, 검출 대상이 되는 화소 회로만이 발광하게 하도록 하는, 표시 장치.

청구항 5

제4항에 있어서,

상기 신호 처리부는 검출 대상의 상기 화소 회로와 상기 광 센서 사이의 거리에 따라, 상기 화소 회로에 기입될 상기 검출용 영상 신호의 레벨을 설정하는, 표시 장치.

청구항 6

제4항에 있어서,

상기 신호 처리부는 검출 대상의 상기 화소 회로와 상기 광 센서 사이의 거리에 따라, 1 프레임에서 상기 화소 회로의 발광 시간이 차지하는 비율을 설정하는, 표시 장치.

청구항 7

제1항에 있어서,

상기 신호 처리부는 제1 기간 동안 상기 광 센서로부터 출력된 제1 휘도 신호와, 상기 제1 기간 이후의 제2 기간 동안 상기 광 센서로부터 출력된 제2 휘도 신호를 비교하여, 그 비교 결과에 따라 상기 영상 신호를 보정하여 상기 신호를 상기 드라이버에 공급하는, 표시 장치.

청구항 8

전자 제품으로서,

본체; 및

상기 본체에 입력되는 정보 또는 상기 본체로부터 출력되는 정보를 표시하는 디스플레이를 포함하고,

상기 디스플레이는 화면부, 구동부 및 신호 처리부를 포함하고,

상기 화면부는 주사선들의 행들, 신호선들의 열들, 행렬 형상의 화소 회로들 및 광 센서를 포함하고,

상기 구동부는 상기 주사선들에 제어 신호를 공급하는 스캐너 및 상기 신호선들에 영상 신호를 공급하는 드라이버를 포함하고,

상기 화면부는 복수의 화소 회로들을 각각 갖는 복수의 영역들로 구획되고,

상기 화소 회로는 상기 영상 신호에 따라 발광하고,

상기 광 센서는 각각의 영역에 대해 배치되어 상기 발광에 따라 휘도 신호를 출력하며,

상기 신호 처리부는 상기 휘도 신호에 따라 상기 영상 신호를 보정하여 상기 신호를 상기 드라이버에 공급하는, 전자 제품.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 각각의 화소에 배치된 발광 소자를 전류 구동해서 화상을 표시하는 표시 장치에 관한 것이다. 본 발명은 또한 표시 장치를 사용하는 전자 제품에 관한 것이다. 구체적으로, 본 발명은 각각의 화소 회로에 제공된 절연 게이트형 전계효과 트랜지스터에 의해 유기 EL 소자와 같은 발광 소자에 흐르는 전류량을 제어하는 소위 액티브 매트릭스형의 표시 장치의 구동 방식에 관한 것이다.

배경 기술

[0002] 표시 장치, 예를 들어, 액정 디스플레이에서, 다수의 화소가 매트릭스 형상으로 배열되고, 표시될 화상 정보에 따라 각각의 화소에서의 입사광의 투과 강도 또는 반사 강도를 제어함으로써 화상이 표시된다. 이것은, 화소에 유기 EL 소자들이 사용되는 유기 EL 디스플레이에 있어서도 동일하지만, 유기 EL 소자는 액정 화소와 상이한 자 발광 소자이다. 따라서, 유기 EL 디스플레이는 예를 들어, 액정 디스플레이에 비해 화상의 시인성(visibility)이 높고, 백라이트가 불필요하며, 응답 속도가 높은 이점을 갖는다. 부가적으로, 각각의 발광 소자의 휘도 레벨(계조)은 각각의 소자에 흐르는 전류값에 의해 제어될 수 있고, 유기 EL 디스플레이는 그것이 소위 전류 제어형에 속한다는 점에서 전압 제어형에 속하는 액정 디스플레이와는 크게 상이하다.

[0003] 유기 EL 디스플레이는 액정 디스플레이와 동일한 방식으로 그 구동 방식으로 단순 매트릭스형 및 액티브 매트릭스형을 갖는다. 전자는 구조가 단순하지만, 대형뿐만 아니라 고정밀의 디스플레이의 실현이 어려운 문제를 갖고 있고, 따라서, 현재는 액티브 매트릭스형이 널리 개발되어 있다. 이러한 유형은, 각각의 화소 회로의 발광 소자에 흐르는 전류가 화소 회로에 구비된 능동 소자(일반적으로는 박막 트랜지스터, TFT)에 의해 제어되며, 이는 이하의 특허 문헌에 기재되어 있다.

[0004] [특허 문헌 1] 일본 특허 공개번호 제2003-255856호

[0005] [특허 문헌 2] 일본 특허 공개번호 제2003-271095호

[0006] [특허 문헌 3] 일본 특허 공개번호 제2004-133240호

[0007] [특허 문헌 4] 일본 특허 공개번호 제2004-029791호

[0008] [특허 문헌 5] 일본 특허 공개번호 제2004-093682호

[0009] [특허 문헌 6] 일본 특허 공개번호 제2006-215213호

발명의 내용

해결 하고자하는 과제

[0010] 종래의 표시 장치는 기본적으로 화면부와 구동부를 포함한다. 화면부는 주사선들의 행들, 신호선들의 열들, 및 각각의 주사선들과 각각의 신호선들이 교차하는 부분들에 배치된 행렬 형상의 화소들을 갖는다. 구동부는 화면부의 주변에 배치되어, 각각의 주사선들에 제어 신호를 순차적으로 공급하는 스캐너 및 각각의 신호선들에 영상 신호를 공급하는 드라이버를 포함한다. 화면부의 각각의 화소는, 대응하는 주사선으로부터 공급된 제어 신호에 따라 선택되면, 대응하는 신호선으로부터 영상 신호를 취함과 함께, 취해진 영상 신호에 따라 발광한다.

[0011] 각각의 화소는 발광 소자로서 예를 들어, 유기 EL 디바이스를 포함한다. 이 발광 소자에서, 전류/휘도 특성이 시간에 따라 악화되는 경향이 있다. 따라서, 유기 EL 디스플레이의 각각의 화소의 휘도는 시간의 경과에 따라 감소되는 문제가 존재한다. 휘도 저하의 정도는 각각의 화소의 누적 발광 시간에 의존한다. 화면에서 각각의 화소의 누적 발광 시간이 상이한 경우, 휘도 불균일이 발생할 수 있고, 소위 "번인(burn-in)"이라고 하는 화질 불량이 발생할 우려가 있다.

과제 해결수단

[0012] 상기의 관점에서, 화소들에서의 휘도 저하를 보상하는 것이 가능한 표시 장치를 제공하는 것이 바람직하다.

[0013] 본 발명의 실시예에 따르면, 화면부, 구동부, 및 신호 처리부를 포함하는 표시 장치가 제공되어 있다. 화면부는 주사선들의 행들, 신호선들의 열들, 행렬 형상의 화소 회로들 및 광 센서를 포함한다. 구동부는 주사선들에 제어 신호를 공급하는 스캐너 및 신호선들에 영상 신호를 공급하는 드라이버를 포함한다. 화면부는 복수의 화소 회로들을 각각 갖는 복수의 영역들로 구획된다. 화소 회로는 영상 신호에 따라 발광한다. 광 센서는 각각의 영역에 대해 배치되어 발광에 따라 휘도 신호를 출력한다. 신호 처리부는 휘도 신호에 따라 영상 신호를 보정하여 그 신호를 드라이버에 공급한다.

[0014] 광 센서는 영역의 중심 근처에 배치되는 것이 바람직하다. 신호 처리부는 화면부에 영상을 표시하는 표시 기간 동안 표시용 영상 신호를 공급하고, 화면부에 영상을 표시하지 않는 검출 기간 동안 검출용 영상 신호를 공급한다. 신호 처리부는 각각의 프레임에서 검출용 영상 신호를 공급하고, 검출 대상의 화소 회로들만을 발광시킨다. 신호 처리부는 검출 대상이 되는 화소 회로와 광 센서 사이의 거리에 따라, 화소 회로에 기록될, 검출용 영상 신호의 레벨을 설정한다. 신호 처리부는 검출 대상이 되는 화소 회로와 광 센서 사이의 거리에 따라, 1 프레임에서 화소 회로의 발광 시간이 차지하는 비율을 설정한다. 신호 처리부는 제1 기간 동안 광 센서로부터 출력되는 제1 휘도 신호와, 제1 기간 이후의 제2 기간 동안 광 센서로부터 출력되는 제2 휘도 신호를 비교하고, 그 비교 결과에 따라 영상 신호를 보정하여 그 신호를 드라이버에 공급한다.

효 과

[0015] 본 발명의 실시예에 따르면, 신호 처리부는 광 센서로부터 출력되는 휘도 신호에 따라 영상 신호를 보정함과 함께, 보정된 영상 신호를 구동부의 드라이버에 공급한다. 이러한 구성에 의해, 화소들의 휘도 저하를 영상 신호의 보정에 의해 보상하는 것이 가능하고, 결과적으로, 종래에 문제되었던 "번인"과 같은 화질 불량이 방지될 수 있다.

[0016] 특히, 본 발명에서, 광 센서는 각각의 화소의 발광 휘도를 검출하여, 대응하는 휘도 신호를 출력한다. 개개의 화소 각각에 대해 발광 휘도를 검출하기 때문에, 화면에서 부분적인 불균일성이 나타날 경우에도, 각각의 화소에서 영상 신호를 보정함으로써 부분적인 휘도 불균일성이 보정될 수 있다. 본 발명의 실시예에서, 화면부가 구획되고, 각각의 구획에 대해 광 센서가 배치된다. 각각의 구획은, 대응하는 광 센서가 발광 휘도를 검출할 수 있는 범위에서 다수의 화소들을 포함한다. 본 발명의 실시예에 따르면, 각각의 화소의 발광 휘도를 검출하기 위해서 각각의 화소에 대응하도록 광 센서들을 구비할 필요가 없으므로, 필요한 광 센서들의 개수가 대폭 감소될 수 있고, 그 결과로서, 표시 패널에 대한 비용 감소와 함께 표시 패널 구조를 단순화할 수 있다.

발명의 실시를 위한 구체적인 내용

[0017] 이하, 바람직한 실시예들(이하 설명에서 실시예들로서 지칭됨)이 설명될 것이다. 설명은 다음 순서로 이루어질 것이다.

- [0018] 제1 실시예
- [0019] 제2 실시예
- [0020] 제3 실시예
- [0021] 제4 실시예
- [0022] 제5 실시예
- [0023] 응용예
- [0024] <제1 실시예>
- [0025] [패널의 전체 구성]
- [0026] 도 1은 본 발명의 실시예에 따른 표시 장치의 주요부인 패널을 도시하는 전체 구성도이다. 도면에 도시된 바와 같이, 표시 장치는 화소 어레이부(1)(화면부) 및 화소 어레이부(1)를 구동하는 구동부를 포함한다. 화소 어레이부(1)는 주사선들의 행들 WS, 신호선들의 열들 SL, 양 선들이 교차하는 부분들에 배치된 행렬 형상의 화소들(2) 및 각각의 화소들(2)의 각각의 선들에 대응하도록 배치된 급전선(feeding line)들(전원선들) VL을 갖는다. 본 예에서, 각각의 화소(2)에 RGB 삼원색들 중 임의의 색이 할당되어, 컬러 표시를 실현한다. 그러나, 본 발명은 이에 한정되는 것이 아니고, 단색 표시 장치를 포함하기도 한다. 구동부는 각각의 주사선들 WS에 제어 신호를 순차적으로 공급함으로써 화소들(2)의 선 순차 주사를 행단위로 행하는 기입 스캐너(4), 선 순차 주사에 대응하도록 각각의 급전선들 VL에 제1 전압과 제2 전압 사이에서 전환되는 전원 전압을 공급하는 전원 스캐너(6), 및 선 순차 주사에 대응하도록 신호선들 SL의 행들에 영상 신호 및 기준 전위로서 역할을 하는 신호 전위를 공급하는 수평 선택기(신호 드라이버)(3)를 포함한다.
- [0027] [화소의 회로 구성]
- [0028] 도 2는 도 1에 나타난 표시 장치에 포함되는 화소(2)의 구체적인 구성 및 접속 관계를 도시하는 회로도이다. 도면에 도시된 바와 같이, 화소(2)는 유기 EL 장치 등에 의해 대표되는 발광 소자 EL, 샘플링 트랜지스터 Tr1, 구동 트랜지스터 Trd, 및 화소 용량 소자 Cs를 포함한다. 샘플링 트랜지스터 Tr1은, 그 제어 단부(게이트)가 대응하는 주사선 WS에 접속되고, 한 쌍의 전류 단부들(소스/드레인) 중 한쪽이 대응하는 신호선 SL에 접속되며, 전류 단부들 중 다른 쪽이 구동 트랜지스터 Trd의 제어 단부(게이트 G)에 접속된다. 구동 트랜지스터 Trd는 한 쌍의 전류 단부들(소스/드레인) 중 한쪽이 발광 소자 EL에 접속되고, 전류 단부들 중 다른 쪽이 대응하는 급전선 VL에 접속된다. 본 예에서, 구동 트랜지스터 Trd가 N 채널형이며, 그 드레인이 급전선 VL에 접속되고, 소스 S가 출력 노드로서 발광 소자 EL의 애노드에 접속된다. 발광 소자 EL의 캐소드는 소정의 캐소드 전위 Vcath에 접속된다. 화소 용량 소자 Cs는 구동 트랜지스터 Trd의 전류 단부의 한쪽으로서의 소스 S와 제어 단부인 게이트 G의 사이에 접속된다.
- [0029] 상기 구성에서, 샘플링 트랜지스터 Tr1은 주사선 WS로부터 공급되는 제어 신호에 따라 도전되고, 신호선 SL로부터 공급되는 신호 전위를 샘플링하여 화소 용량 소자 Cs에 그 전위를 저장한다. 구동 트랜지스터 Trd는 제1 전위(고 전위Vdd)의 급전선 VL로부터 전류를 공급받아, 화소 용량 소자 Cs에 저장된 신호 전위에 따라 구동 전류가 발광 소자 EL에 흐르도록 한다. 기입 스캐너(4)는 신호선 SL이 신호 전위에 있는 시간대에 샘플링 트랜지스터 Tr1을 도전되도록 하기 위해서, 소정의 펄스폭을 갖는 제어 신호를 제어선 WS에 출력하여, 화소 용량 소자 Cs에 신호 전위를 저장함과 함께 신호 전위에 구동 트랜지스터 Trd의 이동도 μ 에 대한 보정을 행한다. 그 후, 구동 트랜지스터 Trd는 화소 용량 소자 Cs에 기입된 신호 전위 Vsig에 대응하는 구동 전류를 발광 소자 EL에 공급하여, 발광 동작으로 진행된다.
- [0030] 화소 회로(2)는 상술한 이동도 보정 기능에 부가하여 임계 전압 보정 기능도 포함한다. 구체적으로, 전원 스캐너(6)는 샘플링 트랜지스터 Tr1이 신호 전위 Vsig을 샘플링하기 전 제1 타이밍에서 급전선 VL을 제1 전위(고 전위 Vdd)로부터 제2 전위(저 전위 Vss)로 전환한다. 기입 스캐너(4)는 샘플링 트랜지스터 Tr1이 신호 전위 Vsig을 샘플링하기 전 제2 타이밍에서 샘플링 트랜지스터 Tr1이 도전되도록 하여, 신호선 SL로부터의 기준 전위 Vref를 구동 트랜지스터 Trd의 게이트 G에 인가함과 함께 구동 트랜지스터 Trd의 소스 S를 제2 전위 Vss로 설정한다. 전원 스캐너(6)는 제2 타이밍 후의 제3 타이밍에서 급전선 VL을 제2 전위 Vss로부터 제1 전위 Vdd로 전환하여, 구동 트랜지스터 Trd의 임계 전압 Vth에 대응하는 전압을 화소 용량 소자 Cs에 저장한다. 상기 임계 전압 보정 기능에 의해, 표시 장치는 화소에 따라 변화되는 구동 트랜지스터 Trd의 임계 전압 Vth의 영향을 상

해시킬 수 있다.

- [0031] 화소 회로(2)는 또한 부트스트랩(bootstrap) 기능도 포함한다. 즉, 기입 스캐너(4)는 화소 용량 소자 Cs에 신호 전위 V_{sig} 이 저장되는 단계에서 주사선 WS에 대한 제어 신호의 인가를 해제하여, 샘플링 트랜지스터 Tr1을 비도전 상태가 되도록 하고, 구동 트랜지스터 Trd의 게이트 G를 신호선 SL로부터 전기적으로 컷오프시킴으로써, 구동 트랜지스터 Trd의 소스 S의 전위 변화에 따라 게이트 G의 전위가 변화되도록 하고, 게이트 G와 소스 S간의 전압 V_{gs} 를 일정하게 유지한다.
- [0032] [타이밍 차트 1]
- [0033] 도 3은 도 2에 도시된 화소 회로(2)의 동작들을 설명하기 위한 타이밍 차트이다. 도면에서, 주사선 WS의 전위 변화, 급전선 VL의 전위 변화 및 신호선 SL의 전위 변화는 이러한 선들에 대해 시간축을 공통으로 하여 나타낸다. 부가적으로, 구동 트랜지스터의 게이트 G 및 소스 S의 전위 변화도 이러한 전위 변화들과 병행하여 나타낸다.
- [0034] 샘플링 트랜지스터 Tr1을 턴온하기 위한 제어 신호 펄스가 주사선 WS에 인가된다. 제어 신호 펄스는 화소 어레이부의 선 순차 주사에 대응하도록 1 프레임(1f) 주기로 주사선 WS에 인가된다. 제어 신호 펄스는 1 수평 주사 주기(1H) 동안 2 펄스를 포함한다. 최초 펄스는 때때로 제1 펄스 P1으로 지칭되고, 후속 펄스는 제2 펄스 P2로서 지칭된다. 급전선 VL도 1 프레임 주기(1f) 동안 고 전위 Vdd와 저 전위 Vss 사이에서 전환된다. 1 수평 주사 주기(1H) 동안 신호 전위 V_{sig} 과 기준 전위 V_{ref} 사이에서 전환된 영상 신호는 신호선 SL에 공급된다.
- [0035] 도 3의 타이밍 차트에 도시된 바와 같이, 화소는 이전 프레임의 발광 기간으로부터 현재 프레임의 비발광 기간으로 진행되고, 그 후 현재 프레임의 발광 기간으로 진행된다. 비발광 기간에서, 준비 동작, 임계 전압 보정 동작, 신호 기입 동작, 이동도 보정 동작 등이 행해진다.
- [0036] 이전 프레임의 발광 기간에, 급전선 VL이 고 전위 Vdd에 있고, 구동 트랜지스터 Trd가 구동 전류 I_{ds} 를 발광 소자 EL에 공급한다. 구동 전류 I_{ds} 는 고 전위 Vdd의 급전선 VL로부터 구동 트랜지스터 Trd를 통해서 발광 소자 EL을 통과하여, 캐소드선으로 흐른다.
- [0037] 계속해서, 현재 프레임의 비발광 기간에, 타이밍 T1에서 급전선 VL이 고 전위 Vdd로부터 저 전위 Vss로 전환된다. 이에 따라, 급전선 VL은 방전되어 Vss가 되고, 또한 구동 트랜지스터 Trd의 소스 S는 Vss로 강하된다. 따라서, 발광 소자 EL의 애노드 전위(즉, 구동 트랜지스터 Trd의 소스 전위)는 역 바이어스 상태에 있으므로, 구동 전류가 흐르지 않아 광이 턴오프된다. 구동 트랜지스터 Trd의 소스 S의 전위 강하에 따라 게이트 G의 전위도 강하된다.
- [0038] 다음으로, 타이밍 T2에서, 샘플링 트랜지스터 Tr1은 주사선 WS를 저 레벨로부터 고 레벨로 전환함으로써 도전된다. 이때, 신호선 SL은 기준 전위 V_{ref} 에 있다. 따라서, 구동 트랜지스터 Trd의 게이트 G의 전위는 도전성 샘플링 트랜지스터 Tr1을 통해서 신호선 SL의 기준 전위 V_{ref} 에 있다. 이때, 구동 트랜지스터 Trd의 소스 S는 V_{ref} 보다도 충분히 낮은 전위 Vss에 있다. 상기 방식으로, 구동 트랜지스터 Trd의 게이트 G와 소스 S 사이의 전압 V_{gs} 는 구동 트랜지스터 Trd의 임계 전압 V_{th} 보다 커지도록 초기화된다. 타이밍 T1로부터 타이밍 T3까지의 기간 T1-T3은 구동 트랜지스터 Trd의 게이트 G와 소스 S 사이의 전압 V_{gs} 가 미리 V_{th} 이상으로 설정되는 준비 기간에 대응한다.
- [0039] 그 후, 타이밍 T3에서, 급전선 VL이 저 전위 Vss로부터 고 전위 Vdd로 천이되고, 구동 트랜지스터 Trd의 소스 S의 전위는 상승하기 시작한다. 이 후, 구동 트랜지스터 Trd의 게이트 G와 소스 S 사이의 전압 V_{gs} 가 임계 전압 V_{th} 가 될 때, 전류가 컷오프된다. 이러한 방식으로, 구동 트랜지스터 Trd의 임계 전압 V_{th} 에 대응하는 전압은 화소 용량 소자 Cs에 기입된다. 이것은 임계 전압 보정 동작이다. 이때, 전류가 오직 화소 용량 소자 Cs측에만 흐르게 하고, 발광 소자 EL에는 흐르지 않도록 하기 위해서, 발광 소자 EL이 컷오프되도록 캐소드 전위 V_{cath} 가 설정된다.
- [0040] 타이밍 T4에서, 주사선 WS는 하이 레벨로부터 로우 레벨로 복귀된다. 즉, 주사선 WS에 인가된 제1 펄스 P1이 해제되어, 샘플링 트랜지스터가 턴오프된다. 이상의 설명으로부터 명백해진 바와 같이, 제1 펄스 P1은 임계 전압 보정 동작을 행하기 위해서, 샘플링 트랜지스터 Tr1의 게이트에 인가된다.
- [0041] 그 후, 신호선 SL은 기준 전위 V_{ref} 로부터 신호 전위 V_{sig} 로 전환된다. 계속해서, 타이밍 T5에서 주사선 WS는 다시 로우 레벨로부터 하이 레벨로 상승한다. 즉, 제2 펄스 P2는 샘플링 트랜지스터 Tr1의 게이트에 인가된다. 이에 의해, 샘플링 트랜지스터 Tr1은 다시 턴온되고, 신호선 SL로부터 신호 전위 V_{sig} 을 샘플링한다. 따라서,

구동 트랜지스터 Trd의 게이트 G의 전위는 신호 전위 Vsig이 된다. 여기서, 발광 소자 EL이 우선 컷오프 상태(하이 임피던스 상태)에 있기 때문에, 구동 트랜지스터 Trd의 드레인과 소스 사이에 흐르는 전류는 화소 용량 소자 Cs 및 발광 소자 EL의 등가 용량 소자로 흐른다. 그 후, 구동 트랜지스터 Trd의 소스 S의 전위는 샘플링 트랜지스터 Tr1이 턴오프되는 타이밍 T6까지 ΔV 만큼 상승한다. 이에 의해, 영상 신호의 신호 전위 Vsig은 Vth에 더해져 화소 용량 소자 Cs에 기입됨과 함께, 이동도 보정용의 전압 ΔV 는 화소 용량 소자 Cs에 저장된 전압에서 빠진다. 따라서, 타이밍 T5로부터 타이밍 T6까지의 기간 T5-T6이 신호 기입 기간 및 이동도 보정 기간에 대응한다. 즉, 제2 펄스 P2가 주사선 WS에 인가되면, 신호 기입 동작 및 이동도 보정 동작이 행해진다. 신호 기입 기간 및 이동도 보정 기간 T5-T6은 제2 펄스 P2의 펄스폭과 동일하다. 즉, 제2 펄스 P2의 펄스폭은 이동도 보정 기간을 규정한다.

[0042] 상술된 바와 같이, 신호 전위 Vsig의 기입 및 보정량 ΔV 의 조정은 신호 기입 기간 T5-T6에 동시에 행해진다. Vsig이 높을수록 구동 트랜지스터 Trd에 의해 공급되는 전류 Ids가 증가되고, ΔV 의 절대값도 커진다. 따라서, 발광 휘도 레벨에 대응하는 이동도 보정이 행해진다. Vsig가 고정되어 있는 경우, 구동 트랜지스터 Trd의 이동도 μ 가 클수록 ΔV 의 절대값이 커진다. 즉, 이동도 μ 가 클수록 부 귀환량(negative feedback amount) ΔV 가 커지므로, 각각의 화소의 이동도 μ 의 편차가 상쇄될 수 있다.

[0043] 마지막으로, 타이밍 T6에서, 상술한 바와 같이 주사선 WS가 저 레벨측으로 천이되고, 샘플링 트랜지스터 Tr1은 턴오프된다. 이에 의해, 구동 트랜지스터 Trd의 게이트 G는 신호선 SL로부터 컷오프된다. 이때, 드레인 전류 Ids가 발광 소자 EL에 흐르기 시작한다. 이에 의해, 발광 소자 EL의 애노드 전위는 구동 전류 Ids에 따라 상승한다. 발광 소자 EL의 애노드 전위의 상승은 정확히 구동 트랜지스터 Trd의 소스 S의 전위 상승이다. 구동 트랜지스터 Trd의 소스 S의 전위가 상승하면, 화소 용량 소자 Cs의 부트스트랩 동작에 의해 구동 트랜지스터 Trd의 게이트 G의 전위도 상승한다. 게이트 전위의 상승량은 소스 전위의 상승량과 동일할 것이다. 따라서, 구동 트랜지스터 Trd의 게이트 G와 소스 S 사이의 입력 전압 Vgs는 발광 기간 동안 일정하게 유지된다. 게이트 전압 Vgs의 값은 신호 전위 Vsig에 대한 임계 전압 Vth 및 이동도 μ 의 보정을 받는다. 구동 트랜지스터 Trd는 포화 영역에서 동작한다. 즉, 구동 트랜지스터 Trd는 게이트 G와 소스 S 사이의 입력 전압 Vgs에 따라 구동 전류 Ids를 출력한다. 게이트 전압 Vgs의 값은 신호 전위 Vsig에 대한 임계 전압 Vth 및 이동도 μ 의 보정을 받는다.

[0044] [타이밍 차트 2]

[0045] 도 4는 도 2에 도시된 화소 회로(2)의 동작들을 설명하기 위한 다른 타이밍 차트이다. 도면은 기본적으로 도 3에 도시된 타이밍 차트와 동일하고, 대응하는 부분들에는 대응하는 참조 부호가 제공된다. 다른 점은 임계 전압 보정 동작이 복수의 수평 기간에 걸쳐서 시분할 방식으로 반복적으로 행해지는 것이다. 도 4의 타이밍 차트의 예에서, 각각의 1H 기간에 Vth 보정 동작이 2회 행해진다. 화면부가 고정밀화되면, 화소들의 수가 증가되어 주사선들의 수도 증가된다. 주사선들의 개수의 증가에 의해 1H 기간이 더 짧아진다. 선 순차 주사가 고속으로 행해짐에 따라, 1H 기간에 Vth 보정 동작이 완료되지 않는 경우가 존재한다. 따라서, 도 4의 타이밍 차트에서는, 임계 전압 보정 동작이 시분할 방식으로 2회 행해져, 구동 트랜지스터 Trd의 게이트 G와 소스 S 사이의 전위 Vgs는 확실하게 Vth로 초기화된다. Vth 보정의 반복 횟수는 2회로 한정되는 것이 아니고, 필요에 따라 시분할의 횟수를 늘릴 수 있다.

[0046] [표시 장치의 전체 구성]

[0047] 도 5는 본 발명의 실시예에 따른 표시 장치의 전체 구성을 나타내는 모식적인 블록도이다. 도면에 도시된 바와 같이, 표시 장치는 기본적으로 화면부(1), 구동부 및 신호 처리부(10)를 포함한다. 화면부(화소 어레이부)(1)는 주사선들의 행들, 신호선들의 열들 및 각각의 주사선들 및 각각의 신호선들이 교차하는 부분들에 배치되는 행렬 형상의 화소들 및 광 센서(8)를 포함하는 패널(0)을 갖는다. 구동부는 각각의 주사선들에 제어 신호를 순차적으로 공급하는 스캐너 및 각각의 신호선들에 영상 신호를 공급하는 드라이버를 포함한다. 본 실시예에서 스캐너 및 드라이버는 화면부(1)를 둘러싸도록 패널(0) 위에 탑재된다.

[0048] 화면부(1)에 포함되는 각각의 화소는, 대응하는 주사선으로부터 제공된 제어 신호에 따라 화소가 선택되면, 대응하는 신호선으로부터 영상 신호를 취함과 함께, 취해진 영상 신호에 따라 발광한다. 광 센서(8)는 각각의 화소의 발광 휘도를 검출하여 대응하는 휘도 신호를 출력한다. 본 실시예에서, 광 센서(8)는 패널(0)의 이면측(발광면에 대해 반대측)에 탑재된다.

[0049] 신호 처리부(DSP)(10)는 광 센서(8)로부터 출력된 휘도 신호에 따라 영상 신호를 보정함과 함께 보정된 영상 신

호를 구동부의 드라이버에 공급한다. 본 실시예에서, 광 센서(8)와 신호 처리부(10) 사이에 AD 컨버터(ADC)(9)가 삽입된다. 이 ADC(9)는 광 센서(8)로부터 출력된 아날로그 휘도 신호를 디지털 휘도 신호(휘도 데이터)로 변환하고, 그 신호를 디지털 신호 처리부(DSP)(10)에 공급한다.

[0050] 본 발명의 실시예의 특징 사항으로서, 패널(0)은 화면부(화소 어레이부)(1)에서 복수의 영역으로 구획되고, 각각의 영역들에 대응하도록 광 센서(8)가 배치된다. 각각의 광 센서(8)는 대응하는 영역에 속하는 화소들의 발광 휘도를 검출하여 대응하는 휘도 신호를 신호 처리부(10)에 공급한다. 광 센서(8)는 바람직하게는 대응하는 영역의 중심에 배치된다.

[0051] 신호 처리부(10)는 영상이 화면부(1)에 표시되는 표시 기간 동안 통상의 영상 신호를 드라이버에 공급하고, 영상이 표시되지 않는 비표시 기간에 포함되는 검출 기간 동안 휘도 검출용 영상 신호를 드라이버에 공급한다. 신호 처리부(10)는 각각의 프레임(또는 각각의 필드)에서 검출용 영상 신호를 공급한다. 검출용 영상 신호는 1 프레임(또는 1 필드)에서 검출 대상들의 화소만을 발광시키고, 나머지 화소들은 비발광 상태가 되도록 한다. 신호 처리부(10)는 초기 단계(예를 들어, 제품의 공장 출시 시)에서 광 센서(8)로부터 출력된 제1 휘도 신호와, 초기 단계로부터 소정 시간이 경과된 후에 광 센서(8)로부터 출력된 제2 휘도 신호를 비교하여 각각의 화소에서의 발광 휘도의 저하량을 계산하고, 또한 계산된 발광 휘도의 저하량을 보상하도록 영상 신호를 보정하여 그 저하량을 구동부의 드라이버에 출력한다.

[0052] 상기 설명으로부터 명백해진 바와 같이, 본 발명의 실시예에서는 패널(0)에 광 센서(8)가 제공된다. 광 센서(8)를 사용하여 각각의 화소의 휘도 저하가 측정되고, 그 악화 정도에 대응하도록 영상 신호의 레벨이 조정된다. 이에 의해, "번인"이 보정된 화상을 화면부(1)에 표시할 수 있다. 특히, 본 실시예에서는, 복수의 화소들에 대해 1개의 광 센서(8)가 배치된다. 이에 의해, 광 센서들의 수는 대폭 감소될 수 있고, 번인 보정 시스템의 비용이 감소될 수 있다.

[0053] [변형예]

[0054] 도 6은 도 5에 도시된 제1 실시예에 따른 표시 장치의 변형예를 나타내는 블록도이다. 이해를 쉽게 하기 위해서, 도 5에 도시된 구성요소들에 대응하는 부분들에는 대응하는 참조 번호가 제공된다. 다른 점은 광 센서(8)가 패널(0)의 이면측이 아니라 표면측에 배치되는 것이다. 광 센서(8)가 표면측에 배치되면, 이면측의 경우에 비해 수광량이 증가하는 이점이 있다. 그러나, 광 센서(8)가 패널(0)의 표면측에 배치되면, 일부의 화소들로부터의 발광이 희생되는 단점이 발생한다.

[0055] [패널의 구성]

[0056] 도 7은 도 5에 도시된 표시 장치에 포함되는 패널의 구성을 나타내는 모식적인 평면도 및 단면도이다. 도면에 도시된 바와 같이, 패널(0)의 중앙에 화면부(화소 어레이부)(1)가 배치되어 있다. 도시되지 않지만 화면부(1)를 둘러싸는 패널(0)의 주변부(프레임부)에 드라이버 및 스캐너 등을 포함하는 구동부가 탑재된다. 그러나, 본 발명은 상기에 한정되는 것이 아니고, 구동부는 패널(0)과 별개로 제공될 수 있다.

[0057] 화면부(1)는 복수의 영역(1A)으로 구획된다. 각각의 영역들(1A)에 대응하도록 광 센서(8)가 배치된다. 광 센서(8)는 대응하는 영역(1A)에 속하는 화소들(2)의 발광 휘도를 검출하여 대응하는 휘도 신호들을 신호 처리부(도시하지 않음)에 공급한다.

[0058] 도시된 예에서, 15행×20열의 행렬 형상으로 화소들이 배치된다. 화소 어레이는 12개의 영역으로 구획된다. 각각의 영역(1A)은 5행×5열의 25개의 화소들(2)을 포함한다. 25개의 화소들(2)에 대하여 1개의 광 센서(8)가 배치된다. 1개의 화소(2)에 대해 1개의 광 센서(8)가 형성되는 경우에 비해, 광 센서(8)의 필요한 개수는 대폭 감소될 수 있다.

[0059] [패널의 단면 구조]

[0060] 도 8은 도 7에 도시된 패널의 단면 구조를 나타낸다. 패널(0)은 하부 글래스 기판(101) 및 상부 글래스 기판(108)이 적층되어 있는 구조를 갖는다. 집적 회로(102)는 TFT 프로세스에 의해 글래스 기판(101) 위에 형성된다. 집적 회로(102)는 도 2에 도시된 화소 회로들의 집합이다. 집적 회로(102) 상의 발광 소자 EL의 애노드들(103)은 각각의 화소에 개별적으로 형성된다. 각각의 애노드들(103)을 집적 회로(102)측에 접속하기 위한 배선들(106)도 형성된다. 애노드들(103) 위에 유기 EL 재료 등으로 구성된 발광층(104)이 형성된다. 그 위에 캐소드(105)가 전면에 걸쳐 형성된다. 캐소드(105), 애노드(103) 및 그 둘 사이에 위치한 발광층(104)은 발광 소자를 구성한다. 캐소드(105) 위에, 밀봉층(107)을 개재하여 글래스 기판(108)이 본딩된다.

- [0061] 유기 EL 발광 소자는 자발광 장치이다. 발광은 대부분 패널(0)의 표면 방향(상부 글래스 기관(108)의 방향)으로 향한다. 그러나, 비스듬히 발광되는 광 및 패널(0)의 내부에서 반복적으로 반사 및 산란되어, 패널(0)의 이면측(하부 글래스 기관(101)의 방향)으로 관통하는 광이 존재한다. 도 5에 도시된 예에서, 광 센서는 패널(0)의 이면 상에 탑재되고, 발광 소자로부터 패널(0)의 이면측으로 관통하는 발광을 검출한다. 이 경우, 광 센서 바로 위의 화소로부터의 발광뿐만 아니라 그 센서 바로 위 위치로부터 시프트된 주변 화소들의 발광 휘도도 측정될 수 있다.
- [0062] [광 센서의 수광량 분포]
- [0063] 도 9는 광 센서의 수광량 분포를 나타내는 그래프를 도시한다. 도 9의 (X)는 행 방향의 수광 분포를 나타낸다. 횡축은 광 센서로부터의 거리를 화소들의 수로 나타내고, 종축은 센서 출력 전압을 나타낸다. 센서 출력 전압은 수광량에 비례한다. 그래프로부터 명백해진 바와 같이, 광 센서는 그 중심에 위치되는 화소(센서의 바로 위에 위치되는 화소)로부터의 발광뿐만 아니라, 그 중심으로부터 떨어진 화소로부터의 발광도 어느 정도 수광하고, 대응하는 휘도 신호들을 출력한다.
- [0064] 도 9의 (Y)는 광 센서의 열 방향을 따른 수광량 분포를 나타내고 있다. 도 9의 (X)에 도시된 행 방향의 수광량 분포와 동일한 방식으로, 열 방향에 대해서도 중심 화소로부터의 발광뿐만 아니라 주변 화소로부터의 발광을 어느 정도 수광하고, 대응하는 휘도 신호를 출력할 수 있음을 알게 된다.
- [0065] 본 발명의 실시예에서, 광 센서의 수광량 분포가 영역에서 어느 정도의 폭을 갖는다는 사실을 이용함으로써, 복수의 화소에 대하여 1개의 광 센서가 배치된다. 따라서, 광 센서들의 수 감소시킬 수 있고, 변인 보정 시스템의 비용을 대폭 삭감할 수 있다. 도 9에 도시된 광 센서의 수광량 분포(수광 강도 분포)를 고려하면, 1개의 광 센서에 의해 측정되는 범위(영역)는 그 광 센서에 대한 거리가 상하 좌우 모든 방향으로 균등한 범위인 것이 바람직하다. 즉, 광 센서는 각각의 구획화된 영역의 중심에 배치되는 것이 바람직하다.
- [0066] [발광 휘도의 검출 동작]
- [0067] 도 10은 화소 휘도의 검출 동작을 나타내는 모식도이다. 도면에 도시된 바와 같이, 본 실시예에서 각각의 화소의 발광 휘도는 점 순차 방식에 의해 검출된다. 점 순차 동작의 진행 방향으로서, 각각의 영역(1A)에 좌측 상부의 화소로부터 우측 하부의 화소까지 래스터(Raster) 방식이 사용된다.
- [0068] 최초 프레임 1에서 영역(1A)의 좌측 상부에 위치되는 화소(2)가 발광되도록 하는 한편, 영역(1A)에 속하는 모든 나머지 화소들(2)은 비발광 상태가 되도록 한다. 이에 의해, 영역(1A)의 중심에 위치되는 광 센서(8)는 영역(1A)의 좌측 상부 코너(corner)에 위치되는 화소(2)의 발광 휘도를 검출할 수 있다.
- [0069] 다음 프레임 2로 진행하면, 좌측 상부로부터 2번째 위치의 화소(2)만이 발광하고, 그 휘도가 검출된다. 그 후, 동작이 순차적으로 진행하여, 프레임 5에서 우상부 코너에 위치되는 화소(2)의 발광 휘도가 검출될 수 있다. 계속해서 프레임 6에서, 2번째 줄의 화소의 발광 휘도가 검출되고, 이 후 프레임 7로부터 순서대로 프레임 10으로 프로세스가 진행된다. 프레임 10에서, 위에서 2번째 줄째의 우측 단부에 위치되는 화소(2)의 발광 휘도가 검출될 수 있다. 따라서, 프레임 1로부터 프레임 25까지 영역(1A)에 속하는 25개의 화소(2)의 발광 휘도가 점 순차 방식으로 검출될 수 있다. 예를 들어, 프레임 주파수가 30Hz이면, 영역(1A)에 속하는 모든 화소들(2)의 발광 휘도는 약 1초 이하 동안 검출될 수 있다. 점 순차 방법은 모든 영역(1A)에서 병렬로 행해지고, 전체 패널의 발광 휘도는 1초 이하 동안 검출될 수 있다. 상기 설명으로부터 명백해진 바와 같이, 본 실시예에서 1개의 광 센서(8)에 의해 수광 가능한 영역(1A)에 포함되는 화소들(2)은 1 화소씩 점 순차 방식으로 발광된다. 컬러 표시 장치의 경우, 1 화소에 포함되는 발광 소자는 RGB 중 임의의 광을 발광한다. 이 경우, 각각의 색에 대한 각각의 화소(서브 화소)에서의 발광 휘도가 검출되는 것이 바람직하다. RGB의 3색의 서브 화소들이 서로 결합되는 화소에 대한 발광 휘도를 검출하는 것도 때때로 가능하다. 점 순차 검출에 있어서의 각각의 화소의 발광 제어는 패널(0)에 입력되는 영상 신호에 의해 행해지고, 화소의 동작 타이밍은 통상의 화상 표시와 동일한 방식으로 행해진다. 즉, 신호 처리부는 각각의 프레임에 검출용 영상 신호를 공급한다. 검출용 영상 신호는 검출 대상의 화소들만이 1 프레임에서 발광하도록 하고, 나머지 화소들은 비발광의 상태가 되도록 한다. 점 순차 주사에 의해, 복수의 화소들의 휘도 데이터가 1개의 광 센서에 의해 순차적으로 획득될 수 있다.
- [0070] [변인 현상]
- [0071] 도 11은 본 발명의 실시예의 처리 대상으로서의 "변인"을 설명하는 모식도이다. (A1)은 변인의 원인으로서의 패턴 표시를 나타낸다. 예를 들어, 도시된 바와 같은 윈도우가 화면부(1)에 표시된다. 흰 부분 윈도우의 부분

의 화소들은 고 휘도로 발광을 지속하는 한편, 주변의 블랙 프레임 부분의 화소들은 비발광 상태에 놓인다. 이러한 윈도우 패턴이 장시간에 걸쳐서 표시되면, 흰 부분의 화소들의 휘도 저하가 진행되는 한편, 블랙 프레임 부분의 화소들의 휘도 저하는 상대적으로 느리게 진행된다.

[0072] (A2)는 (A1)에 도시된 윈도우 패턴 표시를 소거되고, 전면 래스터 표시가 화면부(1)에 행해지는 상태를 나타낸다. 부분적인 휘도 저하가 없다면, 화면부(1)에 래스터 표시가 행해질 때, 전체 화면에서 균일한 휘도 분포가 얻어질 수 있다. 그러나, 실제로는 이전에 흰 부분으로 표시된 중앙 부분의 화소들의 휘도 저하가 진행하고 있기 때문에, 중앙 부분의 휘도는 주변 부분의 휘도보다 낮아져, 도면에 도시된 바와 같이 "번인"이 나타난다.

[0073] [번인 보정 처리]

[0074] 도 12는 도 11에 도시된 "번인"의 보정 동작을 나타내는 모식도이다. (0)은 외부로부터 표시 장치의 신호 처리부에 입력되는 영상 신호를 나타내고 있다. 예에서, 전면 영상 신호가 도시된다.

[0075] (A)는 도 11에 도시된 바와 같은 "번인"이 이미 발생하고 있는 화면부에 (0)에 도시된 영상 신호를 표시한 경우의 휘도 분포를 나타내고 있다. 전면 영상 신호가 입력될 때도, 패널의 화면부에 부분적인 번인이 존재하여, 중앙의 윈도우 부분의 휘도가 주변 프레임 부분보다 어둡다.

[0076] (B)는 외부로부터 입력된 영상 신호 (0)을 각각의 화소들의 발광 휘도의 검출 결과에 따라 보정함으로써 획득된 영상 신호를 나타낸다. (B)에 도시된 번인 보정 후의 영상 신호에서, 중앙의 윈도우 부분의 화소들에 기입되는 영상 신호의 레벨은 상대적으로 높게 보정되고, 주변 프레임 부분의 화소들에 기입되는 영상 신호의 레벨은 상대적으로 낮게 보정된다. 상술된 바와 같이, 영상 신호가 (A)에 도시된 번인에 의한 부(negative) 휘도 분포를 상쇄(cancel)시키기 위해, (B)에 도시된 정(positive) 휘도 분포를 갖도록 보정이 행해진다.

[0077] (C)는 번인 보정 후의 영상 신호가 화면부에 표시된 상태를 모식적으로 나타낸다. 패널의 화면부에 남아있는 번인으로 인한 불균일한 휘도 분포는 번인 보정용 영상 신호에 의해 보상되어, 균일한 휘도 분포를 갖는 화면이 얻어질 수 있다.

[0078] <제2 실시예>

[0079] [휘도 신호들의 동적 범위]

[0080] 도 13은 광 센서로부터 출력되는 휘도 신호들의 동적 범위를 나타내는 그래프이다. 횡축은 광 센서의 중심 위치로부터의 거리에 대한 것이고, 종축은 휘도 신호의 출력 전압에 대한 것이다. 횡축의 거리는 광 센서로부터의 화소들의 수로 나타나 있다. 도면에 도시된 바와 같이, 광 센서로부터 거리가 멀어짐에 따라, 화소 휘도가 동일한 경우에도, 광 센서에 의한 수광값은 감소된다. 도시된 예에서, 중심 위치의 화소의 휘도 신호의 출력 레벨은 3V에 도달하는 한편, 중심 위치로부터 화소들의 수로 20개 화소만큼 떨어진 화소의 휘도 신호의 출력 전압은 약 1/10인 0.3V까지 저하된다. 도 5에 도시된 번인 보정 시스템에서, 광 센서(8)로부터의 출력이 증폭된 후, 아날로그 신호가 ADC(9)에 의해 디지털 신호로 변환된다. 디지털 신호의 비트는 입력 아날로그 신호의 최대 전압을 고려하여 결정될 수 있다. 따라서, 광 센서의 중심에 위치되는 화소에서, 휘도 신호는 예를 들어, 8비트의 256 계조에서 변환될 수 있다. 따라서, 번인 보정의 정밀도가 증가된다. 한편, 광 센서로부터 떨어진 화소에서, 아날로그 신호의 전압은 26 계조 레벨에서 변환된다. 따라서, 번인 보정의 정밀도가 감소된다. 결과로서, 번인 보정이 충분히 행해지지 않을 우려가 있다. 도시의 예에서, 중심에 위치되는 화소의 휘도 신호의 동적 범위가 크기 때문에, 신호는 256 계조의 디지털 데이터로 변환될 수 있다. 이것은 0.4%의 보정 정밀도에 대응한다. 한편, 중심으로부터 20개 화소들만큼 떨어진 화소의 휘도 신호의 동적 범위는 좁기 때문에, 신호는 단지 26 계조 내에서 변환된다. 이것은 4%의 보정 정밀도에 대응한다.

[0081] [제2 실시예의 동작들]

[0082] 도 14a는 제2 실시예에 따른 표시 장치의 동작들을 나타내는 타이밍 차트이다. 제2 실시예에서, 상술된 번인 보정의 정밀도의 편차를 향상시킴으로써 번인 보정의 정밀도가 증가된다. 도 14a는 측정 대상의 화소들만을 점등하기 위한 점 순차 주사를 나타낸다. 상술된 바와 같이, 점 순차 주사는 도 3에 도시된 통상의 영상 표시 동작의 시퀀스와 동일한 시퀀스에서 행해진다. 즉, Vth 보정이 행해진 후, 소정 레벨의 영상 신호가 측정 대상의 화소에 기입되고, 이동도 보정이 행해져 화소가 발광된다.

[0083] 도 14a에 도시된 타이밍 차트는 측정 대상의 화소가 광 센서에 가까운 경우를 나타낸다. 이 경우에, 광 센서는 측정 대상의 화소로부터 충분한 수광량을 얻을 수 있다. 따라서, 1 프레임에 할당된 발광 기간은 비교적 짧을 수 있다. 따라서, 도 14a에 도시된 타이밍 차트에서, 화소가 발광한 후, 급전선 VL은 비교적 짧은 시간 폭에서

고 레벨 Vdd로부터 저 레벨 Vss로 전환되어, 비발광 기간으로 진행한다.

[0084] 도 14b 또한 제2 실시예에 따른 표시 장치의 동작들을 설명하기 위한 타이밍 차트이다. 이해를 쉽게 하기 위해서, 도 14a에 도시된 타이밍 차트에 사용된 동일한 부호가 적용된다. 차트는 발광 휘도의 측정 대상의 화소가 광 센서로부터 비교적 떨어져 위치된 경우를 나타낸다. 이 경우, 측정 대상의 화소의 발광 기간은 비교적 길게 된다. 이에 의해, 광 센서는 측정 대상의 화소로부터 충분한 수광량을 얻을 수 있다.

[0085] 상술된 바와 같이, 본 실시예에 따르면, 신호 처리부는 측정 대상의 화소와 그 화소의 발광 휘도를 검출하는 광 센서 사이의 거리에 따라, 1 프레임에서 화소가 차지하는 발광 기간의 비율을 설정한다. 이에 의해, 화소가 광 센서로부터 떨어진 만큼 광 센서가 수광하는 시간이 길어진다.

[0086] [휘도 신호의 출력분포]

[0087] 도 15는 제2 실시예에서 얻어지는 휘도 신호의 출력 전압 분포를 나타내는 그래프이다. 이해를 쉽게 하기 위해, 도 13에 도시된 그래프와 동일한 표기가 적용된다. 광 센서로부터의 거리와 발광 시간 사이의 관계가 최적이 되도록 설정되는 경우, 도 15의 그래프에 도시된 바와 같이, 광 센서의 출력 전압은 화소의 위치에 관계없이 일정할 것이다. 즉, 광 센서로부터의 거리에 관계없이 휘도 신호들의 레벨들을 각각의 화소들에서 일정하게 하기 위해서, 광 센서에 가까운 화소는 도 14a에 도시된 바와 같이 짧은 듀티(short duty)의 타이밍으로 발광하게 된다. 반면, 광 센서로부터 떨어진 화소는 도 14b에 도시된 바와 같이 긴 듀티의 타이밍으로 발광하게 된다. 따라서, 각각의 화소들에서 일정한 동적 범위는, 도 15에 도시된 바와 같이 광 센서로부터의 거리에 관계없이 광 센서에 의해 얻어지는 발광 휘도 데이터에서 얻어질 수 있다. 도시된 예에서, 모든 화소에서 256 계조의 해상도가 얻어질 수 있고, 0.4%의 정밀도로 변인 보정이 행해질 수 있다. 보정 시스템에 포함된 AD 컨버터는, 광 센서로부터의 거리에 관계없이 모든 화소에 대하여 동일한 계조의 정밀도(예를 들어, 도시된 예에서는 8비트, 256 계조)로 디지털 변환을 행할 수 있다. 그 결과, 휘도 저하를 측정하기 위한 데이터 정밀도도 증가될 수 있고, 높은 정밀도의 휘도 보정이 행해질 수도 있다.

[0088] <제3 실시예>

[0089] [발광 휘도 검출의 타이밍 차트]

[0090] 도 16a는 본 발명의 제3 실시예에 따른 타이밍 차트이다. 차트는 화소의 발광 휘도를 검출하기 위한 점 순차 동작을 나타낸다. 타이밍 차트는 측정 대상의 화소가 광 센서에 가깝게 위치된 경우를 나타낸다. 도면에 도시된 바와 같이, 낮은 신호 전압의 영상 신호가 광 센서에 가까운 화소에 기입된다.

[0091] 도 16b 또한 제3 실시예에 따른 타이밍 차트이다. 그 차트는, 차트가 광 센서로부터 떨어져 위치된 화소에 대한 발광 휘도의 검출 동작을 나타낸다는 점에서 도 16a와 상이하다. 도면에 도시된 바와 같이, 높은 신호 전압의 영상 신호가 광 센서로부터 떨어진 화소에 기입된다. 따라서, 영상 신호의 레벨이 광 센서로부터의 거리에 따라 최적이 되도록 설정되면, 각각의 화소들의 발광 휘도 데이터는 광 센서로부터의 거리에 관계없이 일정한 값을 유지할 수 있다. 즉, 본 실시예에 따른 신호 처리부는 검출 대상의 화소와 그 화소의 발광 휘도를 검출하는 광 센서 사이의 거리에 따라 화소에 기입될 검출용 영상 신호의 레벨을 설정한다. 그 결과, 화소가 광 센서로부터 떨어진에 따라 발광 휘도가 증가된다. 증폭 후의 AD 컨버터에 입력된 신호 레벨도 광 센서로부터의 거리에 관계없이 일정한 값일 것이다. 모든 화소에 대하여 동일한 계조의 정밀도(예를 들어, 8비트, 256 계조)로 디지털 변환이 행해질 수 있다. 그 결과, 휘도 저하의 데이터 정밀도를 증가시킬 수 있고, 높은 정밀도의 휘도 보정을 실현할 수 있다.

[0092] 본 실시예에서는, 신호 전압의 레벨에 의해 휘도가 제어됨으로써, 제2 실시예와 같이 패널을 구동하는 타이밍을 변화시키지 않고 발광 휘도의 검출 동작을 행한다. 따라서, 본 실시예의 동작은 통상의 영상 표시 시의 동작과 비교하여 신호 전압만이 변화되는 동작일 것이고, 따라서, 발광 휘도 검출 시에 새로운 타이밍을 설정할 필요가 없어, 시스템을 간소화한다.

[0093] <제4 실시예>

[0094] [패널 구성]

[0095] 도 17은 본 발명의 제4 실시예에 따른 표시 장치의 패널 구성을 나타내는 블록도이다. 이해를 쉽게 하기 위해, 도 1에 도시된 제1 실시예의 패널 블록도와 동일한 부호가 적용된다. 본 표시 장치는 기본적으로 화소 어레이부(화면부)(1) 및 화소 어레이부를 구동하는 구동부를 포함한다. 화소 어레이부(1)는 제1 주사선들의 행들 WS, 마찬가지로 제2 주사선들의 행들 DS, 신호선들의 열들 SL 및 각각의 제1 주사선들 WS 및 각각의 신호선들 SL이

교차하는 부분에 배치된 행렬 형상의 화소들(2)을 포함한다. 반면, 구동부는 기입 스캐너(4), 구동 스캐너(5) 및 수평 선택기(3)를 포함한다. 기입 스캐너(4)는 각각의 제1 주사선 WS에 제어 신호를 출력함으로써 화소들(2)의 선 순차 주사를 행 단위로 행한다. 구동 스캐너(5)도 각각의 제2 주사선 DS에 제어 신호를 출력함으로써 화소들(2)의 선 순차 주사를 행 단위로 행한다. 제어 신호가 출력되는 타이밍은 기입 스캐너(4) 및 구동 스캐너(5)에서 상이하다. 구동 스캐너(5)는 제1 실시예에서 사용된 전원 스캐너(6) 대신에 구동부에 배치된다. 전원 스캐너가 제거되기 때문에, 급전선도 화소 어레이부(1)로부터 제거된다. 그 대신, 고정 전원 전위 Vdd(도시되지 않음)를 공급하는 전원 라인이 화소 어레이부(1)에 제공된다. 수평 선택기(신호 드라이버)(3)는 스캐너들(4 및 5)의 선 순차 주사에 대응하도록, 신호선들의 열들 SL에 영상 신호의 신호 전압 및 기준 전압을 공급한다.

[0096] [화소 회로의 구성]

[0097] 도 18은 도 17에 도시된 제4 실시예의 표시 패널에 포함되는 화소 회로의 구성을 나타낸다. 제1 실시예의 화소 회로는 2개의 트랜지스터들을 포함하는 한편, 본 실시예의 화소는 3개의 트랜지스터를 포함한다. 도면에 도시된 바와 같이, 본 화소(2)는 기본적으로 발광 소자 EL, 샘플링 트랜지스터 Tr1, 구동 트랜지스터 Trd, 스위칭 트랜지스터 Tr3 및 화소 용량 소자 Cs를 포함한다. 샘플링 트랜지스터 Tr1은 그의 제어 단부(게이트)가 주사선 WS에 접속되고, 한 쌍의 전류 단부들(소스/드레인)의 한쪽은 신호선 SL에 접속되며, 전류 단부들의 다른 쪽은 구동 트랜지스터 Trd의 제어 단부(게이트 G)에 접속된다. 구동 트랜지스터 Trd는 한 쌍의 전류 단부들(소스/드레인)의 한쪽(드레인)은 전원 라인 Vdd에 접속되고, 전류 단부들의 다른 쪽(소스 S)은 발광 소자 EL의 애노드에 접속된다. 발광 소자 EL의 캐소드는 소정의 캐소드 전위 Vcath에 접속된다. 스위칭 트랜지스터 Tr3은 그의 제어 단부(게이트)가 주사선 DS에 접속되고, 한 쌍의 전류 단부들(소스/드레인)의 한쪽은 고정 전위 Vss에 접속되며, 전류 단부들의 다른 쪽은 구동 트랜지스터 Trd의 소스 S에 접속된다. 화소 용량 소자 Cs는 그 일단부가 구동 트랜지스터 Trd의 제어 단부(게이트 G)에 접속되고, 그의 타단이 구동 트랜지스터 Trd의 다른 쪽의 전류 단부(소스 S)에 접속된다. 구동 트랜지스터 Trd의 다른 쪽의 전류 단부는 발광 소자 EL 및 화소 용량 소자 Cs에 대한 출력 전류 단부이다. 본 화소 회로(2)에서, 화소 용량 소자 Cs를 보조하기 위해, 보조 용량 소자 Csub가 구동 트랜지스터 Trd의 소스 S와 전원 Vdd 사이에 접속된다.

[0098] 상기 구성에서, 구동부측의 기입 스캐너(4)는 샘플링 트랜지스터 Tr1의 스위칭 제어를 행하기 위한 제어 신호를 제1 주사선 WS에 공급한다. 구동 스캐너(5)는 스위칭 트랜지스터 Tr3의 스위칭 제어를 행하기 위한 제어 신호를 제2 주사선 DS에 출력한다. 수평 선택기(3)는 신호 전위 Vsig와 기준 전위 Vref 사이에서 전환되는 영상 신호(입력 신호)를 신호선 SL에 공급한다. 상술된 바와 같이 주사선들 WS, DS 및 신호선들 SL의 전위가 선 순차 주사에 따라 변화하지만, 전원 라인은 Vdd에 고정되어 있다. 캐소드 전위 Vcath 및 고정 전위 Vss도 일정하다.

[0099] [화소 회로의 동작]

[0100] 도 19는 도 18에 도시된 화소 회로의 동작들을 설명하기 위한 타이밍 차트이다. 도면에 도시된 바와 같이, 주사선 WS, 주사선 DS 및 신호선 SL의 전위 변화는 이러한 선들에 대해 시간축을 공통으로 하여 나타나 있다. 샘플링 트랜지스터 Tr1은 N 채널형이며, 주사선 WS가 하이 레벨에 있는 경우에 턴온된다. 스위칭 트랜지스터 Tr3도 N 채널형이며, 주사선 DS가 하이 레벨에 있는 경우에 턴온된다. 한편, 신호선 SL에 공급된 영상 신호는 1수평 주기(1H)로 신호 전위 Vsig와 기준 전위 Vref 사이에서 전환된다. 타이밍 차트는, 시간축이 제1 주사선 WS, 제2 주사선 DS 및 신호선 SL의 전위 변화에 대응하도록, 구동 트랜지스터 Trd의 게이트 G 및 소스 S의 전위 변화를 나타낸다. 게이트 G와 소스 S 사이의 전위차 Vgs에 따라 구동 트랜지스터 Trd의 동작 상태가 제어된다.

[0101] 우선, 화소가 이전 프레임의 발광 기간으로부터 비발광 기간으로 진입되면, 타이밍 T1에서 주사선 DS가 하이 레벨로 전환되고, 스위칭 트랜지스터 Tr3은 턴온된다. 이에 의해, 구동 트랜지스터 Trd의 소스 S의 전위는 고정 전위 Vss로 설정된다. 이때, 고정 전위 Vss는 발광 소자 EL의 임계 전압 Vthel과 캐소드 전위 Vcath의 합보다도 작게 설정된다. 즉, 고정 전위 Vss는 $Vss < Vthel + Vcath$ 로 설정되되고, 발광 소자 EL은 역 바이어스 상태에 있으며, 따라서, 구동 전류 Ids는 발광 소자 EL에 흐르지 않는다. 그러나, 구동 트랜지스터 Trd로부터 공급된 출력 전류 Ids는 소스 S를 통해 고정 전위 Vss에 흐른다.

[0102] 계속해서, 타이밍 T2에서, 샘플링 트랜지스터 Tr1은 신호선 SL의 전위가 Vref에 있는 상태에서 턴온된다. 이에 의해, 구동 트랜지스터 Trd의 게이트 G는 기준 전위 Vref로 설정된다. 이에 의해, 구동 트랜지스터 Trd의 게이트 G와 소스 S 사이의 전압 Vgs는 $Vref - Vss$ 의 값일 것이다. 여기에서, Vgs는 $Vref - Vss > Vth$ 로 설정된다. $Vref - Vss$ 가 구동 트랜지스터 Trd의 임계 전압 Vth보다도 크지 않으면, 후속의 임계 전압 보정 동작을 정상적으로 행하는 것은 어렵다. 그러나, Vgs는 $Vref - Vss > Vth$ 이므로, 구동 트랜지스터 Trd는 온 상태에 있으며, 드레인

전류는 전원 전위 V_{dd} 로부터 고정 전위 V_{ss} 로 흐른다.

[0103] 이 후, 타이밍 T3에서, 동작은, 스위칭 트랜지스터 Tr3이 턴오프되어 구동 트랜지스터 Trd의 소스 S가 고정 전위 V_{ss} 로부터 컷오프되는 임계 전압 보정 기간으로 진입된다. 여기에서, 소스 S의 전위(즉, 발광 소자의 애노드 전위)가 캐소드 전위 V_{cath} 에 발광 소자 EL의 임계 전압 V_{thel} 을 더함으로써 획득된 값보다도 낮은 한, 발광 소자 EL은 여전히 역 바이어스 상태에 있고, 약간의 누설 전류만이 흐른다. 따라서, 전원 라인 V_{dd} 로부터 구동 트랜지스터 Trd를 통해 공급되는 대부분의 전류는, 화소 용량 소자 Cs 및 보조 용량 소자 C_{sub} 를 충전하는데 사용된다. 이러한 방식으로 화소 용량 소자 Cs가 충전되기 때문에, 구동 트랜지스터 Trd의 소스 전위는 시간에 따라 V_{ss} 로부터 증가한다. 일정 기간 이후, 구동 트랜지스터 Trd의 소스 전위는 레벨 $V_{ref}-V_{th}$ 에 도달하고, V_{gs} 는 정확히 V_{th} 가 된다. 이 시점에서, 구동 트랜지스터 Trd가 컷오프되고, V_{th} 에 대응하는 전압이 구동 트랜지스터 Trd의 소스 S와 게이트 G 사이에 배치되는 화소 용량 소자 Cs에 기입된다. 임계 전압 보정 동작이 완료되는 시점에서도, 소스 전압 $V_{ref}-V_{th}$ 는 캐소드 전위 V_{cath} 에 발광 소자의 임계 전압 V_{thel} 을 더함으로써 획득된 값보다도 낮다.

[0104] 계속해서, 타이밍 T4에서, 기입 기간/이동도 보정 기간으로 프로세스가 진행된다. 타이밍 T4에서, 신호선 SL은 기준 전위 V_{ref} 로부터 신호 전위 V_{sig} 로 전환된다. 신호 전위 V_{sig} 은 계조에 대응하는 전압이다. 이 시점에서 샘플링 트랜지스터 Tr1은 온 상태에 있기 때문에, 구동 트랜지스터 Trd의 게이트 G의 전위는 V_{sig} 일 것이다. 이에 의해, 구동 트랜지스터 Trd는 턴온되고, 전류가 전원 라인 V_{dd} 로부터 흘러, 소스 S의 전위가 시간에 따라 증가한다. 소스 S의 전위가 발광 소자 EL의 임계 전압 V_{thel} 및 캐소드 전압 V_{cath} 의 합을 여전히 초과하지 않으므로, 발광 소자 EL에는 약간의 누설 전류만이 흐르며, 구동 트랜지스터 Trd로부터 공급된 대부분의 전류는 화소 용량 소자 Cs 및 보조 용량 소자 C_{sub} 를 충전하는데 사용된다. 상술된 바와 같이 충전 프로세스에서 소스 S의 전위가 증가한다.

[0105] 기입 기간에 구동 트랜지스터 Trd의 임계 전압 보정 동작이 이미 완료되기 때문에, 구동 트랜지스터 Trd로부터 공급되는 전류는 이동도 μ 를 반영한다. 구체적으로, 구동 트랜지스터 Trd의 이동도 μ 가 큰 경우, 구동 트랜지스터 Trd에 의해 공급되는 전류량은 커지고, 소스 S의 전위도 빠르게 증가한다. 반면, 이동도 μ 가 작은 경우, 구동 트랜지스터 Trd의 전류 공급량은 작고, 소스 S의 전위는 느리게 증가한다. 이러한 방식으로 구동 트랜지스터 Trd의 출력 전류가 화소 용량 소자 Cs에 부귀환되고, 결과적으로, 구동 트랜지스터 Trd의 게이트 G 및 소스 S의 전압 V_{gs} 는 이동도 μ 를 반영한 값일 것이고, 전압 V_{gs} 는 일정 시간 경과 후에 이동도 μ 가 완전히 보정된 값일 것이다. 즉, 기입 기간에서, 구동 트랜지스터 Trd로부터 흘러 나온 전류를 화소 용량 소자 Cs에 부귀환함으로써, 구동 트랜지스터 Trd의 이동도 μ 의 보정이 동시에 행해진다.

[0106] 마지막으로, 타이밍 T5에서 프로세스가 현재 프레임의 발광 기간으로 진행되면, 샘플링 트랜지스터 Tr1은 턴오프되고, 구동 트랜지스터 Trd의 게이트 G는 신호선 SL로부터 컷오프된다. 이에 의해, 게이트 G의 전위가 증가됨과 함께, 화소 용량 소자 Cs에 유지된 V_{gs} 의 값을 일정하게 유지하면서, 게이트 G의 전위 증가에 따라 소스 S의 전위도 증가된다. 이에 의해, 발광 소자 EL의 역 바이어스 상태가 해제되고, 구동 트랜지스터 Trd는 V_{gs} 에 대응하는 드레인 전류 I_{ds} 를 발광 소자 EL에 흘린다. 소스 S의 전위는 발광 소자 EL에 전류가 흐를 때까지 증가하고, 발광 소자 EL이 발광한다. 여기에서, 발광 소자의 전류/전압 특성은 발광 시간이 길어지면 변화할 것이다. 따라서, 소스 S의 전위도 변화한다. 그러나, 구동 트랜지스터 Trd의 게이트와 소스 사이의 전압 V_{gs} 는 부트스트랩 동작에 의해 고정값으로 유지되어, 발광 소자에 흐르는 전류는 변화하지 않는다. 따라서, 발광 소자 EL의 전류/전압 특성이 악화되는 경우에도, 정전류 I_{ds} 가 일정하게 흐르는 것이 유지되며, 발광 소자 EL의 휘도는 변화하지 않는다. 본 발명의 실시예에 따른 변인 억제 시스템을 더 구비함으로써 발광 소자의 휘도 저하가 보상된다.

[0107] <제5 실시예>

[0108] [표시 패널의 블록 구성]

[0109] 도 20은 본 발명의 제5 실시예에 따른 표시 장치의 표시 패널을 나타내는 블록도이다. 본 표시 장치는 기본적으로 화소 어레이부(1), 스캐너부 및 신호부를 포함한다. 스캐너부 및 신호부는 구동부를 구성한다. 화소 어레이부(1)는 행으로 배치된 제1 주사선 WS, 제2 주사선 DS, 제3 주사선 AZ1 및 제4 주사선 AZ2, 열로 배치된 신호선 SL, 이들 주사선들 WS, DS, AZ1, AZ2 및 신호선들 SL에 접속된 행렬 형상의 화소 회로들(2) 및 각각의 화소 회로들(2)의 동작을 위해 필요한 제1 전위 V_{ss1} , 제2 전위 V_{ss2} 및 제3 전위 V_{dd} 를 공급하는 복수의 전원선들을 포함한다. 신호부는 수평 선택기(3)를 포함하고, 이는 신호선 SL에 영상 신호들을 공급한다. 스캐너부는 기입 스캐너(4), 구동 스캐너(5), 제1 보정 스캐너(71) 및 제2 보정 스캐너(72)를 포함하고, 이들은 제1 주사선

WS, 제2 주사선 DS, 제3 주사선 AZ1 및 제4 주사선 AZ2에 제어 신호들을 공급함으로써 행마다 순차적으로 화소 회로들(2)을 주사한다.

[0110] [화소 회로의 구성]

[0111] 도 21은 도 20에 도시된 표시 장치에 포함되는 화소 구성을 나타내는 회로도이다. 본 실시예의 화소는 5개의 트랜지스터들을 포함하는 점에 특징이 있다. 도면에 도시된 바와 같이, 화소 회로(2)는 샘플링 트랜지스터 Tr1, 구동 트랜지스터 Trd, 제1 스위칭 트랜지스터 Tr2, 제2 스위칭 트랜지스터 Tr3, 제3 스위칭 트랜지스터 Tr4, 화소 용량 소자 Cs 및 발광 소자 EL을 포함한다. 샘플링 트랜지스터 Tr1은 소정의 샘플링 기간에 주사선 WS로부터 공급되는 제어 신호에 따라 도전되어, 신호선 SL로부터 공급된 영상 신호의 신호 전위를 화소 용량 소자 Cs에서 샘플링한다. 화소 용량 소자 Cs는 샘플링된 영상 신호의 신호 전위에 따라 구동 트랜지스터 Trd의 게이트 G에 입력 전압 Vgs를 인가한다. 구동 트랜지스터 Trd는 입력 전압 Vgs에 대응하는 출력 전류 Ids를 발광 소자 EL에 공급한다. 발광 소자 EL은 소정의 발광 기간 동안 구동 트랜지스터 Trd로부터 공급되는 출력 전류 Ids에 의해 영상 신호의 신호 전위에 대응하는 휘도로 발광한다.

[0112] 제1 스위칭 트랜지스터 Tr2는 샘플링 기간(영상 신호기입 기간) 전에 주사선 AZ1로부터 공급되는 제어 신호에 따라 도전되어, 구동 트랜지스터 Trd의 제어 단부로서의 게이트 G를 제1 전위 Vss1로 설정한다. 제2 스위칭 트랜지스터 Tr3은 샘플링 기간 전에 주사선 AZ2로부터 공급되는 제어 신호에 따라 도전되어, 구동 트랜지스터 Trd의 한쪽의 전류 단부로서의 소스 S를 제2 전위 Vss2로 설정한다. 제3 스위칭 트랜지스터 Tr4는 샘플링 기간 전에 주사선 DS로부터 공급되는 제어 신호에 따라 도전되어, 구동 트랜지스터 Trd의 다른 쪽의 전류 단부로서의 드레인을 제3 전위 Vdd로 접속함으로써, 구동 트랜지스터 Trd의 임계 전압 Vth에 대응하는 전압을 화소 용량 소자 Cs에 유지시켜 임계 전압 Vth의 영향을 보정한다. 제3 스위칭 트랜지스터 Tr4는 또한 발광 기간에 다시 주사선 DS로부터 공급되는 제어 신호에 따라 도전되어, 구동 트랜지스터 Trd를 제3 전위 Vdd에 접속시켜 출력 전류 Ids를 발광 소자 EL에 흘린다.

[0113] 상기 설명으로부터 명백해진 바와 같이, 화소 회로(2)는 5개의 트랜지스터 Tr1 내지 Tr4와 Trd, 1개의 화소 용량 소자 Cs 및 1개의 발광 소자 EL을 포함한다. 트랜지스터 Tr1 내지 Tr3과 Trd는 N 채널형 폴리실리콘 TFT이다. 트랜지스터 Tr4만이 P 채널형 폴리실리콘 TFT이다. 그러나, 본 발명은 이에 한정되는 것이 아니고, N 채널형과 P 채널형의 TFT를 적절히 혼합시킬 수 있다. 발광 소자 EL은 예를 들어, 애노드 및 캐소드를 포함하는 다이오드형 유기 EL 디바이스이다. 그러나, 본 발명은 이에 한정되는 것이 아니고, 발광 소자는 일반적으로 전류 구동에 의해 발광하는 모든 유형의 디바이스들을 포함한다.

[0114] 도 22는 도 21에 도시된 표시 패널로부터 화소 회로(2)의 일부분만을 취하여 나타낸 모식도이다. 이해를 쉽게 하기 위해, 샘플링 트랜지스터 Tr1에 의해 샘플링되는 영상 신호의 신호 전위 Vsig, 구동 트랜지스터 Trd의 입력 전압 Vgs 및 출력 전류 Ids, 나아가 발광 소자 EL에 포함된 용량성 구성요소 Colcd 등이 기입되어 있다. 이하, 본 실시예에 따른 화소 회로(2)의 동작들이 도 23을 참조하여 설명될 것이다.

[0115] [제5 실시예의 동작]

[0116] 도 23은 도 22에 도시된 화소 회로를 나타내는 타이밍 차트이다. 도 23은 시간축 T에 따라 각각의 주사선들 WS, AZ1, AZ2 및 DS에 인가되는 제어 신호들의 파형들을 나타낸다. 표기를 간략화하기 위해, 제어 신호들은 주사선들의 부호들과 동일한 부호들로 나타낸다. 트랜지스터들 Tr1, Tr2, Tr3은 N 채널형이므로, 트랜지스터들은 주사선들 WS, AZ1, AZ2이 각각 하이 레벨에 있을 때 턴온되고, 주사선들이 로우 레벨에 있을 때 턴오프된다. 한편, 트랜지스터 Tr4는 P 채널형이므로, 그것은 주사선 DS가 하이 레벨에 있을 때 턴오프되고, 주사선이 로우 레벨에 있을 때 턴온된다. 타이밍 차트는 또한, 각각의 제어 신호들 WS, AZ1, AZ2 및 DS의 파형과 함께, 구동 트랜지스터 Trd의 게이트 G 및 소스 S의 전위 변화도 나타낸다.

[0117] 도 23에 도시된 타이밍 차트에서, 타이밍 T1 내지 T8은 1 프레임(1f)로서 카운트된다. 화소 어레이의 각각의 행들은 1 프레임에 한번 순차적으로 주사된다. 타이밍 차트는 1 행의 화소들에 인가되는 각각의 제어 신호들 WS, AZ1, AZ2 및 DS의 파형들을 나타낸다.

[0118] 현재 프레임이 시작되기 전의 타이밍 T0에서, 모든 제어 신호들 WS, AZ1, AZ2 및 DS가 로우 레벨에 있다. 따라서, N 채널형 트랜지스터들 Tr1, Tr2 및 Tr3은 오프 상태에 있는 한편, P 채널형 트랜지스터 Tr4만이 온 상태에 있다. 구동 트랜지스터 Trd는 온 상태에 있는 트랜지스터 Tr4를 통해 전원 Vdd에 접속되기 때문에, 소정의 입력 전압 Vgs에 따라 출력 전류 Ids를 발광 소자 EL에 공급한다. 따라서, 타이밍 T0에서 발광 소자 EL이 발광한다. 이때, 구동 트랜지스터 Trd에 인가되는 입력 전압 Vgs는 게이트 전위(G)와 소스 전위(S) 사이의 차로 나타

낸다.

- [0119] 현재 프레임이 시작되는 타이밍 T1에서, 제어 신호 DS는 로우 레벨에서 하이 레벨로 전환된다. 이에 의해, 스위칭 트랜지스터 Tr4는 턴오프되고, 구동 트랜지스터 Trd는 전원 Vdd로부터 컷오프되므로, 발광이 정지되고 장치는 비발광 기간으로 진입된다. 따라서, 모든 트랜지스터들 Tr1 내지 Tr4는 타이밍 T1에서 턴오프된다.
- [0120] 계속해서, 타이밍 T2로 진행하면, 제어 신호들 AZ1 및 AZ2는 하이 레벨에 있고, 따라서, 스위칭 트랜지스터들 Tr2 및 Tr3이 턴온된다. 이 결과, 구동 트랜지스터 Trd의 게이트 G는 기준 전위 Vss1에 접속되고, 소스 S는 기준 전위 Vss2에 접속된다. 여기에서, $V_{ss1}-V_{ss2}>V_{th}$ 가 만족되고, $V_{ss1}-V_{ss2}=V_{gs}>V_{th}$ 이 되도록 함으로써 이 후 타이밍 T3에서 행해질 Vth 보정에 대한 준비가 행해진다. 즉, 기간 T2 내지 T3은 구동 트랜지스터 Trd의 리셋 기간에 대응한다. 발광 소자 EL의 임계 전압이 VthEL이라면, $V_{thEL}>V_{ss2}$ 이 되도록 설정된다. 이에 의해, 발광 소자 EL에 마이너스 바이어스가 인가되고, 소자는 소위 역 바이어스 상태가 된다. 역 바이어스 상태는 나중에 행해질 Vth 보정 동작 및 이동도 보정 동작을 정상적으로 행하기 위해 필요하다.
- [0121] 타이밍 T3에서, 제어 신호 AZ2이 로우 레벨에 있을 뿐만 아니라, 그 직후, 제어 신호 DS도 로우 레벨에 있다. 이에 의해, 트랜지스터 Tr3이 턴오프되는 한편, 트랜지스터 Tr4는 턴온된다. 이 결과, 드레인 전류 Ids는 화소 용량 소자 Cs로 흐르고, Vth 보정 동작이 개시된다. 이때, 구동 트랜지스터 Trd의 게이트 G는 Vss1로 유지되고, 구동 트랜지스터 Trd가 컷오프될 때까지 전류 Ids가 흐른다. 구동 트랜지스터 Trd가 컷오프되면, 구동 트랜지스터 Trd의 소스 전위(S)는 $V_{ss1}-V_{th}$ 일 것이다. 드레인 전류가 컷오프될 때의 타이밍 T4에서 제어 신호 DS가 하이 레벨로 복귀되어, 스위칭 트랜지스터 Tr4가 턴오프되도록 한다. 또한, 제어 신호 AZ1도 로우 레벨로 복귀되어, 스위칭 트랜지스터 Tr2가 턴오프되도록 한다. 이 결과, 화소 용량 소자 Cs에서 Vth가 유지 고정된다. 상술된 바와 같이, 타이밍 T3 내지 T4의 기간은 구동 트랜지스터 Trd의 임계 전압 Vth가 검출되는 기간이다. 여기에서, 검출 기간 T3 내지 T4는 Vth 보정 기간으로서 지칭된다.
- [0122] 상기 방식으로 Vth 보정이 행해진 후, 타이밍 T5에서 제어 신호 WS가 하이 레벨로 전환되어, 샘플링 트랜지스터 Tr1을 턴온시킴과 함께 영상 신호 Vsig을 화소 용량 소자 Cs에 기입한다. 화소 용량 소자 Cs는 발광 소자 EL의 등가 용량 소자 Coled에 비해 충분히 작다. 이 결과, 대부분의 영상 신호 Vsig은 화소 용량 소자 Cs에 기입된다. 정확하게는, Vss1과 Vsig 간의 차인 $V_{sig}-V_{ss1}$ 이 화소 용량 소자 Cs에 기입된다. 따라서, 구동 트랜지스터 Trd의 게이트 G와 소스 S 사이의 전압 Vgs는 미리 검출 유지된 Vth에 이번에 샘플링된 $V_{sig}-V_{ss1}$ 을 더함으로써 획득된 레벨($V_{sig}-V_{ss1}+V_{th}$)일 것이다. 이후 설명을 쉽게 하기 위해, Vss1이 0V라고 가정하면, 게이트와 소스 사이의 전압 Vgs는 도 23의 타이밍 차트에 도시된 바와 같이 $V_{sig}+V_{th}$ 일 것이다. 영상 신호 Vsig의 샘플링은 제어 신호 WS가 로우 레벨로 복귀되는 타이밍 T7까지 행해진다. 즉, 타이밍 T5 내지 T7의 기간은 샘플링 기간(영상 신호 기입 기간)에 대응한다.
- [0123] 샘플링 기간이 종료되는 타이밍 T7 이전의 타이밍 T6에서, 제어 신호 DS가 로우 레벨에 있고, 스위칭 트랜지스터 Tr4는 턴온된다. 이에 의해, 구동 트랜지스터 Trd는 전원 Vdd에 접속되므로, 화소 회로는 비발광 기간으로부터 발광 기간으로 진행한다. 샘플링 트랜지스터 Tr1이 여전히 온 상태에 있을뿐만 아니라 스위칭 트랜지스터 Tr4가 턴온되는 기간 T6 내지 T7에서, 구동 트랜지스터 Trd의 이동도 보정이 행해진다. 즉, 본 예에서는, 샘플링 기간의 후방 부분 및 발광 기간의 선두 부분이 겹치는 기간 T6 내지 T7에서 이동도 보정이 행해진다. 이동도 보정이 행해지는 발광 기간의 선두에서, 발광 소자 EL은 역 바이어스 상태에 있으므로, 소자는 발광하지 않는다. 이동도 보정 기간 T6 내지 T7에서, 구동 트랜지스터 Trd의 게이트 G가 영상 신호 Vsig의 레벨에 고정된 상태에서, 구동 트랜지스터 Trd에 드레인 전류 Ids가 흐른다. 여기에서, $V_{ss1}-V_{th} < V_{thEL}$ 의 설정을 행함으로써, 발광 소자 EL은 역 바이어스 상태에 있기 때문에, 발광 소자 EL은 다이오드 특성이 아니라 단순한 용량 소자 특성을 나타낸다. 따라서, 구동 트랜지스터 Trd에 흐르는 전류 Ids는 화소 용량 소자 Cs를 발광 소자 EL의 등가 용량 소자 Coled와 함께 결합시킴으로써 획득된 용량 소자 $C=Cs+Coled$ 에 기입된다. 이에 의해, 구동 트랜지스터 Trd의 소스 전위(S)는 증가된다. 도 23의 타이밍 차트에서, 증가량은 ΔV 로 나타낸다. 증가량 ΔV 는 결과적으로 화소 용량 소자 Cs에 유지된 게이트와 소스 사이의 전압 Vgs에서 차분되므로, 이는 부귀환이 행해짐을 의미한다. 상기 방식으로 구동 트랜지스터 Trd의 출력 전류 Ids를 동일한 구동 트랜지스터 Trd의 입력 전압 Vgs로 부귀환함으로써, 이동도 μ 를 보정하는 것이 가능하다. 부귀환량 ΔV 는 이동도 보정 기간 T6 내지 T7의 시간 폭 "t"를 조정함으로써 최적화될 수 있다.
- [0124] 타이밍 T7에서, 제어 신호 WS는 로우 레벨에 있어 샘플링 트랜지스터 Tr1이 턴오프되도록 한다. 이 결과, 구동 트랜지스터 Trd의 게이트 G는 신호선 SL로부터 컷오프된다. 영상 신호 Vsig의 인가가 해제되므로, 구동 트랜지스터 Trd의 게이트 전위(G)는 소스 전위(S)에 따라 증가할 수 있다. 그 기간 동안, 화소 용량 소자 Cs에 유지

된 게이트와 소스 사이의 전압 V_{gs} 는 $(V_{sig}-\Delta V+V_{th})$ 의 값을 유지한다. 소스 전위(S)의 증가에 따라, 발광 소자 EL의 역 바이어스 상태가 해제되므로, 출력 전류 I_{ds} 의 유입에 의해 발광 소자 EL은 실제로 발광을 개시한다. 이때의 드레인 전류 I_{ds} 와 게이트 전압 V_{gs} 사이의 관계는 특성 수학적 식 1의 V_{gs} 에 $V_{sig}-\Delta V+V_{th}$ 를 대입하는 것으로, 이하의 수학적 식에 의해 주어질 수 있다.

수학적 식 1

$$I_{ds}=k \mu (V_{gs}-V_{th})^2=k \mu (V_{sig}-\Delta V)^2$$

상기 수학적 식에서, $k=(1/2)(W/L)C_{ox}$ 이다. 이 특성 수학적 식에 따라, V_{th} 의 향이 상쇄되어, 발광소자 EL에 공급되는 출력 전류 I_{ds} 는 구동 트랜지스터 Trd 의 임계 전압 V_{th} 에 의존하지 않는다는 것을 이해할 수 있다. 기본적으로 드레인 전류 I_{ds} 는 영상 신호의 신호 전압 V_{sig} 에 의해 결정된다. 즉, 발광 소자 EL은 영상 신호 V_{sig} 에 대응하는 휘도로 발광한다. 그 때, V_{sig} 은 부귀환량 ΔV 에 의해 보정된다. 보정량 ΔV 는 특성 수학적 식의 계수부에 정확히 위치하는 이동도 μ 의 효과를 상쇄하도록 작용한다. 따라서, 드레인 전류 I_{ds} 는 실질적으로 영상 신호 V_{sig} 에만 의존한다.

마지막으로, 타이밍 T8에서, 제어 신호 DS는 하이 레벨에 있고 스위칭 트랜지스터 $Tr4$ 가 턴오프된 후, 발광이 종료됨과 함께 현재 프레임이 종료된다. 그 후, 프로세스가 다음 프레임으로 진행되어, V_{th} 보정 동작, 이동도 보정 동작 및 발광 동작이 반복될 것이다.

<응용예>

본 발명의 실시예에 따른 표시 장치는 도 24에 도시된 바와 같은 박막 디바이스 구조를 갖는다. 도 24에서, TFT 부분은 보텀 게이트 구조(게이트 전극이 채널 PS층 아래 위치됨)이다. TFT 부분을 고려하면, 샌드위치 게이트 구조(채널 PS층이 상하의 게이트 전극들에 끼워져 있음) 및 탑 게이트 구조(게이트 전극이 채널 PS층 위에 위치됨)와 같은 변형들이 존재한다. 본 도면은 절연성 기관에 형성된 화소의 모식적인 단면 구조를 나타낸다. 도면에 도시된 바와 같이, 화소는 복수의 박막 트랜지스터들을 포함하는 트랜지스터부(도면에서는 1개의 TFT가 예시됨), 화소 용량 소자 등을 포함하는 용량 소자부 및 유기 EL 소자 등을 포함하는 발광부를 포함한다. 기관 위에, TFT 프로세스에 의해 트랜지스터부 및 용량 소자부가 형성되고, 이 후, 그 위에 유기 EL 소자와 같은 발광부가 적층된다. 또한, 그 위에 접착제를 개재하여 투명한 대향 기관을 부착하여 플랫 패널을 획득한다.

본 발명의 실시예들에 따른 표시 장치는 도 25에 도시된 바와 같이 플랫형의 모듈 형상의 장치를 포함한다. 예를 들어, 절연성 기관 상에, 유기 EL 소자, 박막 트랜지스터, 박막 용량 소자 등을 각각 갖는 화소들이 매트릭스 형상으로 집적 형성되어 있는 화소 어레이부가 제공되고, 화소 어레이부(화소 매트릭스부)를 둘러싸도록 접착제를 배치함으로써, 글래스 등으로 구성된 대향 기관이 부착되어 표시 모듈을 획득한다. 필요하다면, 투명한 대향 기관에 컬러 필터, 보호막, 차광막 등이 제공될 수 있다. 표시 모듈은 외부로부터 화소 어레이부에 대해 신호 등을 입출력하기 위한 커넥터로서 예를 들어, FPC(flexible print circuit)가 제공되는 것도 바람직하다.

상술된 본 발명의 실시예들에 따른 표시 장치는 다양한 전자 기기들, 예를 들어, 디지털 카메라, 노트북 개인용 컴퓨터, 휴대 전화, 비디오 카메라 등에 적용될 수 있는 플랫 패널 형상을 포함한다. 표시 장치는 전자 기기들에 입력되거나, 또는 전자 기기에서 생성되는 구동 신호를 화상 또는 영상으로서 표시할 수 있는 다양한 분야의 전자 기기의 디스플레이들에 적용될 수 있다. 상기 표시 장치가 적용된 전자 기기들의 예들은 이하에 나타낼 것이다. 전자 기기는 기본적으로 정보를 처리하는 본체 및 본체에 입력되는 정보 또는 본체로부터 출력되는 정보를 표시하는 디스플레이를 포함한다.

도 26은 본 발명이 적용된 텔레비전 세트를 도시하고, 이는 프론트 패널(12), 필터 글래스(13) 등을 갖는 영상 표시 화면(11)을 포함하고, 본 발명의 실시예에 따른 표시 장치를 영상 표시 화면(11)으로 사용함으로써 제작된다.

도 27은 본 발명이 적용된 디지털 카메라를 도시하고, 상부 도면이 정면도이고 하부 도면이 배면도이다. 디지털 카메라는 촬상 렌즈, 플래시용 발광부(15), 표시부(16), 제어 스위치, 메뉴 스위치, 셔터(19) 등을 포함하고, 본 발명의 실시예에 따른 표시 장치를 표시부(16)로 사용함으로써 제작된다.

도 28은 본 발명이 적용된 노트북 개인용 컴퓨터를 도시하고, 이 노트북 개인용 컴퓨터는 본체(20)는 문자 등을 입력할 때 조작되는 키보드(21)를 포함하고, 본체 커버는 화상을 표시하는 표시부(22)를 포함하고, 본 발명의 실시예에 따른 표시 장치를 표시부(22)로 사용함으로써 제작된다.

[0135] 도 29는 본 발명이 적용된 휴대 단말 장치를 도시한다. 왼쪽 도면이 오픈 상태를 나타내고, 오른쪽 도면이 닫힘 상태를 나타내고 있다. 휴대 단말 장치는 상부 케이싱(23), 하부 케이싱(24), 연결부(이 경우, 힌지부)(25), 디스플레이(26), 서브-디스플레이(27), 픽처 라이트(28), 카메라(29) 등을 포함한다. 휴대 단말 장치는 본 발명의 실시예에 따른 표시 장치를 디스플레이(26) 또는 서브-디스플레이(27)로 사용함으로써 제작된다.

[0136] 도 30은 본 발명이 적용된 비디오 카메라를 도시하고, 이는 본체부(30), 전방을 향한 측면에 피사체 촬영용 렌즈(34), 촬영시의 개시/정지 스위치(35), 모니터(36) 등을 포함하고, 본 발명의 실시예들에 따른 표시 장치를 모니터(36)로 사용함으로써 제작된다.

[0137] 본원은 2008년 11월 7일에 일본 특허청에 출원된 일본 특허 출원 번호 제2008-286779호에 기재된 바와 관련된 요지를 포함하며, 그 전체 내용은 본원에 참조로서 포함된다.

[0138] 다양한 변형, 조합, 서브 조합 및 변경이 첨부된 특허청구범위 및 그 균등물의 범위 내에 있는 한, 다양한 변형, 조합, 서브 조합 및 변경은 설계 요건 및 다른 요소들에 따라 발생할 수 있다는 것을 본 기술분야의 당업자들이라면 이해해야 한다.

도면의 간단한 설명

[0139] 도 1은 본 발명의 제1 실시예에 따른 표시 장치의 패널의 블록도이다.

[0140] 도 2는 제1 실시예에 따른 화소 회로도이다.

[0141] 도 3은 제1 실시예의 동작들을 설명하기 위한 타이밍 차트이다.

[0142] 도 4 또한 동작들을 설명하기 위한 타이밍 차트이다.

[0143] 도 5는 제1 실시예의 전체 구성을 나타내는 블록도이다.

[0144] 도 6 또한 전체 구성을 나타내는 블록도이다.

[0145] 도 7은 패널의 모식적인 평면도 및 단면도이다.

[0146] 도 8은 패널의 확대 단면도이다.

[0147] 도 9는 광 센서로부터 출력되는 휘도 신호의 분포를 나타내는 그래프를 도시한다.

[0148] 도 10은 제1 실시예에 따른 발광 휘도 검출의 점-순차 주사를 나타내는 모식도이다.

[0149] 도 11은 번인 현상을 나타내는 모식도이다.

[0150] 도 12는 제1 실시예의 동작들을 설명하기 위한 모식도이다.

[0151] 도 13은 제2 실시예의 배경을 설명하기 위한 그래프이다.

[0152] 도 14a는 본 발명의 제2 실시예에 따른 표시 장치의 동작들을 설명하기 위한 타이밍 차트이다.

[0153] 도 14b 또한 동작들을 설명하기 위한 타이밍 차트이다.

[0154] 도 15 또한 동작들을 설명하기 위한 그래프이다.

[0155] 도 16a는 본 발명의 제3 실시예에 따른 표시 장치의 동작들을 설명하기 위한 타이밍 차트이다.

[0156] 도 16b 또한 제3 실시예의 동작들을 설명하기 위한 타이밍 차트이다.

[0157] 도 17은 본 발명의 제4 실시예에 따른 표시 장치의 패널 구성을 나타내는 블록도이다.

[0158] 도 18은 화소 회로의 구성을 나타내는 회로도이다.

[0159] 도 19는 동작들을 설명하기 위한 타이밍 차트이다.

[0160] 도 20은 본 발명의 제5 실시예에 따른 표시 장치의 표시 패널을 나타내는 블록도이다.

[0161] 도 21은 제5 실시예에 따른 화소 회로도이다.

[0162] 도 22 또한 화소 회로도이다.

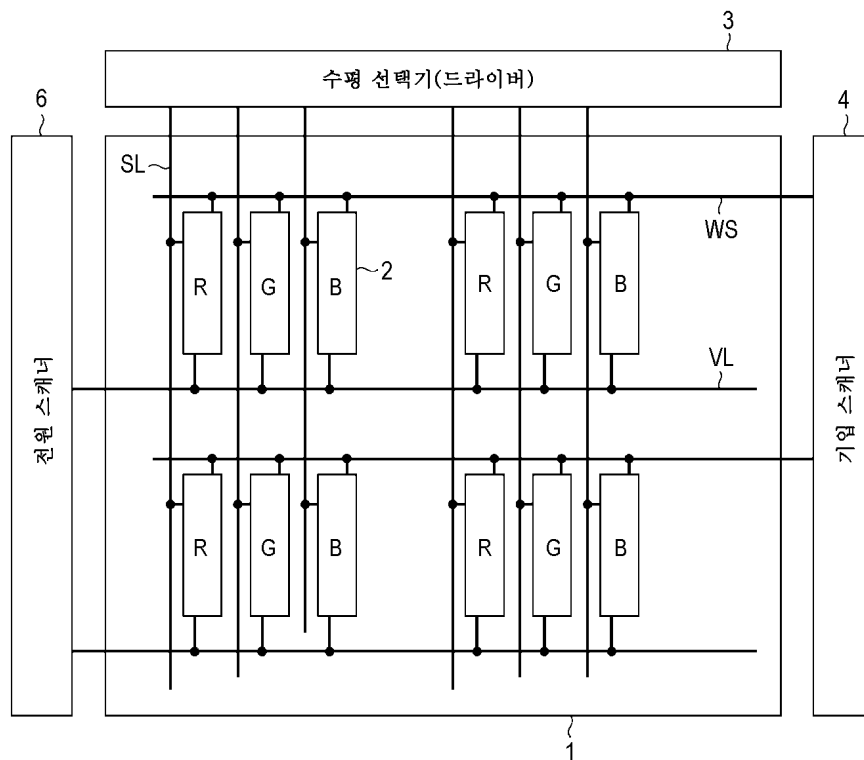
[0163] 도 23은 제5 실시예의 동작들을 설명하기 위한 타이밍 차트이다.

- [0164] 도 24는 본 발명의 응용예에 따른 표시 장치의 장치 구조를 도시하는 단면도이다.
- [0165] 도 25는 본 발명의 응용예에 따른 표시 장치의 모듈 구조를 도시하는 평면도이다.
- [0166] 도 26은 본 발명의 응용예에 따른 표시 장치를 포함하는 텔레비전 세트를 도시하는 사시도이다.
- [0167] 도 27은 본 발명의 응용예에 따른 표시 장치를 포함하는 디지털 스틸 카메라를 도시하는 사시도이다.
- [0168] 도 28은 본 발명의 응용예에 따른 표시 장치를 포함하는 노트북 개인용 컴퓨터를 도시하는 사시도이다.
- [0169] 도 29는 본 발명의 응용예에 따른 표시 장치를 포함하는 휴대 단말 장치를 도시하는 모식도이다.
- [0170] 도 30은 본 발명의 응용예에 따른 표시 장치를 포함하는 비디오 카메라를 도시하는 사시도이다.
- [0171] <도면의 주요 부분에 대한 부호의 설명>

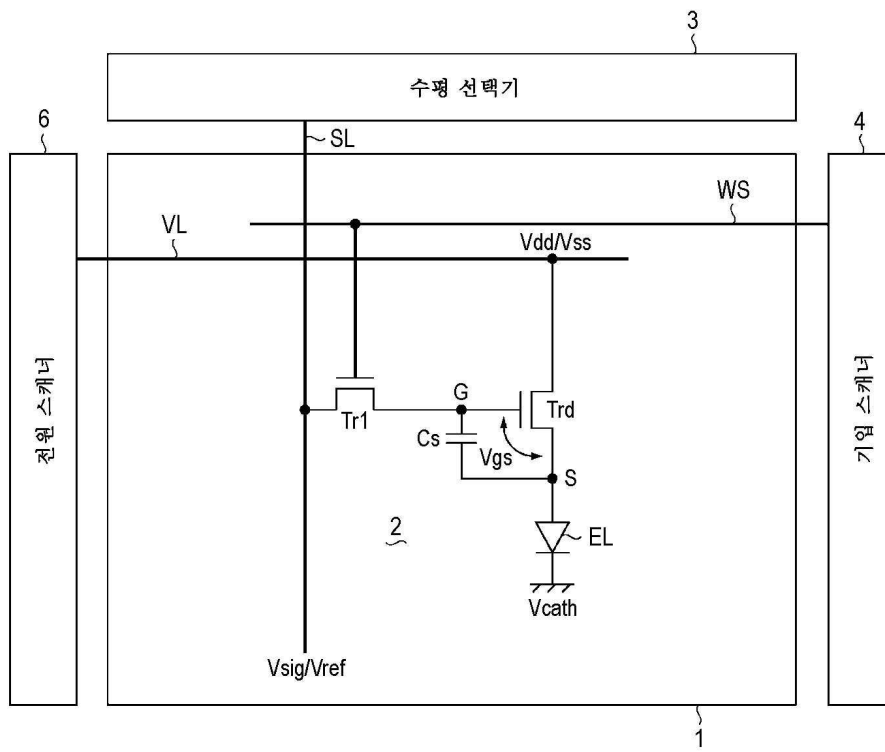
- [0172] 0: 패널
- [0173] 1: 화면부(화소 어레이부)
- [0174] 2: 화소
- [0175] 3: 드라이버
- [0176] 4: 스캐너
- [0177] 8: 광 센서
- [0178] 9: AD 컨버터
- [0179] 10: 신호 처리부

도면

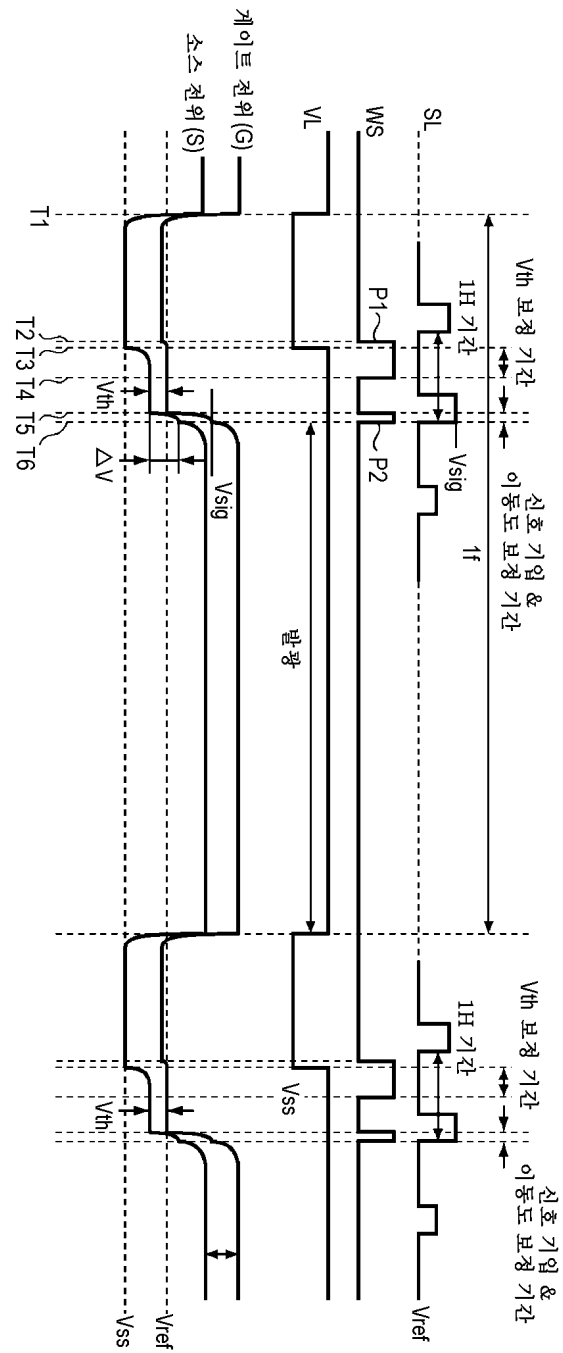
도면1



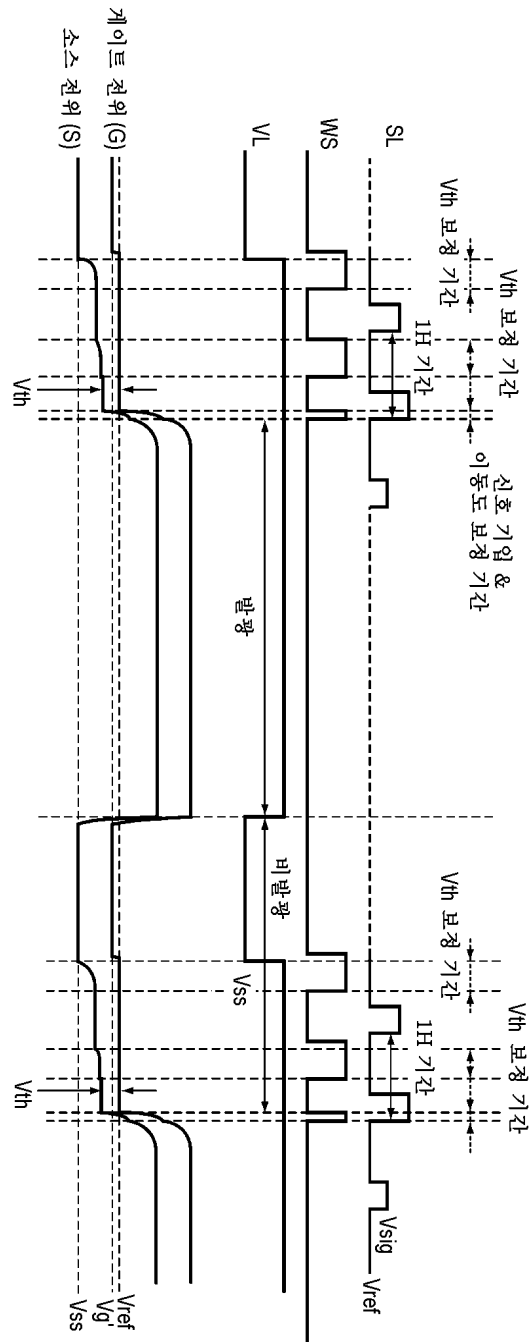
도면2



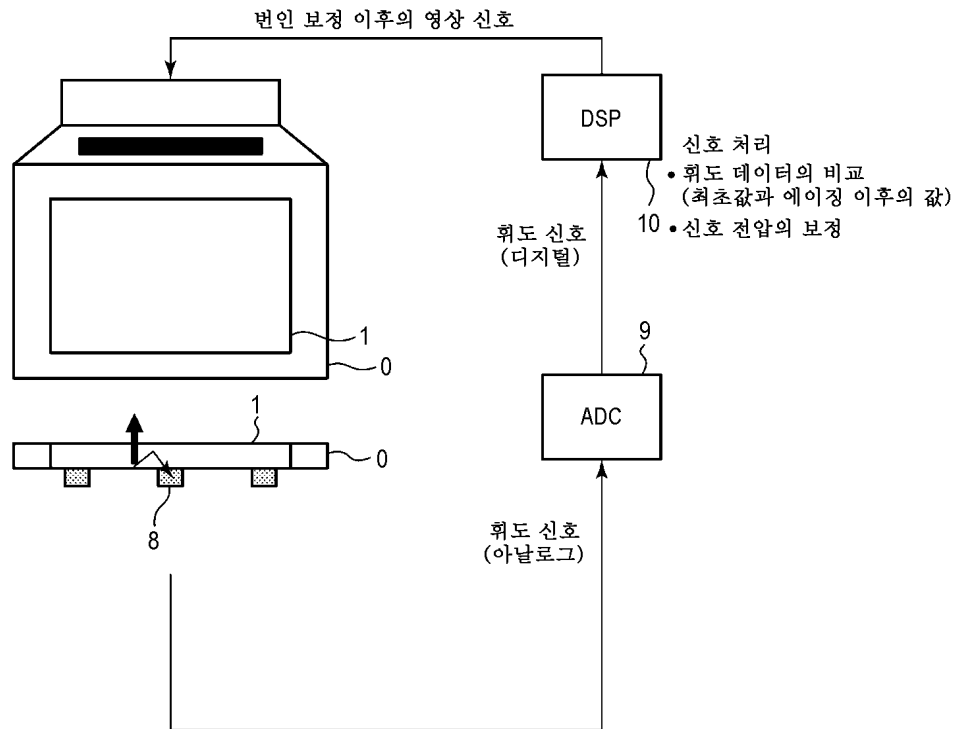
도면3



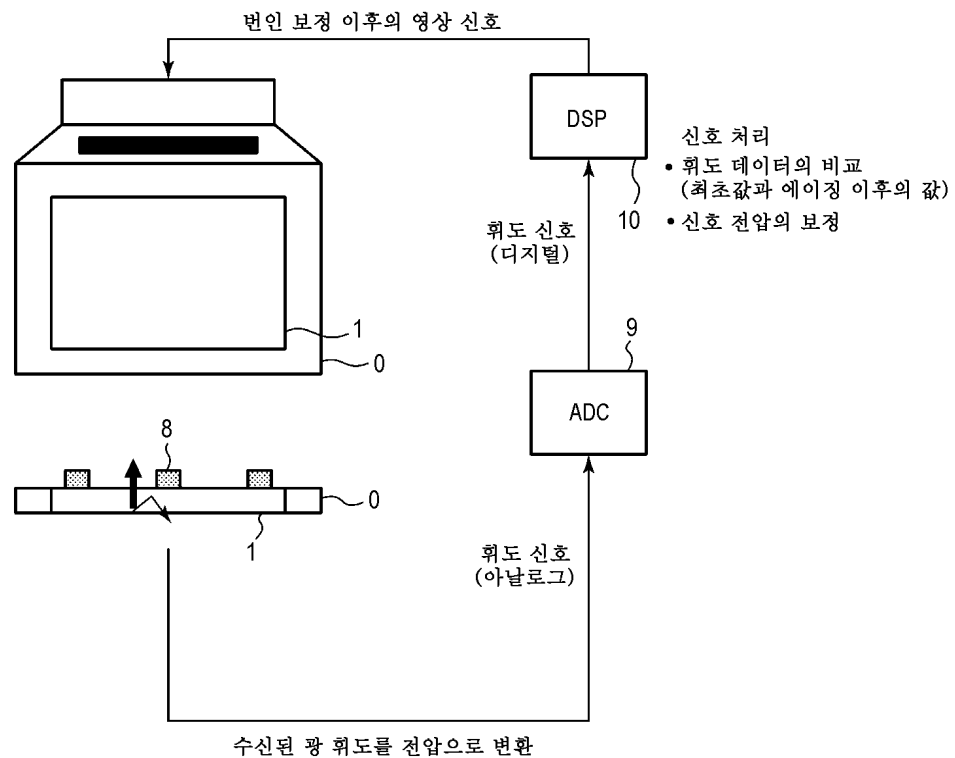
도면4



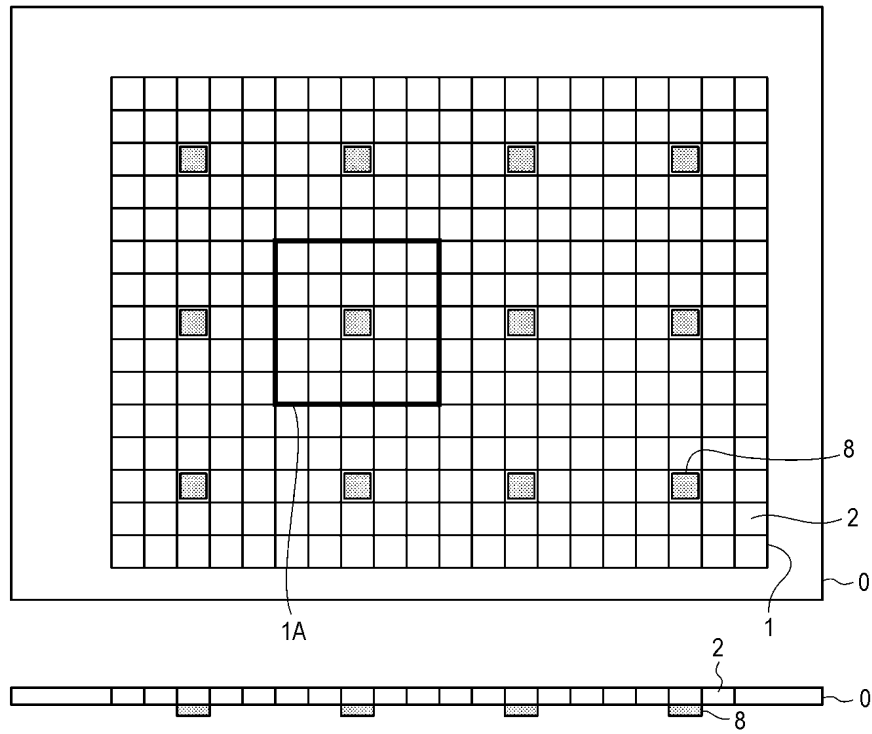
도면5



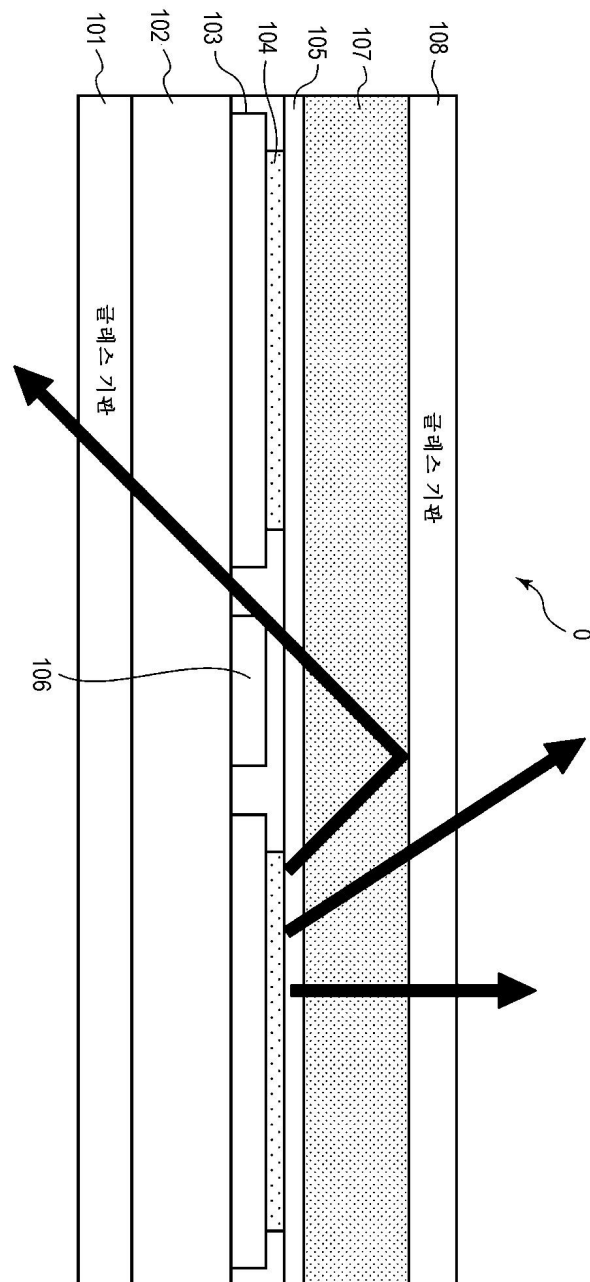
도면6



도면7

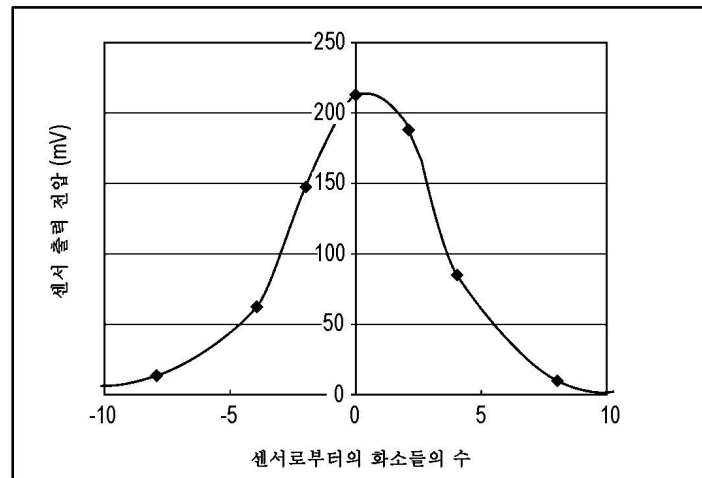


도면8



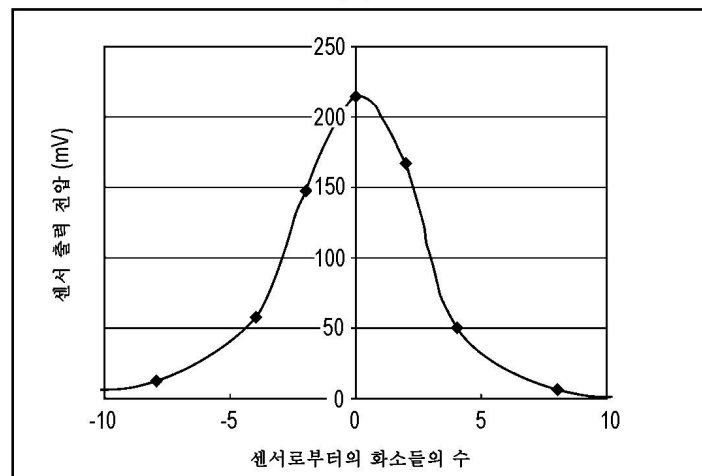
도면9

(X)



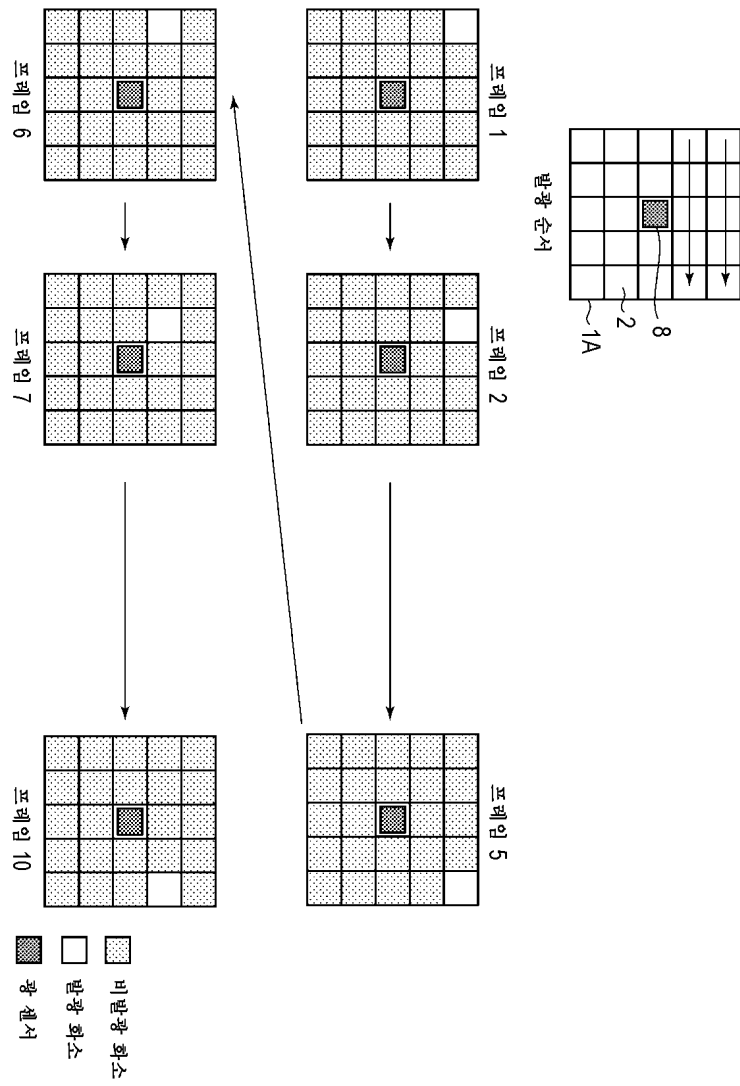
행 방향의 휘도 신호

(Y)

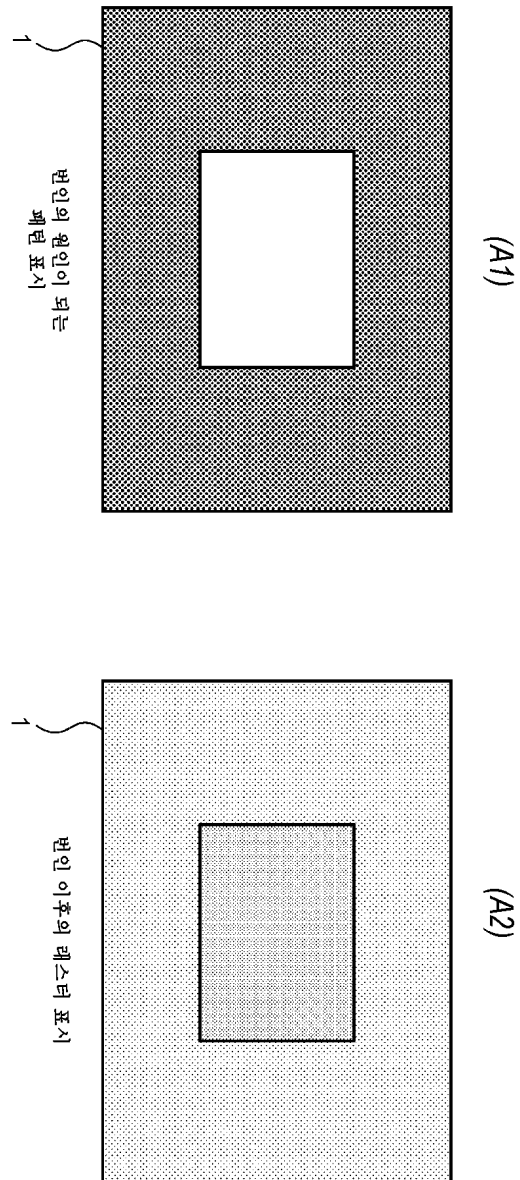


열 방향의 휘도 신호

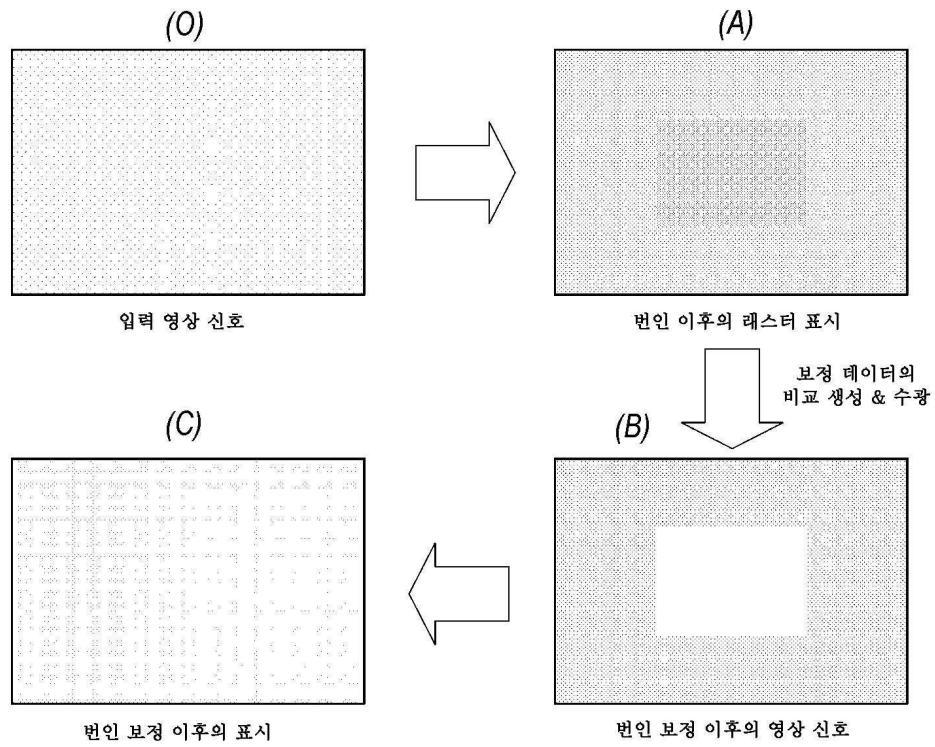
도면10



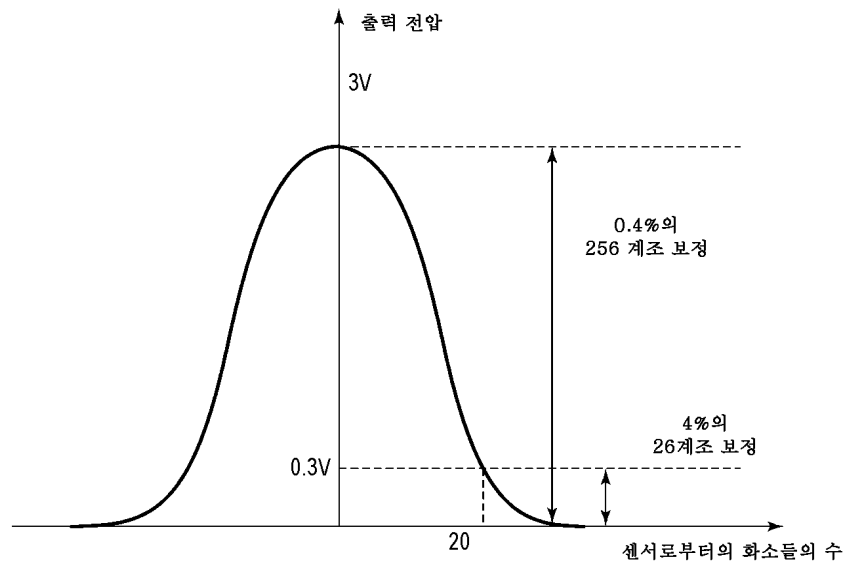
도면11



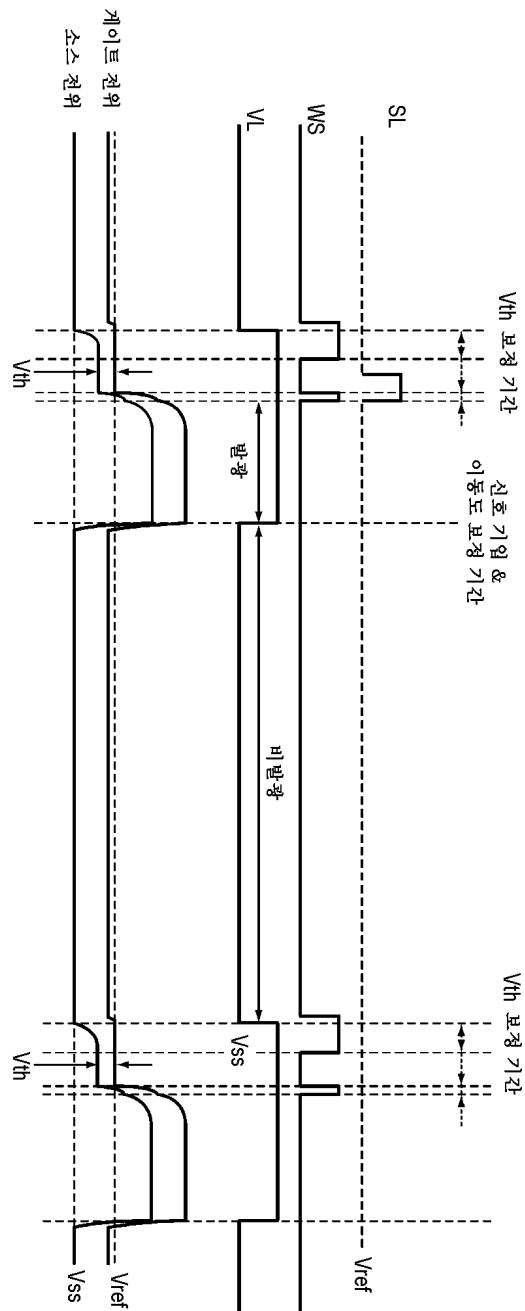
도면12



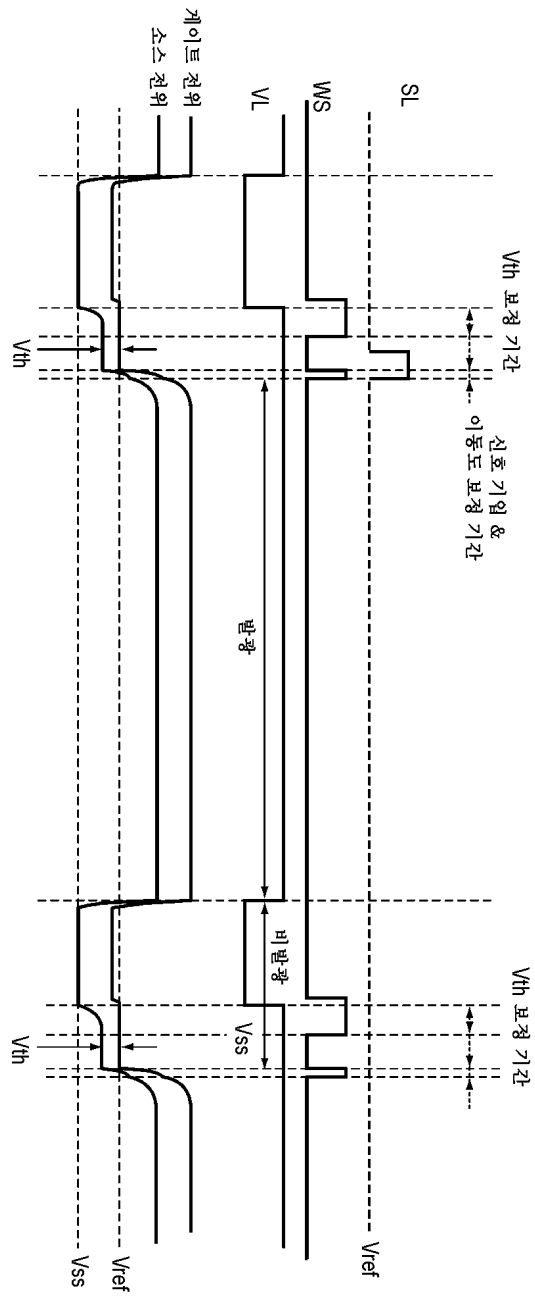
도면13



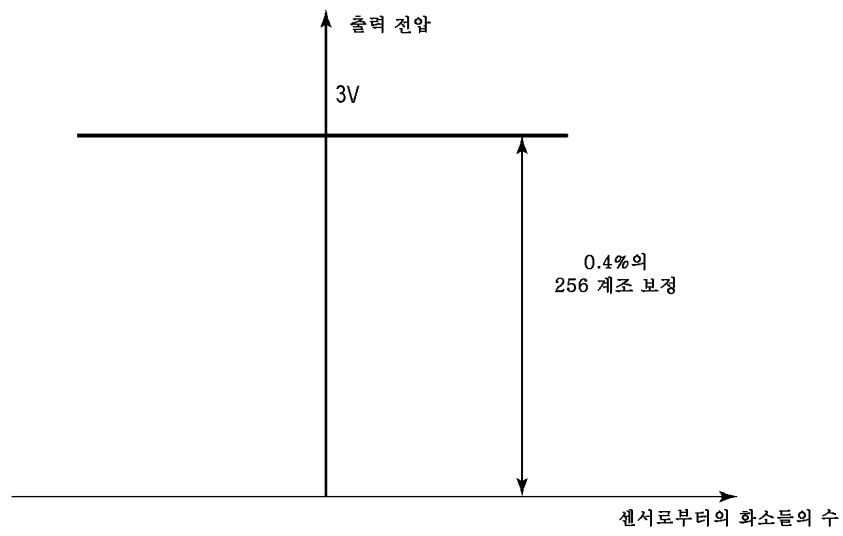
도면14a



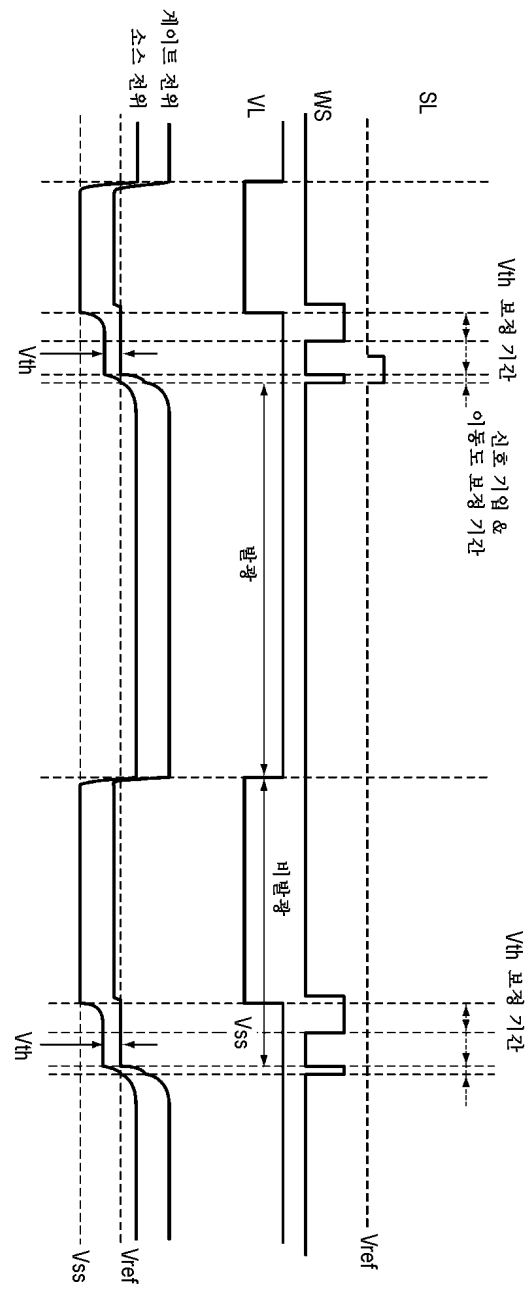
도면14b



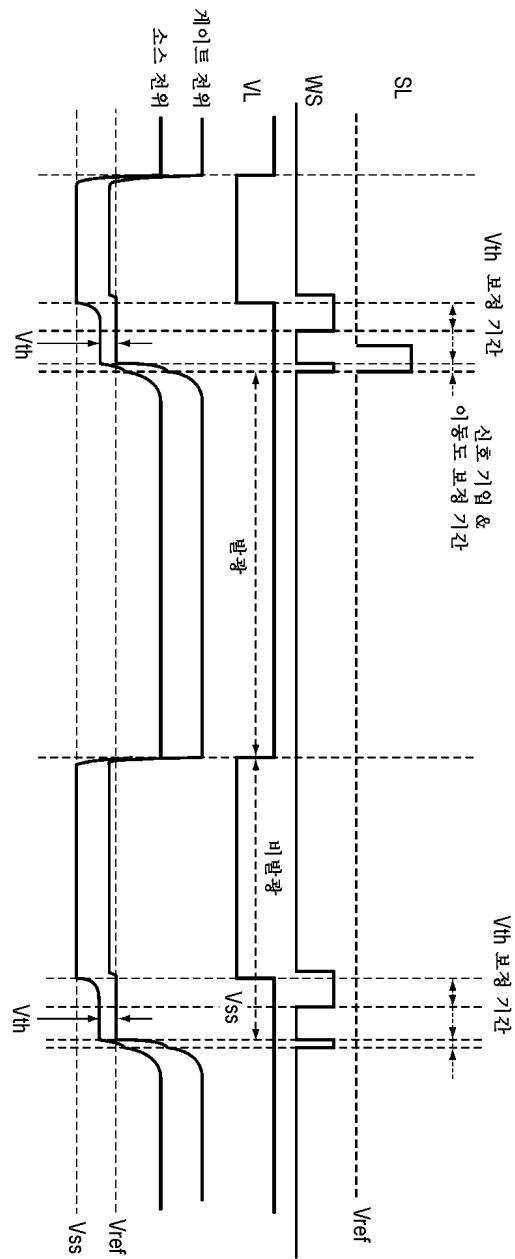
도면15



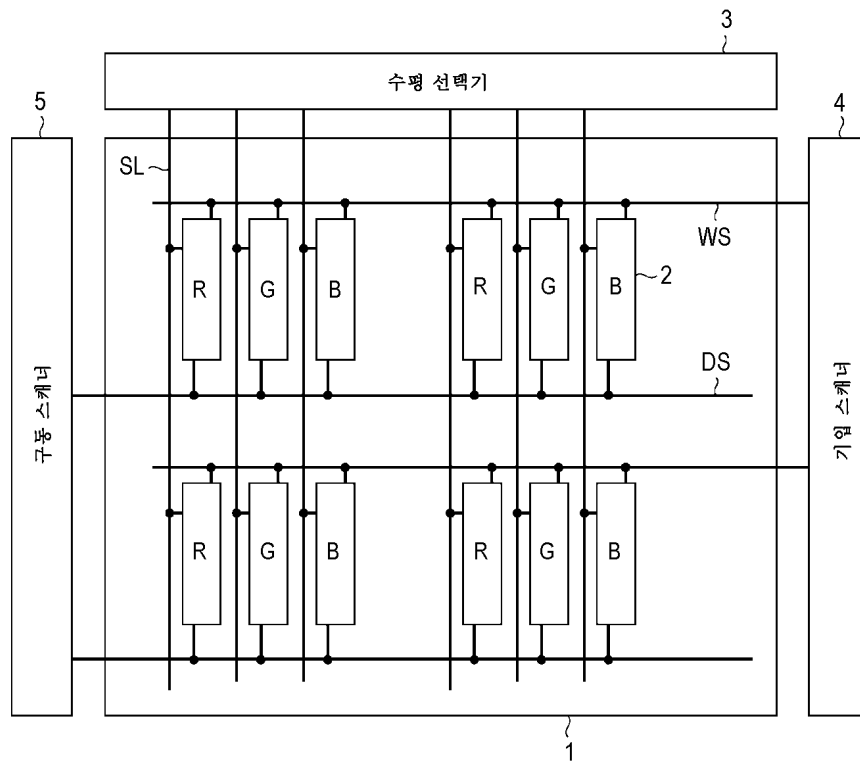
도면16a



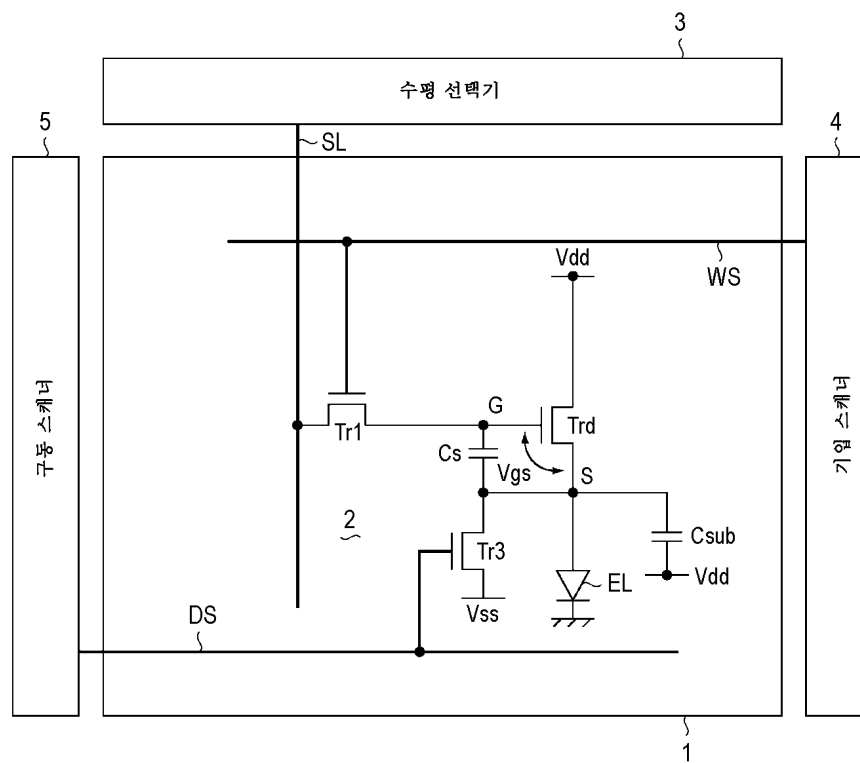
도면16b



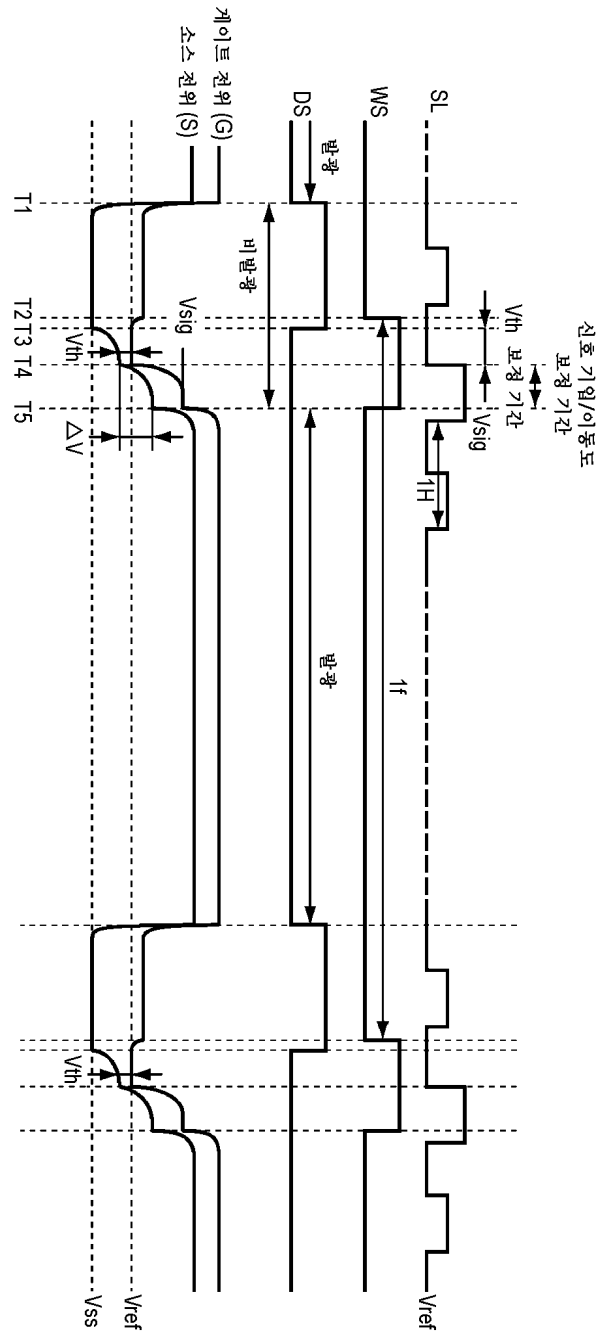
도면17



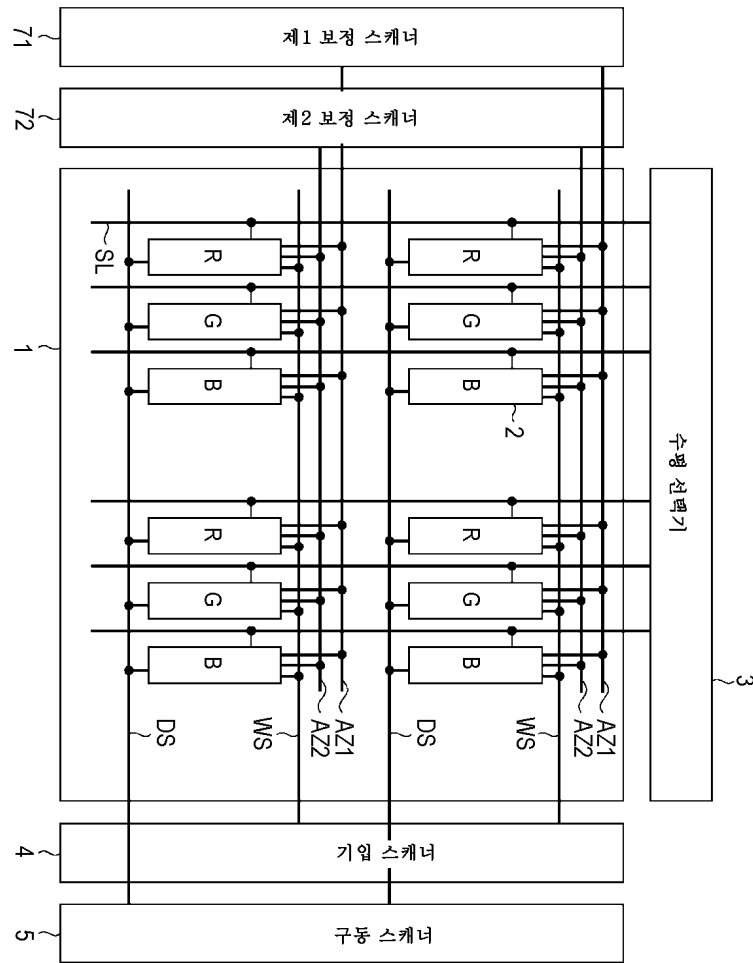
도면18



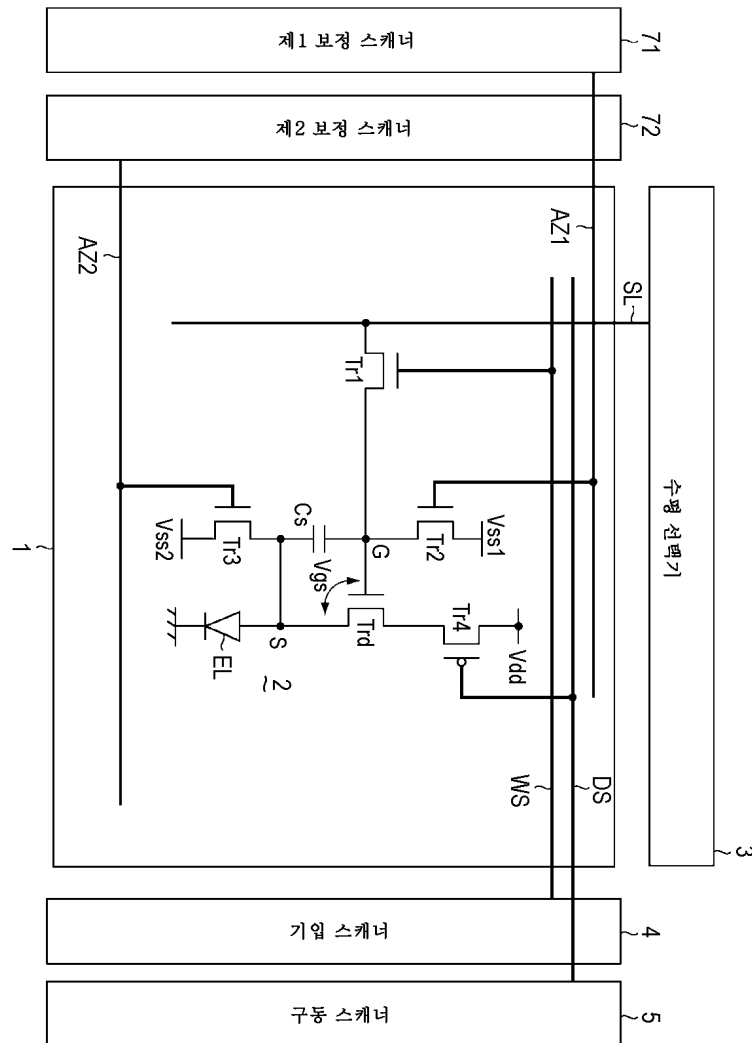
도면19



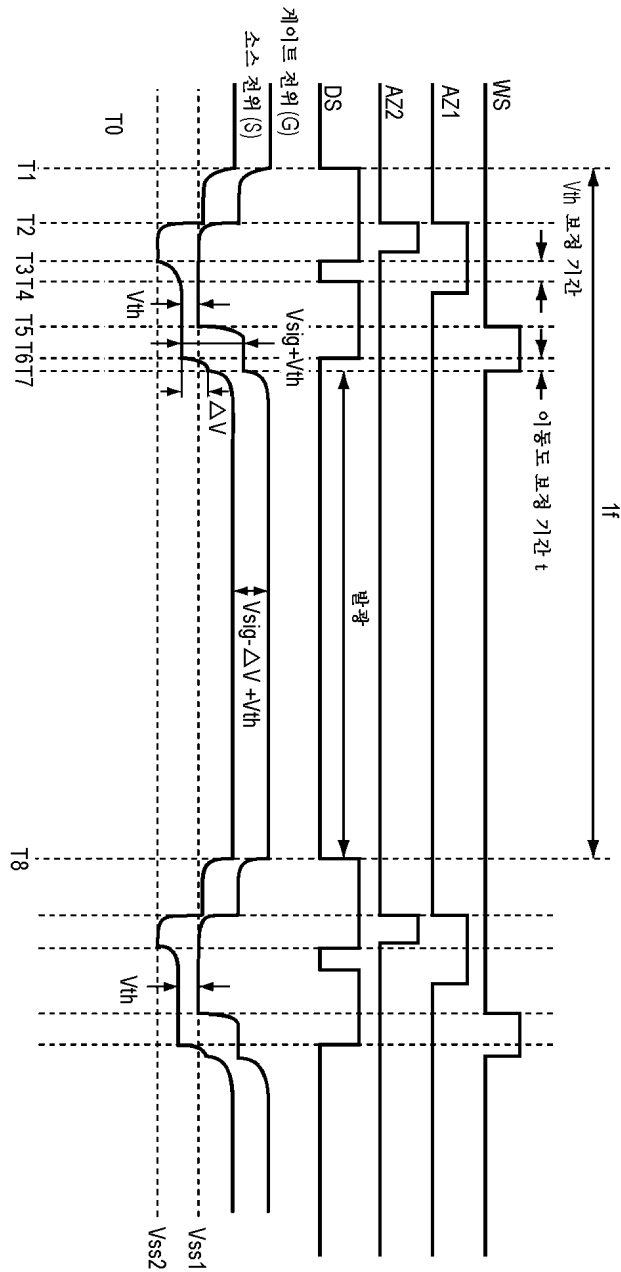
도면20



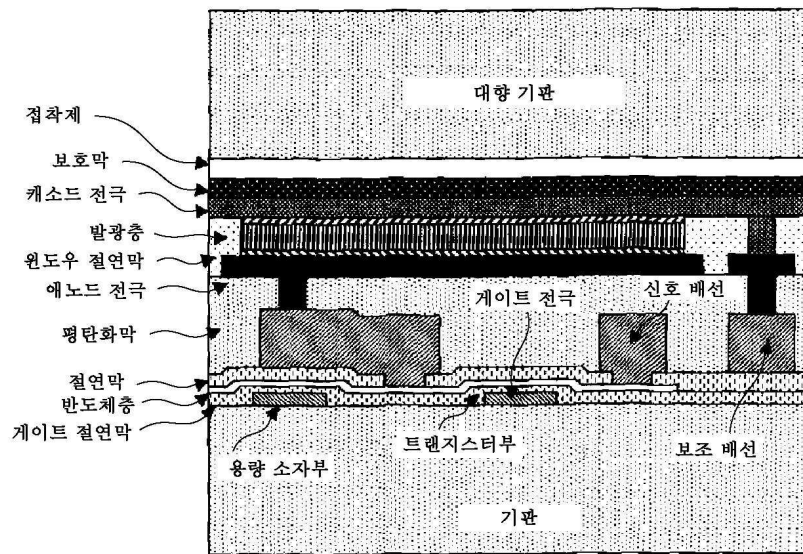
도면21



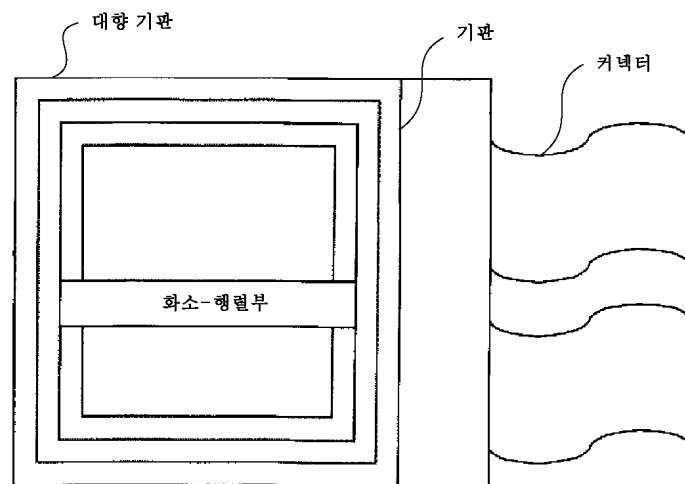
도면23



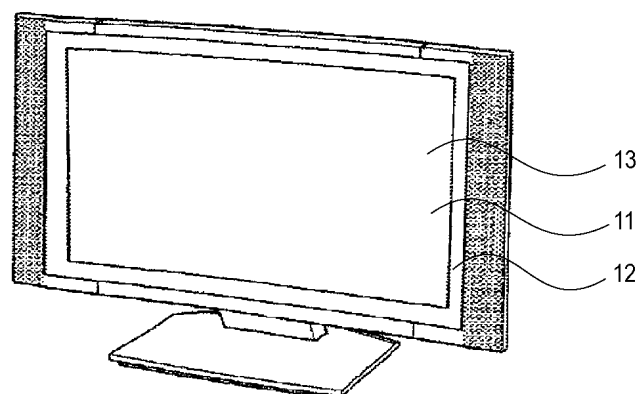
도면24



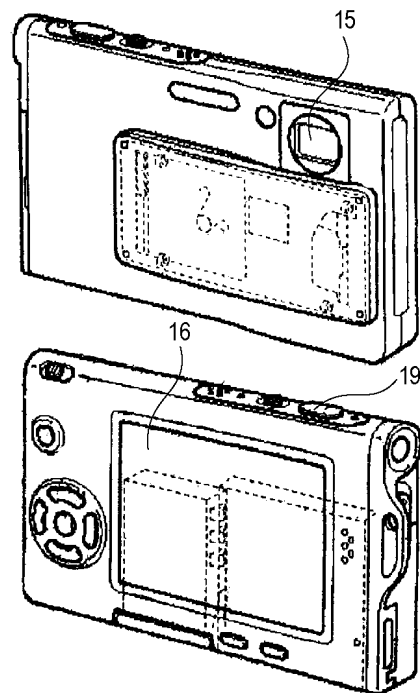
도면25



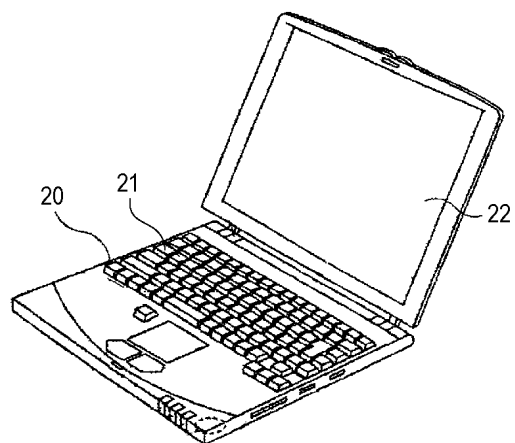
도면26



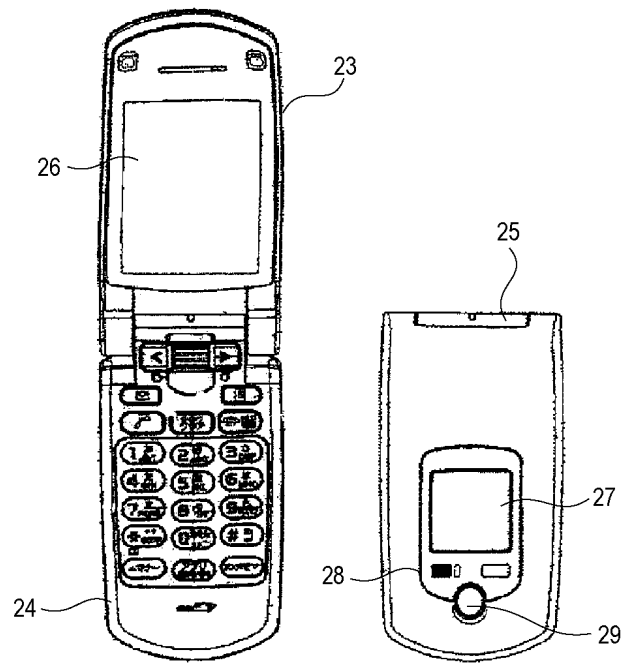
도면27



도면28



도면29



도면30

