



**SUOMI-FINLAND**  
**(FI)**

**Patentti- ja rekisterihallitus**  
**Patent- och registerstyrelsen**

(45) Patentti myönnetty - Patent beviljats	
(51) Kv.tk.5 - Int.cl.5	
G 06F 11/00	
(21) Patenttihakemus - Patentansökning	831080
(22) Hakemispäivä - Ansökningsdag	30.03.83
(24) Alkupäivä - Löpdag	30.03.83
(41) Tullut julkiseksi - Blivit offentlig	01.10.83
(44) Nähtävöksipanon ja kuul.julkaisun pvm. - Ansökan utlagd och utl.skriften publicerad	31.01.90
(32) (33) (31) Etuoikeus - Prioritet	
31.03.82 US 364052	

(71) Hakija - Sökande

1. Honeywell Information Systems Inc., Honeywell Plaza, Minneapolis, Minn., USA, (US)

(72) Keksijä - Uppfinnare

1. Keeley, James W., 4 Watersedge Drive, Hudson, Hillsborough, N.H., USA, (US)  
2. Fisher, Edwin P., 652 Adams Street, N. Abington, Plymouth, Mass., USA, (US)  
3. Curley, John L., 23 Willow Ridge Road, N. Andover, Essex, Mass., USA, (US)

(74) Asiamies - Ombud: Leitzinger Oy

(54) Keksinnön nimitys - Uppfinningens benämning

**Välimuistijärjestelmä**  
**System för buffertminne**

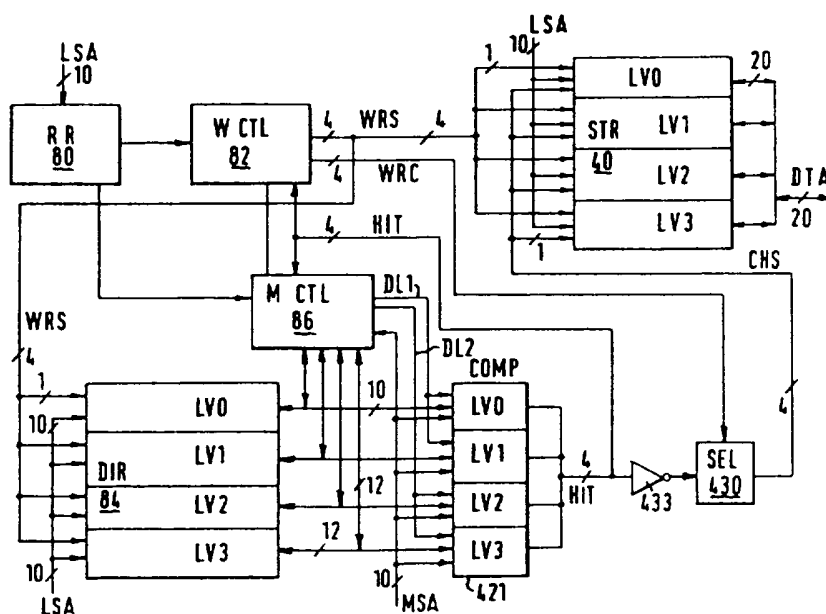
(56) Viitejulkaisut - Anförda publikationer

US A 4195343 (G 06 F 13/00),  
IBM technical disclosure bulletin, vol. 17, nro 7, joulukuu 1974, T. Ahearn et al.,  
"Automatic partial deletion of high-speed buffer entries, p. 2038-2039,  
IBM technical disclosure bulletin, vol. 13, nro 2, heinäkuu 1970, M. Bee et al.,  
"Removal of failing buffer sections in a buffer-backing store", p. 400-402

(57) Tiivistelmä - Sammandrag

Keksintö koskee välimuistijärjestelmää, jonka välimuisti käsitteää datamuistin (STR 40), joka on jaettu neljään tasoon (LV0 - LV3), ja vastaavan hakemistomuistin (DIR 84), joka tallentaa datamuistiin tallennettujen sanojen osoitteiden eniten merkittävät osoiteosat (MSA). Vertailijayksikkö (421) vertaa halutun osoitteen MSA-osaa neljän tallennetun MSA-osan kanssa, jotka on valittu halutun osoitteen vähiten merkittävään osoiteosaan (LSA) avulla. Täsmäyksen vallitessa vastaavalla datasanalla muistissa (40) on pääsy. Kun täsmäys ei vallitse, haluttu sana syötetään välimuistiin kiertovuorotteluyksikön (80) ohjauksessa. Toimintamuodon ohjausyksikkö (86) muodostaa kaksi pariteettibittiä MSA-osaan, kun ne on kirjoitettu hakemistoon, ja tarkistaa ne kun ne on luettu. Toimintamuodon ohjausyksikköön (86) kuuluu kaksi alennustasokiikkoa, yksi tasoille 0 ja 1 ja toinen tasoille 2 ja 3. Pariteettivirhe täsmäyksen vallitessa asettaa vastaavan kiikun, estäen tällöin sen tasoparin toiminnan, jossa virhe on esiintynyt, jolloin välimuisti tämän jälkeen toimii ainoastaan kahdella tasolla. Virhe jäljelle jääneillä kahdella tasolla asettaa toisen kiikun ja estää välimuistin toiminnan kokonaan.

Uppfinningen avser ett bufferminnesystem, vars bufferminne omfattar ett dataminne (STR 40), som indelats i fyra nivåer (LVO-LV3), och ett motsvarande indexminne (DIR 84), som till dataminnet lagrar de mest betydande adressdelarna (MSA) för de lagrade ordens adresser. En jämförelsenhet (421) jämför den önskade adressens MSA-del med fyra lagrade MSA-delar, vilka valts med tillhjälp av den önskade adressens minst betydande adressdel (LSA). Under rådande överensstämmelse har motsvarande dataord åtkomst i minnet. Då överensstämmelse icke råder, införes det önskade ordet i bufferminnet under styrning av en övergångsväxlingsenhet (80). En funktionsformkontrollenhet (86) bildar två paritetsbittar till MSA-delen, då de inskrives i index, och kontrollerar dem, då de avläses. Till funktionsformkontrollenheten (86) hör två degraderingsnivåflip-flop, en för nivåerna 0 och 1 och en för nivåerna 2 och 3. Paritetsfelet, då överensstämmelse råder, inställer motsvarande flip-flop och förhindrar härvid funktion hos det nivåpar, där felet uppträtt, varvid bufferminnet efter detta fungerar med endast två nivåer. Felet på de två kvarblivna nivåerna inställer den ena flip-floppen och förhindrar bufferminnets funktion fullständigt.



Välimuistijärjestelmä. - System för buffertminne.

Keksintö koskee välimuistijärjestelmää ja tarkemmin sanottuna virheen käsittelyä tällaisissa järjestelmissä.

Välimuistijärjestelmien käyttö tietokoneissa on hyvin tunnettua; välimuisti on pieni suurinopeuksinen muisti, joka on järjestetty säilyttämään äskettäin käytettyjä sanoja, kahdentamaan päämuistissa olevat sanat ja tällöin sallien nopeamman pääsyn näille sanoille, jos niitä vaaditaan uudelleen.

Tällaisten välimuistien luotettavuusongelma on saanut huomiota osakseen. Yksinkertaista pariteettihavaintoa voidaan käyttää käytettäessä pariteettivirheitä yksinkertaisesti tekemään pätemättömäksi sana, jolla on sopimaton pariteetti välimuistista (joten sana on päästettävä päämuistiin). Tunnetaan myös kehittyneempiä järjestelmiä, joissa luotettava toiminta saavutetaan tekemällä pätemättömäksi välimuistipaikat, joissa on havaittu olevan väärä pariteetti. Tämä vaatii lisäbittejä liitettäväksi välimuistipaikkoihin ja voi lisätä huomattavasti välimuistin kustannuksia ja monimutkaisuutta. Vielä tärkeämpää on, että se vaatii prosessiaikaa tällaisten pätemättömäksi tekemisoperaatioiden suorittamista varten.

Muut tunnetut välimuistit sallivat välimuistin ohittamisen, kun siihen liittyvä keskusyksikkö CPU havaitsee virheelliset olosuhteet. Tämän tyyppinen välimuistijärjestelmä voidaan suunnitella ilmoittamaan kahdentyyppiset virheet keskusyksikölle CPU, muistin "punainen" virhe, joka ilmaisee korjaamattoman virheen, ja muistin "keltainen" tila, joka ilmaisee korjattavissa olevan virheen. Sen jälkeen kun on vastaanotettu "punainen" virhesignaali tai havaittu tavudatapariteettivirhe vastaanotetussa muistidatassa, keskusyksikkö CPU kytkee koko välimuistin pois, ilmoittaa virheen käyttöjärjestelmään ja jatkaa toimintaa. Kun tällainen järjestelmä sallii välimuistin irtikytkemisen virheellisen tilan seurauksena, se vaatii keskusyksikön CPU käsittelevän tällaiset virheelliset tilat. Tämä voi osoittautua

aikaa vieväksi ja voi myös aiheuttaa menetyksiä arvokkaiden tietojen suhteen, koska tällainen diagnoosi pitää varmana osittain välimuistin itsensä ilmoittamia virheolosuhtetyppejä. Myös "punainen" virhe aiheuttaa koko välimuistin täydellisen menetyksen.

Tämän mukaisesti oheisen keksinnön päätehtävänä on tarjota luotettava välimuistijärjestelmä, joka on yksinkertainen ja jonka kustannukset ovat alhaiset.

Tämän mukaisesti keksintö tarjoaa patenttivaatimuksen 1 johdanto-osan mukaisen välimuistin, joka on tunnettu siitä, että välimuistiyksikköön kuuluu; virheenhavaitsemiselimet kytkettynä mainittuun hakemistomuistiin, mainittujen havaintoelimien toimiessa virhesignaalin tuottamiseksi osoittamaan virheen, joka liittyy mainitusta hakemistomuistista luettuun ensimmäiseen osoiteosaan; toimintamuodon ohjaukselimet kytkettynä mainittuihin virheen havaitsemiselimiin ja toiminnallisesti kytkettynä mainittuun hakemistomuistiin ja mainittuun datamuistiin, mainittujen toimintatavan ohjaukselimiin toimiessa vastauksena ensimmäiseen ilmenevään virhesignaaliin, joka on havaittu luettaessa yhteen mainitun välimuistiyksikön tasoon talletettua tietoalkiota, mainitun välimuistiyksikön kääntämiseksi osittain rajoitettuun toimintatilaan, missä mainitun hakemistomuistin ja datamuistin toiminta on rajoitettu vain niihin tasoihin, joissa virhettä ei havaittu.

Välimuistin sisältävää keksintöä selitetään seuraavassa esimerkkin avulla viitaten piirustuksiin, joissa:

Kuvio 1 esittää välimuistin lohkokaaviota.

Kuvio 2 esittää kiertovuorottelukorvausyksikön lohkokaaviota.

Kuviot 3 ja 4 esittävät toimintamuodon ohjausyksikön lohkokaa-  
viota.

Kuvio 5 esittää kirjoituksen ohjausyksikön lohkokaa-  
viota.

Oheinen järjestelmä käsittelee monitasoista yhdistävää väli-  
muistijärjestelmää, mukaanlukien hakemisto ja välimuistit, jotka  
on järjestetty joukoksi muistipaikkojen tasoja.

Hakemistomuisti käsittää virheen havaitsemislaitteen virheiden  
havaitsemiseksi hakemistomuistiosoitteissa toiminnan välimuistin  
lukemisen ja kirjoittamisen muistivaiheiden aikana. Virheiden  
havaitsemislaitte on kytketty ohjauslaitteeseen, joka liittää  
virhesignaalit välimuistin osumia indikoiviin signaaleihin  
epäpätevien osumien havaitsemissignaalien tuottamiseksi. Ohjel-  
miston tai laitteiston virheet hakemistomuistissa epäpätevien  
osumaisignaalien indikoimana, jos ne jäävät havaitsematta, aiheut-  
tavat sen, että välimuistijärjestelmään toimitetaan vääriä tai  
virheellisiä dataja.

Ohjauslaite on kytketty kiertovuorottelukorvauslaitteeseen, jota  
käytetään identifioimaan välimuistin taso, jolla informaatio on  
korvattava. Ohjauslaite ensimmäisen epäpätevän osuman havaitse-  
missignaalin ilmenemisen vaikutuksesta asettaa välimuistijärjes-  
telmän alennettuun toimintamuotoon. Kun tässä muodossa korvaus-  
laite samoin kuin muut välimuistijärjestelmän osat on saatettu  
rajoittamaan välimuistin lukemis- ja kirjoitusmuistien toimin-  
toja välimuistin tasojen niihin osiin, joissa ei ole virheitä,  
vähentäen siten sopivasti välimuistin toimintaa. Muisti-infor-  
maation kokonaisuuden säilyttämiseksi ohjauslaite epäpätevien  
osumailmaisinsignaalien esiintyessä muodostaa signaalit, jotka  
tehokkaasti kytkävät välimuistijärjestelmän irti.

Yllä mainittu järjestely parantaa järjestelmän luotettavuutta  
ja suoritekykyä. Mukaan liittämällä välimuistiin laite, joka  
kykenee poistamaan välimuistijärjestelmän alaosat joihin liittyy  
hakemisto virheitä, eliminoituu prosessi aika joka tavallisesti

vaaditaan todentamaan ilmoitetut viat ja suorittamaan poistetut operaatiot. Koska välimuistijärjestelmä on edelleen toimiva, keskusmuistiyksikön CPU suorituskyky ei ole oleellisesti vähentynyt kuten niissä järjestelmissä, joissa koko välimuistijärjestelmä ohitetaan muistivian seurauksena.

Suorituskyvyn ja nopeuden lisäystä tapahtuu lisäksi seurauksena välimuistin alaosien poiskytkemisestä ainoastaan seurauksena virheiden havaitsemisesta välimuistin osumien aikana, mikä vähentää tarvittavien tarkistusten määrän minimiin. Toisin sanoen tarkistaminen rajoittuu tilanteisiin, jotka aiheuttaisivat väärin datojen toimittamisen.

Oheinen välimuisti on suunniteltu toimimaan yhdessä  $2^{20}$  sanaa käsittävän päämuistin kanssa, jolloin osoitemuisti on 20 bitin pituinen. Tämä osoite on jaettu välimuistissa käyttöä varten kahteen puoliskoon: eniten merkitsevät 10 bittiä MSA ja vähiten merkitsevät 10 bittiä LSA. Välimuistin voidaan katsoa käsittävän  $2^{10}$  erilaista saraketta, joissa kussakin on 4 tasoa. Kun osoite syötetään välimuistiin, LSA -puolisko valitsee sarakkeen välimuistissa. Välimuisti käsittää datamuistin ja hakemiston, jotka kukin on jaettu  $2^{10}$  sarakkeeseen ja neljään tasoon, yhdessä erilaisten ohjaus- ja muiden piirien kanssa. Valittu sarake muistissa sisältää 4 sanaa, kunkin osoitteensa LSA -puoliskon kanssa ollessa sana siinä sarakkeessa. Vastaava sarake hakemistossa sisältää näiden neljän sanan osoitteiden MSA -puoliskot - kukin taso hakemistossa sisältää sanan osoitteen MSA -puoliskon vastaavassa tasossa muistissa. Päämuistin voidaan katsoa järjestetyn  $2^{10}$  riviin, joista kukin on osoitettu päämuistiosoitteen MSA -puoliskolla, ja  $2^{10}$  sarakkeeseen, joista kukin on osoitettu päämuistiosoitteen LSA -puoliskolla. Siten MSA ja LSA osoitepuoliskoja voidaan pitää vastaavasti rivi- ja sarakke-osoitteina.

Toiminnassa halutun osoitteen LSA -puoliskoa käytetään valitsemaan sarake hakemistossa ja siinä olevat 4 MSA osoitepuoliskoa luetaan ulos ja verrataan halutun osoitteen MSA osoitepuoliskoon.

Jos täsmäys vallitsee, muistissa saman sarakkeen vastaavassa tasossa datalla on pääsy. Ellei täsmäys vallitse, ei haluttu osoite ole välimuistissa, ja olemassa oleva osoite on poistettava, jolloin haluttu osoite voidaan sijoittaa. Tähän käytetty algoritmi on kiertovuorottelualgoritmi. Kullakin sarakkeella on siihen liittyen vastaava syklinen laskuri, joka osoittaa tasoa johon uusi sana on sijoitettava. Kun uusi sana on sijoitettu tasolle (poistaen siten aiemmin sillä tasolla olleen sanan), laskuri saa syklisesti lisäyksen osoittaa seuraavaa tasoa (syklisessä järjestyksessä), joten kun seuraavan kerran uusi sana on sijoitettava tähän sarakkeeseen se joutuu seuraavalle tasolle.

Kuvioon 1 viitaten välimuisti sisältää muistin STR 40, joka tallentaa datasanoja. Tämä muisti on jaettu neljään tasoon LV0 - LV3 ja kukin taso sisältää 1024 muistipaikkaa, joista kukin 20 bitin pituinen. 20 bitin datasanat syötetään muistiin ja luetaan sieltä 20 bitin laajuisen dataväylän DTA kautta. Kukin muistin neljästä tasosta on osoitettu datasanan päämuistiosoitteen 10-bittisellä LSA osalla. Lisäksi kullakin neljällä tasolla on kykeneväksi tekevä syöttö, joka on tehtävä kykeneväksi sitä tasoa varten, joka on tehtävä kykeneväksi. Kykeneväksi tekevät syötöt ovat vastaavia bittejä 4-bittisen lastun kykeneväksitekevältä väylältä CHS. Myös kullakin neljästä tasosta on kirjoittamisen sallintasyöttö; tämän syötön tila määrittää luetaanko tasosta vai kirjoitetaanko siihen. Kirjoittamisen sallintasyötöt ovat vastaavia bittejä 4-bittiseltä kirjoituksen sallivalta väylältä WRS.

Hakemisto-osa DIR 84 tallentaa muistiin 40 tallennettujen sanojen osoitteiden MSA osoiteosat. Kun osoite on syötetty välimuistiin, LSA osa osoittaa neljä muistin 40 paikkaa, yhden kussakin neljästä tasosta LV0 - LV3 ja tämä sama LSA osoiteosa osoittaa vastaavat neljä paikkaa, yksi kussakin neljästä tasosta LV0 - LV3, joihin hakemisto 84 on jaettu hakemistossa. Neljä tallennettua MSA osoiteosaa (neljän sanan osoiteosat muistissa 40) luetaan siten ulos ja syötetään vertailijayksikköön

COMP 421, joka myös on jaettu neljään tasoon LV0 - LV3. Vertailijan 421 neljä tasoa syötetään myös halutun sanan osoitteen MSA-osan kanssa. Kukin vertailijayksikön neljästä tasosta tuottaa "osumasignaalin", jos täsmäys vallitsee siihen syötettyjen kahden MSA osoiteosan välillä, ja neljä antoa yhdessä muodostavat 4-bittisen osumaväylän HIT. Nämä osumasignaalit on yhdistetty kirjoituksen ohjaussignaalien kanssa 4-bittisellä väylällä WRC valitsinyksikössä 430, jotta muodostettaisiin lastun kykeneväksi tekevät signaalit väylällä CHE muistiin 40. Siten jos haluttu sana on välimuistissa yksi neljästä osumasignaalista menee lävitse ja vastaava taso muistissa 40 tulee kykeneväksi, joten haluttu sana pääsee läpi lukemista tai kirjoittamista varten.

Tähän saakka kuvattu järjestelmä on laajasti soveltuva välimuistitoimintoihin, jos haluttu sana on välimuistissa. On lisäksi huomattava, että ainoastaan osumasignaalit HIT syötetään kirjoitusohjausyksikköön 82, jolloin sopivat kirjoituksen sallivat signaalit voidaan muodostaa, jos haluttu sana on kirjoitettava eikä luettava.

Voi kuitenkin tapahtua, että haluttu sana ei ole valmiina välimuistissa. Sen ilmaisevat kaikki neljä vertailijayksikön 421 antoa ilmaisten harhalaukauksen. Jos näin tapahtuu, olemassa oleva sana välimuistissa on poistettava ja uusi sana kirjoitettava sisään. Tason valinta jolle uusi sana kirjoitetaan määritetään kiertovuorottelualgoritmin mukaan, joka valitsee neljä tasoa 0, 1, 2, 3, 0, jne. syklisesti peräkkäisille uusille sanoille. Tätä ohjaa kiertovuorottelulaskuriyksikkö RR 80, joka on kytketty kirjoituksen ohjausyksikköön W CTL 82, joka muodostaa kirjoituksen valintesignaalit WRS. Se on myös kytketty toimintamuodon ohjausyksikköön M CTL 86, joka ohjaa uuden sanan osoitteen MSA osan kirjoittamista hakemistoon 84.

Kuvio 2 esittää kiertovuorotteluyksikköä 80. Siinä on kaksi 1024 x 1 bitin muistiyksikköä 800, 802, jotka on osoitettu halutun osoitteen LSA osalla; nämä yhdessä tallentavat erillisen

2-bitin numeron kuhunkin välimuistin 1024:n sarakkeeseen. 2-bitin numero sopivaa saraketta varten luetaan sen vuoksi ulos ja tallennetaan kiikkupariin RD0, RD1. Tämä numero ilmaisee sen tason, mihin seuraava sana on kirjoitettava ja kaksi antoa RD0, RD1 syötetään kirjoituksenohjausyksikköön 82 koodin tulkitsemiseksi, jotta muodostettaisiin yksi neljästä -signaali WRS, joka syötetään muistiin 40 ja hakemistoon 84 sopivan tason valitsemiseksi kirjoittamista varten. Jos kirjoitetaan uusi sana, kiertovuorottelu ottaa huomioon, että taso on myös saatettava ajantasalle, ts. syklisesti lisättävä. Tämä suoritetaan kääntäjän 807 avulla, joka muuntaa alemman bitin, ja yksinomaan-TAI-portin 812, joka muuttaa ylemmän bitin, jos nämä kaksi bittiä ovat erilaisia. Annot kahdesta portista 807 ja 812 kirjoitetaan takaisin kahteen muistiin 800, 802. Tämä tapahtuu ainoastaan kirjoitettaessa uutta sanaa välimuistiin, jos halutulla osoitteella varustettu sana jo on välimuistissa, kiertovuorotteluyksikkö 80 ei ole aktivoitu. Kiertovuorotteluyksikön nollauskiikku RDC on ohjattu esittämättä jätettyjen sopivien ajoitus-signaalien avulla kahden kiikun RD0 ja RD1 nollaamiseksi sopivasti ja niiden ohjaamiseksi sellaisiin asioihin kuin alustus.

Kuvio 3 esittää osaa toimintamuodon ohjauspiiristä 86. Koska neljä anto-osioita hakemiston 84 neljältä tasolta on erilaisia ja kaikki neljä syötetään yksittäin vertailijayksikköön 421, MSA osioita on puskuroitava erikseen kullekin tasolle. Tämä tehdään neljän puskurisarjan 863 avulla. Lisäksi MSA osa on jaettu kahteen 5-bitin osaan, jotka syötetään kahteen vastaavaan pariteettikehittäjään PG1, PG2, joista kukin muodostaa pariteettibitin ja sen komplementin. Kaksi pariteettibittiä on yhdistetty 2-bitin parillisuusväylälle PBE, ja puskuroitu neljällä puskurisarjalla 864 hakemiston 84 neljälle tasolle, jolloin väylät hakemistoon ovat 12 bittiä, 10 MSA osaa varten plus 2 pariteettia varten.

Anto kultakin hakemiston 84 tasolta, kun haluttu osoite on etsitty välimuistista, on siten 12-bitin signaali, 10 bittiä MSA osaa varten plus 2 bittiä pariteettia varten. 10-bitin

MSA osa syötetään vastaavalle vertailijayksikön 421 tasolle halutun osoitteen MSA osan vertaamiseksi. Kaksi pariteettibittiä syötetään takaisin kuviossa 3 esitettyyn piiriin ja vastaavan yhden neljästä pariteettivertailijasta 860 ohitse. MSA osa halutusta osoitteesta syötetään pariteettikehittäjiin PG1, PG2, jotta muodostettaisiin 2-bittinen parittomuussignaali PBO, joka myös syötetään neljään vertailijaan 860 (joista kukin voi käsitellä parin yksinomaan-TAI-portteja, jotka syöttävät EI-TAI-porttia). Nämä muodostavat 4-bitin osuman sallivan signaalin HEN. Sekä parillisten että parittomien pariteettibittien käyttö, yksi tallentamista varten hakemistoon ja toinen vertailuun tallennetun bitin kanssa, aikaansaavat yksinkertaistuksen ja säästön loogisilla tasoilla.

Osuman sallivat signaalit HEN on yhdistetty osumasignaaleihin HIT eräässä toimintamuodon ohjauspiirin 86 yksikössä, joka on esitetty kuviossa 4. Osuman sallivat signaalit ovat tulosta pariteettibittien vertailusta, joka on muodostunut halutusta MSA osoiteosasta yhdessä tallennettujen MSA osoiteosien pariteettibittien kanssa ja ilmeisesti ainoastaan osumatapauksessa tämä vertailu on mielekäs. Tämän vuoksi osuman sallivat signaalit HEN on yhdistetty vastaaviin osumasignaaleihin HIT neljän portin 881 sarjalla. Itse asiassa tässä kohdassa on käytetty negatiivista logiikkaa, jolloin näiden porttien annot ovat tavallisesti 1. Osuma antaa tavallisesti yhden 0-syötön yhteen näistä porteista ja osuman salliva signaali tälle portille tulee myös olla 0 (edustaen täsmäyksen vallitsemista tämän tason tallennetun MSA osoiteosan pariteettibittien ja halutun MSA osoiteosan välillä, näiden olessa identtisiä, koska kyseessä oli osuma). Olemassaolo tai muuten 0 yhdestä näistä porteista 881 havaitaan portilla 887, joka asettaa ensimmäisen pariteettivirhekiikun PE0 vastaavasti. Tämä puolestaan asettaa toisen pariteettivirhekiikun PE1.

Samanaikaisesti osuman olemassaolon havaitsee portti 902, johon syötetään kaikki HIT väylän bitit. Tämä portti syöttää porttia 904, jota syötetään myös portista 887 kääntäjän 903 kautta.

Sen vuoksi portin 904 anto ilmaisee koska on ollut pätevä osuma - ts. osuma, johon ei liittynyt pariteettivirhettä. Tämän portin antoa käytetään määrittämään onko uusi sana kirjoitettava välimuistiin vai ei.

Havaitaan, että virhe hakemistossa 84 voi muuttaa joko MSA osan bitin tai pariteettibitin. Viimeksi mainitussa tapauksessa osuma on todella pätevä, mutta sitä ei voida pitää varmana koska pariteetti on väärä. Edellisessä tapauksessa voi esiintyä osuma, joka on todellisuudessa epäpätevä, koska todella tallennettu MSA osa ei täsmää halutun MSA osan kanssa. Tässä tapauksessa pariteettivertailu epäonnistuu, koska tallennetut pariteettibitit ovat niitä, jotka ovat todella tallennettu MSA osaan, ei sitä mitä tallennettu MSA osa on tullut virheen seurauksena, ja ei täsmää halutun MSA osan pariteettibittien kanssa.

Neljän portin 881 annot on yhdistetty kahden portin 885 avulla määrittämään onko esiintynyt virhe tasoparilla 0 ja 1 vai tasoparilla 2 ja 3. Nämä kaksi porttia syöttävät kaksi vastaavan asteista tasokiikkua DL1 ja DL2 porttiparin 889 kautta, joka on tehty kykeneväksi asettamalla ensimmäinen pariteettivirhekiikku PE0. Siten pariteettivirhe tasolla 0 tai 1 asettaa kiikun DL1; pariteettivirhe tasolla 2 tai 3 asettaa kiikun DL2.

Kuten huomataan, välimuisti voi edelleen toimia vaikkakin asteittaisessa toimintamuodossa, jos jompikumpi kiikuista DL1 tai DL2 on asetettu. Kuitenkin jos molemmat on asetettu, välimuisti ei voi toimia lainkaan. Tämä tila havaitaan ja siitä annetaan signaali keskusyksikköön CPU portin 898 avulla.

Astetasokiikun asetus ilmaisee, että vastaava tasopari ei ole luotettava ja sitä ei sen vuoksi saa enää käyttää. Vastaavasti kaksi signaalia DL1 ja DL2 näistä kahdesta kiikusta syötetään vertailijayksikön 421 neljään vertailijaan kuten kuviossa 1 on esitetty. Signaali DL1 syötetään tasoille 0 ja 1, jotta estetäisiin näiden kahden tason vertailut, kun kiikku DL1 on asetettu; vastaavasti signaalia DL2 käytetään estämään tasojen

2 ja 3 vertailut, kun virhe on ilmennyt jommassa kummassa näistä kahdesta tasosta.

Kuvio 5 esittää yksityiskohtaisesti kirjoituksen ohjauspiirin 82. Sen on valittava sopiva taso kirjoittamiseen kahdessa tilanteessa; kirjoittaminen osuman jälkeen ja uuden sanan kirjoittaminen ellei osumaa ole tapahtunut.

Jos osuma on tapahtunut, taso jolla osuma on ilmennyt koodataan kahden kirjoituksen valintakiikun WS0 ja WS1 avulla. Kuten esitettiin nämä kaksi kiikkua syötetään HIT-väylältä kahden portin 821 avulla, jotka syötetään tasojen 0, 1 ja kahden HIT-signaalin HT0, HT1 ja HT2 kanssa kuten esitettiin. Siten kiikku WS0 on asetettu, jos osuma on tasoilla 0 tai 1, ja kiikku WS1 on asetettu, jos osuma on tasoilla 2 tai 0. (HIT-väylä käyttää negatiivista logiikkaa.)

Signaali RPL määrittää onko kirjoitusosa korvaamista varten (ei osumaa) vai onko kyseessä välimuistissa jo olevan sanan yksinkertainen uudelleen kirjoittaminen (osuma). Uudelleen kirjoittamista varten signaalin RPL komplementti sallii kahden portin 843 ohittaa kahden kiikun WS0 ja WS1 annot. Korvaamista varten signaali RPL sallii kahden portin 841, jotka on syötetty signaalien RDO ja RDM avulla, jotka on saatu vastaavasti kahdesta kiertovuorottelukiikusta RD0 ja RD1. Valittu signaalipari kulkee toisen porttiparin 845 lävitse kahteen dekoodeeriin 848 ja 851, jotka koodaavat 2-bittiset signaalit porteista 845 väylien WRS ja WRC yksi neljästä signaaleiksi. Kahta erillistä dekooderia käytetään, koska tämä sallii kahden väylän WRS ja WRC ohjauksen erillisen kykeneväksi tekemisen. On välttämätöntä kyetä tekemään kykeneviksi nämä kaksi väylää erillisesti, koska väylää WRC käytetään valitsinyksikön 430 kautta sekä lukemiseen että myös kirjoittamiseen muistissa 40.

Ajateltaessa kiertovuorottelun antojen valintaa kirjoittamisen ohjaukseen tarkemmin, on välttämätöntä kyetä valitsemaan neljä tasoa peräkkäin, kun välimuisti on täysin toimiva, mutta valita

ainoastaan tasojen 0 ja 1 välillä tai ainoastaan tasojen 2 ja 3 välillä, kun jokin kiikuista DL1 ja DL2 on asetettu ja väli-muisti toimii alennetussa toimintamuodossa. Tämä saavutetaan syöttämällä kirjoitusohjauspiirin 82 kiertovuorotteluyksikön annot muokkauksen jälkeen toimintamuodon ohjausyksikköön 86 suoran syötön asemesta. Itse asiassa kiikun RD0 anto syötetään kirjoitusyksikköön 82 suoraan. Kuitenkin kiikun RD1 anto syötetään kahden portin 896 ja 895 lävitse, kuvio 4, toiminta-muodon ohjausyksikköön 86 signaalin RDM muodostamiseksi, joka signaali syötetään kirjoituksen ohjausyksikköön 82.

Kiikku RD1 valitsee kahden alemman tason 0 ja 1 ja kahden ylemmän tason 2 ja 3 välillä, kun taas kiikku RD0 valitsee tason 0 ja tason 1 välillä tai tason 2 ja tason 3 välillä. Kaksi porttia 896 ja 895 määrittävät signaalin RDM signaalista RD1 riippuen siten, että jos kumpikaan tai alennetun tason kiikut DL1 ja DL2 on asetettu (tavanomainen toiminta), signaali RDM on sama kuin RD1; jos kiikku DL1 on asetettu, ilmaisten virhettä tasoilla 0 ja 1, signaali RDM pakotetaan ykköseksi; kun taas jos kiikku DL2 on asetettu, ilmaisten virhettä tasoilla 2 ja 3, signaali RDM pakotetaan nollaksi. Siten korvattava taso valitaan tavallisesti syklisessä sarjassa, mutta jos virhe on ilmennyt tasoilla 0 tai 1, ainoastaan tasot 2 ja 3 voidaan valita (syklisesti) korvaamiseen, koska jos virhe on tapahtunut tasoilla 2 ja 3, ainoastaan tasot 0 ja 1 voidaan valita (syklisesti) korvaamiseen. Tason valinta kahden korvaukseen saatavissa olevan tason välillä häiriön sattuessa kahdessa muussa tasossa määritetään edelleen kuhunkin sarakkeeseen (LSA osa) riippumattomasti kiertovuorotteluyksikön 80 avulla.

Järjestelmän yleistointa voidaan sen vuoksi tiivistää seuraavalla tavalla. Sen alkuperäinen ja normaali tila on kaikilla neljällä tasolla käytössä ja molemmat alennustasokiikut on nollattu. Havaittaessa pariteettivirhe on sopiva tarkistaa myös onko keskusyksikön CPU lukemisvaatimus suoritettu, koska mikäli näin ei ole, on väyläkirjoitusyksi ja virhe voidaan jättää huomiotta koska kirjoitus tapahtuu, johon virhe ei vaikuta. Kuitenkin pariteettivirheessä keskusyksikön CPU

lukemispyynnössä, toinen alennetun tason kiikuista asetetaan. Välimuisti jatkaa sen jälkeen toimintaa, mutta alennetussa toimintamuodossa ainoastaan kahden tason ollessa toiminnassa. Tästä tilasta annetaan signaali keskusyksikköön CPU toisen pariteettivirhekiikun avulla. Koko järjestelmän, johon välimuisti lasketaan mukaan, suorituskyky alenee hieman, koska välimuisti pitää sisällään ainoastaan puolet siitä sanamäärästä kuin tavallisesti ja enemmän päämuistipääsyjä tarvitaan kuin tavallisesti vaaditaan. Pariteettivirheen esiintyessä yhdellä jäljelle jääneistä kahdesta tasosta (jälleen keskusyksikköön CPU lukupyynnö), toinen alennetun tason kiikku asetetaan ja välimuisti tulee täysin toimimattomaksi.

Luonnollisesti huomataan, että yllä yksinkertaistetuin termein esitetty saattaa käytännössä vaatia erilaisia lisäselvityksiä. Erityisesti ajoitussignaalit on lähes kokonaan jätetty huomioon ottamatta tässä selityksessä. Luonnollisesti myös yksityiskohdaiset tavat, joilla vaaditut loogiset toiminnot toteutetaan voi vaihdella huomattavasti riippuen suunnittelijan suosimasta tekniikasta, käytetystä loogisesta järjestelmästä, käytettävissä olevista komponenteista, jne.

Patenttivaatimukset

1. Osittain rajoitettavissa oleva välimuistiyksikkö käytettäväksi tietokonejärjestelmässä tarjoamaan suurinopeuksisen pääsyn päämuistissa pidettäviin tietoihin vastauksena muistin hakupyynnöihin, kunkin pyynnön ollessa identifioituna vaadittavan tiedon päämuistiosoitteella, mainitun osoitteen käsittäessä mainitun järjestelmän tuottaman ensimmäisen ja toisen osoiteosan, missä mainittu välimuistiyksikkö käsittää:

osoitettavan datamuistin (20-400) järjestettynä useisiin tasoihin, kunkin tason käsittäessä yhtä suuret ryhmät muistipaikkoja, vastaavien paikkojen kaikissa tasoissa ollessa määritettynä erilaisella mainitulla toisella osoiteosalla, kunkin paikan tallettaessa tietoaikion;

osoitettava hakemistomuisti (20-84) järjestettynä yhtä suureen määrään tasoja ja muistipaikkaryhmiä kuin mainittu datamuisti, kunkin hakemistomuistin paikan tallettaessa vastaavassa datamuistipaikassa pidetyn tietoaikion päämuistiosoitteen ensimmäisen osoiteosan, vastaavien paikkojen kaikissa mainitussa hakemistomuistin tasoissa ollessa määritettynä erilaisella mainitulla toisella osoiteosalla, t u n n e t t u siitä, että välimuistiyksikköön kuuluu;

virheenhavaitsemiselimet (20-860) kytkettynä mainittuun hakemistomuistiin, mainittujen havaintoelimien toimiessa virhesignaalin tuottamiseksi osoittamaan virheen, joka liittyy mainitusta hakemistomuistista luettuun ensimmäiseen osoiteosaan;

toimintamuodon ohjauselimet (20-880) kytkettynä mainittuihin virheen havaitsemiselimiin ja toiminnallisesti kytkettynä mainittuun hakemistomuistiin ja mainittuun datamuistiin, mainittujen toimintatavan ohjauselimien toimiessa vastauksena ensimmäiseen ilmenevään virhesignaaliin, joka on havaittu luettaessa yhteen mainitun välimuistiyksikön tasoon talletettua tietoaikiota, mainitun välimuistiyksikön kääntämiseksi osittain rajoitettuun toimintatilaan, missä mainitun hakemistomuistin ja datamuistin toiminta on rajoitettu vain niihin tasoihin, joissa virhettä ei havaittu.

2. Patenttivaatimuksen 1 mukainen välimuisti, t u n n e t t u siitä, että toimintamuodon ohjauselimet (896, 895) on kytketty korvauselimiin, jotta estettäisiin sanan pääsy tasolle, joka on korvattu toimimattomana.
3. Patenttivaatimuksen 1 tai 2 mukainen välimuisti, t u n n e t t u siitä, että virheen havaitsemiselimet (860) havaitsevat pariteettivirheet.
4. Jonkin edellisen patenttivaatimuksen mukainen välimuisti, t u n n e t t u siitä, että virheen havaitseminen suoritetaan kaikilla tasoilla, mutta virheet tasoilla, joilla ei vallitse täsmäystä, jätetään huomioon ottamatta (881).
5. Jonkin edellisen patenttivaatimuksen mukainen välimuisti, t u n n e t t u siitä, että toimintamuodon ohjauselin on herkkä ainoastaan lukemistoimintojen virheisiin.
6. Jonkin edellisen patenttivaatimuksen mukainen välimuisti, t u n n e t t u siitä, että toimintamuodon ohjauselin käsittää joukon alennustasokiikkuja (DL1, DL2), joista kukin on yhteydessä vastaavaan tasoon tai joukkoon tasoja ja jotka, kun ne on asetettu, korvaavat toimimattoman yhteydessä olevan tason tai tasot.
7. Patenttivaatimuksen 6 mukainen välimuisti, t u n n e t t u siitä, että looginen TAI-elin (PE1) on liitetty alennustasokiikkuihin ilmaisemaan milloin välimuistissa ainakin yksi tason toimimaton.
8. Patenttivaatimuksen 6 tai 7 mukainen välimuisti, t u n n e t t u siitä, että looginen JA-elin (898) on liitetty alennustasokiikkuihin ilmaisemaan milloin välimuisti on täysin toimimaton.

Patentkrav

1. En delvis begränsbar buffertminnesenhet för att användas i ett datorsystem och erbjuda åtkomst med stor hastighet till i huvudminnet kvarhållna data i respons till sökförfrågningar, medan varje förfrågan är identifierad genom den krävda datans huvudminnesadress, nämnda adress omfattande en av nämnda system alstrad första och andra adressdel, varvid nämnda buffertminnesenhet omfattar:

ett adresserbart dataminne (20-400) anordnat i flera nivåer, varje nivå omfattande lika stora grupper av minnesställen, medan motsvarande ställen på alla nivåer är bestämda genom olika, nämnda ena adressdel, varvid varje ställe lagrar ett dataelement;

ett adresserbart indexminne (20-84) anordnat i ett lika stort antal nivåer och minnesställegrupper som nämnda dataminne, varvid varje indexminnesställe lagrar en första adressdel av huvudminnesadressen för det i motsvarande dataminnesställe hållna dataelementet, medan motsvarande ställen på alla nivåer i nämnda indexminne är bestämda genom olika nämnda andra adressdel, k ä n n e t e c k n a d därav, att buffertminnesenheten omfattar;

felobservationsorgan (20-860) kopplade till nämnda indexminne, medan nämnda observationsorgan fungerar för att alstra en felsignal och indikera ett fel, som ansluter sig till en från nämnda indexminne utläst första adressdel;

styrorgan (20-880) för operationsformen kopplade till nämnda felobservationsorgan och operativt kopplade till nämnda indexminne och nämnda dataminne, medan nämnda styrorgan för operationssättet fungerar i respons till första uppträdande felsignal, som observerats vid läsning av ett dataelement lagrat i en nivå i nämnda buffertminnesenhet, för att bringa nämnda buffertminnesenhet till ett delvis begränsat operationstillstånd, där nämnda indexminnes och dataminnes funktion är begränsad enbart till de nivåer, på vilka fel icke observerats.

2. Buffertminne enligt patentkravet 1, k ä n n e t e c k -  
n a t därav, att styrorganen (896, 895) för operationsformen  
kopplats till ersättningsorgan, för att förhindra tillträde  
av ett ord till en nivå, som ersatts som icke fungerande.
3. Buffertminne enligt patentkravet 1 eller 2, k ä n n e -  
t e c k n a t därav, att felobservationsorganen (860) obser-  
verar paritetsfel.
4. Buffertminne enligt något av patentkraven ovan, k ä n -  
n e t e c k n a t därav, att felobservation utföres på alla  
nivåer, men fel på nivåer där överensstämmelse icke råder,  
lämnas obeaktade (881).
5. Buffertminne enligt något av patentkraven ovan, k ä n -  
n e t e c k n a t därav, att styrorganet för operationsfor-  
men är känsligt endast för fel i läsfunktionerna.
6. Buffertminne enligt något av patentkraven ovan, k ä n -  
n e t e c k n a t därav, att styrorganet för operationsfor-  
men omfattar en grupp sänknivå-flip-flops (DL1, DL2),  
respektive i förbindelse med motsvarande nivå eller grupp av  
nivåer och som, då de inställts, ersätter nivån eller nivåerna  
i förbindelse med en icke fungerande nivå.
7. Buffertminne enligt patentkravet 6, k ä n n e t e c k -  
n a t därav, att ett logiskt ELLER-organ (PE1) anslutits till  
sänknivå-flip-flops för att indikera när åtminstone en nivå  
är icke fungerande i buffertminnet.
8. Buffertminne enligt patentkravet 6 eller 7, k ä n n e -  
t e c k n a t därav, att ett logiskt OCH-organ (898) anslutits  
till sänknivå-flip-flops för att indikera när buffertminnet är  
fullständigt icke fungerande.

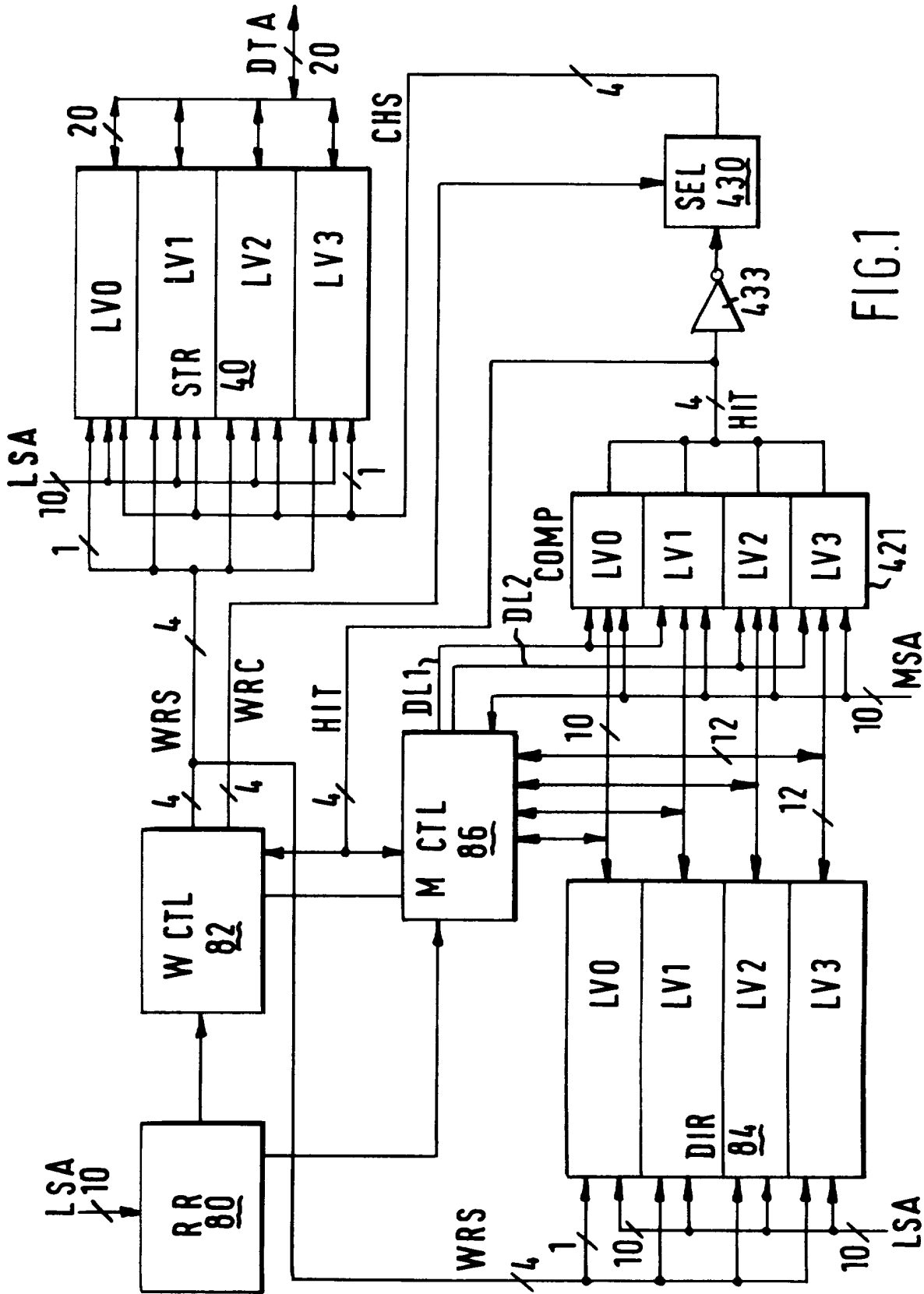


FIG. 1



