

(19)日本国特許庁(JP)

(12)特許公報(B1)

(11)特許番号

特許第7031078号

(P7031078)

(45)発行日 令和4年3月7日(2022.3.7)

(24)登録日 令和4年2月25日(2022.2.25)

(51)国際特許分類

F I

H 0 2 M 1/08 (2006.01)

H 0 2 M 1/08

A

H 0 2 M 7/48 (2007.01)

H 0 2 M 7/48

M

請求項の数 16 (全16頁)

(21)出願番号 特願2021-559393(P2021-559393)
 (86)(22)出願日 令和3年6月16日(2021.6.16)
 (86)国際出願番号 PCT/JP2021/022791
 審査請求日 令和3年10月7日(2021.10.7)
 早期審査対象出願

(73)特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74)代理人 110002941
 特許業務法人ばるも特許事務所
 (72)発明者 根本 裕次
 東京都千代田区丸の内二丁目7番3号
 三菱電機株式会社内
 (72)発明者 恩田 航平
 東京都千代田区丸の内二丁目7番3号
 三菱電機株式会社内
 (72)発明者 三木 隆義
 東京都千代田区丸の内二丁目7番3号
 三菱電機株式会社内
 (72)発明者 森崎 翔太

最終頁に続く

(54)【発明の名称】 ゲート駆動回路

(57)【特許請求の範囲】

【請求項1】

駆動対象のスイッチング素子のゲートソース間にゲート電圧を印加し、前記スイッチング素子を駆動させる制御部を備えたゲート駆動回路であって、

前記制御部は、

前記スイッチング素子のゲートソース間に第一の電源から第一の電圧を印加して前記スイッチング素子をオンし、

前記スイッチング素子のドレイン電流の転流後に、前記第一の電圧を遮断するとともに、前記スイッチング素子のゲートソース間に前記第一の電圧よりも低く、前記スイッチング素子のミラー電圧よりも高い第二の電圧を前記第一の電源とは異なる第二の電源から印加して、前記スイッチング素子のゲートソース間の電圧を前記第一の電圧または前記第二の電圧以上となった電圧から前記第二の電圧に下げ、

駆動対象の前記スイッチング素子に短絡電流が流れていない場合、前記第二の電圧を遮断するとともに、前記スイッチング素子のゲートソース間に前記第二の電圧よりも高い第三の電圧を印加する、ゲート駆動回路。

【請求項2】

前記制御部は、前記第二の電圧が前記スイッチング素子のゲートソース間に印加されている間に、前記スイッチング素子に短絡電流が流れているか判断する、請求項1に記載のゲート駆動回路。

【請求項3】

前記第三の電圧は、前記第一の電圧と等しい電圧である、請求項 1 または 2 に記載のゲート駆動回路。

【請求項 4】

駆動対象の前記スイッチング素子のゲートに直列接続された第一のゲート抵抗、第一のスイッチング素子および前記第一の電源と、

駆動対象の前記スイッチング素子のゲートに直列接続された第二のスイッチング素子および前記第二の電源と、を備え、

前記制御部は、

前記第一のスイッチング素子をオンして前記第一の電源から前記第一の電圧を駆動対象の前記スイッチング素子のゲートソース間に印加し、

前記第二のスイッチング素子をオンして前記第二の電源から前記第二の電圧を駆動対象の前記スイッチング素子のゲートソース間に印加する、請求項 3 に記載のゲート駆動回路。

【請求項 5】

前記制御部は、

駆動対象の前記スイッチング素子に短絡電流が流れている場合、前記第二の電圧を遮断するとともに、前記スイッチング素子のゲートソース間に負電圧である第四の電圧を印加する、請求項 2 から 4 のいずれか 1 項に記載のゲート駆動回路。

【請求項 6】

駆動対象の前記スイッチング素子のゲートに直列接続された第一のゲート抵抗、第一のスイッチング素子および前記第一の電源と、

駆動対象の前記スイッチング素子のゲートに直列接続された第二のスイッチング素子および前記第二の電源と、

駆動対象の前記スイッチング素子のゲートに直列接続された第二のゲート抵抗、第四のスイッチング素子および第四の電源と、

を備え、

前記制御部は、

前記第一のスイッチング素子をオンして前記第一の電源から前記第一の電圧を駆動対象の前記スイッチング素子のゲートソース間に印加し、

前記第二のスイッチング素子をオンして前記第二の電源から前記第二の電圧を駆動対象の前記スイッチング素子のゲートソース間に印加し、

前記第四のスイッチング素子をオンして前記第四の電源から前記第四の電圧を駆動対象の前記スイッチング素子のゲートソース間に印加する、請求項 5 に記載のゲート駆動回路。

【請求項 7】

駆動対象のスイッチング素子のゲートソース間にゲート電圧を印加し、前記スイッチング素子を駆動させる制御部を備えたゲート駆動回路であって、

駆動対象の前記スイッチング素子のゲートに直列接続された第一のゲート抵抗、第一のスイッチング素子および第一の電源と、

駆動対象の前記スイッチング素子のゲートに直列接続された第二のゲート抵抗、第四のスイッチング素子および第四の電源と、を備え、

駆動対象の前記スイッチング素子のゲートと前記第四の電源との間に直列接続された第一のダイオード、第一のトランジスタおよび第一の抵抗と、エミッタが前記第四の電源に接続され、コレクタが第二の抵抗および第二のダイオードを介して前記第一の電源に接続された第二のトランジスタと、を有し、前記第二のダイオードが前記第一のトランジスタのベースに接続されており、

前記制御部は、

前記第一のスイッチング素子をオンして前記第一の電源から第一の電圧を駆動対象の前記スイッチング素子のゲートソース間に印加して前記スイッチング素子をオンし、

前記スイッチング素子のドレイン電流の転流後に、前記第一の電圧を遮断するとともに、

前記第二のトランジスタをオンして前記第一の電圧よりも低く、前記スイッチング素子のミラー電圧よりも高い第二の電圧を駆動対象の前記スイッチング素子のゲートソース間に

10

20

30

40

50

印加し、

駆動対象の前記スイッチング素子に短絡電流が流れていない場合、前記第二の電圧を遮断するとともに、前記スイッチング素子のゲートソース間に前記第二の電圧よりも高い第三の電圧を印加する、ゲート駆動回路。

【請求項 8】

前記第三の電圧は、前記第一の電圧と等しい電圧である、請求項 7 に記載のゲート駆動回路。

【請求項 9】

前記制御部は、

駆動対象の前記スイッチング素子に短絡電流が流れている場合、前記第二の電圧を遮断するとともに、前記第四のスイッチング素子をオンして前記第四の電源から負の電圧である第四の電圧を駆動対象の前記スイッチング素子のゲートソース間に印加する、請求項 7 または 8 に記載のゲート駆動回路。

【請求項 10】

駆動対象のスイッチング素子のゲートソース間にゲート電圧を印加し、前記スイッチング素子を駆動させる制御部を備えたゲート駆動回路であって、

前記制御部は、

前記スイッチング素子のゲートソース間に第一の電源から第一の電圧を印加して前記スイッチング素子をオンし、

前記スイッチング素子のドレイン電流の転流後に、前記第一の電圧を遮断するとともに、前記スイッチング素子のゲートソース間に前記第一の電圧よりも低く、前記スイッチング素子のミラー電圧よりも高い第二の電圧を前記第一の電源とは異なる第二の電源から印加し、

駆動対象の前記スイッチング素子に短絡電流が流れていない場合、前記第二の電圧を遮断するとともに、前記スイッチング素子のゲートソース間に前記第一の電圧よりも低く前記第二の電圧よりも高い第三の電圧を印加する、ゲート駆動回路。

【請求項 11】

駆動対象の前記スイッチング素子のゲートに直列接続された第一のゲート抵抗、第一のスイッチング素子および前記第一の電源と、

駆動対象の前記スイッチング素子のゲートに直列接続された第二のスイッチング素子および前記第二の電源と、

駆動対象の前記スイッチング素子のゲートに直列接続された第三のスイッチング素子および第三の電源と、を備え、

前記制御部は、

前記第一のスイッチング素子をオンして前記第一の電源から前記第一の電圧を駆動対象の前記スイッチング素子のゲートソース間に印加し、

前記第二のスイッチング素子をオンして前記第二の電源から前記第二の電圧を駆動対象の前記スイッチング素子のゲートソース間に印加し、

前記第三のスイッチング素子をオンして前記第三の電源から前記第三の電圧を駆動対象の前記スイッチング素子のゲートソース間に印加する、請求項 10 に記載のゲート駆動回路。

【請求項 12】

前記制御部は、

駆動対象の前記スイッチング素子に短絡電流が流れている場合、前記第二の電圧を遮断するとともに、駆動対象の前記スイッチング素子のゲートソース間に負電圧である第四の電圧を印加することを特徴とする請求項 10 または 11 に記載のゲート駆動回路。

【請求項 13】

駆動対象の前記スイッチング素子のゲートに直列接続された第一のゲート抵抗、第一のスイッチング素子および前記第一の電源と、

駆動対象の前記スイッチング素子のゲートに直列接続された第二のスイッチング素子および前記第二の電源と、

10

20

30

40

50

駆動対象の前記スイッチング素子のゲートに直列接続された第三のスイッチング素子および第三の電源と、

駆動対象の前記スイッチング素子のゲートに直列接続された第二のゲート抵抗、第四のスイッチング素子および第四の電源と、

を備え、

前記制御部は、

前記第一のスイッチング素子をオンして前記第一の電源から前記第一の電圧を駆動対象の前記スイッチング素子のゲートソース間に印加し、

前記第二のスイッチング素子をオンして前記第二の電源から前記第二の電圧を駆動対象の前記スイッチング素子のゲートソース間に印加し、

前記第三のスイッチング素子をオンして前記第三の電源から前記第三の電圧を駆動対象の前記スイッチング素子のゲートソース間に印加し、

前記第四のスイッチング素子をオンして前記第四の電源から前記第四の電圧を駆動対象の前記スイッチング素子のゲートソース間に印加する、請求項 1 2 に記載のゲート駆動回路。

【請求項 1 4】

前記第二の電圧を印加するタイミングは、駆動対象の前記スイッチング素子のドレインソース間の電圧が下がり、ターンオンが完了した後である、請求項 1 から 1 3 のいずれか 1 項に記載のゲート駆動回路。

【請求項 1 5】

前記制御部は、前記スイッチング素子に短絡電流が流れているか検出する短絡電流検出回路を備えた、請求項 1 から 1 4 のいずれか 1 項に記載のゲート駆動回路。

【請求項 1 6】

前記駆動対象のスイッチング素子はワイドバンドギャップを有する半導体で構成されている、請求項 1 から 1 5 のいずれか 1 項に記載のゲート駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、ゲート駆動回路に関する。

【背景技術】

【0002】

電力変換装置等に使用されるスイッチングデバイスには、例えば、IGBT (Insulated Gate Bipolar Transistor) または MOSFET (Metal Oxide Semiconductor Field Effect Transistor) などの半導体素子が用いられる。これらのスイッチングデバイスは、駆動回路の出力電圧を受けてスイッチング動作を行う。また、これらのスイッチングデバイスでは、ターンオンあるいはターンオフする際にスイッチング損失が発生する。

【0003】

このスイッチング損失が低減すると、電力変換装置の電力消費を低減させることができることから、電力変換時の効率が向上する。したがって、電力変換装置の小型化および高効率化を実現するためには、スイッチングデバイスのスイッチング損失を低減することが望ましい。

スイッチング損失は、スイッチング速度を高速化することによって、低減することが可能である。スイッチング速度は、スイッチングデバイスのゲート閾値電圧付近の電圧変化を早くさせることで、高速化することが可能である。

【0004】

スイッチング損失を低減させる手法として、初めは通常印加する電圧よりも高い第一の電圧を印加することで高速なスイッチングを実現し、スイッチング素子がオンした後の所定のタイミングでスイッチング素子のゲート端子における電圧が、第一の電圧源の電圧よりも低い第二の電圧となるよう切り替えることによって、ターンオン時のスイッチング速度を高速化する手法が開示されている（例えば、特許文献 1 参照）。

【0005】

10

20

30

40

50

ところで、ターンオンのタイミングには制御回路の異常および対となるスイッチング素子の故障によりアーム短絡が発生することがあり、これによりスイッチング素子が破壊する虞がある。スイッチング素子のゲート電圧が高い場合は、アーム短絡時にスイッチング素子に大きな電流が流れる。そのため、初めは通常印加する電圧よりも低い第一の電圧を印加することでアーム短絡時に流れる電流を制限して短絡耐量を確保し、スイッチング素子が正常にオンした後の所定のタイミングには定常的な導通損失を低減するために、スイッチング素子のゲート端子における電圧が第一の電圧源の電圧よりも高い第二の電圧となるよう切り替える手法が開示されている（例えば、特許文献2参照）。

【先行技術文献】

【特許文献】

【0006】

【文献】特開2007-174134号公報

特開2009-071956号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

特許文献1に開示された方法では、スイッチング素子のゲート電圧が高いために、スイッチング損失が低減するものの、ターンオンのタイミングで発生する可能性のあるアーム短絡により、スイッチング素子が破壊する虞がある。

特許文献2に開示された方法では、ターンオン時の初めのゲート電圧が低いため、アーム短絡時に流れる電流を制限できるものの、スイッチング損失が高くなるという問題が起こる。

このように、スイッチング損失の低減と短絡耐量の確保はトレードオフの関係にある。

【0008】

本願は、上記の課題を解決するための技術を開示するものであり、スイッチング損失の低減と短絡耐量の確保の両方を満足することが可能なスイッチング素子のゲート駆動回路を提供することを目的とする。

【課題を解決するための手段】

【0009】

本願に開示されるゲート駆動回路は、駆動対象のスイッチング素子のゲートソース間にゲート電圧を印加し、前記スイッチング素子を駆動させる制御部を備えたゲート駆動回路であって、前記制御部は、前記スイッチング素子のゲートソース間に第一の電源から第一の電圧を印加して前記スイッチング素子をオンし、前記スイッチング素子のドレイン電流の転流後に、前記第一の電圧を遮断するとともに、前記スイッチング素子のゲートソース間に前記第一の電圧よりも低く、前記スイッチング素子のミラー電圧よりも高い第二の電圧を前記第一の電源の電源とは異なる第二の電源から印加して、前記スイッチング素子のゲートソース間の電圧を前記第一の電圧または前記第二の電圧以上となった電圧から前記第二の電圧に下げ、前記駆動対象のスイッチング素子に短絡電流が流れていない場合、前記第二の電圧を遮断するとともに、前記スイッチング素子のゲートソース間に前記第二の電圧よりも高い第三の電圧を印加するものである。

【発明の効果】

【0010】

本願に開示されるゲート駆動回路によれば、ターンオン時は高い電圧でスイッチングを行うことでスイッチング損失を低減しつつ、ターンオンの結果短絡電流が発生してもすぐにゲート電圧を低く抑えることで短絡電流も抑制することができるので、短絡耐量も確保することができる。さらにその後にゲート電圧を高くすることで定常的な導通損失も低く抑えることが可能となる。

【図面の簡単な説明】

【0011】

【図1】実施の形態1に係るゲート駆動回路の概略を示す回路構成図である。

10

20

30

40

50

【図 2】実施の形態 1 に係るゲート駆動回路および駆動対象のスイッチング素子を適用した電力変換システムの一例を示す図である。

【図 3】実施の形態 1 に係るゲート駆動回路の動作を示すタイミングチャートである。

【図 4】実施の形態 1 に係るゲート駆動回路の動作を示す別のタイミングチャートである。

【図 5】実施の形態 2 に係るゲート駆動回路の概略を示す回路構成図である。

【図 6】実施の形態 2 に係るゲート駆動回路の動作を示すタイミングチャートである。

【図 7】実施の形態 3 に係るゲート駆動回路の概略を示す回路構成図である。

【図 8】実施の形態 3 に係るゲート駆動回路の動作を示すタイミングチャートである。

【図 9】実施の形態 1 から 3 に係るゲート駆動回路が具備する制御部のハードウェア構成図である。

10

【発明を実施するための形態】

【0012】

以下、本実施の形態について図を参照して説明する。なお、各図中、同一符号は、同一または相当部分を示すものとする。また、図 1～図 9 は、一実施の形態に係るものであって、これらの図面によって本願が限定されるものではない。

【0013】

実施の形態 1 .

以下、実施の形態 1 に係るゲート駆動回路について図 1 を用いて説明する。

図 1 は、実施の形態 1 に係るゲート駆動回路の概略を示す回路構成図、図 2 は、ゲート駆動回路および駆動対象のスイッチング素子を適用した電力変換システムの一例を示す図である。

20

図 1 に示す、ゲート駆動回路 100 は、本実施の形態 1 に限らず他の実施の形態のいずれのゲート駆動回路も各種電力変換器に用いることが可能で、例えば図 2 に示す電力変換システムのゲート駆動回路に用いることができる。図 2 に示す電力変換システムの例は、系統電源からの交流電力を整流回路にて直流電力に整流した後に、モータ負荷等に出力する交流電力に変換する 3 相インバータシステムである。ここで、図 2 におけるゲート駆動回路 100 a、100 b、100 c、100 d、100 e、100 f、およびスイッチング素子 99 a、99 b、99 c、99 d、99 e、99 f は、図 1 および、後述の図 5、図 7 のそれぞれゲート駆動回路 100 およびスイッチング素子 99 に相当する。

【0014】

図において、ゲート駆動回路 100 の駆動対象であるスイッチング素子 99 として代表的な電力用半導体素子である IGBT (Insulated Gate Bipolar Transistor) を用いているが、駆動対象のスイッチング素子 99 は IGBT に限るものではなく、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) などの他の電圧駆動型のスイッチング素子でも良い。なお、IGBT には、ダイオードが逆並列に接続されるが、スイッチング素子 99 が MOSFET の場合、MOSFET のボディダイオードで代用させることも可能である。

30

【0015】

次に、駆動対象のスイッチング素子 99 用のゲート駆動回路 100 の詳細構成を説明する。図 1 において、スイッチング素子 99 のゲート端子に正の電圧を印加するための第一の電源 61 は、スイッチング素子 1 およびスイッチング速度を調整するためのゲート抵抗 6 を介してスイッチング素子 99 のゲート端子に接続されている。また、スイッチング素子 99 のゲート端子に第二の電源電圧 V2 を印加するために、ダイオード 8、スイッチング素子 15、第二の電源 62 がゲート端子に直列に接続されている。さらに、スイッチング素子 99 のゲート端子に負の電圧を印加するための第四の電源 64 が、スイッチング素子 4 およびスイッチング速度を調整するためのゲート抵抗 7 を介してスイッチング素子 99 のゲート端子に接続されている。ここで、各スイッチング素子 1、4、15 は MOSFET の例で示している。

40

【0016】

なお、各電源はそれぞれ直流電源であり、各電源 61、62、64 からゲート端子に印加

50

される各電圧 V_1 、 V_2 、 V_4 の関係は、

$V_1 > V_2 > \text{スイッチング素子 } 99 \text{ のミラー電圧} > V_4$

である。ここで、電圧 V_1 はスイッチング素子 99 毎に規定されているオン状態における印加すべき電圧とする。また、電圧 V_4 は負の電圧であり、例えば $-5 \sim -15 \text{ V}$ 程度の電圧である。

【0017】

また、図 1 において、ゲート駆動回路 100 はスイッチング素子 99 のゲート端子に印加される電圧を制御するために各スイッチング素子 1、4、15 を制御する制御部 5 を有し、制御部 5 はスイッチング素子 99 に流れる電流検出器 20 の出力から、スイッチング素子 99 に短絡電流が流れているか検出する短絡電流検出部 51 を備えている。

10

【0018】

次に、ゲート駆動回路 100 の動作について図 3 のタイミングチャートを用いて説明する。図において、上から順に、ゲートソース間の電圧であるゲート電圧 V_{gs} 、スイッチング素子 1 をオンさせる駆動信号 V_{g1} 、スイッチング素子 4 をオンオフさせる駆動信号 V_{g4} 、スイッチング素子 15 をオンオフさせる駆動信号 V_{g3} 、スイッチング素子 99 のドレイン電流 I_d 、スイッチング素子 99 のドレインソース間電圧 V_{ds} のタイミングチャートである

【0019】

時刻 t_0 で、駆動信号 V_{g1} がハイ (H) となりスイッチング素子 1 がオンされ、これによりゲート電圧 V_{gs} には第一の電圧 V_1 がゲート抵抗 6 を介して印加され、スイッチング素子 99 は通常通りのスイッチング速度でターンオンする。ここで、通常通りのスイッチング速度とは、オン状態で印加すべき電圧 V_1 でターンオンさせたときのスイッチング速度である。

20

【0020】

時刻 t_1 で、ゲート電圧 V_{gs} がミラー電圧に到達すると、スイッチング素子 99 のドレイン電流 I_d が徐々に上昇し、時刻 t_2 で本来流すべき電流まで到達する。ここで、本来流すべき電流とは、入力電圧あるいはモータの状態等により決まる電流であり、直前までにオン状態にあった対アームに流れていた電流まで上昇することとなる。これで、ドレイン電流 I_d 電流の転流が完了する。

【0021】

その後ドレインソース間電圧 V_{ds} が低下し、時刻 t_3 で 0 V まで下がり、スイッチング素子 99 のターンオンが正常に終了する。また、時刻 t_2 から時刻 t_3 の間にゲート電圧 V_{gs} は上昇し、第一の電圧 V_1 となる。なお、ここでは時刻 t_2 から時刻 t_3 の間にゲート電圧 V_{gs} が第一の電圧 V_1 となる例について示したが、これに限ったものではない。すなわち、ゲート電圧 V_{gs} は時刻 t_2 から時刻 t_3 の間に第二の電圧 V_2 以上の電圧となればよい。

30

【0022】

スイッチングが完了した時点 (時刻 t_3) で、駆動信号 V_{g1} をロー (L) とし、スイッチング素子 1 をオフとする。同時に、駆動信号 V_{g3} をハイ (H) とし、スイッチング素子 15 のゲートをオンにする。これによりゲート電圧 V_{gs} は第二の電圧 V_2 に下がる (時刻 t_4)。

40

【0023】

ゲート電圧 V_{gs} が第二の電圧 V_2 の状態を時刻 t_5 まで維持する。この時間は、スイッチング素子 99 に短絡電流が流れているか検出するための回路の遅延時間を考慮したものである。すなわち、短絡電流検出部 51 の遅延時間分だけ第二の電圧 V_2 の状態を維持する。

【0024】

なお、ゲート電圧 V_{gs} が第一の電圧 V_1 よりも低い第二の電圧 V_2 に下がることからスイッチング素子 99 の導通損失の増加を招くが、時刻 t_4 から時刻 t_5 の期間は数 $\mu \text{ s}$ 程度であり、損失への影響は小さい。さらに、スイッチングが完了した後にゲート電圧 V_{gs}

50

sを下げているので、スイッチング損失の悪化もない。

【0025】

短絡電流検出部51により、スイッチング素子99に短絡電流が流れておらず短絡が起きていないと判断された場合、時刻t5で駆動信号Vg3をロー（L）とし、スイッチング素子15をオフとする。同時に、再度駆動信号Vg1をハイ（H）とし、スイッチング素子1のゲートをオンにする。これによりゲート電圧Vgsは再び第一の電圧V1がゲート抵抗6を介して印加され、スイッチング素子99は通常通りの導通損失で動作し続けることになる。

【0026】

なお、図では省略しているが、スイッチング素子99のターンオフ時には、駆動信号Vg1をロー（L）とし、スイッチング素子1をオフとする。同時に、駆動信号Vg4をハイ（H）とし、スイッチング素子4のゲートをオンにする。これによりゲート電圧Vgsは負の電圧である第四の電圧V4がゲート抵抗7を介して印加され、ドレイン電流Idも0となる。これは時刻t0より前の状態に相当する。

【0027】

図3のタイミングチャートでは、短絡電流が検出されなかった例であるが、次に短絡電流が検出された場合の動作について図4を用いて説明する。

図4において、時刻t0からt12までは図3の時刻t0から時刻t2まで同様である。すなわち、時刻t0で、駆動信号Vg1がハイ（H）となりスイッチング素子1がオンされ、これによりゲート電圧Vgsには第一の電圧V1がゲート抵抗6を介して印加され、スイッチング素子99は通常通りのスイッチング速度でターンオンする。

時刻t11で、ゲート電圧Vgsがミラー電圧に到達すると、スイッチング素子99のドレイン電流Idが徐々に上昇し、時刻t12で対アームに流れていた電流まで上昇し、ドレイン電流Idの転流が完了する。

【0028】

ここで、スイッチング素子99と対になるスイッチング素子99に異常があり、短絡した状態のままであると、ドレイン電流Idが図4の時刻t12以降のようにさらに上昇し、アーム短絡の状態に至る。ここで、例えば、図2のように電力変換システムを構成している場合スイッチング素子99aと対になるのはスイッチング素子99bである。なお、スイッチング素子99には短絡耐量が規定されているので、ドレイン電流Idが上昇し始めても、すぐに破壊するわけではない。この状態が長く続き、損失が過大になった段階でスイッチング素子は破損に至ることになる。

【0029】

ドレイン電流Idの転流が完了したことから、駆動信号Vg1をロー（L）とし、スイッチング素子1をオフとする。同時に、駆動信号Vg3をハイ（H）とし、スイッチング素子15のゲートをオンにする。これによりゲート電圧Vgsは第二の電圧V2に下がる（時刻t14）。ゲート電圧Vgsが下がることにより、ドレイン電流Idを制限することができアーム短絡により発生する損失も同様に抑制することが可能となる。したがって、ゲート電圧Vgsが下がることによりアーム短絡による電流を流しつづけられる時間が長くなり、アーム短絡の判定のための時間を確保することができることになる。なお、スイッチングが完了した後にゲート電圧Vgsを下げていることからスイッチング損失への影響はない。

【0030】

ゲート電圧Vgsが第二の電圧V2の状態を時刻t15まで維持する。上述したように、この時間でスイッチング素子99に短絡電流が流れているか検出を行う。

短絡電流検出部51により短絡が生じていると判断された場合、時刻t15で駆動信号Vg3をロー（L）とし、スイッチング素子15をオフとする。同時に、駆動信号Vg4をハイ（H）とし、スイッチング素子4のゲートをオンにする。これによりゲート電圧Vgsには負の電圧である第四の電圧V4がゲート抵抗7を介して印加され、スイッチング素子99はターンオフすることになる。これにより、スイッチング素子99が破壊する前に

10

20

30

40

50

正常にスイッチング素子 99 を止めることが可能となる。

【0031】

以上のように、実施の形態 1 に係るゲート駆動回路によれば、駆動対象のスイッチング素子 99 のゲート電圧 V_{gs} を制御し、スイッチング素子 99 を駆動させる制御部 5 を備え、制御部 5 は少なくとも第一の電圧 V_1 、第二の電圧 V_2 および負の電圧である第四の電圧 V_4 の 3 種類の電圧のいずれか 1 つをスイッチング素子 99 のゲートに印加してゲート電圧 V_{gs} を制御するようにした。そして、スイッチング素子 99 のターンオン時は高い第一の電圧 V_1 でスイッチングを行うことでスイッチング損失を低減しつつ、ターンオンの結果短絡電流が発生しても、すぐにゲート電圧 V_{gs} を低く抑える（第二の電圧 V_2 ）ことで短絡電流を抑制することができ、短絡耐量を確保することができる。ここで、短絡電流が発生していない場合は、その後にゲート電圧 V_{gs} を第一の電圧 V_1 にすることで定常的な導通損失も低く抑えることが可能となる。また、短絡電流が発生している場合は、ゲート電圧 V_{gs} を第二の電圧 V_2 から負の出電圧である第四の電圧 V_4 とすることで、スイッチング素子 99 はターンオフし、スイッチング素子 99 が破壊する前に動作が終了可能となる。

10

【0032】

実施の形態 2 .

以下、実施の形態 2 に係るゲート駆動回路について図を用いて説明する。実施の形態 2 は実施の形態 1 で用いた第一の電圧 V_1 よりもさらに高い電圧でスイッチング素子 99 をターンオンさせる例である。

20

図 5 は、実施の形態 2 に係るゲート駆動回路の概略を示す回路構成図、図 6 は、ゲート駆動回路の動作を示すタイミングチャートである。

【0033】

図 5 において、第一の電圧 V_1 よりも高い第三の電圧 V_3 を供給する電源 63 がスイッチング素子 1 の一端に接続されている。また、第一の電圧 V_1 を供給する電源 61 は、ダイオード 14 スwitchング素子 13 と直列に接続されてスイッチング素子 99 のゲート端子に接続されている。他の構成は実施の形態 1 の図 1 と同様であるので、説明を省略する。

【0034】

なお、各電源はそれぞれ直流電源であり、各電源 61、62、63、64 からゲート端子に印加される各電圧 V_1 、 V_2 、 V_3 、 V_4 の関係は、

30

$V_3 > V_1 > V_2 > \text{スイッチング素子 99 のミラー電圧} > V_4$

である。ここで、電圧 V_1 はスイッチング素子 99 毎に規定されているオン状態における印加すべき電圧、電圧 V_3 は電圧 V_1 より高い、すなわち通常印加すべき電圧よりも高い電圧とする。また、電圧 V_4 は負の電圧である。

【0035】

次に、ゲート駆動回路 100 の動作について図 6 のタイミングチャートを用いて説明する。図において、上から順に、ゲートソース間の電圧であるゲート電圧 V_{gs} 、スイッチング素子 1 をオンさせる駆動信号 V_{g1} 、スイッチング素子 4 をオンオフさせる駆動信号 V_{g4} 、スイッチング素子 15 をオンオフさせる駆動信号 V_{g3} 、スイッチング素子 13 をオンオフさせる駆動信号 V_{g5} 、スイッチング素子 99 のドレイン電流 I_d 、スイッチング素子 99 のドレインソース間電圧 V_{ds} のタイミングチャートである

40

【0036】

時刻 t_0 で、駆動信号 V_{g1} がハイ（H）となりスイッチング素子 1 がオンされ、これによりゲート電圧 V_{gs} には第三の電圧 V_3 がゲート抵抗 6 を介して印加され、スイッチング素子 99 は通常よりも早い、すなわちスイッチング時の電圧が第一の電圧 V_1 の場合よりも早いスイッチング速度でターンオンする。

時刻 t_{21} で、ゲート電圧 V_{gs} がミラー電圧に到達すると、スイッチング素子 99 のドレイン電流 I_d が徐々に上昇し、時刻 t_{22} で対アームに流れていた電流まで上昇する。これで、ドレイン電流 I_d 電流の転流が完了する。

【0037】

50

その後ドレインソース間電圧 V_{ds} が低下し、時刻 t_{23} で0Vまで下がり、スイッチング素子99のターンオンが正常に終了する。また、時刻 t_{22} から時刻 t_{23} の間にゲート電圧 V_{gs} は上昇し、第三の電圧 V_3 となる。なお、ドレインソース間電圧 V_{ds} が下がりきる時刻 t_{23} までに必ずしも第三の電圧 V_3 に到達する必要はない。

ゲート電圧 V_{gs} を高くしているため、時刻 t_0 から時刻 t_{23} までの期間も実施の形態1の時刻 t_0 から時刻 t_3 までよりも短くなり、スイッチング損失は実施の形態1よりも小さくすることができる。

【0038】

スイッチングが完了した時点（時刻 t_{23} ）で、駆動信号 V_{g1} をロー（L）とし、スイッチング素子1をオフとする。同時に、駆動信号 V_{g3} をハイ（H）とし、スイッチング素子15のゲートをオンにする。これによりゲート電圧 V_{gs} は第二の電圧 V_2 に下がる（時刻 t_{24} ）。

【0039】

ゲート電圧 V_{gs} が第二の電圧 V_2 の状態を時刻 t_{25} まで維持する。実施の形態1と同様に、この時間で、スイッチング素子99に短絡電流が流れているか検出が行われる。すなわち、短絡電流検出部51の遅延時間分だけ第二の電圧 V_2 の状態を維持する。

【0040】

なお、ゲート電圧 V_{gs} が通常印加すべき第一の電圧 V_1 よりも低い第二の電圧 V_2 に下がることからスイッチング素子99の導通損失の増加を招くが、時刻 t_{24} から時刻 t_{25} の期間は数 μs 程度であり、損失への影響は小さい。さらに、スイッチングが完了した後にゲート電圧 V_{gs} を下げているので、スイッチング損失の悪化もない。

【0041】

短絡電流検出部51により、スイッチング素子99に短絡電流が流れておらず短絡が起きていないと判断された場合、時刻 t_{25} で駆動信号 V_{g3} をロー（L）とし、スイッチング素子15をオフとする。同時に、駆動信号 V_{g5} をハイ（H）とし、スイッチング素子13のゲートをオンにする。これによりゲート電圧 V_{gs} は第一の電圧 V_1 となり、スイッチング素子99は通常通りの導通損失で動作し続けることになる。

【0042】

なお、図では省略しているが、スイッチング素子99のターンオフ時には、駆動信号 V_{g1} をロー（L）とし、スイッチング素子13をオフとする。同時に、駆動信号 V_{g4} をハイ（H）とし、スイッチング素子4のゲートをオンにする。これによりゲート電圧 V_{gs} は負の電圧である第四の電圧 V_4 がゲート抵抗7を介して印加され、ドレイン電流 I_d も0となる。これは時刻 t_0 より前の状態に相当する。

【0043】

図6のタイミングチャートでは、短絡電流が検出されなかった例であるが、短絡電流が検出された場合の動作は実施の形態1の図4と同様である。すなわち、図6の時刻 t_{25} で駆動信号 V_{g3} をロー（L）とし、スイッチング素子15をオフとする。同時に、駆動信号 V_{g4} をハイ（H）とし、スイッチング素子4のゲートをオンにする。

【0044】

以上のように実施の形態2に係るゲート駆動回路によれば、実施の形態1と同様の効果を奏する。さらに、制御部5は少なくとも第一の電圧 V_1 、第二の電圧 V_2 、第三の電圧 V_3 および負の電圧である第四の電圧 V_4 の4種類の電圧のいずれか1つをスイッチング素子99のゲートに印加してゲート電圧 V_{gs} を制御するようにした。そして、スイッチング素子99のターンオン時は通常動作時よりも高い第三の電圧 V_3 でスイッチングを行うことでスイッチング損失を低減しつつ、ターンオンの結果短絡電流が発生しても、すぐにゲート電圧 V_{gs} を低く抑える（第二の電圧 V_2 ）ことで短絡電流を抑制することができ、短絡耐量を確保することができる。ここで、短絡電流が発生していない場合は、その後にゲート電圧 V_{gs} を第一の電圧 V_1 にすることで定常的な導通損失も低く抑えることが可能となる。また、短絡電流が発生している場合は、ゲート電圧 V_{gs} を第二の電圧 V_2 から負の出電圧である第四の電圧 V_4 とすることで、スイッチング素子99はターンオフ

10

20

30

40

50

し、スイッチング素子 99 が破壊する前に動作が終了可能となる。

【0045】

特に、駆動対象のスイッチング素子 99 が SiC（炭化ケイ素）、GaN（窒化ガリウム）のような化合物半導体であるワイドバンドギャップ半導体で形成されている場合は、内部ゲート抵抗が高く、外付けのゲート抵抗 6 を 0Ω にしてもスイッチング損失が高い場合がある。実施の形態 1 の構成であっても一定の効果は奏するが、本実施の形態 2 のように、スイッチング時にゲート電圧 V_{gs} を通常動作時よりも高い電圧にすることでスイッチング損失を下げる効果はより大きくなる。

【0046】

実施の形態 3 .

以下、実施の形態 3 に係るゲート駆動回路について図を用いて説明する。

本実施の形態 3 は実施の形態 1 の第二の電源を用いずに第一の電圧 V_1 から第二の電圧 V_{2a} に下げる回路の例である。

図 7 は実施の形態 3 に係るゲート駆動回路の概略を示す回路構成図、図 8 はゲート駆動回路の動作を示すタイミングチャートである。

【0047】

図 7 において、第二の電圧 V_{2a} を生成するためのダイオード 8、トランジスタ 2、抵抗 12 が直列にスイッチング素子 99 のゲート端子に接続され、トランジスタ 2 のベース側には電圧を決めるためのツェナーダイオード 10 が電源 61 を介して接続され、またこれをオンオフするためのトランジスタ 3 が抵抗 11 を介して接続され、トランジスタ 3 のエミッタは電源 64（電圧 V_4 は負の電圧）に接続されている。

【0048】

図 8 のタイミングチャートにおいて、時刻 t_0 から時刻 t_{32} までは実施の形態 1 の図 3 における時刻 t_0 から時刻 t_2 までと同様であるので説明を省略する。

時刻 t_{32} でドレイン電流 I_d 電流の転流が完了した後、ドレインソース間電圧 V_{ds} が低下し、時刻 t_{33} で $0V$ まで下がり、スイッチング素子 99 のターンオンが正常に終了する。

【0049】

スイッチングが完了した時点（時刻 t_{33} ）で、駆動信号 V_{g1} をロー（L）とし、スイッチング素子 1 をオフとする。駆動信号 V_{g13} をハイ（H）とし、トランジスタ 3 をオンにする。これによりトランジスタ 2 のエミッタ電圧が第一の電圧 V_1 よりも低い電圧例えば V_2 に下がり、PNP 型のトランジスタ 2 がオンとなり、スイッチング素子 99 のゲート電圧 V_{gs} にトランジスタ 2 のベースエミッタ間の電圧 V_{be} を加えた第二の電圧 V_{2a} が印加される。ここで、 $V_{2a} = V_2 + V_{be}$ であり、電圧 V_{be} は $1V$ 程度である。すなわち、実施の形態 1、2 で示した電源 62 を用いることなく、ターンオン終了後に、ゲート電圧 V_{gs} を第一の電圧 V_1 よりも低い第二の電圧 V_{2a} に下げることができる（時刻 t_{34} ）。それ以降の動作および短絡が検出された場合の動作は実施の形態 1 と同様であり、説明を省略する。

【0050】

以上のように、実施の形態 3 のゲート駆動回路においても、実施の形態 1 と同様の効果を奏する。また、実施の形態 1 よりも電源の数が少ないので、安価に構成することができる。

【0051】

なお、実施の形態 1 から 3 の制御部 5 は、ハードウェアの一例を図 9 に示すように、プロセッサ 1001 と記憶装置 1002 から構成される。記憶装置は図示していないが、ランダムアクセスメモリ等の揮発性記憶装置と、フラッシュメモリ等の不揮発性の補助記憶装置とを具備する。また、フラッシュメモリの代わりにハードディスクの補助記憶装置を具備してもよい。プロセッサ 1001 は、記憶装置 1002 から入力されたプログラムを実行する。この場合、補助記憶装置から揮発性記憶装置を介してプロセッサ 1001 にプログラムが入力される。また、プロセッサ 1001 は、演算結果等のデータを記憶装置 1002 の揮発性記憶装置に出力してもよいし、揮発性記憶装置を介して補助記憶装置にデー

10

20

30

40

50

タを保存してもよい。

【0052】

〈その他の実施の形態〉

実施の形態1から3において、短絡電流の流れるアーム短絡のような異常の発生を検出する短絡電流検出部51を制御部5内に設けたが、制御部5の外部に設けてもよい。短絡電流検出部51を制御部5の外部に設けた場合、アーム短絡の有無の信号を制御部5に入力するようにし、その信号に基づいて、ゲート電圧 V_{gs} を制御すればよい。

【0053】

実施の形態1から3において、ゲート駆動回路100内のスイッチング素子1, 4, 13, 15をMOSFETの例で説明したが、IGBT等他のスイッチング素子であってもよい。

10

【0054】

実施の形態1から3で示したゲート駆動回路の回路構成は例示した図に限るものではなく、駆動対象のスイッチング素子99のゲートソース間にそれぞれ異なる複数の電圧をゲート電圧 V_{gs} として印加することが可能な回路であれば、電源の数等どのような回路でもよい。

【0055】

本開示は、様々な例示的な実施の形態及び実施例が記載されているが、1つ、または複数の実施の形態に記載された様々な特徴、態様、及び機能は特定の実施の形態の適用に限られるのではなく、単独で、または様々な組み合わせで実施の形態に適用可能である。

20

従って、例示されていない無数の変形例が、本願明細書に開示される技術の範囲内において想定される。例えば、少なくとも1つの構成要素を変形する場合、追加する場合または省略する場合、さらには、少なくとも1つの構成要素を抽出し、他の実施の形態の構成要素と組み合わせる場合が含まれるものとする。

【符号の説明】

【0056】

1, 4, 13, 15: スwitchング素子、 2, 3: トランジスタ、 5: 制御部、 6, 7: ゲート抵抗、 8, 14: ダイオード、 9, 11, 12: 抵抗、 10: ツェナーダイオード、 20: 電流検出器、 51: 短絡電流検出部、 61, 62, 63, 64: 電源、 99: スwitchング素子、 100: ゲート駆動回路、 1001: プロセッサ、 1002: 記憶装置、 V_1, V_2, V_3, V_4 : 電圧

30

40

50

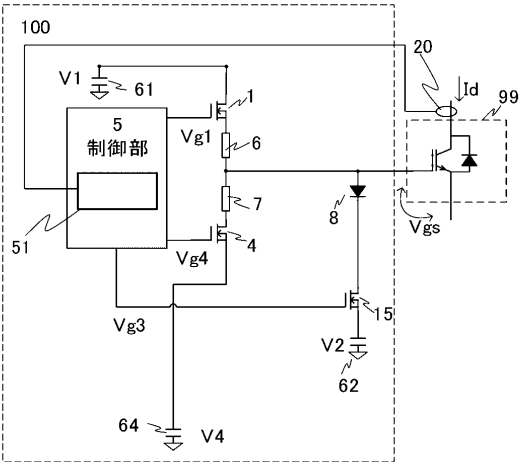
【要約】

ゲート駆動回路（１００）の制御部（５）は、スイッチング素子（９９）のゲートソース間に第一の電圧（Ｖ１）を印加してスイッチング素子（９９）をオンし、スイッチング素子（９９）のドレイン電流（ I_d ）の転流後に、第一の電圧（Ｖ１，Ｖ３）を遮断するとともに、スイッチング素子（９９）のゲートソース間に第一の電圧（９９）よりも低く、スイッチング素子（９９）のミラー電圧よりも高い第二の電圧（Ｖ２）を印加し、スイッチング素子（９９）に短絡電流が流れていない場合、前記第二の電圧（Ｖ２）を遮断するとともに、スイッチング素子（９９）のゲートソース間に第二の電圧（Ｖ２）よりも高い第三の電圧（Ｖ１）を印加する。

【図面】

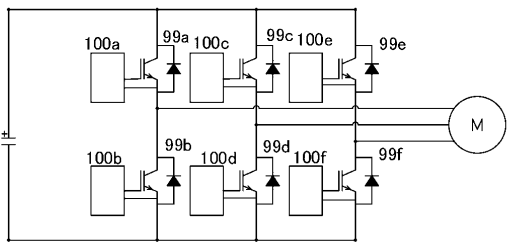
【図 １】

図 1



【図 ２】

図 2



10

20

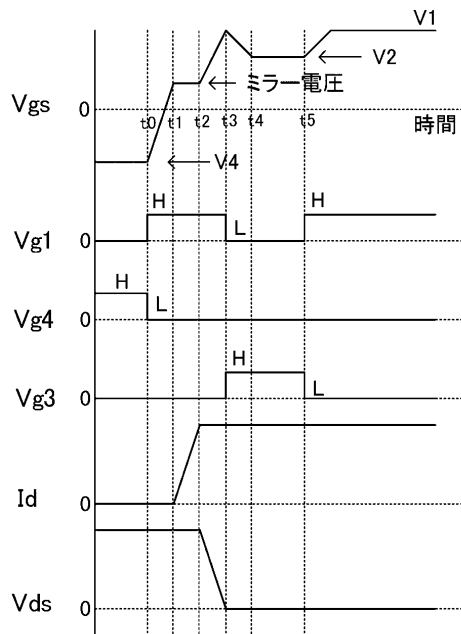
30

40

50

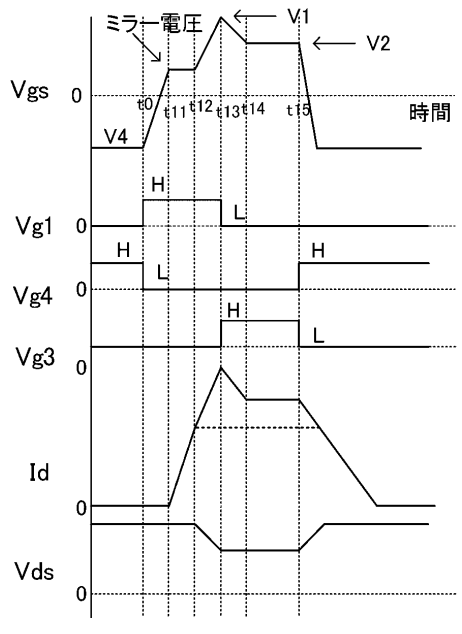
【図 3】

図 3



【図 4】

図 4

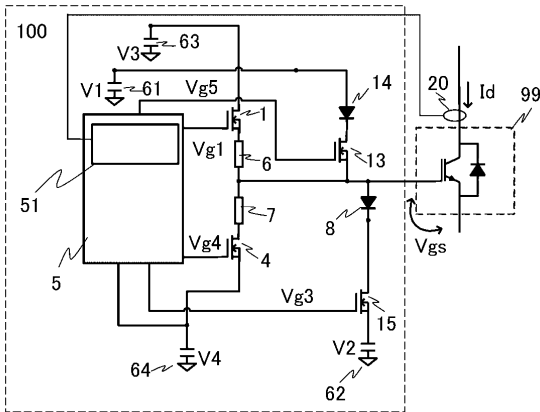


10

20

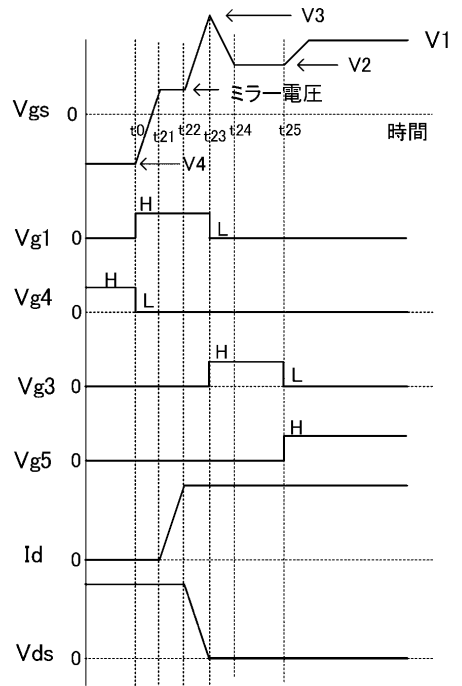
【図 5】

図 5



【図 6】

図 6



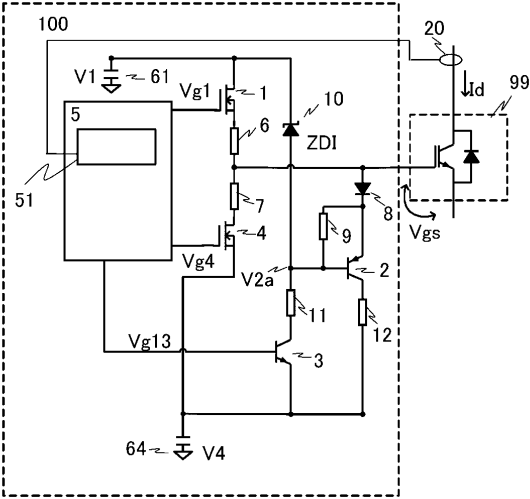
30

40

50

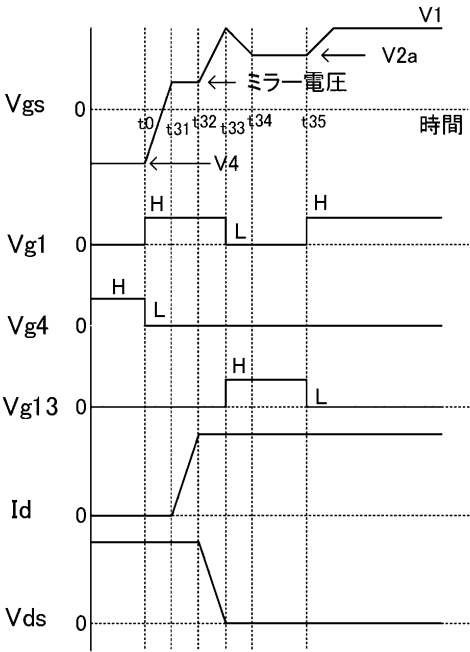
【図 7】

図 7



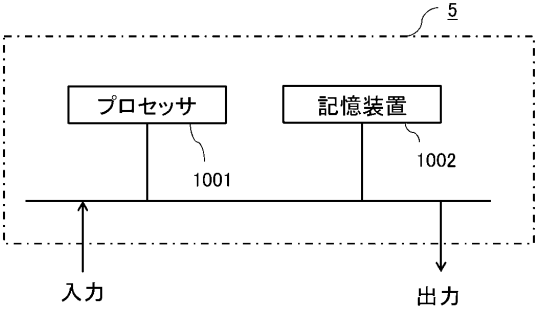
【図 8】

図 8



【図 9】

図 9



10

20

30

40

50

フロントページの続き

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 東 昌秋

- (56)参考文献 特開2012-217087 (JP, A)
特開2017-103879 (JP, A)
特開平3-117211 (JP, A)
特開2018-186691 (JP, A)
特開2014-176228 (JP, A)
特開2015-19456 (JP, A)
特開2012-147625 (JP, A)
特開2013-240247 (JP, A)
国際公開第2018/198426 (WO, A1)
- (58)調査した分野 (Int.Cl., DB名)
H02M 1/00-7/98
H03K 17/00-17/70