(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/10

(45) 공고일자 1999년08월02일
(11) 등록번호 10-0212871
(24) 등록일자 1999년05월12일

(21) 출원번호 10-1991-0005577
(22) 출원일자 1991년04월06일
(65) 공개번호 특1991-0019114
(43) 공개일자 1991년11월30일

(30) 우선권주장 7/505,745 1990년04월06일 미국(US)
(73) 특허권자 어플라이드 머티어리얼스, 인코포레이티드 조셉 제이. 스위니
미국 95054 캘리포니아 산타 클라라 바우어스 애브뉴 3050
(72) 발명자 이스라엘 베인글라스
미합중국 94087 캘리포니아 서니베일 엘소나 코트 1330
존 보르란드
미합중국 95132 캘리포니아 산죠스 소피스트 드라이브 3923
(74) 대리인 남상선

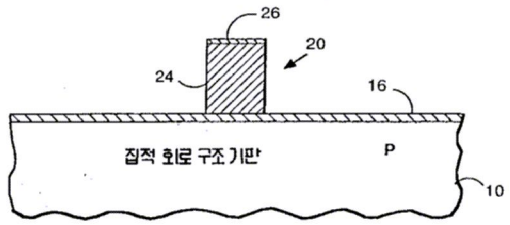
심사관 : 민병준

(54) 저농도 도핑 드레인(LDD)집적회로 구조물의 제조방법

요약

본 발명은 반도체웨이퍼 기판에 걸쳐 폴리실리콘 게이트전극을 형성하고, 하나이상의 N-LDD 영역을 형성하기위해 기판을 N-도핑하고, 게이트전극의 실리콘 측벽 에 폴리실리콘을 선택적으로 증착한 다음, 기판중에 N+ 소오스 및 드레인영역을 형성하기위해 기판중에 앞서 형성된 N-LDD 영역에 대한 마스크로서 선택적으로 증착된 폴리실리콘을 사용하여 기판을 N+도핑하는 단계들로 구성되고 결과하는 구조물중의 게이트전극과 공급원 및 드레인영역 사이에 옵세트가 형성되지 않는 집적회로 구조물중에 하나이상의 N-LDD 영역을 형성하기 위한 방법에 관한 것이다

대표도



명세서

[발명의 명칭]

저농도 도핑 드레인(LDD)집적회로 구조물의 제조방법

[도면의 간단한 설명]

제1도는 폴리실리콘 게이트 전극 구조물을 갖는 반도체 웨이퍼의 부분 종단면도.

제2도는 기판에 N-도펀트를 주입함에 의해 웨이퍼 기판에 N-LDD 영역이 형성됨을 나타내는, 제1도의 구조물의 부분 종단면도.

제3도는 폴리실리콘 부분이 제1및 제2도에 나타낸 폴리실리콘 게이트 전극 구조물의 측벽 상에 선택적으로 증착됨을 나타내는 부분 종단면도.

제4도는 이전에 형성된 LDD 영역에 대한 마스크로서 이전에 게이트 전극의 측벽 상에 증착된 폴리실리콘을 이용하여, 기판에 N+도펀트를 도핑함에 의해 기판에서 N+ 소스 및 드레인 영역이 이전에 형성된 N-LDD 영역에 인접하여 형성됨을 나타내는, 제3도의 구조물의 부분 종단면도.

제5도는 게이트 전극 측벽 상에 선택적으로 성장시킨 폴리실리콘을 가진 반도체 웨이퍼 기판 상의 게이트 산화물측 상에, 폴리실리콘 게이트 전극이 형성됨을 나타내는 현미경사진.

제6도는 본 발명의 공정을 설명하는 플로우챠트.

[발명의 상세한 설명]

본 발명은 집적회로 구조물에 저농도 도핑 드레인(Lightly Doped Drain, 이하 LDD)영역을 형성하기 위한 개선된 방법에 관한 것이다.

VLSI MOS 집적회로 구조물의 LDD 영역이 단채널효과(short channel effect) 또는 관통현상(punchthrough)을 야기시킬 수 있는 드레인 영역 근처의 전계 효과를 극복하는데에 사용될 수 있다는 것은 잘 알라져 있다.

상기 LDD영역을 채널과 좀더 고농도로 깊게 도핑된 통상적인 드레인 영역 사이에 형성하면, 단채널효과를 경감시키고 핫-캐리어(hto-carrier)의 발생을 줄이고 접합항복전압(junction breakdown voltage)을 증가시키는 전계가 확산된다.

게이트 전극의 측벽 상에 형성된 산화물 스페이서(oxide spacers)는 기판에 상기 LDD여역을 형성하는 데에 사용되어 왔다. 예를 들면, 바소우(Bassous) 등에 의한 논문 Self-Aligned Polysilicon Gate MOSFETs with Tailored Source and Drain Profiles에는 폴리실리콘 게이트 전극 및 실리콘 기판을 열 산화함에 이어 반응성 이온 에칭(Reactive Ion Etching, 이하 RIE)하여 폴리실리콘 게이트 전극의 측부 상에 산화물 측벽 또는 스페이서를 형성한다는 것이 개시되어있다. 다음 산화물 스페이서가 게이트 전극 아래의 기판 채널영역에 측면으로 인접한 기판 영역을 차폐하는 동안 N+ 주입에 의해 기판에 소스 및 드레인 영역이 형성된다. 다음 산화물 스페이서를 제거하고 이어서 N- 주입에 의해 게이트 전극 아래의 채널과 N+ 소스 및 드레인 영역 사이의 기판에 N- 또는 저농도 도핑 소스 및 드레인 영역을 형성한다.

파릴로(Parillo)등에 의한 논문 A Versatile, High=Performance, Double-Level-Poly Double-Level-Metal, 1.2-Micron COMS Technology에는 산화물 스페이서 대신에 게이트 전극의 측벽 상에 형성되는 일회용 폴리실리콘 스페이서를 사용하고 다음 N+주입으로 소스 및 드레인 영역을 형성하는, LDD 영역을 가진 MOS 디바이스를 제조 방법이 개시되어 있다. 이어서 폴리실리콘 스페이서가 제거되고 N-주입이 수행되어 게이트 전극 아래의 기판에 형성된 채널과 N+영역들 사이의 기판에 N-LDD영역이 형성된다.

그러나, 기판으로부터 상기 일회용 폴리실리콘 스페이서를 제거하는 것은 다른 문제점을 야기시킬 수 있다. 상기 폴리실리콘 스페이서는 일회용이기 때문에 이들은 산화물층에 의해 폴리실리콘 게이트 전극으로부터 분리될 것이다. 만일 상기 산화물층의 질이 완전치 못한다면, 일회용 폴리실리콘 스페이서를 제거하기 위해 사용된 에천트(etchant)는 산화물층을 관통하여 게이트를 부식시킬 것이다. 그 외에도, 만일 폴리실리콘 스페이서를 형성하기 위해 사용된 폴리실리콘 등각층(conformal layer)의 증착 이전에 폴리실리콘 게이트 상에 형성된 산화물층에 작은 구멍(pinholes)이 있다면, 두개의 폴리실리콘층이 합체되어 이후에 스페이서를 형성하기 위한 RIE 에칭이 산화물층 상에서 정지하는 대신에 상기 영역을 관통할 수 있다.

더욱 최근에는, N+ 또는 P+ 소스 및 드레인 영역과 게이트 전극 사이에 옵셋(offset)을 낳는 LDD 영역의 형성이 전류 구동력(current-drive capability)을 상당히 감소시키며 열화속도(degradation rates)를 증가시킨다는 것이 알려졌다. 이를 개선시키기 위해 폴리실리콘 게이트 전극을 역으로 된 T의 형태로 형성함에 의해 상기 폴리실리콘 게이트 전극의 얇은 부분을 측면 확장하는 것이 제안되었다.

황(Huang) 등의 논문 A Novel Submicron LDD Transistor With Inverse-T Gate Structure에는 폴리실리콘 게이트 모서리가 좀더 고농도 도핑된 드레인 영역의 모서리까지 LDD 영역 상에서 확장되는, LDD 영역을 가진 MOS 트랜지스터의 형성이 기재되어 있다. 상기 디바이스는 게이트 전극을 형성하는 데에 사용된 폴리실리콘층을 불충분하게 에칭함에 의해 형성되는데 약 50~100 나노미터의 폴리실리콘 박층을 통해 도핑되어 LDD 영역이 형성된다. 이어서 통상적인 산화물 스페이서가 돌출된 폴리실리콘 게이트의 측부 상에 형성되고 난 후 산화물 스페이서의 아래에 있지 않은 폴리실리콘 박층의 잔류물이 제거되어 T형 폴리실리콘 게이트 전극이 남게된다. 다음 산화물 스페이서가 이전에 형성된 LDD 영역을 차폐하는 동안 통상적인 소스/드레인 도핑이 수행된다. 다음 게이트 전극 옆의 산화물 스페이서 아래의 폴리실리콘 박층부분은 통상적인 소스 및 드레인 영역에 대한 게이트 전극의 연장부로서 작용한다.

이자와(Izawa) 등의 논문 Impact of the Gate-Drain Overlapped Device(GOLD) for Deep Submicrometer VLSI에는 제2폴리실리콘층을 인가하기 전에, 산화물 에칭 정지층(etch stop layer)이 증착된 제1폴리실리콘 박층을 사용하는 MOS 디바이스의 형성이 기재되어 있다. 다음 게이트 전극을 형성하기 위해 상부 폴리실리콘층이 산화물 에칭 정지층까지 에칭되고, 이어서 기판이 하부 폴리실리콘층을 통해 저농도 도핑되어 게이트와 자기정렬(in self-alignment)된 N-영역을 형성한다. 다음 산화물 스페이서 외부에 N+소스 및 드레인 영역을 형성하기 위해 비소(arsenic)를 도핑하기 이전에 게이트 전극의 측벽 상에 산화물 측벽 스페이서가 형성된다.

피에스터(Pfiester) 등의 논문 A Self-Aligned LDD/Channel Implanted ITLDD Process With Selectively-Deposited Poly Gates for CMOS VLSI에는 먼저 게이트 산화물층 상에 폴리실리콘 박층을 형성하고, 이어서 상기 폴리 실리콘 박층 상에 LTO 게이트 마스킹 후막층을 증착함에 의해 형성되는 LDD 영역을 가진 MOS 트랜지스터의 형성이 기재되어 있다. 다음 LTO에 창을 형성하고 폴리실리콘을 선택적으로 증착하여 게이트 전극을 형성한다. 이어서 LTO 층을 제거하면 MOS 채널 영역 상에서만 좀더 두꺼운 폴리 B 영역을 가진 연속적인 얇은 폴리 쉘프(poly shelf)가 남게 된다. 다음 LDD 영역을 형성하기 위해 선택적인 N- 및 P-주입을 수행한다. 다음 산화물 측벽 스페이서를 형성함에 이어 노출된 폴리 쉘프 잔류부분을 제거하면 T형 폴리실리콘 게이트 전극이 남게된다. 이어서 상기 구조물에 N+ 및 P+를 주입한다.

상기 T형 폴리실리콘 게이트 전극의 이 능동 디바이스의 게이트 전극와 소스 및 드레인 영역 사이에 옵셋을 형성함이 없이 집적회로 구조물에 원하는 LDD 영역의 형성을 가능하게는 하지만, 생산 측면에서 볼 때 게이트 전극의 얇은 폴리실리콘 측면 연장부분의 형성이 어렵다.

첸(Chen) 등의 논문 Simple Gate-to-Drain Overlapped MOSFET's Using Poly Spacers for High Immunity to Channel Hot-Electron Degradation에는 폴리실리콘을 증착하고 에칭하여 게이트 전극의 측부 상에 폴리실리콘 스페이서를 남기는 방법으로서, 산화물 스페이서를 형성하는 종래 기술과 유사한 폴리실리콘

스페이서의 형성이 기재되어 있다.

그러나, 상기 방법에는 스페이서를 형성하기 위해 폴리실리콘층을 증착하고 이어서 폴리실리콘층을 에칭하는 분리단계가 여전히 요구된다. 따라서, 기판의 LDD 영역 상에 형성된 폴리실리콘으로 게이트 전극 구조물을 형성함에 의해, T형 게이트 전극을 형성하기 위한 난점을 제거할 뿐 아니라 LDD 영역 상에 폴리실리콘을 증착한 후 별도로 에칭하는 단계를 요하지 않으며, 게이트 전극과 소스 및 드레인 영역 사이에 바람직하지 않은 옵셋을 형성함이 없이도 집적 회로 구조물 기판에 상기 LDD 영역을 형성하는 개선된 간단한 방법을 제공하는 것이 바람직할 것이다.

따라서, 본 발명의 목적은 집적회로 구조물에 하나 이상의 LDD 영역을 형성하기 위한 개선된 방법을 제공하기 위한 것이다.

본 발명의 다른 목적은 집적회로 구조물에 하나 이상의 LDD 영역을 형성하기 위한 개선된 방법으로서 결과적 구조물에서 게이트 전극과 소스 및 드레인 영역 사이에 옵셋을 형성하지 않는 방법을 제공하기 위한 것이다.

본 발명의 또 다른 목적은 폴리실리콘 게이트 전극을 형성하고, LDD 영역을 형성하기 위해 기판을 도핑하고, 게이트 전극의 폴리실리콘 측벽 상에 폴리실리콘을 선택적으로 증착하고, 그리고 소스 및 드레인 영역을 형성하기 위해 LDD 영역에 대한 마스크로서 새로이 증착된 폴리실리콘을 사용하여 기판을 도핑함에 의해, 집적회로 구조물 기판에 하나 이상의 LDD 영역을 형성하기 위한 개선된 방법을 제공하기 위한 것이다.

본 발명의 또 다른 목적은 폴리실리콘 게이트 전극을 형성하고, LDD 영역을 형성하기 위해 기판을 도핑하고, 게이트 전극의 폴리실리콘 측벽 상에 폴리실리콘을 선택적으로 증착하고, 그리고 소스 및 드레인 영역을 형성하기 위해 LDD 영역에 대한 마스크로서 새로이 증착된 폴리실리콘을 사용하여 기판을 도핑함에 의해, 폴리실리콘 게이트 전극 아래의 집적회로 구조물 기판에 형성된 LDD 영역을 포함하는 개선된 집적회로 구조물을 제공하는 것이다.

본 발명의 상기 목적 및 다른 목적은 하기의 설명과 첨부된 도며에 의해 더욱 명확하게될 것이다.

제1도는 게이트 산화물층(16)이 이미 기판(10)의 표면 상에 형성된 집적회로 구조 기판(10)을 도시하고 있다. 미리 폴리실리콘층과 그 위에 형성된 산화물층을 패터닝(patterning)하여 폴리실리콘 게이트 전극(20)을 구성하는 폴리실리콘 부분(24)과 그 위의 산화물 덮개(cap)(26)를 남김에 의해 형성되는 폴리실리콘 게이트 전극(20)이 제1도에 도시되어 있다.

제1도에 있어서, 기판(10)은 본 발명에 따라 구성된 N- 도핑 LDD 영역을 갖는 NMOS 디바이스가 형성되는 P형 반도체 재료로 도시되어 있는데, 이는 예시적인 것으로 본원 발명의 범위를 한정하는 것은 아니다. 본 발명의 기술을 사용하여 N형 P 웰(well)로 NMOS 디바이스를 구성할 수 있다는 것은 당업자라면 용이하게 알 수 있을 것이다.

제2도에서, 인(phosphorus)과 같은 도펀트를 P형 기판(10)에 주입함에 의해 LDD 영역(30a,30b)이 기판(10)에 형성된다. N- 도펀트는 약 60KeV의 에너지 수준에서 약 10^{13} 내지 10^{14} 원자/㎠의 주입량으로 기판 속으로 주입될 수 있다. 비소와 같은 다른 V족 도펀트가 N- 도펀트로서 사용될 수도 있지만, 인의 경우 분자가 더 작아서 기판 속으로 약 0.2 마이크로미터(미크론) 내지 약 0.4 마이크로미터(미크론)의 바라는 깊이까지 좀더 용이하게 확산되기 때문에 인을 사용하는 것이 바람직하다.

제2도에 나타낸 바와 같이, 예를 들어 바이폴라 또는 PMOS 능동 디바이스의 도핑이 기판(10)에 형성되는 것을 막기 위해, 도시된 마스크(40)와 같은 산화물 또는 포토레지스트 마스크를 사용하여, 주입 단계 동안 직접 회로 구조물의 나머지가 선택적으로 마스킹 또는 차폐될 수 있다.

원한다면 기판을 N- 주입 단계 이후에 어닐링할 수 있는데, 통상적인 어닐링 기술을 사용하여 약 15분 내지 약30분 동안 약 850 ℃ 내지 950℃의 온도에서 어닐링하거나, 또는 고속 어닐링 기술을 사용하여 약 1초 내지 약 30초동안 약950℃내지 약 1050℃의 온도에서 어닐링하여 N-도편트를 기판(10)에 원하는 깊이로 확산시킨다.

N-도펀트를 가판 속으로 확산시키기 위해 상기한 바와 같이 기판을 어닐링할 수도 있지만, N+ 도펀트 및 N-도펀트가 기판 속으로 동시에 확산될 수 있도록 N-의 주입에 이어서 N+를 주입한 후 기판을 어닐링하여 N-도펀트를 확산시키는 것이 바람직하다.

제3도에서, N-주입 단계 및 선택적 어닐링 단계 후, 약 0.05 마이크로미터 내지 약 0.2마이크로미터의 측면두께 또는 폭을 갖는 폴리실리콘 증착물(50)이 (제5도의 현미경 사진으로 나타낸 바와 같이) 게이트 전극(20)의 폴리실리콘 부분(24)의 측벽 상에 증착되어 대체로 제3도에 도시된 바와 같은 좀더 넓은 폴리실리콘 게이트 전(극2')을 형성할 때까지, 약 100(표준 분당 입방 센티미터, sccm) 내지 약 200sccm의 유속으로 CVD 진공 챔버 속으로 유입되는 할로겐-함유 실리콘소스, 예컨대 SiH_2Cl_3, $SiHCl_3$, 또는 $SiCl_4$를 사용하여 약 10 Torr 내지 약 760 Torr의 압력 하의 CVD 챔버에서의 상기 구조물 상에 폴리실리콘을 증착하는 단계를 포함하는 서택적인 실리콘 증착 공정을 사용하여 폴리실리콘 게이트 전극(20)의 노출된 측벽 상에 폴리실리콘 측벽부분(50)을 선택적으로 증착한다.

폴리실리콘 게이트 전극(20)의 측벽 상에 폴리실리콘 측벽부분(50)을 선택적으로 증착한 후, 약 60내지 약 80KeV의 에너지수준 및 약 2×10^{15} 내지 2×10^{15} 원자(들)/㎠의 농도로 비소와 같은 N+도펀트를 기판에 주입하여 기판(10)에 소스 및 드레인 영역을 형성한다.

N+주입단계를 수행함에 이어, 통상적인 어닐링 기술 또는 고속 어닐링 기술에 의해 약 15분 내지 30분에 걸쳐 약 850℃내지 약950℃의 온도로 기판을 어닐링하여 N+ 도펀트를 약 0.1 내지 약 0.3 마이크로미터

의 깊이로 기판(10)에 확산시킬 수 있다.

상기 경우에, N+도펀트로서 비소 대신에 인을 사용할 수도 있다. 그러나, 원하는 깊이로 N- 도펀트 및 N+도펀트를 기판에 확산시키기 위해 특히 단일 어닐링 단계를 사용하는 경우, 단일 확산 단계 동안 N- 도펀트를 기판(10) 속으로 좀더 깊게 확산시키기 위해서는 N- 도펀트는 좀더 작고 이동하기 쉬운 원자, 예컨대 인이고, 그리고 N+ 도펀트는 좀더 이동하기 어려운 원자, 예컨대 비소인 것이 바람직하다.

제4도에 나타낸 결과물은, N- LDD 영역(30a,30b)이 폴리실리콘 게이트 전극(20')의 측벽부분(50) 아래의 기판(10)에 형성되어 있으며, 자기정렬된 N+ 소스 및 드레인 영역(60a, 60b)이 LDD 영역(30a,30b)에 인접하여 기판(10)에 형성되어 있는 NMOS 구조물이다.

또한, LDD 영역(30a,30b)의 형성 후, 원래의 폴리실리콘 게이트부분(24)의 측벽 상에 폴리실리콘(50)을 선택적으로 증착함에 의해, 게이트 전극(20')의 모서리와 소스 및 드레인 영역(60a,60b) 사이에 옵셋이 형성되지 않음을 제4도에서 알수 있다.

다음, 예컨대 절연 산화물층을 상기 구조물 상에 증착하고, 소스, 게이트, 및 드레인 전극으로 비아(vias)들을 형성하고, 구조물 전면에 금속층을 형성하여 비아들을 채운 다음 금속층을 패터닝함에 의해 각 전극에 금속 접점들을 형성함에 의해 NMOS 구조물이 통상적인 공정에 따라 처리될 수 있다.

본 발명이 NMOS 디바이스에 LDD영역을 형성하는 것에 관해 설명되었다 할지라도, NMOS 구조물에 상기 LDD 영역을 형성할 필요성의 인식측면에서, 상기 방법은 만일 필요하다면 N- 및 N+ 도펀트에 대한 대체물로서 P- 및 P+도펀트를 사용하여 PMOS 구조물에 LDD 영역을 형성하는 것에도 똑같이 적용될 수 있다.

ㄸ라서, 본 발명은 MOS 디바이스의 제조 시에 반도체 웨이퍼 기판에서의 LDD 영엿을 형성하는 개선된 방법을 제공하는데, 이는 LDD 영역의 형성 후 폴리실리콘 게이트 전극을 효과적으로 넓히기 위해 원래의 폴리실리콘 게이트 전극으 측벽 상에 부가적으로 폴리실리콘을 선택적으로 증착함에 의해 게이트 전각이 넓어져서 이후에 형성된 소스 및 드레인 영역이 폴리실리콘 게이트 전극의 모서리로부터 옵셋을 형성하지 않는다. 종래 기술의 T형 폴리실리콘 게이트 전극과는 달리, 본 발명의 구조물은 좀더 용이하게 형성되는 데 이는 종래 기술의 구성에서처럼 폴리실리콘 게이트 전극의 T형 부분의 두께를 조절할 필요가 없기 때문이며, 나아가 본 발명은 기판에 폴리실리콘 게이트 전극의 모서리와 자기정렬된 소스 및 드레인 영역을 제공한다.

(57) 청구의 범위

청구항 1

게이트 전극과 소스 및 드레인 영역 사이에 옵셋이 형성되지 않도록 집적회로 구조물에 하나 이상의 LDD 영역을 형성하는 방법에 있어서, a) 반도체 웨이퍼 기판 상에 이전에 형성된 게이트 산화물층 상에 폴리실리콘 게이트 전극을 형성하는 단계; b) 상기 하나 이상의 LDD 영역을 형성하기 위해 상기 기판을 도핑하는 단계; c) 상기 폴리실리콘 게이트 전극의 폴리실리콘 측벽 상에 폴리실리콘을 선택적으로 증착하는 단계; 그리고 d) 상기 기판에 상기 소스 및 드레인 영역을 형성하기 위해, 상기 기판에 이전에 형성된 상기 LDD 영역에 대한 마스크로서 상기 선택적으로 증착된 폴리실리콘을 사용하여 상기 기판을 도핑하는 단계를 포함하는 것을 특징으로 하는 LDD 영역 형성 방법.

청구항 2

제1항에 있어서, 상기 하나 이상의 LDD 영역을 형성하기 위해 상기 기판을 도핑하는 상기 단계는, 상기 기판에 하나 이상의 N-LDD 영역을 형성하기 위해 약 10^{13} 내지 약 10^{14} 원자(들)/㎠의 도펀트 농도로 N- 도펀트를 상기 기판에 주입하는 단계를 더 포함하는 것을 특징으로 하는 LDD 영역 형성 방법.

청구항 3

제2항에 있어서, 상기 N-도펀트를 주입하는 상기 단계 후, 상기 N-도펀트를 상기 기판 속으로 확산시키기 위해 약 10초 내지 약 30초에 걸쳐 약 950℃ 내지 1050℃의 온도에서 상기 기판을 어닐링하는 단계를 더 포함하는 것을 특징으로 하는 LDD 영역 형성 방법.

청구항 4

제1항에 있어서, 상기 기판에 상기 소스 및 드레인 여역을 형성하기 위해 상기 기판을 도핑하는 상기 단계는, 상기 기판에 N+도펀트를 주입하는 단계를 더 포함하는 것을 특징으로 하는 LDD 영역 형성 방법.

청구항 5

제4항에 있어서, 상기 N+도펀트를 주입하는 단계 후, 상기 N- 도펀트를 상기 N+도펀트를 상기 기판 속으로 확산시키기 위해 상기 기판을 어닐링하는 단계를 더 포함하는 것을 특징으로 하는 LDD 영역 형성 방법.

청구항 6

제1항에 있어서, 상기 폴리실리콘 게이트 전극의 실리콘 측벽 상에 폴리실리콘을 선택적으로 증착하는 상기 단계는, 약 10 Torr 내지 약 760 Torr의 압력 하의 CVD 챔버에서, 약 100sccm 내지 약 200sccm의 유속으로 상기 CVD 진공 챔버 속으로 유입되는 할로겐-함유 실리콘 소스를 사용하여, 상기 폴리실리콘 게이트 전극의 상기 폴리실리콘 측벽 상에 상기 폴리실리콘을 증착하는 단계를 더 포함하는 것을 특징으로 하는 LDD 영역 형성 방법.

청구항 7

제6항에 있어서, 약 0.05 마이크로미터 내지 약 0.2 마이크로미터의 측면두께 또는 폭을 갖는 폴리실리콘 증착물이 상기 폴리실리콘 게이트 전극의 상기 폴리실리콘 측벽 상에 증착될 때까지 상기 폴리실리콘이 상기 폴리실리콘 게이트 전극의 폴리실리콘 측벽 상에 선택적으로 증착되는 것을 특징으로 하는 LDD 영역 형성 방법.

청구항 8

게이트 전극과 소스 및 드레인 영역 사이에 옵셋이 형성되지 아니하도록 집적회로 구조물에 하나 이상의 LDD 영역을 형성하는 방법에 있어서, a) 반도체 웨이퍼 기판 상에 게이트 산화물층을 형성하는 단계; b) 상기 게이트 산화물층 상에 폴리실리콘층을 형성하는 단계; c) 상기 폴리실리콘층 상에 부가적인 산화물층을 형성하는 단계; d) 상기 기판 상에 폴리실리콘 게이트 전극을 형성하기 위해 상기 부가적인 산화물층 및 상기 폴리실리콘층을 패터닝하는 단계; e) 상기 기판에 하나 이상의 N-LDD 영역을 형성하기 위해 약 10^{13} 내지 약 10^{14} 원자/㎠의 도펀트 농도를 가진 N-도펀트로 상기 기판을 도핑 하는 단계; f) 약 10Torr 내지 약 760 Torr의 하의 CVD 챔버에서, 약 100sccm 내지 약 200sccm의 유속으로 상기 CVD 챔버 속으로 유입되는 할로겐-함유 실리콘 소스를 사용하여, 상기 폴리실리콘 게이트 전극의 폴리실리콘 측벽 상에 폴리실리콘을 선택적으로 증착하는 단계; g) 상기 기판에 N+ 소스 및 드레인 영역을 형성하기 위해, 상기 기판에 이전에 형성된 상기 LDD 영역에 대한 마스크로서 상기 선택적으로 증착된 폴리실리콘을 사용하여 약 2×10^{15} 내지 약 5×10^{15} 원자/㎠의 도펀트 농도를 가진 N+도펀트로 상기 기판을 도핑하는 단계; 그리고 h) 상기 도펀트들을 상기 기판 속으로 확산시키기 위해, 약 10초 내지 약 30초에 걸쳐 약 950℃ 내지 약 1050℃의 온더에서, 또는 약 15분 내지 약 30분에 걸쳐 약 850℃ 내지 약 950℃의 온도에서 상기 기판을 어닐링 하는 단계를 포함하는 것을 특징으로 하는 LDD 영역 형성 방법.

청구항 9

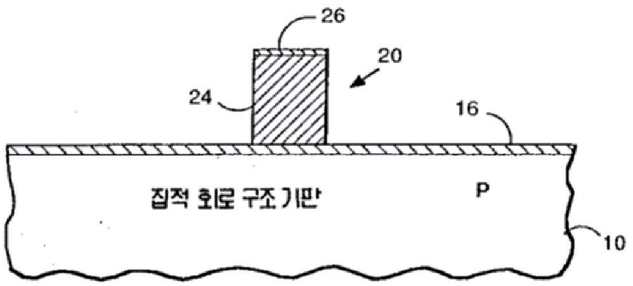
상기 기판에 하나 이상의 N-LDD 영역을 형성하기 위해 상기 기판을 도핑하는 상기 단계는, 상기 기판에 상기 하나 이상의 N-LDD 영역을 형성하기 위해 상기 기판에 인을 주입하는 단계를 더 포함하며, 상기 기판에 N+소스 및 드레인 영역을 형성하기 위해 상기 기판을 도핑하는 상기 단계는, 상기 기판에 상기 N+소스 및 드레인 영역을 형성하기 위해 상기 기판에 비소를 주입하는 단계를 더 포함하는 것을 특징으로 하는 LDD 영역 형성 방법.

청구항 10

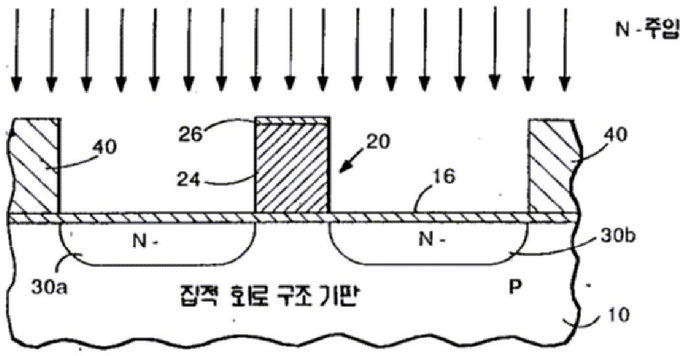
폴리실리콘 게이트 전극 아래의 반도체 웨이퍼 기판에 하나 이상의 N-LDD 영역이 형성되고, 상기 폴리실리콘 게이트 전극의 모서리에 자기정렬된 소스 및 드레인 영역이 상기 기판에 형성되는 MOS 집적회로 구조물에 있어서, a) 상기 기판 상에 폴리실리콘 게이트 전극을 형성하는 단계; b) 하나 이상의 LDD 영역을 형성하기 위해 상기 기판을 N- 도펀트로 도핑하는 단계; c) 상기 폴리실리콘 게이트 전극의 실리콘 측벽 상에만 부가적인 폴리실리콘을 선택적으로 증착하는 단계; 그리고 d) 상기 폴리실리콘 게이트 전극으 모서리에 상기 자기정렬된 소스 및 드레인 영역을 형성하기 위해, 상기 하나 이상의 N-LDD 영역에 대한 마스크로서 상기 선택적으로 증착된 폴리실리콘을 사용하여 상기 기판을 N+도펀트로 도핑하는 단계를 포함하는 방법에 의해 형성되는 것을 특징으로 하는 MOS 집적회로 구조물.

도면

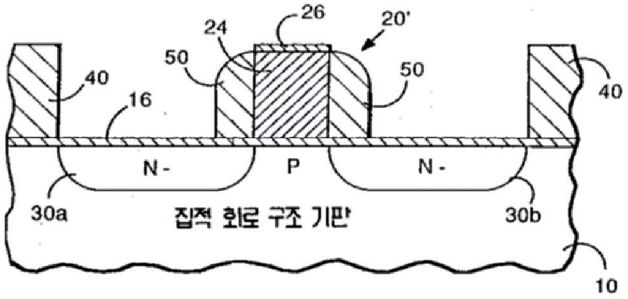
도면1



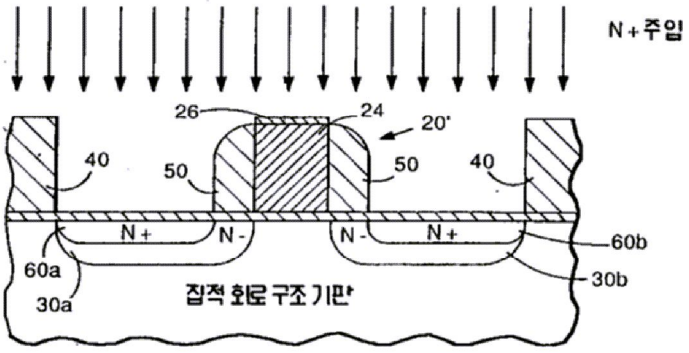
도면2


N-주입
40
26
24
20
16
40
N-
N-
30b
30a
집적 회로 구조 기판
P
10

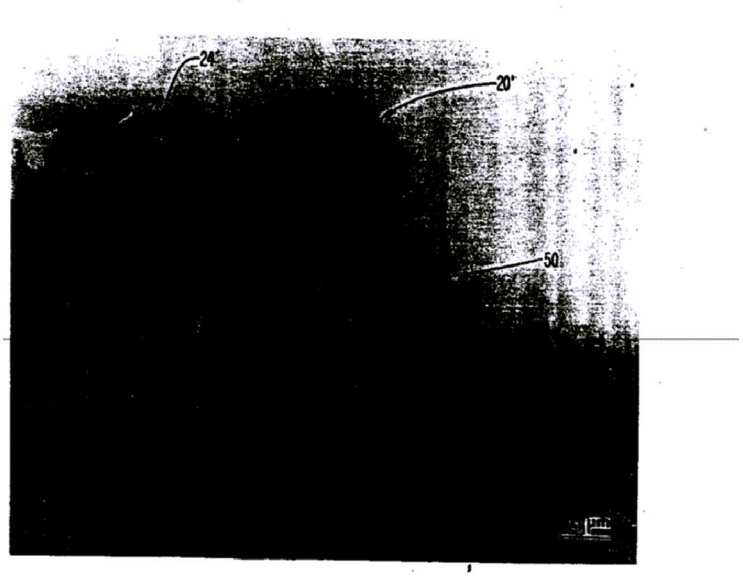
도면3


24
26
20'
50
50
40
40
16
N-
P
N-
30a
집적 회로 구조 기판
30b
10

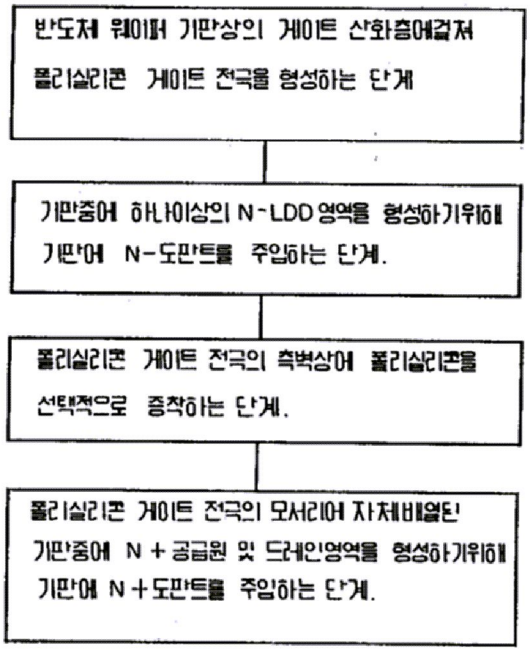
도면4


N+주입
26
24
20'
40
50
50
40
N+
N-
N-
N+
60b
60a
30b
30a
집적 회로 구조 기판

도면5


24
20
50

도면6


반도체 웨이퍼 기판상의 게이트 산화층에걸쳐 폴리실리콘 게이트 전극을 형성하는 단계
기판중에 하나이상의 N-LDD 영역을 형성하기위해 기판에 N-도판트를 주입하는 단계.
폴리실리콘 게이트 전극의 측벽상에 폴리실리콘을 선택적으로 증착하는 단계.
폴리실리콘 게이트 전극의 모서리에 자체배열된 기판중에 N+공급원 및 드레인영역을 형성하기위해 기판에 N+도판트를 주입하는 단계.