(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3581624号
(P3581624)
(45)発行日　平成16年10月27日(2004.10.27)　(24)登録日　平成16年7月30日(2004.7.30)

(51)Int.Cl.[7]		F I		
H03K	5/08	H03K	5/08	T
G06G	7/12	G06G	7/12	102K
H03M	1/10	H03M	1/10	A

請求項の数 12　(全 17 頁)

(21)出願番号	特願2000-35101(P2000-35101)
(22)出願日	平成12年2月14日(2000.2.14)
(65)公開番号	特開2001-223566(P2001-223566A)
(43)公開日	平成13年8月17日(2001.8.17)
審査請求日	平成13年12月4日(2001.12.4)

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100065385
弁理士　山下　穣平
(72)発明者　山下　雄一郎
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

審査官　石井　研一

(56)参考文献　特開昭６３－１００８１０（ＪＰ，Ａ）
特開平０２－１２３８１４（ＪＰ，Ａ）
特開２００１－０６９４０４（ＪＰ，Ａ）

最終頁に続く

(54)【発明の名称】比較器、Ａ／Ｄ変換装置、およびそれらを用いた光電変換装置

(57)【特許請求の範囲】

【請求項１】

第一の制御端子に印加される第一の電圧によって流れる電流が制御される第一の電流経路と該第一の電流経路に流れる電流を選択的に遮断・導通するスイッチ手段とを直列に接続した第一の回路を、複数並列に接続してなる回路ブロックと、第二の制御端子に印加される第二の電圧によって流れる電流が制御される第二の電流経路を少なくとも含む第二の回路と、前記回路ブロックと前記第二の回路とに流れる電流の差を比較し、前記第一の電圧と前記第二の電圧との差を検知する手段と、を有する比較器と、

前記第二の制御端子に印加される電圧を規則的に変化させる手段と、

前記回路ブロック内の、前記スイッチ手段により選択された第一の回路の第一の制御端子に印加される電圧と前記第二の回路の前記第二の制御端子に印加される電圧との比較結果を記憶する記憶手段と、

前記記憶手段の記憶結果を直接、もしくはエンコードして出力する手段と、

を有することを特徴とするＡ／Ｄ変換装置。

【請求項２】

前記電圧を規則的に変化させる手段の出力する電圧の変化は、単調増加、もしくは単調減少であることを特徴とする請求項１に記載のＡ／Ｄ変換装置。

【請求項３】

前記電圧を規則的に変化させる手段は、前記比較結果に応じて所望の値の電圧を出力することを特徴とする請求項１に記載のＡ／Ｄ変換装置。

【請求項４】
前記第一の回路には、加えて、光励起によって発生したキャリアの蓄積に応じて電圧を制御する手段、蓄積されたキャリアをリセットするリセット手段を含み、前記キャリアの蓄積に応じて電圧を制御する手段に生じた電圧を前記第一の制御端子に印加する請求項１に記載のＡ／Ｄ変換装置を用いた光電変換装置。
【請求項５】
前記第一の回路には、加えて、光励起によって発生したキャリアを蓄積する蓄積手段、蓄積したキャリアに応じた電圧を出力する電荷電圧変換手段、前記蓄積手段から前記電荷電圧変換手段に電荷を転送する転送手段、前記電荷電圧変換手段の電圧を初期状態にリセットするリセット手段を含み、前記電荷電圧変換手段に生じた電圧を前記第一の制御端子に印加する請求項１に記載のＡ／Ｄ変換装置を用いた光電変換装置。
【請求項６】
前記リセット手段によりリセットしたときの値をＡ／Ｄ変換した値を、そののちにキャリアの蓄積に応じた電圧を前記第一の制御端子に印加したときの値をＡ／Ｄ変換した値から減算することを特徴とする請求項４に記載の光電変換装置。
【請求項７】
前記電荷電圧変換手段の電圧を初期状態にリセットしたときの値をＡ／Ｄ変換した値を、そののちに電荷を転送したときの値をＡ／Ｄ変換した値から減算することを特徴とする請求項５に記載の光電変換装置。
【請求項８】
光励起によって発生したキャリアを蓄積する蓄積手段と、該蓄積手段の該キャリアに基づく信号を増幅する増幅手段とを含む画素を複数配列するとともに、前記複数の画素内の増幅手段からの信号を選択的に出力させるための選択手段と、所定のレベルが入力され、前記所定のレベルに対応した出力を行う出力手段と、を有し、
前記選択手段によって選択された前記増幅手段と、前記出力手段とは各蓄積手段からの信号の信号レベルと前記所定のレベルとを比較し、比較結果を出力する比較手段の少なくとも一部を構成していることを特徴とする光電変換装置。
【請求項９】
前記選択手段は、前記複数画素内にそれぞれ含まれることを特徴とする請求項８に記載の光電変換装置。
【請求項１０】
前記比較手段は、差動増幅回路を含むことを特徴とする請求項８又は９に記載の光電変換装置。
【請求項１１】
前記比較手段の出力信号に基づいて、ディジタル信号が出力されることを特徴とする請求項８乃至１０のいずれか１項に記載の光電変換装置。
【請求項１２】
前記比較手段の出力信号に基づいて、前記所定のレベルを変化させることを特徴とする請求項８乃至１１のいずれか１項に記載の光電変換装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、参照電圧と入力電圧を比較する比較器、その比較結果を元にＡ／Ｄ変換する装置、およびこれらを用いた光電変換装置に関し、特に出力インピーダンスが低い電圧発生源の出力電圧を、複数入力の内から選択的に一つの入力を扱うための比較器、Ａ／Ｄ変換器、及びこれらを用いた光電変換装置において、複数入力間で入出力特性のばらつきをおさえ、また消費電力を軽減する技術に関する。
【０００２】
【従来の技術】
近年、光励起されたキャリアを画素部の能動素子で増幅する、増幅型のイメージセンサが

研究、開発されている。これら一般的にＣＭＯＳイメージセンサと呼ばれる光電変換装置においては、センサと同一チップ上に論理回路ほかさまざまな回路を搭載することができることから、イメージセンサとＡ／Ｄ変換器の一体化、などが研究されている。

【０００３】

イメージセンサとＡ／Ｄ変換器の一体化には、たとえば画素一つにＡ／Ｄ変換器を搭載するもの、コラム一つにＡ／Ｄ変換器を搭載するもの、センサの出力部に一つだけＡ／Ｄ変換器を搭載するものなど、さまざまなものがあるが、最も盛んに研究されているものはコラム一つにＡ／Ｄ変換器を搭載するものである。

【０００４】

まず、図１２を用いて従来のＡ／Ｄ変換器の基本技術を説明する。ここで、Ａ／Ｄ変換器の種類として、比較的規模の大きいフラッシュ型、２ステップ型などの並列型は考慮せず、比較器を一つだけ用い、参照電圧を変化させて変換結果を得ていくもののみを取りあげて説明する。

【０００５】

Ａ／Ｄ変換器は基本的に比較器一つと参照電圧発生部で構成されている。

【０００６】

比較器１１は、正転入力端子１２と、反転入力端子１３をもち、比較器出力端子１４には正転入力端子１２の入力が反転入力端子１３の入力よりも大きい時は論理的ハイレベル（通常電源電圧）、小さい時には論理的ロウレベル（通常ＧＮＤ）が出力されるようになっている。

【０００７】

ここで、この比較器を用いてＡ／Ｄ変換器を構成するには、反転入力には比較用の参照電圧１５、正転入力にはＡ／Ｄ変換する対象の電圧１６を入力する。

【０００８】

比較用の参照電圧発生部は、たとえばデジタルカウンタに同期した単調増加、つまり時間に対する微分値が、一度のＡ／Ｄ変換動作中に常に０を越えている、ランプ電圧を出力し、比較器１１の出力が反転した時点でのカウンタの値を取得することでデジタル値をえる。

【０００９】

また、比較器の参照電圧においては、逐次比較型のように、上位のビットからのＡ／Ｄ変換結果を逐次、結果として得つつ、その値を参考に次の参照電圧を決定していくことを繰り返すというような操作を行う場合もある。

【００１０】

たとえば正転入力側に入力する、対象の電圧を、光電変換素子（たとえばフォトダイオード）からの出力電圧とすれば、入射された光をＡ／Ｄ変換する装置が構成できる。

【００１１】

ここで、正転、反転の定義であるが、それは出力の論理を考慮した際の呼び名であって、出力がロウレベルからハイレベル、もしくはハイレベルからロウレベルへ遷移するだけを考慮するなら厳密な区別はない。以後の説明においては、正転を反転、反転を正転として考えてもまったく差し支えなく、その際には後段のエンコーダなどの論理を適宜逆転して考えるか、Ａ／Ｄ変換後の結果を取り扱うプロトコルを適宜変更すれば良い。

【００１２】

次に、図１３において、コラム一つあたりにＡ／Ｄ変換器を搭載するＣＭＯＳイメージセンサ（以下、コラムＡ／Ｄ型ＣＭＯＳセンサという。）で用いられているような、Ａ／Ｄ変換器の基本技術について説明する。

【００１３】

ＣＭＯＳセンサなどの、アクティブピクセル型のセンサにおいては、一般的に共通の一コラム２１に複数の電圧源、つまり画素が並列に接続されている。各画素で生じた電圧によってそのままコラムを駆動するには光電流が少なすぎるために、通常、ソースフォロアと呼ばれるインピーダンス変換用の増幅器の出力をコラムに伝えており、各画素の光電変換

結果は２２，２３，２４のように等価的な電圧源とみなしている。各電圧源からの出力を選択スイッチ２５，２６，２７で切り替えてただ一つのみをコラムに伝えることで、選択的な読み出しを可能としている。２８はソースフォロアのための定電流源である。

【００１４】

コラムＡ／Ｄ型ＣＭＯＳセンサでは、上記の要領で選択的に読み出された電圧を比較器２９に伝え、参照電圧３０と比較することで変換を行っている。

【００１５】

【発明が解決しようとする課題】

ここで、上記原理によるコラムＡ／Ｄ型ＣＭＯＳセンサでは、次のような課題がある。

【００１６】

一つ目は消費電流である。Ａ／Ｄ変換器を各コラムごとに持たない場合には、各コラムで消費される電流はソースフォロアの電流２８のみで良かった。コラムＡ／Ｄ型ＣＭＯＳセンサにおいては、それに加えて比較器２９（通常差動増幅器を主とする構成）を必要とするために、消費電流はその分増加する。イメージセンサにおいてはコラム数は通常数百から数千ほどであり、消費電力もコラムあたりの値の数百から数千倍されることになるので、消費電力の増加が無視できない。

【００１７】

二つ目はＡ／Ｄ変換器のゲインばらつきである。列ごとに設けられたＡ／Ｄ変換器はその変換特性にばらつきをもつ。そのばらつきは微分非直線性誤差、積分非直線性誤差となって現れる。その原因はたとえばＡ／Ｄ変換器の初段の差動増幅器がもつオフセット電圧変動や、参照電圧発生器のばらつきなどに起因する。列ごとにＡ／Ｄ変換器の特性が異なるために、結果、縦縞状のざらつきが生じ、画像に悪影響を及ぼす。

【００１８】

三つ目として、ソースフォロアのもつ入力－出力特性、特に増幅率のばらつきが挙げられる。集積度を上げるためにＭＯＳトランジスタのゲート長、ゲート幅は縮められる方向にあり、イメージセンサにおいても例外ではない。その際に、ソースフォロアのもつゲインが相互コンダクタンスｇｍ、および微分ソースドレイン抵抗ｒｄｓの製造時ばらつきによりばらついてしまう。ゲインばらつきは多くて数パーセントとなり、撮影した絵のざらつきになって現れてしまう。

【００１９】

本発明の目的は、消費電流を抑制し、加えて列ごとのゲインばらつきを低減させたコラムＡ／Ｄ型ＣＭＯＳセンサに好適に用いられる比較器、Ａ／Ｄ変換装置、および光電変換装置を提供することにある。

【００２０】

【課題を解決するための手段】

本発明のＡ／Ｄ変換装置は、第一の制御端子に印加される第一の電圧によって流れる電流が制御される第一の電流経路と該第一の電流経路に流れる電流を選択的に遮断・導通するスイッチ手段とを直列に接続した第一の回路を、複数並列に接続してなる回路ブロックと、第二の制御端子に印加される第二の電圧によって流れる電流が制御される第二の電流経路を少なくとも含む第二の回路と、前記回路ブロックと前記第二の回路とに流れる電流の差を比較し、前記第一の電圧と前記第二の電圧との差を検知する手段と、を有する比較器と、

前記第二の制御端子に印加される電圧を規則的に変化させる手段と、

前記回路ブロック内の、前記スイッチ手段により選択された第一の回路の第一の制御端子に印加される電圧と前記第二の回路の前記第二の制御端子に印加される電圧との比較結果を記憶する記憶手段と、

前記記憶手段の記憶結果を直接、もしくはエンコードして出力する手段と、

を有することを特徴とする。

【００２１】

本発明の光電変換装置は、光励起によって発生したキャリアを蓄積する蓄積手段と、該蓄

積手段の該キャリアに基づく信号を増幅する増幅手段とを含む画素を複数配列するとともに、前記複数の画素内の増幅手段からの信号を選択的に出力させるための選択手段と、所定のレベルが入力され、前記所定のレベルに対応した出力を行う出力手段と、を有し、前記選択手段によって選択された前記増幅手段と、前記出力手段とは各蓄積手段からの信号の信号レベルと前記所定のレベルとを比較し、比較結果を出力する比較手段の少なくとも一部を構成していることを特徴とする。

【００２３】

【実施例】

以下、本発明の実施例について図面を用いて詳細に説明する。

［実施例１］

本発明の第１の実施例を図１を用いて説明する。電圧源１０１，１０２，１０３により供給される電圧が、変換の対象となる電圧であり、たとえば光電変換装置の電荷電圧変換手段に生ずる電圧である。電圧源１０１，１０２，１０３は、電圧によって制御される電流経路１０４，１０５，１０６に接続されており、それら並列に接続された電流経路１０４，１０５，１０６は選択スイッチ１０７，１０８，１０９によって選択可能となっている。電流経路１０４，１０５，１０６及び選択スイッチ１０７，１０８，１０９で構成される電流経路ブロックを１１０とする。一方、比較の基準となる参照電圧を供給する電圧源１１１が用意されており、同様に電圧によって制御される電流経路１１２に接続されている。

【００２４】

電流経路ブロック１１０と電流経路１１２は、電流経路ブロック１１０と電流経路１１２に流れている電流の差を検知し、比較を行う比較部１１３に接続されており、その比較部１１３は比較結果を出力端子１１４に出力する。

【００２５】

つぎに上記回路の動作を説明する。例として、電圧源１０１の値を比較する場合を説明する。

【００２６】

まず、電流経路ブロック１１０においては、選択スイッチ１０７のみがＯＮされ、等価的に電流経路ブロック１１０は電圧源１０１と選択スイッチ１０７のみで制御されることになる。

【００２７】

この状態で、比較部１１３は、電圧源１０１の電圧と参照電圧源１１１の電圧との大小を、電流経路ブロック１１０と電流経路１１２への電流の流れ方の差から判別し、比較結果を出力端子１１４に出力する。

【００２８】

電圧源１０１，１０２，１０３のうち、他の電圧源の変換結果を得たい時は、それに対応する選択スイッチのみをＯＮすればよい。

【００２９】

電圧源は図１においては３つ用意されているが、３つには限定されず、任意の数を設けてよい。その数は回路の動作速度、回路の面積、仕様などから決定される設計事項である。

【００３０】

本実施例の従来例より優れた点は、従来のようにソースフォロアを介することなく、電圧を直接比較器に入力している点であり、ソースフォロアに必要とされた電流を節減できた。

【００３１】

このようにして、コラム状に並列に連なるＣＭＯＳイメージセンサの画素群のような、複数入力の比較器において、電流を節減した構成を実現できた。この効果は以下に説明する各実施例において得ることができ共通の効果である。

【００３２】

また、ゲインばらつきについても、比較器のオフセット変動は各画素の電流経路１０４，

１０５，１０６の、電流経路１１２に対する特性ばらつきに帰着する。

【００３３】

ここで、従来例とばらつきの差を比較すると、従来はばらつきの構成要因が「画素のゲインばらつき」と「比較器のゲインばらつき」であったのに対して、本実施例においては、ばらつきの構成要因が「画素のゲインばらつき」のみであり、本発明において「比較器のゲインばらつき」をなくすことができた。

［実施例２］

本発明の第２の実施例を図２を用いて説明する。本発明の第２の実施例においては、本発明の第１の実施例の具体的な回路の構成の一つを説明する。また、入力電圧の源は光電変換素子である。ここで図２は、３つの画素２０１、２０２、２０３に対して、１つの比較器を用いる構成を示しているが、画素が水平方向及び垂直方向に配列され、垂直方向の一列毎に比較器を用いる構成であってもよい。

【００３４】

電圧源としてフォトダイオードＰＤと転送スイッチＭＴＸ、およびリセットスイッチＭＲＥＳからなる光電変換部２０１，２０２，２０３がある。電圧によって制御される電流経路としてＭＯＳトランジスタ２０４，２０５，２０６が、選択スイッチとしてＭＯＳトランジスタ２０７，２０８，２０９が在り、それらが片方の電流経路ブロック２１０を構成している。もう一方の電流経路２１１は、参照電圧入力端子２１２、電圧によって制御される電流経路としてのＭＯＳトランジスタ２１３、および、常に選択されつづけるダミーとしての選択スイッチ２１４から構成される。

【００３５】

ここでフォトダイオードの構成であるが、たとえばリセット時のランダムノイズの影響を受けない、完全空乏型のＰＩＮ型フォトダイオードを用いても良いし、たとえばＰＮ型のフォトダイオードを用いても良い。また、電圧源は、上記で説明した構成ではなく、光電変換と増幅を同じトランジスタで行うフォトゲートであってもよい。

【００３６】

比較部２１５には、電流経路ブロック２１０、電流経路２１１を差動対とした演算増幅器を用いており、ここではＦｏｌｄｅｄ　Ｃａｓｃａｄｅ　Ｃｕｒｒｅｎｔ　Ｍｉｒｒｏｒ型の演算増幅器を採用している。２１６は演算増幅器で構成される比較部２１５の出力であり、その出力を高ゲインなバッファ２１７で増幅し出力端子２１８から比較結果として出力する。

【００３７】

以下、光電変換部２０１を参照電圧と比較する場合を例にとって上記回路の動作について説明する。選択スイッチ２０７のみをＯＮし、電流経路２０４と２１１を差動対とする演算増幅器を構成させる。演算増幅器は非常に高いゲインを持っているので、光電変換部２０１に発生した電圧と、参照電圧入力端子２１２に印加された電圧の大小によって出力２１６にハイレベルもしくはロウレベルが出力されることで比較が行われる。

【００３８】

ここで比較部２１５の構成であるが、ここでは等価的にＦｏｌｄｅｄ　Ｃａｓｃａｄｅ　Ｃｕｒｒｅｎｔ　Ｍｉｒｒｏｒ型の演算増幅器を採用したが、その他通常の差動増幅器＋ゲインアンプ型などでもよい。また演算増幅器のオープンループゲインが不足し、比較の切り分けを十分に行えない場合は、バッファ２１７のゲインを更に上げるようにすればよい。

【００３９】

また、ここで演算増幅器の構成は差動入力段がｎ型のＭＯＳトランジスタを用いたが、たとえば差動入力段がｐ型のＭＯＳトランジスタでもよい。その際は適宜ＭＯＳトランジスタおよびフォトダイオードの極性を変更すれば良い。また、本実施例の画素ではフォトダイオードのアノード側を接地した構成とｎ型の転送ＭＯＳトランジスタを用いているが、たとえばｎ－ウエル中にｐｉｎダイオードを構成し、カソード側を接地した構成とｐ型の転送ＭＯＳトランジスタを用いるようにしても良い。また、本実施例においては光電変換

部２０１，２０２，２０３中の転送ＭＯＳトランジスタＭＴＸとリセットＭＯＳトランジスタＭＲＥＳ、および、ＭＯＳトランジスタ２０４，２０５，２０６の極性をすべてｎ型で統一しているが、統一する必要はなく、たとえばＭＯＳトランジスタ２０４，２０５，２０６などはｐ型、画素を構成するＭＯＳトランジスタはｎ型という構成、もしくはその逆の構成でも良い。

【００４０】

また、常に選択されつづけるダミーの選択スイッチ２１４の存在理由であるが、電流経路ブロック２１０にはスイッチがあるのに対して電流経路２１１にスイッチがない場合、電流の流れ方にアンバランスが生じ、電流比較においてオフセットが生じるのを防ぐためである。そのスイッチのサイズは通常、選択スイッチ２０７などと同等にする。また、電流比較におけるオフセットを見越して以後の処理を行うならば、選択スイッチ２１４のサイズをスイッチ２０７と同じにしなくてもよく、また選択スイッチ２１４を入れなくてもよい。

【００４１】

本実施例の従来例より優れた点は、従来のようにソースフォロアを介することなく、電圧を直接比較器に入力している点であり、ソースフォロアに必要とされた電流を節減できた。また、このようにして、コラム状に並列に連なるＣＭＯＳイメージセンサの画素群のような、複数入力の比較器において、電流を節減した構成を実現できた。

【００４２】

本実施例の、従来例より優れたもう一つの点は、Ａ／Ｄ変換器のゲインばらつきが見えないということである。

【００４３】

従来の、ソースフォロア構成をもつ画素＋Ａ／Ｄ変換器の構成（以降、従来型構成と呼ぶ）においては、「ｇｍ、ｒｄｓのばらつきによるソースフォロアのもつゲインばらつき」と、「Ａ／Ｄ変換器のもつゲインばらつき」の重ねあわせられた値が総合のばらつきとなっており、とくにＡ／Ｄ変換器のゲインばらつきが縦縞を生み出す原因となっていた。本実施例においてばらつきを生み出す要因はＭＯＳトランジスタ２０４，２０５，２０６の、ＭＯＳトランジスタ２１３に対する特性差であり、それらは従来の「ｇｍ、ｒｄｓのばらつきによるソースフォロアのもつゲインばらつき」に帰着させられる。またその影響の程度も同等である。

【００４４】

本実施例において、従来問題となっていた列ごとの「Ａ／Ｄ変換器のもつゲインばらつき」をなくすことができた。本実施例の効果は、以下の実施例に対して得ることができ、共通の効果である。

【００４５】

また、ここでは電圧の源として、光電変換部２０１～２０３にあるような画素を用いたが、けっしてかかる構成には限定されない。電圧の源として、出力インピーダンスの高いものであればいかなるものでも本発明による効果を享受できる。たとえば圧電素子、もしくはマイクロマシンによって構成される圧力センサ、加速度センサなどでも良い。

【００４６】

また、通常、ＣＣＤにおけるＣＤＳ（相関二重サンプリング）や、ＣＭＯＳイメージセンサなどのアクティブ・ピクセル・センサなどにおけるリセット時のノイズ除去に代表される、画素をリセットしたときに生ずるノイズ、及び素子の有する固定パターンノイズを除去するための、リセット時の画素出力をいったん保持し、その値を光電変換後の画素出力から減算するという処理が行われている。その動作とＡ／Ｄ変換動作を融合する際、通常は、アナログ信号レベルで両者を減算した後、Ａ／Ｄ変換するという動作が取られていた。

【００４７】

本実施例においては、センサのアナログ出力をそのまま取り出すことが難しい。よって、Ａ／Ｄ変換後の値を減算することで、ＣＤＳなどと同様の効果を得ることができた。

［実施例３］
本発明の第３の実施例を図３を用いて説明する。本発明の第３の実施例は、本発明の第２の実施例で説明した比較器を用いてＡ／Ｄ変換装置を構成し、さらに光電変換装置を構成した、その一例である。図２と同様の部位には同一の番号を付する。図３において、３０１はＮビットのバイナリカウンタであり、０から（2^N－１）までカウントアップしていく。そのカウント値をＶＲＥＦ　発生器（参照電圧発生器）３０２が受け、カウント値に応じた参照電圧を発生させる。その説明が図４（ａ）と図４（ｂ）である。
【００４８】
図４（ａ）は、横軸を時間とした時のバイナリカウンタの値で、下側から上側につれてＬＳＢ側からＭＳＢ側となっている。図４（ｂ）はその時の参照電圧であり、アナログ値である。
【００４９】
参照電圧の振幅をＶＲ、また、一つのステップあたりの増分をＶＲ／（2^N）とし、階段状に一定の増加率で参照電圧が変化していく（単調増加、つまり時間に対する微分値が、一度のＡ／Ｄ変換動作中に常に０を越えていること）。ある時刻でのカウンタ値をＫとすると、その時の参照電圧出力は、
Ｋ×ＶＲ／（2^N）
となる。
【００５０】
比較器出力２１８は、Ｎビット分のＤラッチ群３０３の各ゲート信号端子へ接続されている。Ｎは本実施例のＡ／Ｄ変換器の分解能を決める値である。データ入力にはそれぞれカウンタの出力の各ビットの値が入力されている。
【００５１】
以下、回路動作を説明する。Ａ／Ｄ変換したい画素のみを、比較動作の時と同様に選択する。たとえば光電変換部２０１を選択したい時は選択スイッチ２０７のみをＯＮさせれば良い。
【００５２】
図４（ｃ）は、比較器の出力を示したグラフである。蓄積動作終了後を図４（ｃ）の時間０とし、その時刻から参照電圧を増加させていく。画素２０１の示す値が、ちょうど時刻ｔ１での参照電圧において比較器出力が反転するような値だとする。その時にその信号はＤラッチ群３０３のゲートに入力されているので、その時に各Ｄラッチに入力されているカウンタの値がＤラッチに記憶される。Ｄラッチに記憶された値は、その時の参照電圧に応じたバイナリ信号、つまりＡ／Ｄ変換結果であり、その値がラッチの出力群３０４に出力される。このようにしてＡ／Ｄ変換が実現できた。
【００５３】
ここで、参照電圧は時間に対して増加するようにしたが、減少（単調減少、すなわち、時間に対する微分値が常に０以下であるように）しても良い。その時はＡ／Ｄ変換結果を扱うプロトコルを適宜変更すれば良い。
【００５４】
ここで、時間０から比較器は比較動作を行うが、正しいＡ／Ｄ変換を行うためには、この比較動作中に画素の示す値が変化しないようにすることが求められる。そのためには、たとえば本回路の構成のようにフォトダイオードの示す出力を転送スイッチＭＴＸを介して電流経路の制御端子に加える、もしくはたとえばフォトダイオードの示す出力をそのまま電流経路の制御端子に加える代りにメカニカルシャッターを備えることで、蓄積終了後にフォトダイオードにおいて光電子を発生させないようにする、などの対策を行う。
【００５５】
ここで、図４（ｂ）中の、参照電圧の１ステップあたりの電圧幅であるが、かならずしもＶＲ／（2^N）である必要はない。参照電圧０からＶＲの区間で、量子化誤差を等しく、つまりＡ／Ｄ変換時のノイズを同じ重みにしたい場合は、ＶＲ／（2^2）にする必要があるが、本質的には全ステップにわたって参照電圧の変分を積算した値がＶＲと等しくなる

ようにすれば良いだけのことである。イメージセンサにおいては、その応用を考慮すると、必ずしも全区間にわたって均等の重みでＡ／Ｄ変換する必要はない。分解能Ｎを一定とし、入射光量が多い場合の電圧は荒く量子化、入射光量が少ない場合の電圧はより細かく量子化し、少ない分解能Ｎでより画質を向上させることを行っても良い。その際は、たとえば時間が経つにつれて参照電圧の変分が大きくなるように、もしくは時間が経つにつれて参照電圧の変分が小さくなるようにすれば良い。

［実施例４］

本発明の第４の実施例を図５を用いて説明する。本発明の第４の実施例においては、本発明の第２の実施例の比較器を用いてＡ／Ｄ変換器を構成し、さらに光電変換装置を構成した、他の例を示す。比較器の構成は本発明の第２の実施例と同等であり、同じ部位には同じ番号を付している（ただし、各部材の一部の番号付加は簡易化のため省略されている）。第３の実施例と異なるのは参照電圧の発生アルゴリズムである。第３の実施例では結果が確定するまで最大（2^N）回比較動作を行う必要があった。それに対して本実施例においては逐次比較方式を取っており、出力が確定するまでにＮ回の比較動作を行えば良いので、高速なＡ／Ｄ変換が可能となっている。

【００５６】

比較器の出力２１８は、同期用のラッチ５０１を介してＡ／Ｄ変換器出力５０２として出力される。そのＡ／Ｄ変換器出力５０２は１対Ｎのセレクタ５０３を介してＮビット分のＤラッチ５０４につながっており、そのＤラッチ５０４は参照電圧発生器５０５のスイッチを制御している。参照電圧発生器５０５のＶＲＥＦ　出力５０６には、

【００５７】

【数１】

$$\sum_{n=1}^{N} K_N \frac{V_R}{2^n} + \frac{V_R}{2^{N+1}}$$

という値が出るようになっており、それらＫ１，Ｋ２，…ＫＮという値はそれぞれＤラッチ５０４のＱ０，Ｑ１，ＱＮ－１の論理的０と１とにそれぞれ対応している。

【００５８】

次に上記回路の回路動作を説明する。画素２０１の値をＡ／Ｄ変換する例を考え、またＮ＝３ビット、光電変換部２０１の出力値は量子化ステップにおいて８階調中の６番目にあるとする。（＝（６／８）ＶＲ　）

（Ｑ２，Ｑ１，Ｑ０）にはあらかじめ（１，０，０）を与えており、ＶＲＥＦ　出力５０６には、

ＶＲＥＦ　＝（ＶＲ　／２）＋（ＶＲ　／１６）

が印加されている。光電変換部２０１の出力値はその値よりも大きいので比較器は１を出力する。次に（Ｑ２，Ｑ１，Ｑ０）には（１，１，０）を与える。Ｑ２の１という値は前回の比較動作で決定された値である。ＶＲＥＦ　の出力５０６は、

ＶＲＥＦ　＝（（６／８）ＶＲ　）＋（ＶＲ　／１６）

となり、この値は画素２０１の値よりも小さいために比較器は０を出力する。その値がセレクタ５０３を介してＱ１に書き込まれる。

【００５９】

次に（Ｑ２，Ｑ１，Ｑ０）は（１，０，１）が書き込まれる。ＶＲＥＦ　の出力５０６は、

（（５／８）ＶＲ）　＋（ＶＲ　／１６）

となり、この値は画素２０１の値よりも大きいために比較器は１を出力する。その値がセレクタ５０３を介してＱ０に書き込まれる。

【００６０】

ここで、ラッチに保持されている結果がＡ／Ｄ変換の結果であり、その値を読み出せば良

い。また、Ａ／Ｄ変換器出力５０２に時系列的に出力される結果はそのまま上位ビットからのＡ／Ｄ変換結果のシリアル出力となるので、最後まで変換が終わるまで待たずに随時結果を読み出しても良い。

【００６１】

このようにして、電流をより節減した形式で、Ａ／Ｄ変換装置が実現できた。ここで、参照電圧発生器５０５の構成であるが、抵抗を直列に用いる方式には限定されない。たとえば容量を並列に用いる方式を採用しても良いし、他の方法でも良い。

【００６２】

また、実施例３、４において、２方式のＡ／Ｄ変換器を例に挙げたが、他の方法でも良い。一つの比較器で構成できる回路構成ならば、いかなる方式でも良い。

［実施例５］

本発明の第５の実施例を図６を用いて説明する。本発明の第５の実施例は、本発明の光電変換装置において、一画素あたりの素子数をさらに削減することを目的としている。ここでは比較器の回路図のみを説明し、Ａ／Ｄ変換に必要なその他周辺回路は省略している。Ａ／Ｄ変換の動作原理は本発明の第３及び第４の実施例と同様である。

【００６３】

６０１は光電変換素子群であり、フォトダイオード６０２，６０３，６０４，６０５をそれぞれ転送スイッチ６０６，６０７，６０８，６０９で制御し、一つ以上の所望のフォトダイオードに蓄積された電荷を、電荷電圧変換手段となるフローティングディフュージョン６１０に伝える。そしてリセットスイッチ６１３によりフローティングディフュージョン６１０がリセットされる。光電変換素子群６０１と同様の構造の光電変換素子が、並列に光電変換素子群６１１，６１２のようにならべられ、それらが電圧源を形成している。

【００６４】

動作原理は第２の実施例と同様で、スイッチ２０７，２０８，２０９を選択的にＯＮさせ、電流経路２１０と２１１の間で電流の比較を行い、Ａ／Ｄ変換を行う。

【００６５】

この手法においては、上記の実施例に比べて、複数のフォトダイオードと転送スイッチの組に対して一つのリセットスイッチ（たとえば６１３）と電流経路用のＭＯＳトランジスタ（たとえば２０４）と選択用のＭＯＳトランジスタ（たとえば２０７）を共通化しており、画素を構成する素子数を削減できた。

［実施例６］

本発明の第６の実施例を図７を用いて説明する。図２と共通の部分には同一の番号を付する。

【００６６】

画素７０１は、フォトダイオード７０２、転送スイッチ７０３、フローティングディフュージョン７０４、およびリセットスイッチ７０５から構成されている。また、フローティングディフュージョン７０４は、電流経路を形成するためのＭＯＳトランジスタ７０６、および選択トランジスタ７０７に接続されている。これら、ＭＯＳトランジスタ７０６，７０７は一つの画素７０１によって占有されており、ここでこれらをまとめて新たに画素と考えることができ、それを画素７０８とする。

【００６７】

リセットスイッチは、第１～第５の実施例においては独立のリセット電圧供給端子に接続されていたが、本実施例においては選択トランジスタ７０７のドレイン端子７０９に接続されていることが異なる点である。

【００６８】

イメージセンサーとしての応用を考える時、重要なことは画素一つあたりの素子数、配線占有率を減少させ、開口率、などの特性向上のためのパラメータを向上させることである。第１～第５の実施例においては各画素に共通に必要な端子７０９，７１０の配線に加え、リセット電圧供給の端子が必要であった。本実施例の比較器においては、リセット電圧供給端子が端子７０９と共通化されることで画素あたりに占める配線占有率が減少し、イ

メージセンサの特性を向上させることができた。
［実施例７］
以上の第１～第６の実施例においては、等価回路的に、帰還を用いない演算増幅器を比較器として用いてＡ／Ｄ変換を行っていた。その際に考えられる比較動作を図８を用いて説明する。
【００６９】
図８は、横軸に変換対象の電圧ＶＩＮ、縦軸に比較結果としてたとえば出力端子２１６に出力される電圧ＶＯＵＴをとり、ＶＲＥＦ　に対する依存性をプロットしたグラフである。ＶＲＥＦ　側の電圧を変化させると入出力特性が変化し、反転するしきい値が変化することでＡ／Ｄ変換が行えるわけであるが、その際、理想とのずれが生じる。
【００７０】
たとえば図２の電流経路２０４と電流経路２０５での、相互コンダクタンスが製造ばらつきなどでずれたとすると、それが図８中の入出力特性の曲線の、実線と破線の差、のように現れる。ＶＲＥＦ　をＶＲ１とＶＲ２のように変化させると、しきい値の変化量ΔＶは理想的には、
ΔＶ＝ＶＲ２－ＶＲ１
となるはずだが、その値が相互コンダクタンスのばらつきなどの理由で、各画素で図４中のΔＶ１，ΔＶ２のようにばらつき、Ａ／Ｄ変換器の微分非直線性誤差、Ａ／Ｄ変換器を光電変換装置として用いている場合は画素ごとの感度差として見えてしまう。
【００７１】
この課題を解決するのが、本発明の第７の実施例の比較器である。本発明の第７の実施例を、図９を用いて説明する。図２と同じ部位には同一の番号を付する（ただし、各部材の一部の番号付加は簡易化のため省略されている）。本実施例では、等価的な演算増幅器の出力、つまり端子２１６を、負荷Ｚｆ９０１を介して比較器の反転入力端子９０３へ接続し、参照電圧入力端子２１２と入力端子９０３の間に負荷Ｚｉ９０２を接続している。
【００７２】
このようにして帰還率β＝Ｚｉ／（Ｚｉ＋Ｚｆ）の負帰還を構成している。端子２１６と、本比較器の真の出力端子９０６の間にはインバータ９０４，９０５を設けて、高ゲインな比較の切り分けを実現している。
【００７３】
本実施例の効果を説明する。図９のように負帰還を施すことで、本比較器の入出力特性は図１１のようになる。ここで入力とはたとえば光電変換素子からの電圧入力値、出力とは端子２１６の電圧のことである。Ｇは本比較器のゲインであり、Ｇ＝１／βである。ＶＲを、ＶＲ１とＶＲ２とのように変化させた際に、入出力特性は変化するが、その変化の幅ΔＶは
ΔＶ＝（１－１／Ｇ）（ＶＲ２－ＶＲ１）
となり、ΔＶはｇｍなどには依存しない値になる（ここで演算増幅器のオープンループゲインは無限大と考えている）。Ｇが１ではΔＶが０になるので比較動作は行えない。Ｇは、１／Ｇがある程度１に比べて小さくなる値であれば、いかなる値でも良い。
【００７４】
図１０のような入出力特性を持つ比較器の出力をインバータ９０４，９０５のような高ゲインのアンプを通すことで、図１１の実線のような入出力特性を実現できた。
【００７５】
本実施例においては、負の帰還を設けて、比較器の初段のゲインを落とす代りに、差動対のばらつきをキャンセルさせ、高精度な切り分けを実現できた。
【００７６】
なお、Ａ／Ｄ変換器を構成する際は、たとえば実施例３、４などに従えばよいことは言うまでもないし、他の、比較器一つで構成できるＡ／Ｄ変換器の手法を取りいれても良い。
【００７７】
【発明の効果】

以上のように、本発明によれば、出力インピーダンスの大きな複数の電圧源を、選択的に一つの比較器もしくはＡ／Ｄ変換装置で扱う際に、従来に比較して低消費電流、およびエリアセンサとして応用する際において列ごとのゲインばらつきを低減した比較器またはＡ／Ｄ変換装置を構成することができた。

【００７８】

また、本発明によれば、出力インピーダンスの大きな複数の電圧源を、選択的に一つの比較器もしくはＡ／Ｄ変換装置で扱う際に、従来に比較して低消費電流、およびエリアセンサとして応用する際において列ごとのゲインばらつきを低減したＡ／Ｄ変換装置を構成することができ、かつＮビットを分解能とする際にＮ個のラッチを用意することでＡ／Ｄ変換装置を構成することができた。

【００７９】

また、本発明によれば、出力インピーダンスの大きな複数の電圧源を、選択的に一つの比較器もしくはＡ／Ｄ変換装置で扱う際に、従来に比較して低消費電流、およびエリアセンサとして応用する際において列ごとのゲインばらつきを低減したＡ／Ｄ変換装置を構成することができ、かつＮビットを分解能とする際にＮ回の比較でＡ／Ｄ変換が終了するＡ／Ｄ変換装置を構成することができた。

【００８０】

また、本発明によれば、従来例と比較して低消費電力、およびゲインばらつきの小さい、列並列Ａ／Ｄ変換機能をもつ光電変換装置を実現できた。

【００８１】

また、本発明によれば、従来例と比較して低消費電力、およびゲインばらつきの小さい列並列Ａ／Ｄ変換機能をもつ光電変換装置において、リセット時の画素の出力、および光蓄積後の画素の出力を、光蓄積後に時間的に近接して得ることができた。

【００８２】

また、本発明によれば、リセット時の画素の出力を、光蓄積後の画素の出力から減算することで、固定パターンノイズを除去することができた。

【００８３】

また本発明によれば、時間的に近接した、リセット時の画素の出力と、光蓄積後の画素の出力に対して、リセット時の画素の出力を光蓄積後の画素の出力から減算することで、固定パターンノイズ、および低周波成分のランダムノイズを除去することができた。

【図面の簡単な説明】

【図１】本発明の比較器の一実施例を示す模式的構成図である。

【図２】本発明の比較器を用いた光電変換装置の一実施例を示す模式的構成図である。

【図３】本発明のＡ／Ｄ変換装置を用いた光電変換装置の一実施例を示す模式的構成図である。

【図４】図３の光電変換装置の動作を示すタイミングチャートである。

【図５】本発明のＡ／Ｄ変換装置を用いた光電変換装置の他の実施例を示す模式的構成図である。

【図６】本発明のＡ／Ｄ変換装置を用いた光電変換装置の他の実施例を示す模式的構成図である。

【図７】本発明の比較器を用いた光電変換装置の他の実施例を示す模式的構成図である。

【図８】帰還を用いない比較器の比較動作を示す図である。

【図９】帰還を用いない比較器を用いた光電変換装置の実施例を示す模式的構成図である。

【図１０】比較器の入出力特性を示す図である。

【図１１】負帰還を用いた比較器の比較動作を示す図である。

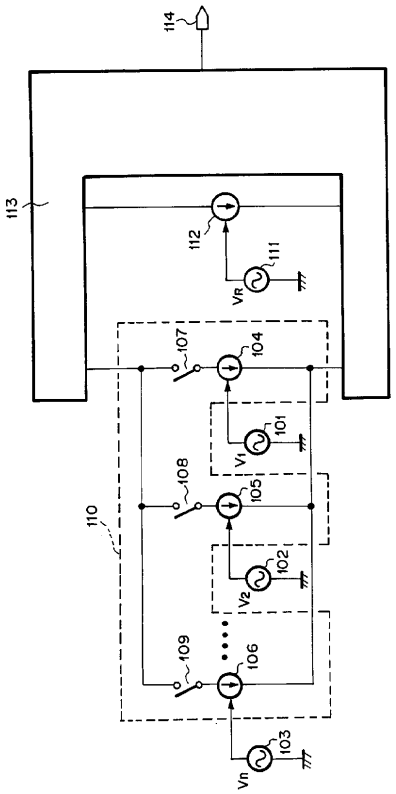
【図１２】従来のＡ／Ｄ変換器の基本技術を説明する図である。

【図１３】コラムＡ／Ｄ型ＣＭＯＳセンサで用いられているような、Ａ／Ｄ変換器の基本技術について説明する図である。

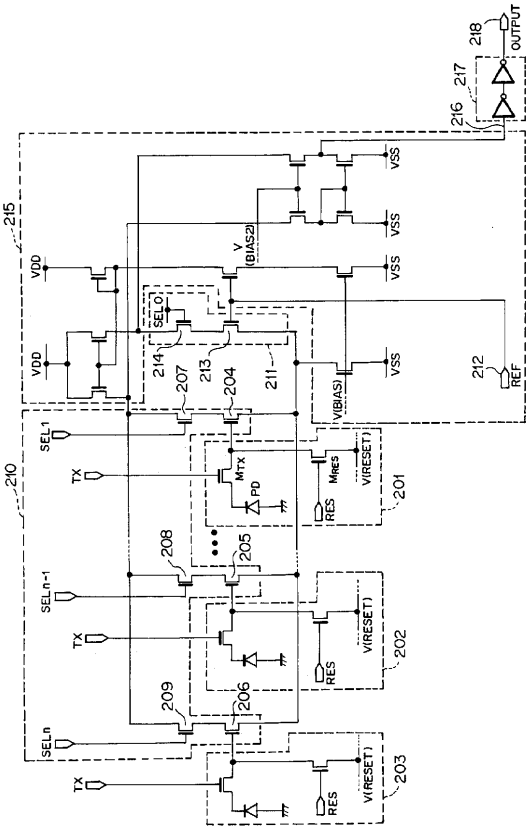
【符号の説明】

１０１，１０２，１０３　電圧源
１０４，１０５，１０６　電流経路
１０７，１０８，１０９　選択スイッチ
１１０　電流経路ブロック
１１１　電圧源
１１２　電流経路
１１３　比較部
１１４　出力端子
２０１，２０２，２０３　光電変換部
２０４，２０５，２０６，２０７，２０８，２０９　ＭＯＳトランジスタ
２１０　電流経路ブロック
２１１　電流経路
２１２　参照電圧入力端子
２１３　ＭＯＳトランジスタ
２１４　選択スイッチ
２１５　比較部
２１６　比較部の出力
２１７　バッファ
２１８　出力端子
３０１　Ｎビットのバイナリカウンタ
３０２　ＶＲＥＦ　発生器（参照電圧発生器）
３０３　Ｎビット分のＤラッチ群
３０４　Ｄラッチの出力群
５０１　同期用ラッチ
５０２　Ａ／Ｄ変換器出力
５０３　１対Ｎのセレクタ
５０４　Ｎビット分のＤラッチ
５０５　参照電圧発生器
５０６　参照電圧発生器のＶＲＥＦ　出力
６０１　光電変換素子群
６０２，６０３，６０４，６０５　フォトダイオード
６０６，６０７，６０８，６０９　転送スイッチ
６１０　フローティングディフュージョン
６１３　リセットスイッチ
７０１　画素
７０２　フォトダイオード
７０３　転送スイッチ
７０４　フローティングディフュージョン
７０５　リセットスイッチ
７０６　ＭＯＳトランジスタ
７０７　選択トランジスタ
７０８　画素
９０１　負荷Ｚｆ
９０２　負荷Ｚｉ
９０３　比較器の反転入力端子
９０４，９０５　インバータ
９０６　出力端子

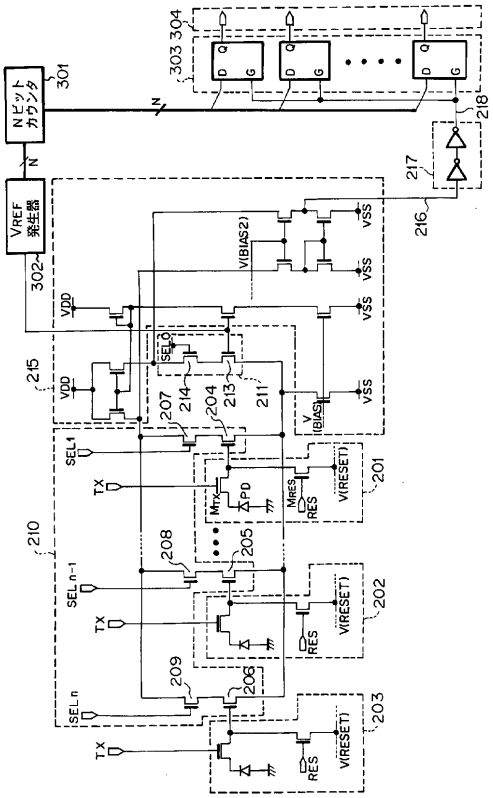
【図１】


114
113
112
111
VR
107
104
101
V1
108
105
102
V2
110
109
106
103
Vn

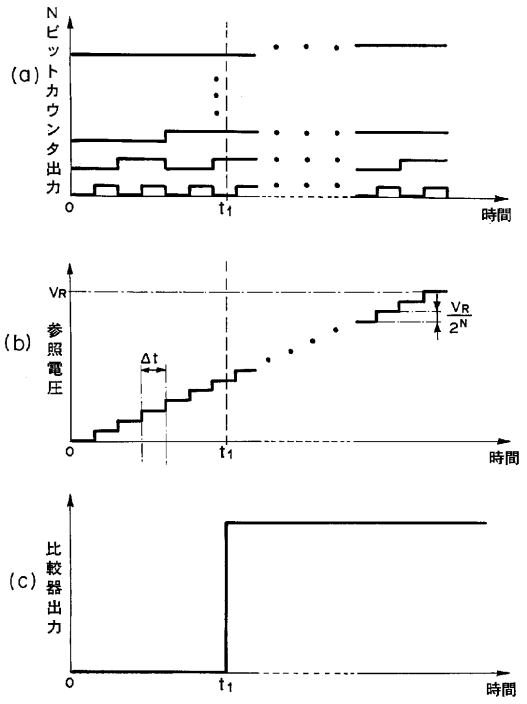
【図２】


218
OUTPUT
217
216
215
VSS
V(BIAS2)
VDD
SEL0
214
207
213
204
211
V(BIAS)
212
REF
SEL1
210
TX
MTX
PD
MRES
RES
V(RESET)
201
208
205
SEL n-1
202
209
206
SEL n
203

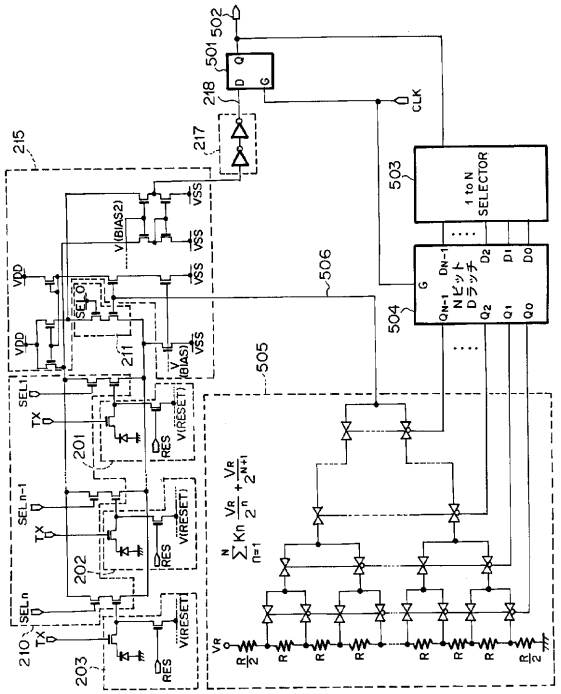
【図３】


303 304
D
Q
G
301
Nビットカウンタ
N
218
217
216
VREF発生器
302
VBIAS2)
VSS
VDD
SEL0
215
207
214
204
213
211
V(BIAS)
SEL1
TX
MTX
PD
MRES
RES
V(RESET)
201
210
208
205
SEL n-1
202
209
206
SEL n
203

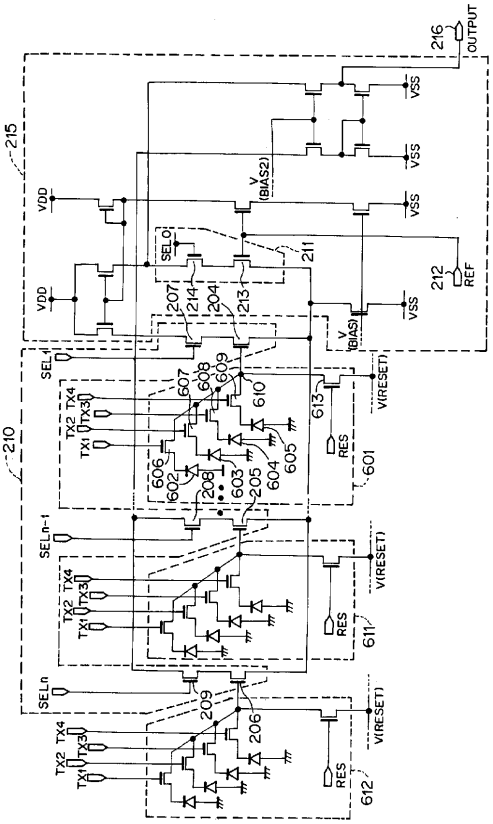
【図４】


(a)
カウンタ出力データ
0
t1
時間
(b)
参照電圧
VR
VR/2N
Δt
0
t1
時間
(c)
比較器出力
0
t1
時間

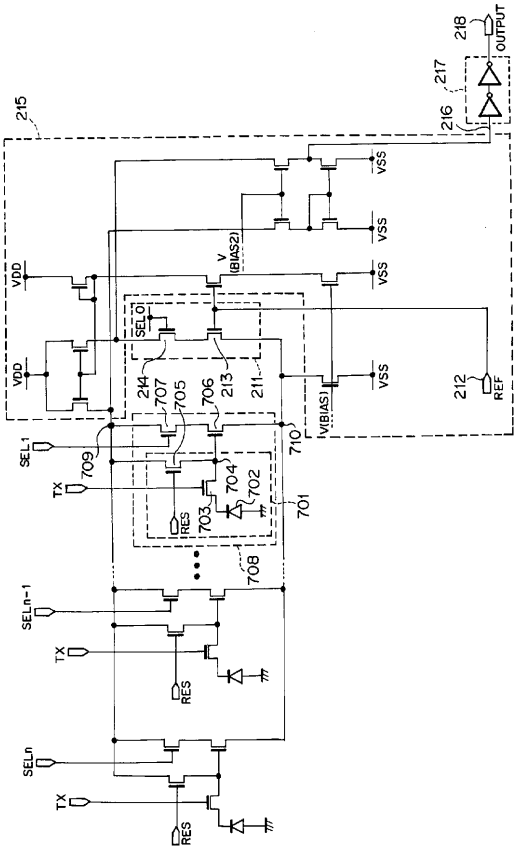
【図５】


1 to N SELECTOR
Nビット Dラッチ
CLK
VDD
VSS
SEL0
SEL1
SELn-1
SELn
TX
RES
V(BIAS2)
V(BIAS)
V(RESET)

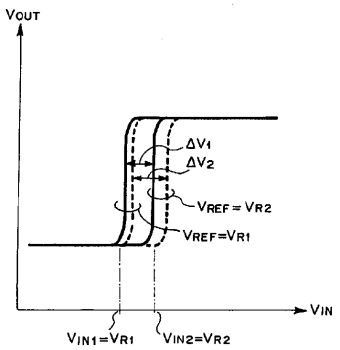
【図６】


OUTPUT
VDD
VSS
SEL0
SEL1
SELn-1
SELn
TX1
TX2
TX3
TX4
RES
V(BIAS2)
V(BIAS)
V(RESET)
REF

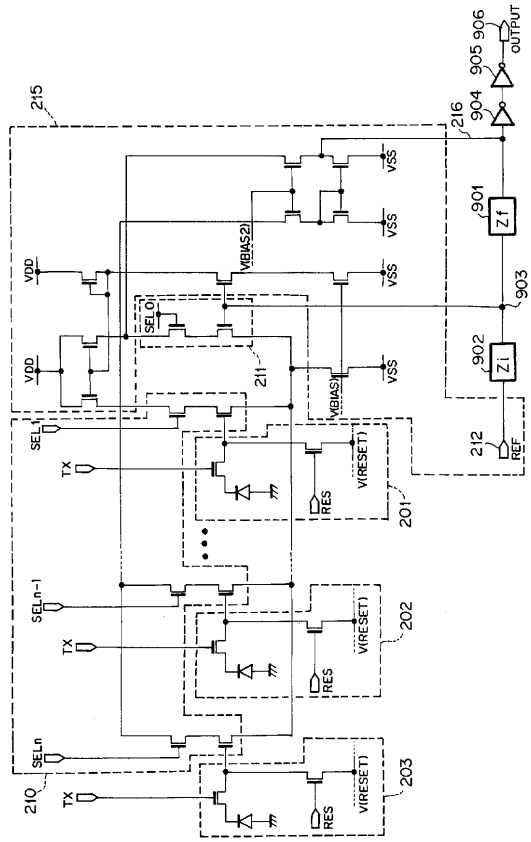
【図７】


OUTPUT
VDD
VSS
SEL0
SEL1
SELn-1
SELn
TX
RES
V(BIAS2)
V(BIAS1)
REF

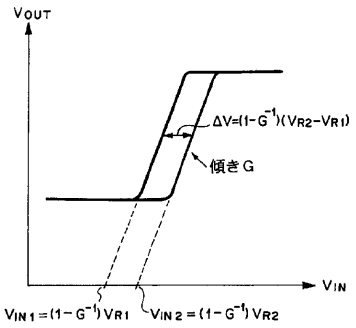
【図８】


VOUT
VIN
ΔV1
ΔV2
VREF = VR2
VREF=VR1
VIN1=VR1
VIN2=VR2

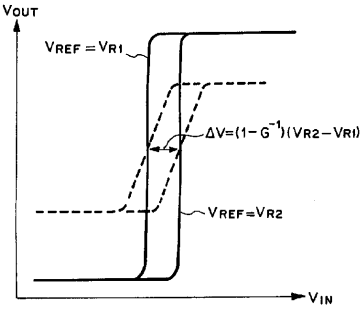
【図９】



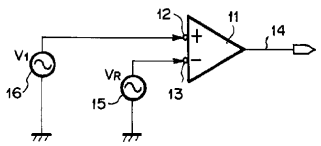
【図１０】



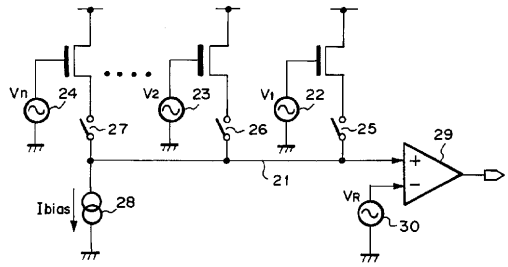
【図１１】



【図１２】



【図１３】



フロントページの続き

(58)調査した分野(Int.Cl.[7], ＤＢ名)
H03K 5/08
H03M 1/10