

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-88291

(P2010-88291A)

(43) 公開日 平成22年4月15日(2010.4.15)

(51) Int.Cl.	F I	テーマコード (参考)
H02M 3/155 (2006.01)	H02M 3/155 C	5H006
H02M 1/38 (2007.01)	H02M 1/38	5H730
H02M 7/21 (2006.01)	H02M 7/21 A	5H740

審査請求 有 請求項の数 14 O L (全 19 頁)

(21) 出願番号	特願2009-198538 (P2009-198538)	(71) 出願人	000004260
(22) 出願日	平成21年8月28日 (2009. 8. 28)		株式会社デンソー
(31) 優先権主張番号	特願2008-227530 (P2008-227530)		愛知県刈谷市昭和町 1 丁目 1 番地
(32) 優先日	平成20年9月4日 (2008. 9. 4)	(74) 代理人	100106149
(33) 優先権主張国	日本国 (JP)		弁理士 矢作 和行
		(74) 代理人	100121991
			弁理士 野々部 泰平
		(74) 代理人	100145595
			弁理士 久保 貴則
		(72) 発明者	戸倉 規仁
			愛知県刈谷市昭和町 1 丁目 1 番地 株式会
			社デンソー内
		(72) 発明者	加藤 久登
			愛知県刈谷市昭和町 1 丁目 1 番地 株式会
			社デンソー内

最終頁に続く

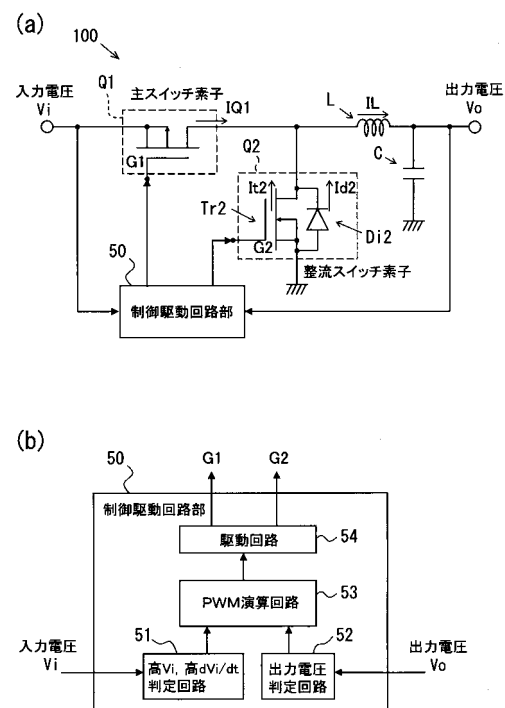
(54) 【発明の名称】 DC-DCコンバータ

(57) 【要約】

【課題】急激な入力電圧上昇がある場合や高入力電圧が長時間続く場合においても、素子破壊することなく、安定した直流電力供給が可能なDC-DCコンバータを提供する。

【解決手段】主スイッチ素子Q1と整流スイッチ素子Q2を有してなる同期整流型のDC-DCコンバータであって、整流スイッチ素子Q2が、整流トランジスタ素子Tr2と整流ダイオード素子Di2とで構成されてなり、入力電圧Viまたは入力電圧の上昇率 dV_i/dt を判定して、該判定値が所定の基準値を越えた時、主スイッチ素子Q1と整流トランジスタ素子Tr2の相補的なオン・オフ動作を解除し、デッドタイムTDより長い時間、主スイッチ素子Q1と整流トランジスタ素子Tr2が共にオフとなる状態が設定されてなるDC-DCコンバータとする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ハイサイドの主スイッチ素子とローサイドの整流スイッチ素子を有してなる同期整流型の DC-DC コンバータであって、

前記整流スイッチ素子が、整流トランジスタ素子と該整流トランジスタ素子に逆並列に接続されてなる整流ダイオード素子とで構成されてなり、

前記主スイッチ素子と前記整流トランジスタ素子のオン・オフ状態を制御する制御駆動回路部を有してなり、

前記制御駆動回路部において、

前記主スイッチ素子への入力電圧を検知し、

10

前記入力電圧または前記入力電圧の上昇率を判定して、該判定値が所定の基準値を越えた時、前記主スイッチ素子と前記整流トランジスタ素子の相補的なオン・オフ動作を解除し、前記相補的なオン・オフ動作時のデッドタイムより長い時間、前記主スイッチ素子と前記整流トランジスタ素子が共にオフとなる状態が設定されてなることを特徴とする DC-DC コンバータ。

【請求項 2】

前記入力電圧および前記入力電圧の上昇率の両者を判定して、前記主スイッチ素子と前記整流トランジスタ素子の相補的なオン・オフ動作を解除することを特徴とする請求項 1 に記載の DC-DC コンバータ。

【請求項 3】

20

前記判定値が所定の基準値を越えた状態で、前記整流トランジスタ素子を常にオフ状態とすることを特徴とする請求項 1 または 2 に記載の DC-DC コンバータ。

【請求項 4】

前記判定値が所定の基準値を越えた状態で、前記整流トランジスタ素子のオン信号のパルス幅は前記解除前と同じで、前記整流トランジスタ素子のオン信号の繰り返し周期を前記解除前より遅くすることを特徴とする請求項 1 または 2 に記載の DC-DC コンバータ。

【請求項 5】

前記判定値が所定の基準値を越えた状態で、前記主スイッチ素子のオン信号のパルス幅は前記解除前と同じで、前記主スイッチ素子のオン信号の繰り返し周期を前記解除前より遅くすることを特徴とする請求項 1 乃至 4 のいずれか一項に記載の DC-DC コンバータ。

30

【請求項 6】

前記判定値が所定の基準値を越えた状態で、前記主スイッチ素子および前記整流トランジスタ素子のスイッチング速度を、前記解除前より低下させることを特徴とする請求項 1 乃至 5 のいずれか一項に記載の DC-DC コンバータ。

【請求項 7】

前記入力電圧または前記入力電圧の上昇率の判定が、デジタル回路のソフト演算によりなされることを特徴とする請求項 1 乃至 6 のいずれか一項に記載の DC-DC コンバータ。

40

【請求項 8】

前記入力電圧または前記入力電圧の上昇率の判定が、電子回路によりなされることを特徴とする請求項 1 乃至 6 のいずれか一項に記載の DC-DC コンバータ。

【請求項 9】

前記整流ダイオード素子が、ショットキバリア型ダイオードであることを特徴とする請求項 1 乃至 8 のいずれか一項に記載の DC-DC コンバータ。

【請求項 10】

前記整流トランジスタ素子が、MOS トランジスタ素子であり、

前記整流ダイオード素子が、前記 MOS トランジスタ素子と同じ半導体基板に形成されてなるボディダイオード素子であることを特徴とする請求項 1 乃至 8 のいずれか一項に記

50

載の D C - D C コンバータ。

【請求項 1 1】

前記 D C - D C コンバータにおいて、

前記主スイッチ素子に流れる電流を検知することを特徴とする請求項 1 0 に記載の D C - D C コンバータ。

【請求項 1 2】

前記主スイッチ素子と前記整流スイッチ素子が、同じ S O I 基板に形成されてなることを特徴とする請求項 1 乃至 1 1 のいずれか一項に記載の D C - D C コンバータ。

【請求項 1 3】

前記 D C - D C コンバータが、車載用であることを特徴とする請求項 1 乃至 1 2 のいずれか一項に記載の D C - D C コンバータ。 10

【請求項 1 4】

前記基準値が、ロードダンプサージに対して設定されてなることを特徴とする請求項 1 3 に記載の D C - D C コンバータ。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、各種電子機器に安定した直流電力を供給する D C - D C コンバータに関し、特に、車載用の電子機器にも適用可能な D C - D C コンバータに関する。

【背景技術】

20

【0 0 0 2】

各種電子機器に安定した直流電力を供給する D C - D C コンバータは、同期整流素子を持たないチョップパ型の D C - D C コンバータと、同期整流素子を持つ同期整流型の D C - D C コンバータに大別できる。

【0 0 0 3】

チョップパ型の D C - D C コンバータは、スイッチング素子の動作により一次側の直流電力を間欠的にコイルに供給するもので、該コイルに蓄積された電磁エネルギーを利用して、昇圧または降圧された二次側の直流出力を得るものである。

【0 0 0 4】

図 9 は、チョップパ型の D C - D C コンバータの一例で、特開 2 0 0 1 - 1 6 1 0 6 8 号公報（特許文献 1）に開示された供給電力制限機能付き D C - D C コンバータの構成図である。 30

【0 0 0 5】

図 9 に示すチョップパ型の D C - D C コンバータは、主として、スイッチングトランジスタ（スイッチング素子）2 1、平滑用コイル 2 2、平滑用コンデンサ 2 3 および整流ダイオード 2 4 からなる。また、スイッチングトランジスタ 2 1 のパルス幅を制限するためのパルス幅制限電圧設定部 2 5 と P W M コンパレータ 2 0 を有しており、パルス幅制限電圧設定部 2 5 の出力電圧が、入力電源の電圧の高低に応じて変化するように構成されている。

【0 0 0 6】

40

図 9 の D C - D C コンバータにおいては、入力電源電圧が高くなるとパルス幅制限電圧設定部 2 5 の出力電圧も高くなり、入力電源電圧が低くなると、パルス幅制限電圧設定部 2 5 の出力電圧も低くなる。このように、パルス幅制限電圧設定部 2 5 の出力電圧は、三角波出力電圧の 1 周期の中で、P W M コンパレータ 2 0 が電圧を出力する期間（スイッチングパルスのパルス幅）の最大値を、制限幅以下に制限する役割を果たすが、当該制限幅が、入力電源電圧に応じて変化している。

【0 0 0 7】

一方、同期整流型の D C - D C コンバータは、チョップパ型の D C - D C コンバータの整流ダイオードに代えて、同期整流素子を用いるものである。

【0 0 0 8】

50

図10は、同期整流型のDC-DCコンバータの一例で、特開2007-151271号公報（特許文献2）に開示されたDC-DCコンバータの回路構成を示した図である。

【0009】

図10に示すDC-DCコンバータは、チョッパ回路1、誤差増幅回路（出力誤差検出回路）2、制御駆動回路（制御部）3、及び電圧検出回路（電圧検出部）4によって構成されている。

【0010】

チョッパ回路1は、制御端子へ入力される信号によってオン・オフ動作を行う主スイッチ素子（第1のスイッチ）11と、主スイッチ素子11のオン・オフ動作によって磁気エネルギーの蓄積と放出とを繰り返すインダクタ12と、インダクタ12を流れる電流を平滑化する平滑コンデンサ13と、主スイッチ素子11のオン・オフ動作と相補的にオン・オフ動作を行う整流スイッチ素子（第2のスイッチ）14とによって構成されている。主スイッチ素子11は、入力直流電圧 V_i が印加され、平滑コンデンサ13から出力直流電圧 V_o が負荷15へ出力される。なお、主スイッチ素子11と整流スイッチ素子14とは、スイッチングの際に、双方共にオフ状態となる期間であるデッドタイムを有している。また、pチャネルの主スイッチ素子11とnチャネルの整流スイッチ素子14には、それぞれ、逆並列にダイオード素子が付加されている。これらダイオード素子は、MOSトランジスタ素子を半導体基板に形成した場合に同時形成されるボディダイオード素子を示すものであり、一般的な同期整流型のDC-DCコンバータにおいては、該ボディダイオード素子が動作しないようにしている。

【0011】

図10に示すDC-DCコンバータにおいて、誤差増幅回路（出力誤差検出部）2は、出力直流電圧 V_o を検出して目標値との誤差を増幅した誤差信号 V_e を生成する。電圧検出回路4は、誤差増幅回路2が出力する誤差信号 V_e を検出し、目標とする検出レベルと誤差信号 V_e との差に応じた検出信号を出力する。また、制御駆動回路3は、主スイッチ素子11の電流に応じた電流検出信号 V_c を生成する電流検出回路36、比較回路32、所定のスイッチング周波数とパルス幅とを有するクロック信号 V_{ck} を生成する発振回路31、NORゲート35、駆動信号 DR を生成するラッチ回路34、主スイッチ素子11を駆動する第1の駆動信号 V_{g1} を生成する駆動回路33、および、該第1の駆動信号 V_{g1} とは逆論理で最小値に設定されたデッドタイムを有する信号 V_{g20} と電圧検出回路4からの検出信号とに応じて、主スイッチ素子11がオフ状態となってから整流スイッチ素子14がオン状態となるまでのデッドタイムが調整された第2の駆動信号 V_{g2} を生成するデッドタイム調整回路37を有している。

【先行技術文献】

【特許文献】

【0012】

【特許文献1】特開2001-161068号公報

【特許文献2】特開2007-151271号公報

【発明の概要】

【発明が解決しようとする課題】

【0013】

図10に示した同期整流型のDC-DCコンバータは、一般的に、図9に示したチョッパ型のDC-DCコンバータに較べて、ハイサイドの主スイッチ素子11とローサイドの整流スイッチ素子14が共にオフ状態になるデッドタイムを短くなるように制御することで、高い変換効率が得られる。

【0014】

また、図10のDC-DCコンバータは、デッドタイム調整回路37により、出力直流電圧 V_o が大きくなればなるほど整流スイッチ素子14のデッドタイムを伸ばすように構成されており、その結果、出力直流電圧 V_o の上昇を抑制することができる。

【0015】

しかしながら、図10のDC-DCコンバータにおいても、例えば自動車特有のサージ（異常電圧）であるロードダンプのように、急激な入力電圧上昇がある場合や高入力電圧が長時間続く場合においては、スイッチ素子11, 14の動作特性が変化するため、デッドタイムの制御が困難である。このため、場合によっては2つのスイッチ素子11, 14が同時オンとなって貫通電流が流れ、スイッチ素子11, 14が破壊することがある。

【0016】

そこで本発明は、高い変換効率が得られる同期整流型のDC-DCコンバータであって、自動車におけるロードダンプのように急激な入力電圧上昇がある場合や高入力電圧が長時間続く場合においても、素子破壊することなく、安定した直流電力供給が可能なDC-DCコンバータを提供することを目的としている。

【課題を解決するための手段】

【0017】

請求項1に記載のDC-DCコンバータは、ハイサイドの主スイッチ素子とローサイドの整流スイッチ素子を有してなる同期整流型のDC-DCコンバータであって、前記整流スイッチ素子が、整流トランジスタ素子と該整流トランジスタ素子に逆並列に接続されてなる整流ダイオード素子とで構成されてなり、前記主スイッチ素子と前記整流トランジスタ素子のオン・オフ状態を制御する制御駆動回路部を有してなり、前記制御駆動回路部において、前記主スイッチ素子への入力電圧を検知し、前記入力電圧または前記入力電圧の上昇率を判定して、該判定値が所定の基準値を越えた時、前記主スイッチ素子と前記整流トランジスタ素子の相補的なオン・オフ動作を解除し、前記相補的なオン・オフ動作時のデッドタイムより長い時間、前記主スイッチ素子と前記整流トランジスタ素子が共にオフとなる状態が設定されてなることを特徴としている。

【0018】

上記DC-DCコンバータは、ハイサイドの主スイッチ素子と、ローサイドの整流トランジスタ素子および該整流トランジスタ素子に逆並列に接続されてなる整流ダイオード素子とで構成された整流スイッチ素子を有している。上記ハイサイドの主スイッチ素子とローサイドの整流トランジスタ素子は、通常動作時において、制御駆動回路部により相補的なオン・オフ動作を行うように制御駆動されている。従って、上記DC-DCコンバータは、通常動作時においては、所謂、同期整流型の動作を行う。

【0019】

一方、上記DC-DCコンバータは、主スイッチ素子への入力電圧 V_i を検知しており、制御駆動回路部において、入力電圧 V_i または入力電圧の上昇率 dV_i/dt を判定して、該判定値が所定の基準値を越えた時、主スイッチ素子と整流トランジスタ素子の相補的なオン・オフ動作を解除し、相補的なオン・オフ動作時のデッドタイムより長い時間、主スイッチ素子と整流トランジスタ素子が共にオフとなる状態が設定されている。ここで、整流トランジスタ素子には整流ダイオード素子が逆並列に接続されているため、主スイッチ素子と整流トランジスタ素子が相補的なオン・オフ動作時のデッドタイムより長い時間共にオフ状態となった場合においても、上記整流ダイオード素子をフリー・ホイーリング動作させて、電力供給を継続することができる。別の言い方をすれば、主スイッチ素子と整流トランジスタ素子が相補的なオン・オフ動作時のデッドタイムより長い時間共にオフ状態となった場合には、上記DC-DCコンバータは、チョップパ型のDC-DCコンバータとして動作する。

【0020】

以上のようにして、上記DC-DCコンバータは、高い変換効率が得られる同期整流型のDC-DCコンバータであって、急激な入力電圧上昇がある場合や高入力電圧が長時間続く場合においても、素子破壊することなく、安定した直流電力供給が可能なDC-DCコンバータとすることができる。

【0021】

上記DC-DCコンバータにおいては、入力電圧または入力電圧の上昇率のいずれか一方だけでなく、請求項2に記載のように、前記入力電圧および前記入力電圧の上昇率の両

10

20

30

40

50

者を判定して、前記主スイッチ素子と前記整流トランジスタ素子の相補的なオン・オフ動作を解除することが好ましい。これにより、例えば自動車におけるロードダンプのように、急激な入力電圧上昇がある場合や高入力電圧が長時間続く場合の異常時において、より確実な制御が可能となる。

【0022】

上記DC-DCコンバータにおいては、例えば請求項3に記載のように、前記判定値が所定の基準値を越えた状態で、前記整流トランジスタ素子を常にオフ状態とすることが好ましい。これによれば、該判定値が所定の基準値を越えた入力電圧の異常時において、上記DC-DCコンバータは、完全にチョッパ型のDC-DCコンバータとしての動作に切り替わる。このため、素子破壊をより確実に防止することができる。

10

【0023】

また、上記DC-DCコンバータにおいては、請求項4に記載のように、前記判定値が所定の基準値を越えた状態で、前記整流トランジスタ素子のオン信号のパルス幅は前記解除前と同じで、前記整流トランジスタ素子のオン信号の繰り返し周期を前記解除前より遅くするようにしてもよい。

【0024】

この場合には、判定値が所定の基準値を越えた入力電圧の異常時において、整流ダイオード素子が主とし整流動作を担い、整流トランジスタ素子は補助的な役割を果たす。従って、予想される異常時の入力電圧 V_i または入力電圧の上昇率 dV_i/dt に対して、整流トランジスタ素子のオン信号の繰り返し周期を適宜設定することで、素子破壊の防止と安定した直流電力供給を両立させることができる。

20

【0025】

上記DC-DCコンバータにおいては、前記主スイッチ素子についても、請求項5に記載のように、前記判定値が所定の基準値を越えた状態で、前記主スイッチ素子のオン信号のパルス幅は前記解除前と同じで、前記主スイッチ素子のオン信号の繰り返し周期を前記解除前より遅くすることが好ましい。

【0026】

これによれば、判定値が所定の基準値を越えた入力電圧の異常時において、主スイッチ素子の動作をより安定化させることができ、整流トランジスタ素子を補助的に用いる場合にも、デッドタイムの制御をより容易に行うことができる。

30

【0027】

また、上記DC-DCコンバータにおいては、請求項6に記載のように、前記判定値が所定の基準値を越えた状態で、前記主スイッチ素子および前記整流トランジスタ素子のスイッチング速度を、前記解除前より低下させることが好ましい。これにより、判定値が所定の基準値を越えた入力電圧の異常時において、急激な電圧上昇に伴う主スイッチ素子および整流トランジスタ素子のオーバーシュート（リングング）を防止することができる。

【0028】

上記DC-DCコンバータにおいては、請求項7に記載のように、前記入力電圧または前記入力電圧の上昇率の判定が、デジタル回路のソフト演算によりなされるように構成することができる。また、請求項8に記載のように、前記入力電圧または前記入力電圧の上昇率の判定が、電子回路によりなされるように構成してもよい。

40

【0029】

上記DC-DCコンバータにおいては、請求項9に記載のように、前記整流ダイオード素子として、順方向電圧の低いショットキバリア型ダイオードであることが好ましい。

【0030】

一方、請求項10に記載のように、前記整流トランジスタ素子が、MOSトランジスタ素子である場合には、前記整流ダイオード素子が、前記MOSトランジスタ素子と同じ半導体基板に形成されてなるボディダイオード素子である構成とすることも可能である。これによって、上記DC-DCコンバータの小型化と低コスト化を図ることができる。また、整流トランジスタ素子に内在するボディダイオード素子を整流ダイオード素子として用

50

いるDC-DCコンバータにおいては、ボディダイオード素子の動作が低速であるため、主スイッチ素子を制御するだけで、微妙なデッドタイム制御が不要である。従って、デッドタイム不足により発生する貫通電流で素子や負荷が破壊する不具合を回避したり、デッドタイム過多によるサージ発生と誤動作を回避したりすることが容易である。

【0031】

また、この場合には請求項11に記載のように、前記DC-DCコンバータにおいて、前記主スイッチ素子に流れる電流を検知することが好ましい。これによって、低速のボディダイオード素子を用いる場合であっても、残留するサージ電流が無いことを十分に検知した上で、主スイッチ素子および補助的に用いる整流トランジスタ素子の動作制御を行うことができる。

【0032】

上記DC-DCコンバータにおいては、請求項12に記載のように、前記主スイッチ素子と前記整流スイッチ素子が、同じSOI (Silicon On Insulator) 基板に形成されてなることが好ましい。これによれば、主スイッチ素子と整流スイッチ素子をバルクのシリコン単結晶基板に形成する場合に較べて、主スイッチ素子および整流スイッチ素子を構成する整流トランジスタ素子と整流ダイオード素子の高速化と低損失化が可能である。

【0033】

以上のようにして、上記DC-DCコンバータは、高い変換効率が得られる同期整流型のDC-DCコンバータであって、急激な入力電圧上昇がある場合や高入力電圧が長時間続く場合においても、素子破壊することなく、安定した直流電力供給が可能なDC-DCコンバータとすることができる。

【0034】

従って、請求項13に記載のように、上記DC-DCコンバータは、車載用として好適である。特に、請求項14に記載のように、前記基準値が、ロードダンプサージに対して設定されてなるようにすることで、自動車におけるロードダンプのように急激な入力電圧上昇がある場合や高入力電圧が長時間続く場合においても、素子破壊することなく、安定した直流電力供給が可能なDC-DCコンバータとすることができる。

【図面の簡単な説明】

【0035】

【図1】本発明のDC-DCコンバータの一例で、(a)は、DC-DCコンバータ100の要部構成を示した回路図であり、(b)は、(a)に示す制御駆動回路部50の詳細を示した回路図である。

【図2】図1(a)に示すDC-DCコンバータ100の動作の一例を説明するタイムチャートである。

【図3】高 V_i 、高 dV_i/dt 判定回路51をデジタル回路のソフト演算により構成した場合の図で、(a)は、ソフト演算のフローチャートであり、(b)は、判定動作を説明するタイムチャートである。

【図4】図3に示したソフト演算の変形例で、(a)は、フローチャートであり、(b)は、ロードダンプ発生時における入力電圧 V_i の時間変化の一例をより詳細に示した図である。

【図5】高 V_i 、高 dV_i/dt 判定回路51を電子回路によりなされるように構成した場合の回路図である。

【図6】図5に示した電子回路の変形例で、(a)は、回路図であり、(b)は、ロードダンプ発生時における入力電圧 V_i の時間変化の別例を詳細に示した図である。

【図7】整流ダイオード素子としてMOSトランジスタ素子と同時形成されるボディダイオード素子を利用したDC-DCコンバータの例を示す図で、(a)は、DC-DCコンバータ101の要部構成を示した回路図であり、(b)は、(a)に示す制御駆動回路部50aの詳細を示した回路図である。

【図8】(a)は、整流スイッチ素子Q4の具体化例を示した断面図であり、(b)は、整流ダイオード素子D12の具体化例を示した断面図である。

10

20

30

40

50

【図 9】チョップパ型の DC-DC コンバータの一例で、特許文献 1 に開示された供給電力制限機能付き DC-DC コンバータの構成図である。

【図 10】同期整流型の DC-DC コンバータの一例で、特許文献 2 に開示された DC-DC コンバータの回路構成を示した図である。

【発明を実施するための形態】

【0036】

以下、本発明を実施するための形態を、図に基づいて説明する。

【0037】

図 1 は、本発明の DC-DC コンバータの一例で、図 1 (a) は、DC-DC コンバータ 100 の要部構成を示した回路図であり、図 1 (b) は、図 1 (a) に示す制御駆動回路部 50 の詳細を示した回路図である。

【0038】

図 1 (a) に示す DC-DC コンバータ 100 は、車載用の DC-DC コンバータで、以下に詳述するように、特に、ロードダンプのように急激な入力電圧上昇 dV_i/dt がある場合や高入力電圧 V_i が長時間続く場合においても、素子破壊することなく、安定した直流電力供給が可能にようにしたものである。

【0039】

図 1 (a) に示す DC-DC コンバータ 100 は、図中に破線で囲ったハイサイドの主スイッチ素子 Q_1 とローサイドの整流スイッチ素子 Q_2 を有してなる、同期整流型の DC-DC コンバータである。ハイサイドの主スイッチ素子 Q_1 は、p チャネルの MOS トランジスタ素子からなり、制御端子へ入力される信号 G_1 によってオン・オフ動作を行う。主スイッチ素子 Q_1 のオン・オフ動作によって、インダクタ L は、磁気エネルギーの蓄積と放出とを繰り返す。平滑コンデンサ C は、インダクタ L を流れる電流 I_L を平滑化する。また、DC-DC コンバータ 100 におけるローサイドの整流スイッチ素子 Q_2 は、主スイッチ素子 Q_1 のオン・オフ動作と相補的にオン・オフ動作を行う整流トランジスタ素子 Tr_2 と、一般的な同期整流型の DC-DC コンバータと異なり、該整流トランジスタ素子 Tr_2 に逆並列に接続された整流ダイオード素子 Di_2 とで構成されている。図 1 (a) の DC-DC コンバータ 100 における整流トランジスタ素子 Tr_2 は、n チャネルの MOS トランジスタ素子からなり、整流ダイオード素子 Di_2 は、外付けのショットキバリア型ダイオード素子からなる。

【0040】

図 1 (a) に示すように、DC-DC コンバータ 100 は、主スイッチ素子 Q_1 と整流トランジスタ素子 Tr_2 のオン・オフ状態を制御する制御駆動回路部 50 を有している。DC-DC コンバータ 100 は、制御駆動回路部 50 において、主スイッチ素子 Q_1 への入力電圧 V_i と平滑コンデンサ C の出力電圧 V_o を検知し、最適な主スイッチ素子 Q_1 のゲート信号 G_1 と整流トランジスタ素子 Tr_2 のゲート信号 G_2 を出力する。

【0041】

図 1 (b) に示すように、制御駆動回路部 50 は、高 V_i 、高 dV_i/dt 判定回路 51、出力電圧判定回路 52、PWM 演算回路 53 および駆動回路 54 で構成されている。入力電圧 V_i は、高 V_i 、高 dV_i/dt 判定回路 51 によって、通常状態であるか、あるいは入力電圧 V_i または入力電圧の上昇率 dV_i/dt が所定の基準値を越えた異常状態であるかが判定される。出力電圧 V_o は、出力電圧判定回路 52 によって、安定出力が得られているかどうか判定される。これら高 V_i 、高 dV_i/dt 判定回路 51 による入力電圧 V_i と出力電圧判定回路 52 による出力電圧 V_o の判定結果をもとにして、PWM 演算回路 53 により所定の演算を行い、駆動回路 54 を介して主スイッチ素子 Q_1 のゲート信号 G_1 と整流トランジスタ素子 Tr_2 のゲート信号 G_2 が出力される。

【0042】

図 1 (a) に示す DC-DC コンバータ 100 は、後で詳述するように、制御駆動回路部 50 において、主スイッチ素子 Q_1 への入力電圧 V_i を検知し、入力電圧 V_i または入力電圧の上昇率 dV_i/dt を判定している。そして、該判定値が所定の基準値を越えた

10

20

30

40

50

時、主スイッチ素子 Q_1 と整流トランジスタ素子 T_{r2} の相補的なオン・オフ動作を解除し、相補的なオン・オフ動作時のデッドタイムより長い時間、主スイッチ素子 Q_1 と整流トランジスタ素子 T_{r2} が共にオフとなる状態が設定されている。

【0043】

図2は、図1(a)に示すDC-DCコンバータ100の動作の一例を説明するタイムチャートである。図2においては、入力電圧 V_i と出力電圧 V_o 、主スイッチ素子 Q_1 のゲート信号 G_1 と整流トランジスタ素子 T_{r2} のゲート信号 G_2 、主スイッチ素子 Q_1 を流れる電流 I_{Q1} 、整流トランジスタ素子 T_{r2} を流れる電流 I_{t2} 、整流ダイオード素子 D_{i2} を流れる電流 I_{d2} およびインダクタ L を流れる電流 I_L を同じ時間軸で示している。

10

【0044】

前述したように、図1(a)に示すDC-DCコンバータ100は、ハイサイドの主スイッチ素子 Q_1 と、ローサイドの整流トランジスタ素子 T_{r2} および該整流トランジスタ素子 T_{r2} に逆並列に接続された整流ダイオード素子 D_{i2} とで構成された整流スイッチ素子 Q_2 を有している。上記ハイサイドの主スイッチ素子 Q_1 とローサイドの整流トランジスタ素子 T_{r2} は、図2に示すように、通常動作時において、制御駆動回路部50により相補的なオン・オフ動作を行うように制御駆動されている。従って、DC-DCコンバータ100は、通常動作時においては所謂同期整流型の動作を行い、主スイッチ素子 Q_1 と整流トランジスタ素子 T_{r2} が所定のデッドタイム制御の下で相補的にオン・オフを繰り返すことで、高効率なPWM動作を行い、安定した直流電圧を出力する。尚、主スイッチ素子 Q_1 と整流トランジスタ素子 T_{r2} が相補的なオン・オフ動作を行う通常動作時においては、整流ダイオード素子 D_{i2} は、無効状態となっている。

20

【0045】

一方、図1(a)のDC-DCコンバータ100は、前述したように主スイッチ素子 Q_1 への入力電圧 V_i を検知しており、制御駆動回路部50において、後述するように入力電圧 V_i または入力電圧の上昇率 dV_i/dt を判定している。そして、該判定値が所定の基準値を越えた時、図2に示すように、主スイッチ素子 Q_1 と整流トランジスタ素子 T_{r2} の相補的なオン・オフ動作を解除し、相補的なオン・オフ動作時のデッドタイム T_D より長い時間、主スイッチ素子 Q_1 と整流トランジスタ素子 T_{r2} が共にオフとなる状態が設定されている。図2のタイムチャートにおいては、ロードダンプの開始が判定された段階で、整流トランジスタ素子 T_{r2} を完全に停止し、ロードダンプが継続している間、整流トランジスタ素子 T_{r2} を常にオフ状態とする例を示している。

30

【0046】

ここで、図1(a)のDC-DCコンバータ100においては、従来の同期整流型のDC-DCコンバータと異なり、整流トランジスタ素子 T_{r2} には整流ダイオード素子 D_{i2} が逆並列に接続されているため、主スイッチ素子 Q_1 と整流トランジスタ素子 T_{r2} が相補的なオン・オフ動作時のデッドタイム T_D より長い時間共にオフ状態となった場合においても、整流ダイオード素子 D_{i2} をフリー・ホイーリング動作させて、図2に示すように、電力供給を継続することができる。別の言い方をすれば、主スイッチ素子 Q_1 と整流トランジスタ素子 T_{r2} が相補的なオン・オフ動作時のデッドタイム T_D より長い時間共にオフ状態となった場合には、DC-DCコンバータ100は、チョップパ型のDC-DCコンバータとして動作する。

40

【0047】

以上のようにして、図1(a)に示すDC-DCコンバータ100は、高い変換効率を得られる同期整流型のDC-DCコンバータであって、急激な入力電圧上昇がある場合や高入力電圧が長時間続く場合においても、素子破壊することなく、安定した直流電力供給が可能なDC-DCコンバータとなっている。

【0048】

次に、図1(b)に示す制御駆動回路部50の高 V_i 、高 dV_i/dt 判定回路51について、その動作をより詳細に説明する。

50

【0049】

図3は、高 V_i 、高 dV_i/dt 判定回路51をデジタル回路のソフト演算により構成した場合の図である。図3(a)は、ソフト演算のフローチャートであり、図3(b)は、判定動作を説明するタイムチャートである。

【0050】

図3(a)のフローチャートで示した高 V_i 、高 dV_i/dt 判定回路51は、以下のように動作する。最初に、ステップS0において、メモリ V_j をゼロにリセットしておく。次に、ステップS1において、入力電圧 V_i をサンプリングする。尚、サンプリング周期 ΔT は、ロードダンプ時の入力電圧 V_i の急変に追従できる程度に短い時間に設定する。

10

【0051】

次に、ステップS2において、高電圧判定Aを実施し、入力電圧 V_i がロードダンプ状態かどうかを基準値 V_a (例えば30V)と比較し、 $V_i > V_a$ ならロードダンプ状態(YES)、 $V_i < V_a$ なら非ロードダンプ状態(NO)と判定する。入力電圧 V_i がロードダンプ状態にある(YES)と判定された場合には、ステップS5にとび、ロードダンプ信号を出力する。入力電圧 V_i が非ロードダンプ状態にある(NO)と判定された場合には、次のステップS3に進む。

【0052】

次のステップS3においては、基準値 V_a より低く設定された基準値 V_b (例えば20V)で、高電圧判定Bを実施する。入力電圧 V_i がロードダンプに近い状態にあるかどうかを基準値 V_b と比較し、 $V_i > V_b$ ならロードダンプに近い状態(YES)、 $V_i < V_b$ ならロードダンプに近くない状態(NO)と判定する。入力電圧 V_i がロードダンプに近い状態にある(YES)と判定された場合には、次のステップS4に進む。入力電圧 V_i がロードダンプに近くない状態にある(NO)と判定された場合には、ステップS6にとび、入力電圧 V_i をメモリ V_j に入れる。

20

【0053】

ステップS4は、入力電圧 V_i が基準値 V_b より大きい時、高 dV_i/dt 判定Cを実施する。ステップS4では、入力電圧 V_i の時間変化 $(V_i - V_j)/\Delta T$ を計算し、基準値 k (例えば $1V/\mu sec$)と比較して、 $(V_i - V_j)/\Delta T > k$ ならロードダンプ突入状態(YES)、 $(V_i - V_j)/\Delta T < k$ ならロードダンプ非突入状態(NO)と判定する。ロードダンプ突入状態にある(YES)と判定された場合には、次のステップS5に進む。ロードダンプ非突入状態にある(NO)と判定された場合には、ステップS6にとび、入力電圧 V_i をメモリ V_j に入れる。

30

【0054】

ステップS2におけるロードダンプ状態またはステップS4におけるロードダンプ突入状態が判定されると、ステップS5のロードダンプ信号出力Dにおいて、ロードダンプ信号を出力する。ロードダンプ信号を出力した後、ステップS6にとび、入力電圧 V_i をメモリ V_j に入れる。

【0055】

ステップS6において、入力電圧 V_i をメモリ V_j に入れた後は、再びステップS1に戻り、上記ステップを繰り返す。

40

【0056】

図3(b)のタイムチャートは、入力電圧 V_i と出力電圧 V_o および図3(a)のフローチャートにおける各ステップの出力信号を同じ時間軸で示した図で、入力電圧 V_i にロードダンプサージが入った時の各ステップの出力信号を示している。

【0057】

入力電圧 V_i にロードダンプサージが入ると、入力電圧 V_i が基準値 V_b より大きい状態となり、先にステップS3の高電圧判定Bで、ロードダンプに近い状態にあると判定される。続いて、ステップS4の高 dV_i/dt 判定Cでロードダンプ突入状態が判定され、ステップS5のロードダンプ信号出力Dにおいて、ロードダンプ信号が立ち上がる。ロ

50

ードダンブによって高い入力電圧 V_i が続いている間は、ステップ S_2 の高電圧判定 A においてロードダンブ状態が判定されるため、ロードダンブ信号は出力され続ける。その後、ロードダンブによる入力電圧 V_i が基準値 V_a より小さくなった時点で、ステップ S_2 において非ロードダンブ状態が判定され、ステップ S_5 におけるロードダンブ信号の出力が停止される。

【0058】

図4は、図3に示したソフト演算の変形例で、図4(a)は、フローチャートであり、図4(b)は、ロードダンブ発生時における入力電圧 V_i の時間変化の一例をより詳細に示した図である。

【0059】

図4(a)に示すフローチャートにおいては、図3(a)に示したフローチャートに較べて、ステップ S_3' の高電圧判定 B' とステップ S_4' の高 dV_i/dt 判定 C' の二つのステップが追加されている。ステップ S_3' における高電圧判定 B' の基準値 $V_{b'}$ は、ステップ S_2 における基準値 V_a (例えば30V) とステップ S_3 における基準値 V_b (例えば20V) の中間の値 (例えば25V) に設定される。また、ステップ S_4' における高 dV_i/dt 判定 C' の基準値 k' は、ステップ S_4 における基準値 k (例えば $1V/\mu sec$) に較べて大きな値 (例えば $2V/\mu sec$) に設定される。

【0060】

図4(a)に示すフローチャートでは、ステップ S_2 において $V_i < V_a = 30V$ で非ロードダンブ状態 (NO) と判定され、ステップ S_3 において $V_i > V_b = 20V$ でロードダンブに近い状態 (YES) と判定された場合に、次のステップ S_3' に進む。

【0061】

次のステップ S_3' においては、基準値 $V_a = 30V$ と基準値 $V_b = 20V$ の中間の値に設定された基準値 $V_{b'} = 25V$ で、高電圧判定 B' を実施する。ステップ S_3' において入力電圧 $V_i > V_{b'} = 25V$ なら、ステップ S_4 の高 dV_i/dt 判定 C に進み、入力電圧 V_i の時間変化 $(V_i - V_j)/\Delta T > k = 1V/\mu sec$ の時にロードダンブ突入状態 (YES) と判定されて、ステップ S_5 に進む。一方、ステップ S_3' において入力電圧 $V_i < V_{b'} = 25V$ なら、ステップ S_4' の高 dV_i/dt 判定 C' に進み、入力電圧 V_i の時間変化 $(V_i - V_j)/\Delta T > k' = 2V/\mu sec$ の時にロードダンブ突入状態 (YES) と判定されて、ステップ S_5 に進む。

【0062】

図4(a)に示すフローチャートは、図3(a)に示したフローチャートに較べて、基準値 $V_b = 20V$ と基準値 $V_a = 30V$ の間における入力電圧 V_i の時間変化 $(V_i - V_j)/\Delta T$ に関する判定をより詳細に行うものである。すなわち、基準値 $V_b = 20V$ と基準値 $V_{b'} = 25V$ の間においては、 $(V_i - V_j)/\Delta T > k' = 2V/\mu sec$ でロードダンブ突入状態 (YES) を判定し、基準値 $V_{b'} = 25V$ と基準値 $V_a = 30V$ の間においては、 $(V_i - V_j)/\Delta T > k = 1V/\mu sec$ でロードダンブ突入状態 (YES) を判定する。

【0063】

ロードダンブ発生時における入力電圧 V_i の時間変化は、図4(b)に例示したように、通常一定ではなく、 $(V_i - V_j)/\Delta T$ は一般的に一定値とはならない。例えば、図4(b)では、基準値 $V_b = 20V$ と基準値 $V_{b'} = 25V$ の間における入力電圧 V_i の傾きに較べて、基準値 $V_{b'} = 25V$ と基準値 $V_a = 30V$ の間における入力電圧 V_i の傾きが小さくなっており、飽和傾向を示している。このような場合、二点の入力電圧 V_i の基準値 V_a , V_b と一点の入力電圧 V_i の時間変化 $(V_i - V_j)/\Delta T$ の基準値 k しか持たない図3(a)のフローチャートでは正確なロードダンブ突入状態の判定が困難である。一方、図4(a)のフローチャートでは、中間の入力電圧 V_i の基準値 $V_{b'}$ と時間変化 $(V_i - V_j)/\Delta T$ の基準値 k' を適宜設定することにより、より正確なロードダンブ突入状態の判定が可能になる。尚、図4(a)においては、ステップ S_4' における入力電圧 V_i の時間変化 $(V_i - V_j)/\Delta T$ の基準値 $k' = 2V/\mu sec$ を、ステ

10

20

30

40

50

ップ S 4 における基準値 $k = 1 \text{ V} / \mu \text{sec}$ に較べて大きくする場合の例を示した。しかしながらこれに限らず、ロードダンプ突入時の入力電圧 V_i の時間変化傾向によっては、ステップ S 4' における基準値 k' をステップ S 4 における基準値 k より小さく設定してより正確な判定をすることも可能である。

【0064】

図 5 は、図 1 (b) に示す高 V_i 、高 dV_i / dt 判定回路 51 を電子回路によりなされるように構成した場合の回路図である。

【0065】

図 5 に示す電子回路を用いても、図 3 に示した高 V_i 、高 dV_i / dt 判定回路 51 をデジタル回路のソフト演算により構成した場合と同等の判定動作を行わせることができる。すなわち、高電圧判定回路 A をコンパレータ COMP1 と基準値 V_a (例えば 30 V) の比較電源で構成し、入力電圧 $V_i > \text{基準値 } V_a$ の時、ロードダンプ状態と判定し、端子 A に出力する。また、高電圧判定回路 B をコンパレータ COMP2 と基準値 V_b (例えば 20 V) の比較電源で構成し、入力電圧 $V_i > \text{基準値 } V_b$ の時、ロードダンプに近い状態と判定し、端子 B に出力する。さらに、高 dV_i / dt 判定回路を微分回路とコンパレータ COMP3 で構成し、抵抗 R、容量 C および基準電圧 V_{r1} 、 V_{r2} を適宜設定することにより、例えば $dV_i / dt > 1 \text{ V} / \mu \text{sec}$ の時、ロードダンプ突入状態と判定し、端子 C に出力する。端子 B 出力と端子 C 出力の AND 演算、および端子 A 出力との OR 演算により、端子 D にロードダンプ信号が出力される。

【0066】

以上のようにして、図 5 に示す電子回路を高 V_i 、高 dV_i / dt 判定回路 51 として用いても、図 3 に示した高 V_i 、高 dV_i / dt 判定回路 51 をデジタル回路のソフト演算により構成した場合と同等の判定動作を行わせることができる。

【0067】

図 6 は、図 5 に示した電子回路の変形例で、図 6 (a) は、回路図であり、図 6 (b) は、ロードダンプ発生時における入力電圧 V_i の時間変化の別例を詳細に示した図である。

【0068】

図 6 (a) に示す電子回路においては、図 5 に示した電子回路の端子 B 出力と端子 C 出力の AND 演算に換えて、端子 B 出力と端子 C 出力の D ラッチ演算が用いられている。図 5 に示した端子 B 出力と端子 C 出力の AND 演算をする電子回路においては、例えば入力電圧 $V_i < \text{基準値 } V_a = 30 \text{ V}$ においては、入力電圧 $V_i > \text{基準値 } V_b = 20 \text{ V}$ と $dV_i / dt > \text{基準値 } 1 \text{ V} / \mu \text{sec}$ が同時に満たされるとき、ロードダンプ状態が判定される。しかしながら、ロードダンプ発生時における入力電圧 V_i は、図 6 (b) に例示したように、点線で示した平均的な入力電圧 V_i の上昇にノイズが重なって、入力電圧 V_i が上下に揺らぎながら増大していく場合がある。この場合、端子 B 出力と端子 C 出力の AND 演算を行う図 5 に示した電子回路では、図 6 (b) において入力電圧 $V_i > \text{基準値 } V_b = 20 \text{ V}$ であっても dV_i / dt がマイナスの部分ではロードダンプ状態と判定されない。これに対して、端子 B 出力と端子 C 出力の D ラッチ演算が用いられる図 6 (a) の電子回路では、入力電圧 $V_i > \text{基準値 } V_b = 20 \text{ V}$ の条件が一度でも成立し、その条件が成立している間に $dV_i / dt > \text{基準値 } 1 \text{ V} / \mu \text{sec}$ の条件が成立すれば、ロードダンプ突入状態であると判定し記憶することができるため、より正確なロードダンプ突入状態の判定が可能になる。

【0069】

図 1 (a) に示す DC-DC コンバータ 100 においては、入力電圧 V_i または入力電圧の上昇率 dV_i / dt のいずれか一方だけでなく、図 3 と図 5 に例示したように、入力電圧 V_i および入力電圧の上昇率 dV_i / dt の両者を判定して、主スイッチ素子 Q1 と整流トランジスタ素子 Tr2 の相補的なオン・オフ動作を解除することが好ましい。これにより、例えば自動車におけるロードダンプのように、急激な入力電圧上昇 dV_i / dt がある場合や高入力電圧 V_i が長時間続く場合の異常時において、より確実な制御が可能

となる。

【0070】

図1(a)のDC-DCコンバータ100においては、入力電圧 V_i または入力電圧の上昇率 dV_i/dt の判定値が所定の基準値を越えた状態で、図2に示したように整流トランジスタ素子 T_r2 を常にオフ状態とすることが好ましい。これによれば、該判定値が所定の基準値を越えた入力電圧の異常時において、DC-DCコンバータ100は、完全にチョッパ型のDC-DCコンバータとしての動作に切り替わる。このため、素子破壊を確実に防止することができる。

【0071】

しかしながらこれに限らず、図1(a)のDC-DCコンバータ100においては、前記判定値が所定の基準値を越えた状態で、整流トランジスタ素子 T_r2 のオン信号のパルス幅は解除前と同じで、整流トランジスタ素子 T_r2 のオン信号の繰り返し周期を解除前より遅くするようにしてもよい。この場合には、判定値が所定の基準値を越えた入力電圧の異常時において、整流ダイオード素子 D_i2 が主とし整流動作を担い、整流トランジスタ素子 T_r2 は補助的な役割を果たす。従って、予想される異常時の入力電圧 V_i または入力電圧の上昇率 dV_i/dt に対して、整流トランジスタ素子 T_r2 のオン信号の繰り返し周期を適宜設定することで、素子破壊の防止と安定した直流電力供給を両立させることができる。

【0072】

図1(a)のDC-DCコンバータ100においては、主スイッチ素子 Q_1 についても、図2のロードダンプ開始判定後に示すように、前記判定値が所定の基準値を越えた状態で、主スイッチ素子 Q_1 のオン信号のパルス幅は解除前と同じで、主スイッチ素子 Q_1 のオン信号の繰り返し周期を解除前より遅くするようにしている。これによれば、判定値が所定の基準値を越えた入力電圧 V_i の異常時において、主スイッチ素子 Q_1 の動作をより安定化させることができ、整流トランジスタ素子 T_r2 を補助的に用いる場合にも、デッドタイムの制御をより容易に行うことができる。

【0073】

また、図1(a)のDC-DCコンバータ100においては、前記判定値が所定の基準値を越えた状態で、主スイッチ素子 Q_1 および整流トランジスタ素子 T_r2 のスイッチング速度を、解除前より低下させることが好ましい。これにより、判定値が所定の基準値を越えた入力電圧の異常時において、急激な電圧上昇に伴う主スイッチ素子 Q_1 および整流トランジスタ素子 T_r2 のオーバーシュート（リングング）を防止することができる。

【0074】

図1(a)のDC-DCコンバータ100における整流ダイオード素子 D_i2 としては、前述したように、順方向電圧の低いショットキバリア型ダイオードが好適である。

【0075】

一方、これに限らず、整流トランジスタ素子をMOSトランジスタ素子とする場合には、整流ダイオード素子として、該MOSトランジスタ素子と同じ半導体基板に同時形成されるボディダイオード素子とすることも可能である。これによれば、上記DC-DCコンバータの小型化と低コスト化を図ることが可能である。

【0076】

図7は、上記整流ダイオード素子としてMOSトランジスタ素子と同時形成されるボディダイオード素子を利用したDC-DCコンバータの例を示す図である。図7(a)は、DC-DCコンバータ101の要部構成を示した回路図であり、図7(b)は、図7(a)に示す制御駆動回路部50aの詳細を示した回路図である。尚、図7(a)、(b)に示すDC-DCコンバータ101および制御駆動回路部50aにおいて、それぞれ、図1(a)、(b)に示したDC-DCコンバータ100および制御駆動回路部50と同様の部分については、同じ符号を付した。

【0077】

図7(a)に示すDC-DCコンバータ101も、図1(a)に示したDC-DCコン

10

20

30

40

50

バータ100と同様に、ハイサイドの主スイッチ素子Q3とローサイドの整流スイッチ素子Q4を有してなる同期整流型のDC-DCコンバータである。ローサイドの整流スイッチ素子Q4は、主スイッチ素子Q3のオン・オフ動作と相補的にオン・オフ動作を行う整流トランジスタ素子Tr4と該整流トランジスタ素子Tr4に逆並列に接続された整流ダイオード素子Di4とで構成されている。一方、図7(a)のDC-DCコンバータ101は、図1(a)のDC-DCコンバータ100と異なり、整流ダイオード素子Di4が、nチャネルのMOSトランジスタ素子である整流トランジスタ素子Tr4と同じ半導体基板に同時形成されるボディダイオード素子で構成されている。図7(a)のDC-DCコンバータ101における整流ダイオード素子Di4も、図1(a)のDC-DCコンバータ100における整流ダイオード素子Di2と同様に、制御駆動回路部50aにより、ロードダンプ等の異常時において、主スイッチ素子Q3と整流トランジスタ素子Tr4がオフ状態となった場合にフリー・ホイーリング動作するように設定されている。尚、図7(a)のDC-DCコンバータ101においては、主スイッチ素子Q3も逆並列に接続されたボディダイオード素子が内在するpチャネルのMOSトランジスタ素子となっているが、該主スイッチ素子Q3のボディダイオード素子は、動作しないように無効状態にしている。

10

【0078】

整流トランジスタ素子Tr4に内在するボディダイオード素子を整流ダイオード素子Di4として用いるDC-DCコンバータ101においては、ボディダイオード素子の動作が低速であるため、主スイッチ素子Q3を制御するだけで、微妙なデッドタイム制御が不要である。従って、デッドタイム不足により発生する貫通電流で素子や負荷が破壊する不具合を回避したり、デッドタイム過多によるサージ発生と誤動作を回避したりすることが容易である。

20

【0079】

一方、整流トランジスタ素子Tr4に内在するボディダイオード素子を整流ダイオード素子Di4として用いるDC-DCコンバータ101においては、図7(a)に示すように、主スイッチ素子Q3に流れる電流を検知することが好ましい。これによって、整流ダイオード素子Di4として低速のボディダイオード素子を用いる場合であっても、残留するサージ電流が無いことを十分に検知した上で、主スイッチ素子Q3および補助的に用いる整流トランジスタ素子Tr4の動作制御を行うことができる。特に、入力電圧異常時の電流モニタのサンプリングタイミングは、nチャネルMOSトランジスタに内在するボディダイオード素子に起因するサージ電流が無くなるまで十分な待ち時間を取ってから行えるように、整流トランジスタ素子Tr4のゲート制御を行い、動作の安定化をさらに図る。

30

【0080】

図1(a)に示したDC-DCコンバータ100や図7(a)に示したDC-DCコンバータ101においては、主スイッチ素子Q1、Q3と整流スイッチ素子Q2、Q4が、同じSOI(Silicon On Insulator)基板に形成されてなることが好ましい。これによれば、主スイッチ素子Q1、Q3と整流スイッチ素子Q2、Q4をバルクのシリコン単結晶基板に形成する場合に較べて、主スイッチ素子Q1、Q3および整流スイッチ素子Q2、Q4を構成する整流トランジスタ素子Tr2、Tr4と整流ダイオード素子Di2、Di4の高速化と低損失化が可能である。

40

【0081】

図8は、上記した主スイッチ素子Q1、Q3と整流スイッチ素子Q2、Q4を同じSOI基板に形成する場合の具体的な構造例を示す図で、図8(a)は、整流スイッチ素子Q4の具体化例を示した断面図であり、図8(b)は、整流ダイオード素子Di2の具体化例を示した断面図である。

【0082】

図8(a)に示す整流スイッチ素子Q4および図8(b)に示す整流ダイオード素子Di2は、いずれも、埋込酸化膜63を有するSOI基板60に形成されている。SOI基

50

板 60 は、基板貼り合わせ技術により形成された S O I 基板で、支持基板 62 に対して素子が形成される埋込酸化膜 63 上の S O I 層 61 は、薄く研磨加工されている。また、図 8 (a) に示す整流スイッチ素子 Q 4 および図 8 (b) に示す整流ダイオード素子 D i 2 は、いずれも、埋込酸化膜 63 に達する絶縁分離トレンチ 64 によって、周りの素子から絶縁分離されている。

【0083】

図 8 (a) に示す整流スイッチ素子 Q 4 は、n チャネル M O S トランジスタからなる整流トランジスタ素子 T r 4 と、該整流トランジスタ素子 T r 4 に内在するボディダイオード素子からなる図中に記号で示した整流ダイオード素子 D i 4 とで構成されている。また、図 8 (b) に示す整流ダイオード素子 D i 2 は、ショットキバリア型ダイオードである。図 8 (a) に示す整流トランジスタ素子 T r 4 と整流ダイオード素子 D i 4 および図 8 (b) に示す整流ダイオード素子 D i 2 は、いずれも薄い S O I 層 61 に形成されており、バルクのシリコン単結晶基板に形成する場合に較べて、高速化と低損失化が可能である。

10

【0084】

以上のようにして、上記した D C - D C コンバータは、高い変換効率が得られる同期整流型の D C - D C コンバータであって、急激な入力電圧上昇がある場合や高入力電圧が長時間続く場合においても、素子破壊することなく、安定した直流電力供給が可能な D C - D C コンバータとすることができる。

【0085】

従って、上記した D C - D C コンバータは、車載用として好適である。特に、前記基準値をロードダンプサージに対して設定することで、自動車におけるロードダンプのように急激な入力電圧上昇がある場合や高入力電圧が長時間続く場合においても、素子破壊することなく、安定した直流電力供給が可能である。

20

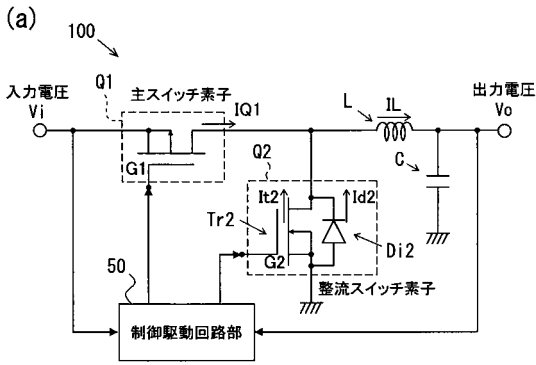
【符号の説明】

【0086】

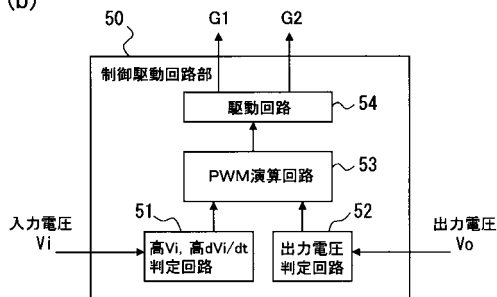
100, 101 D C - D C コンバータ
 Q 1, Q 3 主スイッチ素子
 Q 2, Q 4 整流スイッチ素子
 T r 2, T r 4 整流トランジスタ素子
 D i 2, D i 4 整流ダイオード素子
 L インダクタ
 C 平滑コンデンサ
 50, 50a 制御駆動回路部
 51 高 V i, 高 d V i / d t 判定回路

30

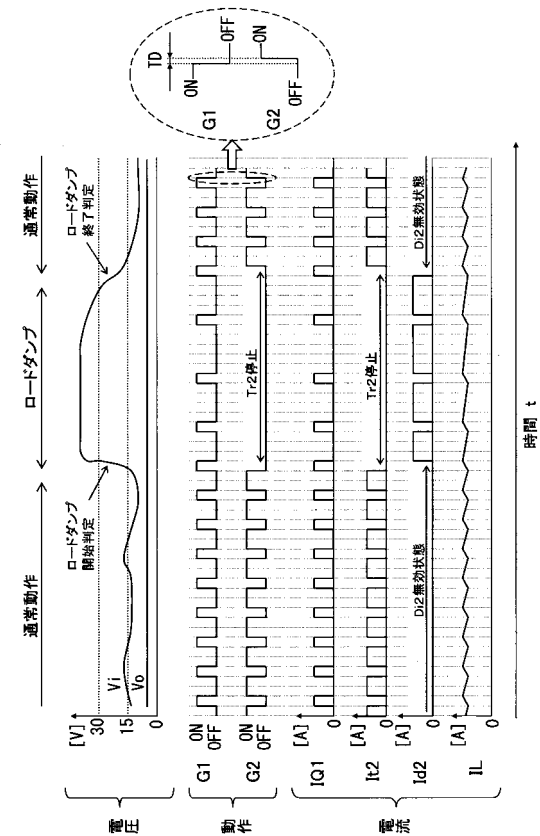
【 図 1 】



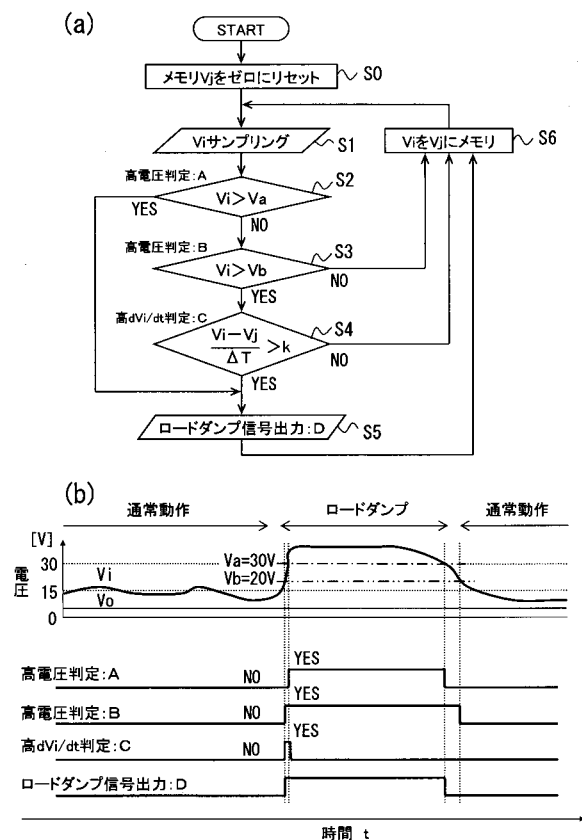
(b)



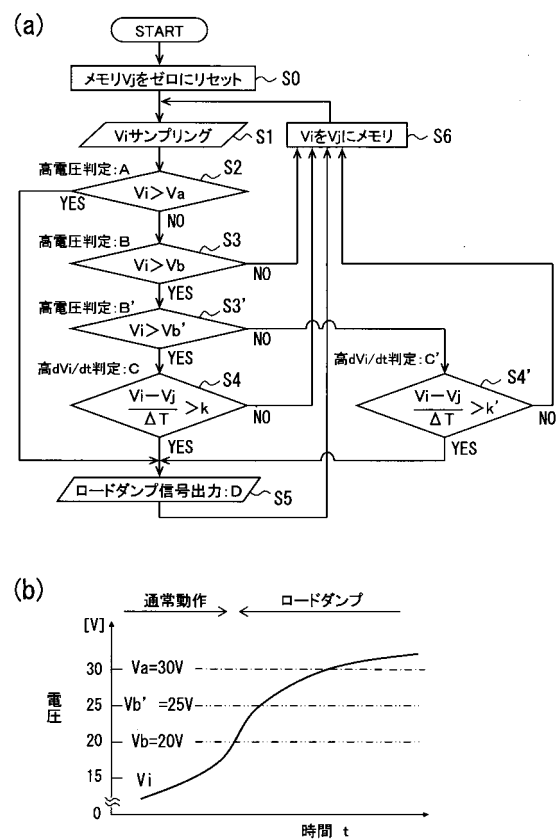
【図 2】



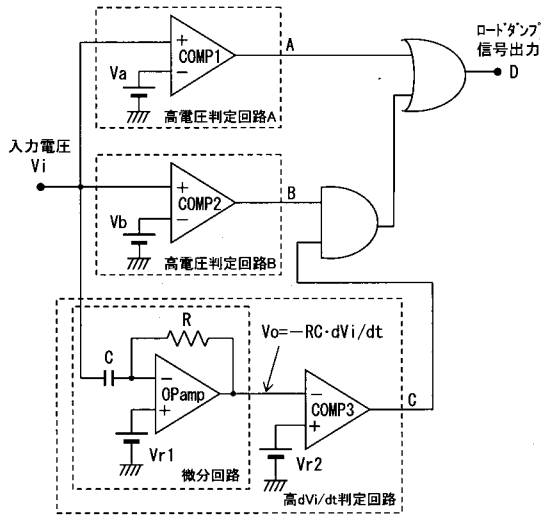
【図 3】



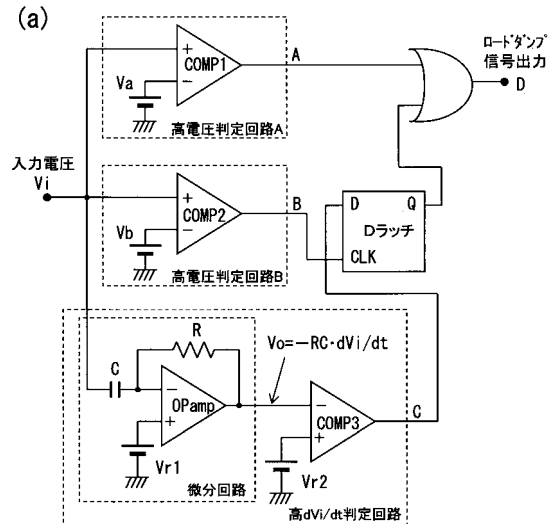
【図 4】



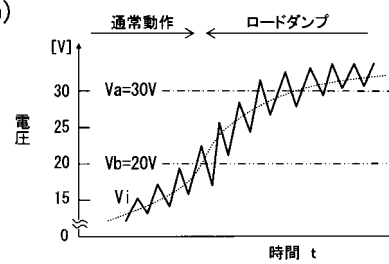
【図 5】



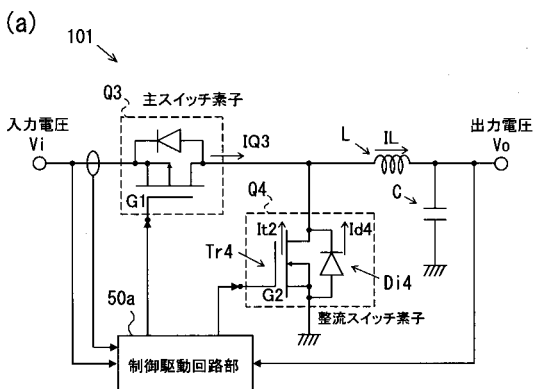
【図 6】



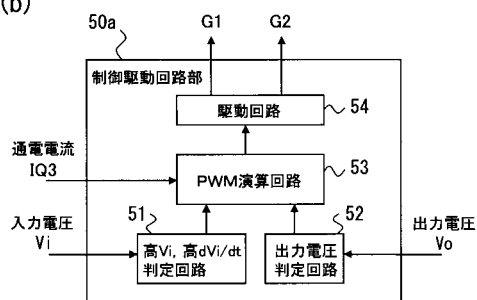
(b)



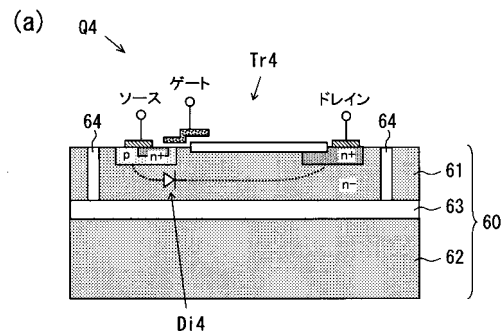
【図 7】



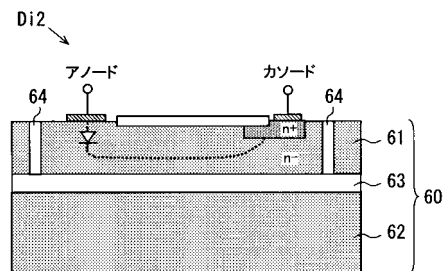
(b)



【図 8】



(b)



[illegible]

フロントページの続き

(72)発明者 金武 法一

愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

(72)発明者 堀江 真清

愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

F ターム(参考) 5H006 AA05 CA02 CB07 CC03 CC08 DB01 DC05 FA02

5H730 AA20 AS01 AS05 BB13 BB14 BB57 DD04 DD12 EE10 EE13

EE59 FD01 FD11 FF09 FG01 FG05 XX05 XX15 XX26

5H740 AA04 BA12 BB01 BC01 BC02 MM01 MM11