

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97143714

※ 申請日期：97.11.12

※IPC 分類：H03K 17/08(2006.01)

一、發明名稱：(中文/英文)

耐高電壓輸入/輸出介面電路

HIGH VOLTAGE TOLERANT INPUT/OUTPUT INTERFACE CIRCUIT

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商艾基爾系統公司

AGERE SYSTEMS INC.

代表人：(中文/英文)

大衛 L 史密斯

SMITH, DAVID L.

住居所或營業所地址：(中文/英文)

美國賓州亞倫鎮市美國公園東北路1110號

1110 AMERICAN PARKWAY NE, ALLENTOWN, PENNSYLVANIA

18109, U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 艾德華 B 哈利斯
HARRIS, EDWARD B.
2. 杰州 梁
LEUNG, CHE CHOI

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 英國 U.K.

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 專利合作條約；2008年03月27日；PCT/US08/58452

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種供在一耐高電壓應用中使用之IO介面電路。該IO介面電路包含一信號墊及至少一第一寄生雙極電晶體，該第一寄生雙極電晶體具有：一射極，其適於連接至該介面電路之一電壓回路；一基極，其適於接收一第一控制信號；及一集極，其以一開路集極組態直接連接至該信號墊。該介面電路進一步包含一耦合至該寄生雙極電晶體且運作以產生該第一控制信號之MOS控制電路。該IO介面電路可進一步包含一連接在該介面電路之一電壓供應與該信號墊之間的主動上拉電路。

六、英文發明摘要：

An IO interface circuit for use in a high voltage tolerant application is provided. The IO interface circuit includes a signal pad and at least a first parasitic bipolar transistor having an emitter adapted for connection to a voltage return of the interface circuit, a base adapted to receive a first control signal, and a collector connected directly to the signal pad in an open collector configuration. The interface circuit further includes a MOS control circuit coupled to the parasitic bipolar transistor and being operative to generate the first control signal. The IO interface circuit may further include an active pull-up circuit connected between a voltage supply of the interface circuit and the signal pad.

七、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

200	IO 介面 電路
202	IO 墊
204	寄 生 NPN 電 晶 體 (寄 生 雙 極 電 晶 體、第一雙極電晶體)
206	MOS 控 制 電 路

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明大體而言係關於電氣及電子技術，且更特定而言，係關於輸入/輸出(IO)介面電路。

【先前技術】

IO介面電路(例如，IO緩衝器等)之用途係衆所周知。在先進互補金屬氧化物半導體(CMOS)積體電路(IC)製程技術中，一直存在推出較低電壓IO緩衝器之努力。例如，在一40奈米(nm)IC製作製程中，易於採用1.8伏電晶體。然而，儘管推動利用較低電壓電晶體，但在某些可需要與較高電壓(例如，5伏)介接之IO應用中仍需要高電壓耐受性。一種此應用係一發光二極體(LED)驅動器電路。

習用耐高電壓IO介面電路通常採用堆疊式金屬氧化物半導體(MOS)裝置。美國專利第6,388,475號(Clark等人)中闡述此組態之一實例。儘管此電路組態可藉由跨越兩個或兩個以上裝置分配電壓來幫助減輕個別裝置上之過壓應力，但某些耐高壓故障安全規格需要電路甚至在該電路之電力被移除時仍要耐受一規定電壓。此為堆疊式MOS裝置方法造成一問題。另外，在IC中利用堆疊式MOS裝置與一非堆疊式裝置配置相比需要更多面積，且因此並非所期望的。

另一形成一耐高壓輸出級之衆所周知方法係採用厚氧化物MOS裝置。然而，此方法之一缺點係其需要額外IC製作步驟，而此會增加總成本。

因此，需要一種不存在上述一或多個與習用IO介面電路

相關聯之問題之耐高壓IO介面電路。

【發明內容】

本發明之說明性實施例藉由提供一具有改良之對高電壓信號之耐受性之IO介面電路來滿足上述需要。本發明之技術藉由利用一或多個與MOS裝置相比具有一較高電壓耐受性之寄生雙極電晶體來有益地消除對堆疊式MOS裝置之需要。此外，本發明之技術使用標準的CMOS處理技術來提供此經改良之高電壓耐受性，且因此與習用IO介面電路相比不添加任何顯著成本。

根據本發明之一個態樣，提供一供在一耐高電壓應用中使用之IO介面電路。該IO介面電路包含一信號墊及至少一第一寄生雙極電晶體，該第一寄生雙極電晶體具有：一射極，其連接至該介面電路之一電壓回路；一基極，其適於接收一第一控制信號；及一集極，其以一開路集極組態直接連接至該信號墊。該介面電路進一步包含一耦合至該寄生雙極電晶體且運作以產生該第一控制信號之MOS控制電路。

根據本發明之另一態樣，一供在一耐高電壓應用中使用之IO介面電路包含一信號墊及至少一第一寄生雙極電晶體，該第一寄生雙極電晶體包含一連接至一第一電壓源之射極、一適於接收一第一控制信號之基極及一直接連接至該信號墊之集極。該介面電路進一步包含一連接在一第二電壓源與該信號墊之間的主動上拉電路。該主動上拉電路適於接收一第二控制信號，該第二控制信號係該第一控制

信號之一邏輯補數。一MOS控制電路耦合至該第一寄生雙極電晶體且運作以產生該第一及第二控制信號。

結合附圖閱讀下文對本發明之說明性實施例之詳細說明，將易於瞭解本發明之此等及其它特徵、態樣及優點。

【實施方式】

本文中，將以實例性IO介面電路為上下文來闡述本發明。然而，應瞭解本發明並不限於本文中所示及所述之電路。相反，本發明之實施例可實施於任一可得益於一具有增加的對高電壓之耐受性之介面電路之應用中。儘管可在一矽晶圓中製作本發明之較佳實施例，但另一選擇係可在包括其他材料(包含但不限於砷化鎵(GaAs)、磷化銦(InP)等)之晶圓中製作本發明之實施例。

圖1係一圖解闡釋一供在一耐高電壓應用中使用之習用IO介面電路100之至少一部分之示意圖。介面電路100包含一IO墊102及一連接至該IO墊之開路集極輸出級，該輸出級包括一對堆疊式n通道MOS(NMOS)電晶體裝置。特定而言，一第一NMOS裝置104及一第二NMOS裝置106經組態以使得NMOS裝置104之一汲極(D)連接至IO墊102，NMOS裝置104之一源極(S)連接至NMOS裝置106之一汲極，NMOS裝置106之一源極連接至接地，且NMOS裝置104及106之閘極(G)連接至一CMOS控制電路108。控制電路108運作以依據一供應至該控制電路之輸入信號 V_{in} 產生一用於選擇性地啟動NMOS裝置104及106之控制信號。如所示，控制電路108可包含一以一標準形式組態之反向器。

儘管介面電路100所利用之堆疊式MOS裝置方法可藉由跨越NMOS裝置104及106兩者分配一施加至IO墊102之電壓來幫助減輕連接至該IO墊之個別NMOS裝置104及106上之過壓應力，但某些耐高壓故障安全規格需要電路甚至在該電路之電力被移除時仍要耐受一規定電壓。此為堆疊式MOS裝置方法造成一問題。另外，在IC中利用堆疊式MOS裝置與一非堆疊式裝置配置相比需要更多面積，且因此並非所期望的。

圖2係一根據本發明之一實施例繪示一供在一耐高電壓應用中使用之實例性IO介面電路之至少一部分之示意圖。IO介面電路200包含一IO墊202或一替代信號墊及至少一第一雙極電晶體204，該第一雙極電晶體204包含：一射極(E)，其連接至該介面電路之一第一供應電壓源(其可係該介面電路之一電壓回路，例如，接地或VSS)；一基極(B)，其適於接收一第一控制信號Vc；及一集極(C)，其以一開路集極組態直接連接至該信號墊。術語"開路集極"通常係指一電晶體輸出配置，其中該電晶體之集極或其他輸出端子(例如，汲極)不連接至一正電壓源而是在一IC之IO墊處處於開路狀態。此配置之一優點係可使用(例如)一上拉電阻器或替代上拉電路(例如，主動裝置)將開路集極輸出連接至一寬範圍電壓(例如，一大於該輸出電晶體裝置之一飽和電壓之電壓)。以此方式，該開路集極輸出能夠與各種電壓位準介接，某些該等電壓位準甚至可高於介面電路200之一第二供應電壓源(其可係VDD)。

如自圖中顯而易見，雙極電晶體204較佳係一寄生NPN電晶體(例如，一橫向或豎向NPN)。若相對低速度(例如，少於約100兆赫(MHz))係可接受的，則寄生雙極裝置提供高得多的電壓耐受性而不必擔心MOS裝置之氧化物崩潰現象特性。此外，寄生雙極裝置可在標準CMOS製程中使用而幾乎不會增加額外成本。使用一CMOS製作製程來實施一雙極裝置之技術已為熟習此項技術者熟知。

介面電路200進一步包括一耦合至寄生NPN電晶體204且運作以產生第一控制信號 V_c 之MOS控制電路206。控制電路206可包含(例如)一p通道MOS(PMOS)電晶體裝置MP及一NMOS電晶體裝置MN，其連接為一反向器。更特定而言，PMOS裝置MP之一源極(S)連接至介面電路200之一供應電壓(其可係VDD)，裝置MP之一汲極(D)在節點N1處連接至NMOS裝置MN之一汲極，裝置MN之一源極連接至該介面電路之第一供應電壓源(例如，接地)，且裝置MP及MN之閘極(G)連接在一起且在節點N2處形成該控制電路之一輸入以用於接收一供應至該介面電路之輸入信號 V_{in} 。因此，將依據輸入信號 V_{in} 產生控制信號 V_c 。應瞭解，類似地，本發明可涵蓋控制電路206之各種替代組態且此等替代組態皆屬於本發明之範圍內。應瞭解，至控制電路206之一或多個電壓供應連接(亦即，VDD及/或接地)未必與至寄生雙極裝置之電壓供應連接相同。以此方式，寄生雙極電晶體204可與耦合至其的MOS控制電路206電隔離。

在圖3中所示之一替代實施例中，一實例性IO介面電路

300可採用一直接連接在第二供應電壓源(例如，VDD)與IO墊之間而非連接在IO墊202與第一供應電壓源(例如，接地)之間的雙極電晶體302。在該等圖中，相同之參考編號用以表示相同之元件。在此組態中，雙極電晶體302可包括一寄生PNP電晶體(例如，一橫向或豎向PNP)，該寄生PNP電晶體具有一連接至VDD之射極、一直接連接至IO墊202之集極及一適於接收控制信號Vc之基極。例如，可在一上拉應用中利用此開路集極輸出級組態。在此情形下，一外部電阻器(未顯示)可連接至IO墊202，以在關斷寄生雙極電晶體302時，將介面電路300之輸出設定至一邏輯低位準。

圖4係一根據本發明之另一實施例繪示一供在一耐高電壓應用中使用之實例性IO介面電路400之至少一部分之示意圖。同樣，在該等圖中，相同之參考編號用以表示相同之元件。如在圖2中所示之說明性IO介面電路200中，IO介面電路400有益地利用直接連接至IO墊202之至少一第一雙極電晶體204來替代一堆疊式MOS裝置配置(例如，參見圖1)。更特定而言，第一雙極電晶體204包含一連接至介面電路400之一第一供應電壓源(其可係接地)之射極、一適於接收一第一控制信號Vc之基極及一直接連接至IO墊202之集極。然而，IO介面電路400包含一連接在第二供應電壓源VDD與IO墊202之間的主動上拉電路402，而非組態成一開路集極配置(如圖2及3中所示)。控制信號Vc可由耦合至第一雙極電晶體204之控制電路206產生。

為保護上拉電路402免受過壓應力，該上拉電路包含至少一第二雙極電晶體404。如自圖中顯而易見，雙極電晶體404較佳實施為一寄生NPN電晶體，如先前所述，其提供相當高電壓耐受性而不必擔心MOS裝置之氧化物崩潰特性。特定而言，雙極電晶體404之一集極連接至第二供應電壓源VDD，雙極電晶體404之一射極直接連接至IO墊202，且雙極電晶體404之一基極適於接收一第二控制信號Vcb。可由控制電路206產生之第二控制信號Vcb較佳係第一控制信號Vc之一邏輯補數。

在其他實施例中(圖5中顯示其一實例)，一說明性IO介面電路500可包含一包括一寄生PNP電晶體504之主動上拉電路502，該寄生PNP電晶體504具有一連接至第二供應電壓源VDD之射極、一直接連接至IO墊202之集極及一適於接收第二控制信號Vcb(其係第一控制信號Vc之一邏輯補數)之基極。應瞭解，根據本發明之教示，本發明涵蓋用於IO介面電路之各種替代組態。

本發明之該等技術之至少一部分可實施於一或多個積體電路中。在形成積體電路時，通常以一重複圖案在一半導體晶圓之一表面上製作晶粒。每一晶粒皆包含一本文所述之裝置，且可包含其他結構或電路。個別晶粒係自晶圓切割或切成小塊，然後被封裝為積體電路。熟習此項技術者將知曉如何將晶圓切成小塊及封裝晶粒以產生積體電路。如此製造之積體電路被視為本發明之一部分。

可在利用一IO介面電路之任一應用及/或電子系統中採

用一根據本發明之積體電路。實施本發明之合適系統可包含但不限於個人電腦、通信網路、電子儀器(例如，自動測試設備(ATE))、介面網路、顯示器系統等。併入有此等積體電路之系統視為本發明之一部分。若已知本文所提供之本發明之教示，則熟習此項技術者將能夠設想出本發明技術之其他實施方案及應用。

儘管本文已參照附圖闡述了本發明之說明性實施例，但應瞭解，本發明並不限於彼等確切實施例，且熟習此項技術者可作出各種其他改變及修改，而此並不背離隨附申請專利範圍之範疇。

【圖式簡單說明】

圖1係一圖解闡釋一供在一耐高電壓應用中使用之習用輸出級之至少一部分之示意圖。

圖2係一根據本發明之一實施例繪示一供在一耐高電壓應用中使用之實例性IO介面電路之至少一部分之示意圖。

圖3係一根據本發明之另一實施例繪示一供在一耐高電壓應用中使用之實例性IO介面電路之至少一部分之示意圖。

圖4係一根據本發明之一實施例繪示一供在一耐高電壓應用中使用之實例性活動上拉IO介面電路之至少一部分之示意圖。

圖5係一根據本發明之另一實施例繪示一供在一耐高電壓應用中使用之實例性活動上拉IO介面電路之至少一部分之示意圖。

【主要元件符號說明】

100	介面 電路
102	IO 墊
104	第一 NMOS 裝置
106	第二 NMOS 裝置
108	CMOS 控制 電路
200	IO 介面 電路
202	IO 墊
204	寄生 NPN 電 晶 體 (寄生 雙極 電 晶 體、第一 雙極 電 晶 體)
206	MOS 控制 電路
300	IO 介面 電路
302	寄生 雙極 電 晶 體
400	IO 介面 電路
402	主動 上拉 電路
404	第二 雙極 電 晶 體
500	IO 介面 電路
502	主動 上拉 電路
504	寄生 PNP 電 晶 體

十、申請專利範圍：

103年11月26日修正替換頁

1. 一種輸入/輸出(IO)介面電路，其包括：

一信號墊；

至少一第一寄生雙極電晶體，其包含一適於連接至一第一電壓源之射極、一適於接收一第一控制信號之基極及一以一開路集極組態直接連接至該信號墊之集極；及

一金屬氧化物半導體(MOS)控制電路，其耦合至該至少一第一寄生雙極電晶體之該基極但未耦合至該信號墊，且運作以產生該第一控制信號。

2. 如請求項1之介面電路，其中該至少一第一寄生雙極電晶體包括一寄生NPN電晶體及一寄生PNP電晶體中之至少一者。

3. 一種IO介面電路，其包括：

一信號墊；

至少一第一寄生雙極電晶體，其包含一適於連接至一第一電壓源之射極、一適於接收一第一控制信號之基極及一直接連接至該信號墊之集極；

一連接在一第二電壓源與該信號墊之間的主動上拉電路，該主動上拉電路適於接收一第二控制信號，該第二控制信號係該第一控制信號之一邏輯補數(complement)；及

一MOS控制電路，其耦合至該第一寄生雙極電晶體之該基極但未耦合至該信號墊，且運作以產生該第一及第二控制信號。

4. 如請求項3之介面電路，其中該主動上拉電路包括至少一第二寄生雙極電晶體，該第二寄生雙極電晶體包含一連接至該信號墊之射極、一適於連接至該第二電壓源之集極及一適於接收該第二控制信號之基極。
5. 如請求項4之介面電路，其中該至少第一及第二寄生雙極電晶體之每一者包括一寄生NPN電晶體。
6. 如請求項3之介面電路，其中該控制電路包括至少一個反向器，其包含一p通道金屬氧化物半導體(PMOS)裝置及一n通道金屬氧化物半導體(NMOS)裝置，該PMOS裝置之一第一源極/汲極連接至該第二電壓源，該PMOS裝置之一第二源極/汲極連接至該NMOS裝置之一第一源極/汲極且形成該控制電路之一用於產生該第一控制信號之輸出，該NMOS裝置之一第二源極/汲極連接至該第一電壓源，且該PMOS及NMOS裝置之閘極連接在一起且適於接收給該控制電路的一輸入信號。
7. 一種包括如請求項3之至少一個IO介面電路之積體電路。
8. 一種包含至少一個輸入/輸出(IO)介面電路之積體電路，該至少一個IO介面電路包括：
 - 一信號墊；
 - 至少一第一寄生雙極電晶體，其包含一適於連接至一第一電壓源之射極、一適於接收一第一控制信號之基極及一以一開路集極組態直接連接至該信號墊之集極；及
 - 一金屬氧化物半導體(MOS)控制電路，其耦合至該至

少一第一寄生雙極電晶體之該基極但未耦合至該信號墊，且運作以產生該第一控制信號。

9. 如請求項8之積體電路，其中該第一寄生雙極電晶體包括一寄生NPN電晶體及一寄生PNP電晶體中之至少一者。

10. 一種用於增加一IO介面電路之一電壓耐受性之方法，該方法包括以下步驟：

提供至少一第一寄生雙極電晶體，其具有一適於連接至一第一電壓供應之射極、一適於接收一第一控制信號之基極及一以一開路集極組態直接連接至該IO介面電路之一信號墊之集極；

依據一施加至該IO介面電路之輸入信號產生該第一控制信號，其中該第一控制信號係由一耦合至該至少一第一寄生雙極電晶體之該基極但未耦合至該信號墊的控制電路所產生。

十一、圖式：

先前技術

100

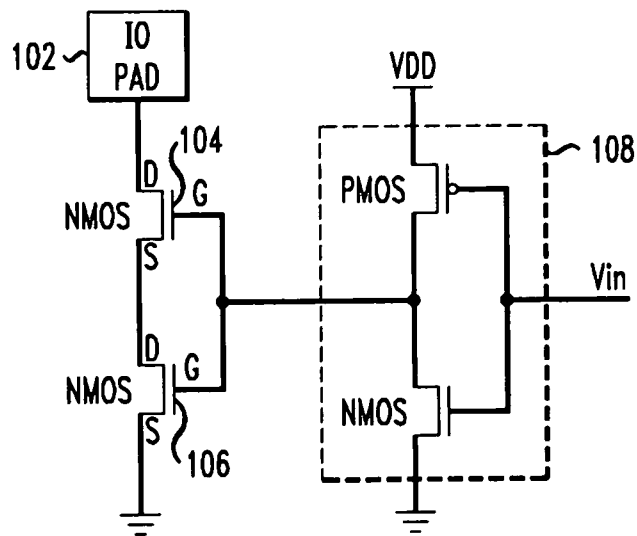


圖 1

開路集極

200

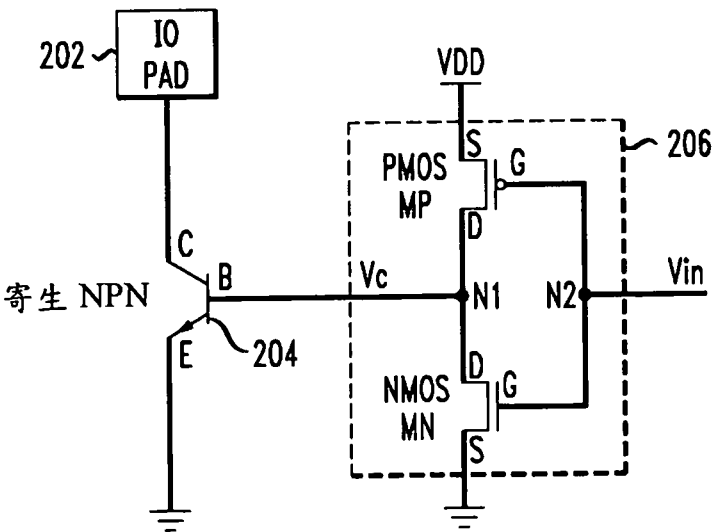


圖 2

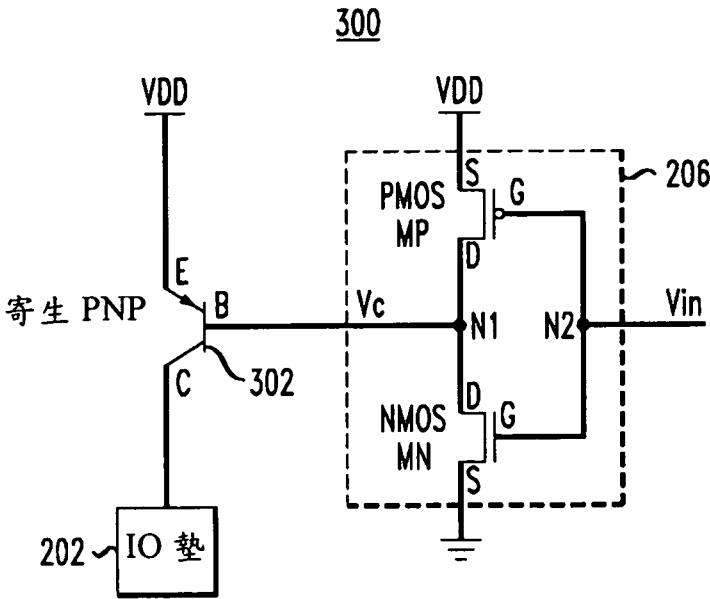


圖 3

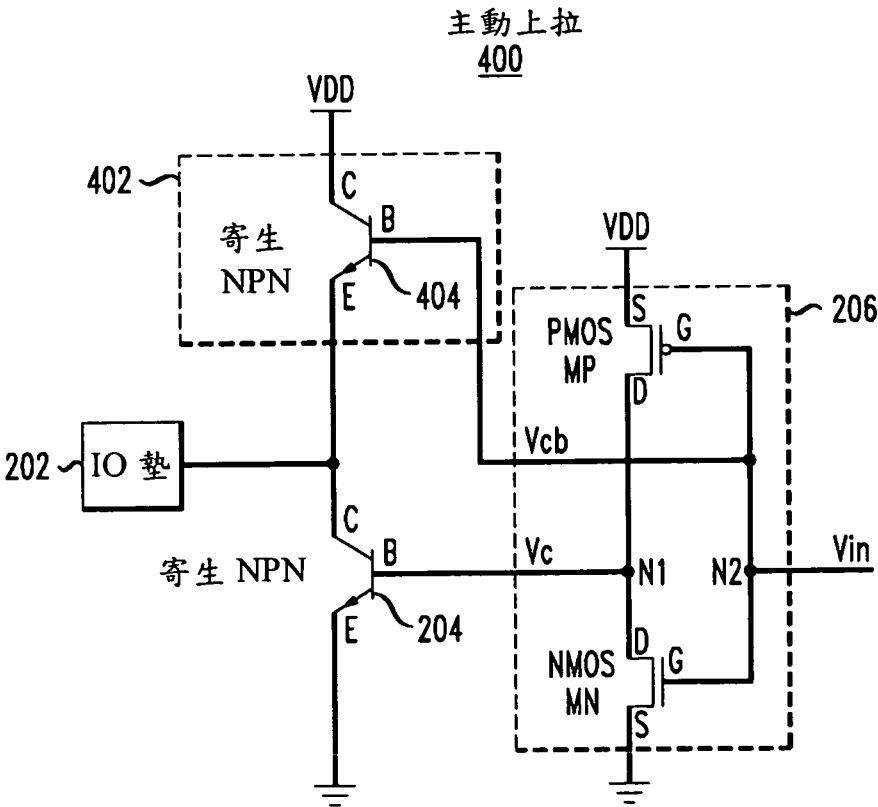


圖 4

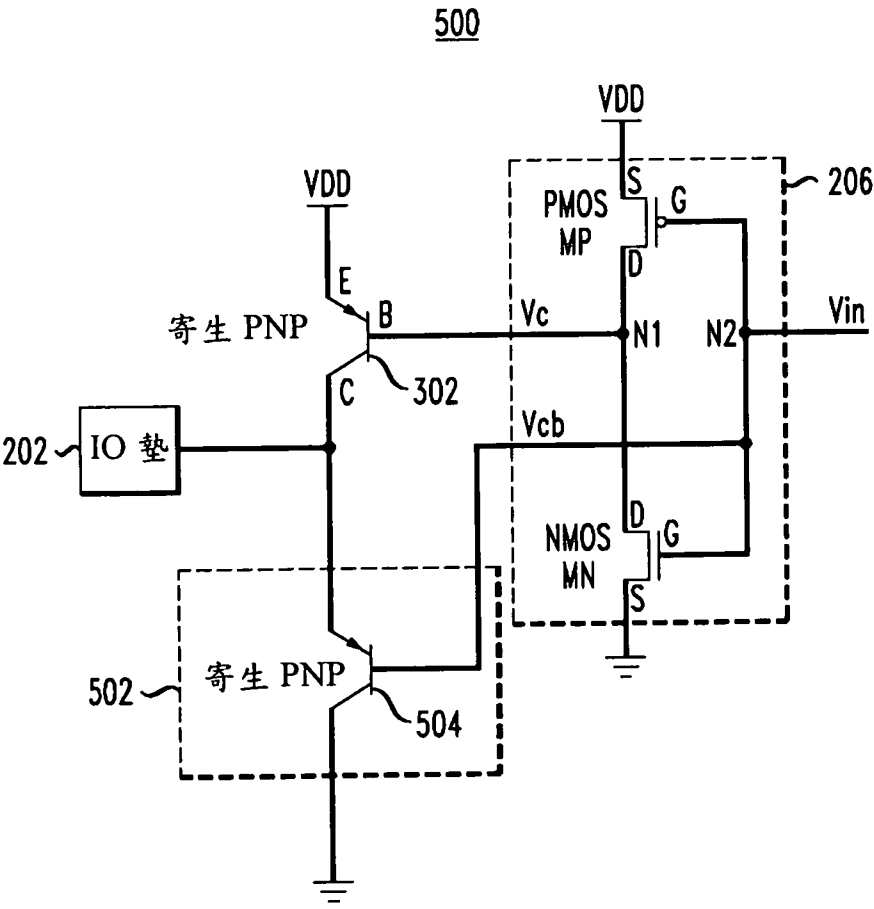


圖5