

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成23年7月21日(2011.7.21)

【公表番号】特表2010-528402(P2010-528402A)

【公表日】平成22年8月19日(2010.8.19)

【年通号数】公開・登録公報2010-033

【出願番号】特願2010-509586(P2010-509586)

【国際特許分類】

G 1 1 C 16/06 (2006.01)

G 1 1 C 16/04 (2006.01)

G 1 1 C 16/02 (2006.01)

【F I】

G 1 1 C 17/00 6 3 4 A

G 1 1 C 17/00 6 2 2 C

G 1 1 C 17/00 6 1 3

【手続補正書】

【提出日】平成23年5月26日(2011.5.26)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリアレイのメモリセルの状態を感知するためのビット線デコーダであって、

ビット線と選択的に通信し、複数のレベルを有するマルチレベル構成で配設される、制御デバイスであって、各レベルが、他の前記レベルとは異なる数の前記制御デバイスを有する、制御デバイスと、

前記メモリセルの状態を判断する時に、前記ビット線から、前記メモリアレイ内に位置付けられるメモリセルに関連する、第 1 のビット線および第 2 のビット線を選択し、前記各レベルにおいて前記制御デバイスのうちの 1 個以上を選択解除する、第 1 の制御信号を生成する、制御モジュールと

を備え、

前記各レベルにおいて前記 1 個以上の制御デバイスが選択解除された時に、前記第 1 のビット線を含む第 1 群の前記ビット線が、第 1 の電位に荷電され、前記第 2 のビット線を含む第 2 群の前記ビット線が、第 2 の電位に荷電される、

ビット線デコーダ。

【請求項 2】

前記第 1 の電位を前記第 1 群の前記ビット線に印加し、前記第 2 の電位を前記第 2 群の前記ビット線に印加し、前記メモリセルを通じて流れる電流を感知し、前記電流に基づいて、前記メモリセルの前記状態を判定する、感知回路をさらに備える、請求項 1 に記載のビット線デコーダ。

【請求項 3】

前記レベルのうちの 1 番目に関連する前記制御デバイスの第 1 の数は、前記レベルのうちの 2 番目に関連する前記制御デバイスの第 2 の数よりも大きい、請求項 2 に記載のビット線デコーダ。

【請求項 4】

前記レベルのうちの前記 1 番目は、前記レベルのうちの前記 2 番目よりも、前記感知回

路から遠くに位置付けられる、請求項 3 に記載のビット線デコーダ。

【請求項 5】

前記レベルのうちの 1 番目が前記レベルのうちの 2 番目に隣接している時、前記レベルのうちの前記 1 番目に関連する前記制御デバイスの第 1 の数は、前記レベルのうちの前記 2 番目に関連する前記制御デバイスの第 2 の数の 2 倍である、請求項 2 に記載のビット線デコーダ。

【請求項 6】

前記第 1 の制御信号は、前記各レベルに関連する前記制御デバイスのうちの半数を選択解除する、請求項 1 から 5 の何れか 1 項 に記載のビット線デコーダ。

【請求項 7】

前記レベルのうちの第 1 のレベルと第 2 のレベルとの間に配置される、分離回路をさらに備える、請求項 1 から 6 の何れか 1 項 に記載のビット線デコーダ。

【請求項 8】

前記制御モジュールは、前記分離回路を制御する第 2 の制御信号を生成し、前記分離回路は、前記第 2 の制御信号に基づいて、前記第 2 のレベルに関連する前記制御デバイスから、前記第 1 のレベルに関連する前記制御デバイスを分離する、請求項 7 に記載のビット線デコーダ。

【請求項 9】

請求項 1 から 8 の何れか 1 項 に記載のビット線デコーダを備え、前記メモリアレイをさらに備える、集積回路（IC）。