



**URZĄD
PATENTOWY
PRL**

Patent tymczasowy dodatkowy
do patentu nr _____

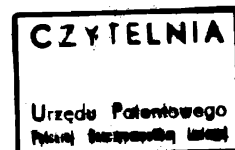
Int. Cl.⁴ G01R 15/08

Zgłoszono: 86 07 17 (P. 260703)

Pierwszeństwo _____

Zgłoszenie ogłoszono: 87 06 15

Opis patentowy opublikowano: 88 09 30



Twórcy wynalazku: Stanisław Błuś, Janusz Jędrasik

Uprawniony z patentu tymczasowego: Zakład Opracowań
i Produkcji Aparatury Naukowej „Zopan”,
Warszawa (Polska)

Układ automatyki licznika częstotliwości, zwłaszcza w generatorze sygnałowym

Przedmiotem wynalazku jest układ automatyki licznika częstotliwości, zwłaszcza w generatorze sygnałowym, dotyczący automatycznego doboru zakresu pomiarowego do odczytu cyfrowego mierzonej częstotliwości, zwłaszcza przy programowanych jej zmianach realizowanych przez generator sygnałowy. Układ dokonuje automatycznego doboru czasu bramkowania dla licznika, do którego doprowadzony jest mierzony przebieg częstotliwościowy.

Znany z polskiego opisu patentowego nr 116 201 układ automatycznego wyboru czasu bramkowania dla liczników stanowiących układy pomiarowe częstotliwości zawiera rejestr przesuwny o „n-1” przerzutnika dla „n” czasów bramkowania sterowany występowaniem stanów przepełnienia licznika. Wyjścia poszczególnych przerzutników są połączone z jednymi wejściami dwuwejściowych iloczynowych bramek logicznych, których drugie wejścia są połączone ze źródłami impulsów bramkujących o kolejnych dziesięciokrotnie zmniejszających się czasach trwania, będących przedmiotem wyboru.

Wyjścia poszczególnych iloczynowych bramek logicznych są doprowadzone do wejść bramki sumującej, której wyjście stanowi źródło impulsów bramkujących dla pracy licznika wskazującego częstotliwość przebiegu doprowadzonego na jego wejście. Sygnał przepełnienia jest podawany na wejścia zegarowe przerzutników rejestru przesuwnego powodując wybór następnego o stopień krótszego czasu bramkowania. Stosowane do tego układu znane źródła impulsów bramkujących stanowią wyjścia pierwszych przerzutników końcowych dekad liczących stanowiących dzielniki częstotliwości w układach generacji impulsów bramkujących złożonych z generatora impulsów o stabilizowanej częstotliwości, dekadowych dzielników częstotliwości i przerzutnika stanowiącego dwójkę liczącą połączonego z wyjściem końcowej dekady dla wytworzenia impulsu bramkującego o najdłuższym czasie trwania. Typowy układ generacji impulsów bramkujących zbudowany jest z generatora impulsów o częstotliwości 1 MHz stabilizowanego kwarcem i połączony jest z sześcioma posobnie włączonymi dekadami liczącymi oraz jednym przerzutnikiem dołączonym do wyjścia dekady stanowiącymi układ dzielników częstotliwości. Impulsy bramkujące o najdłuższym czasie trwania stanowiącym 1 s uzyskuje się z wyjścia przerzutnika dołączonego do wyjścia końcowej dekady, dokonującego podziału występującej tu częstotliwości 1 Hz przez dwa.

Podobnie z wyjścia pierwszego przerzutnika końcowej dekady otrzymuje się impulsy o czasie trwania 100 ms, a z wyjścia pierwszego przerzutnika przedostatniej dekady otrzymuje się impulsy o czasie trwania 10 ms. Impulsy bramkujące o najkrótszym czasie trwania 1 ms otrzymuje się z wyjścia pierwszego przerzutnika trzeciej dekady licząc od końca lub czwartej licząc od strony generatora. W znanym układzie generacji impulsów bramkujących wszystkie wejścia zerujące i ustawiające stany dekad są połączone z masą, wskutek czego układ po włączeniu pracuje w sposób ciągły i niezależny, wytwarzając na odpowiednich wyprowadzeniach przebiegi impulsowe o określonym czasie trwania. Układ automatyki licznika dokonuje wyboru właściwego czasu bramkowania licznika do mierzonej przez niego częstotliwości. Wybór czasu bramkowania rozpoczyna się od podania impulsu bramkowania o najdłuższym czasie trwania 1 s. Decyduje o tym podanie wyjścia bramki iloczynowej, której wejścia są połączone wyjściami zanegowanymi wszystkich przerzutników rejestru przesuwne, na wejście dwuwejściowej bramki, do której drugiego wejścia jest doprowadzony sygnał 1 s z wyjścia przerzutnika dołączonego do wyjścia końcowej dekady.

Ponieważ w chwili rozpoczęcia pomiaru rejestr przesuwany jest wyzerowany, więc wszystkie wyjścia zanegowane przerzutników posiadają stan „1”, co powoduje wystąpienie stanu „1” na wyjściu bramki iloczynowej, do której wejść są one doprowadzone. Wyjście tej bramki jest doprowadzone także na wejście informujące pierwszego przerzutnika rejestru przesuwne. Z chwilą pojawienia się impulsu na wyjściu przerzutnika dołączonego do wyjścia ostatniej dekady o czasie trwania 1 s powoduje on wytworzenie impulsu bramkującego dla pracy licznika o tym czasie trwania. Czas do chwili pojawienia się impulsu bramkującego jest czasem przygotowawczym licznika i jako taki powinien być ściśle określony. W znanych układach generacji impulsów bramkujących pracujących w sposób niezależny od dokonywanych pomiarów może on się różnie kształtować od 0 do pełnego czasu impulsu bramkującego lub pierwszy impuls bramkujący może być skrócony w zależności od chwili rozpoczęcia pomiaru w stosunku do przebiegu impulsów bramkujących. Dla zapewnienia prawidłowych warunków pomiaru związanych z niezbędnym czasem przygotowania i prawidłową długością impulsu bramkującego, pierwszy pomiar nie powodujący przepełnienia licznika jest odrzucany, a przepisywany do pamięci jest dopiero następny pomiar, którego impuls bramkujący wystąpi po pełnym okresie przygotowawczym.

Tak więc w przypadku impulsów bramkujących o najdłuższym czasie trwania 1 s, właściwy pomiar następuje z opóźnieniem co najmniej 2 s.

W przypadku wystąpienia przepełnienia licznika w czasie pomiaru zostaje podany impuls na wejście zegarowe przerzutników rejestru przesuwne, w wyniku czego stan „1” z wejścia informacyjnego pierwszego przerzutnika zostanie przesunięty na jego wyjście doprowadzone do jednego z wejść iloczynowej bramki logicznej, do której drugiego wejścia jest doprowadzone wyjście pierwszego przerzutnika ostatniej dekady liczącej, będące źródłem impulsów bramkujących o czasie trwania 100 ms. Stan „1” z wyjścia pierwszego przerzutnika rejestru zostaje także podany na wejście informacyjne kolejnego przerzutnika rejestru. Ze względu na nieokreślony czas przygotowania do pomiaru przy pierwszym impulsie bramkującym o czasie trwania 100 ms jak i jego czasie trwania, który może wystąpić natychmiast lub po 100 ms, względnie w czasie trwania tego impulsu pierwszy pomiar nie jest brany pod uwagę i dopiero następny po pełnym czasie przygotowania jest przepisywany do urządzeń pamięciowych. Powoduje to znaczne i w dużej części przypadkowe opóźnienie dokonania pomiaru. Podobnie układ działa przy występowaniu dalszych kolejnych przepełnień licznika i przejściu na krótsze czasy bramkowania 10 ms i 1 ms. Występujące opóźnienia pomiarów w znacznej części przypadkowe ograniczają zastosowanie tego układu w przypadku konieczności pomiarów o szybkich zmianach częstotliwości w szerokim jej zakresie lub dokonywania wielu pomiarów w jednostce czasu, a więc głównie generatorach sygnałowych współpracujących z urządzeniami programującymi lub zawierającymi układy programowania generowanych przebiegów częstotliwościowych.

Istota wynalazku polega na połączeniu wyjść prostych poszczególnych przerzutników rejestru przesuwne z jednymi z dwu wejść iloczynowych zerujących oraz na połączeniu zanegowanych wyjść tych przerzutników z jednymi z dwu wejść iloczynowych ustawiających w pozycję „9” końcowych dekad liczących układu generacji impulsów bramkujących. Połączenia te są wykonane kolejno od wyjść pierwszego przerzutnika rejestru połączonych z wejściami końcowej dekady liczącej do wyjść ostatniego przerzutnika rejestru przesuwne połączonych z wejściami dekady, z

której wyprowadzone są impulsy bramkujące o najkrótszym czasie trwania. Drugie wejścia iloczynowe zerujące i ustawiające w pozycję „9” tych dekad oraz wejścia ustawiające w pozycję „9” poprzedzających dekad są połączone z wyjściem zerującym układu.

W układzie według wynalazku uzyskuje się znaczne skrócenie czasu przygotowawczego i jego stałą ściśle określoną wartość, dzięki powiązaniom rejestru przesuwne go z układem generacji impulsów bramkujących zapewniającym wstępne ustawienie w pozycję „9” dekad występujących przed dekadą, z której pobierany jest impuls bramkujący. W wyniku tego po wystąpieniu stanu zerującego układ generacji impulsów bramkujących jest ustawiony w taki stan, że kolejny impuls z generatora powoduje wypełnienie poprzedzających dekad i generację początku impulsu bramkującego ograniczając czas przygotowawczy do czasu niezbędnego dla propagacji impulsu do dekady generującej impuls bramkujący, przy czym impuls powodujący wystąpienie tylnego zbocza impulsu bramkującego posiada to samo opóźnienie i procesy te zapewniają, że już pierwszy impuls bramkujący ma prawidłową długość.

Dzięki skróceniu czasu przygotowawczego i wykorzystaniu pierwszego pomiaru licznik częstotliwości może być stosowany do rejestracji większej ilości pomiarów w jednostce czasu lub do pomiaru przebiegów częstotliwościowych o szybszych zmianach częstotliwości, zwłaszcza przy dokonywaniu dużej ilości w czasie nastaw częstotliwości generowanych przez generator sygnałowy.

Przedmiotem wynalazku jest przedstawiony w przykładzie wykonania na rysunku, który przedstawia schemat ideowo-blokowy układu automatycznego wyboru czasu bramkowania licznika częstotliwości.

Układ automatyki licznika częstotliwości zawiera układ generacji impulsów bramkujących 1, którego wyjścia generujące impulsy bramkujące o czasach trwania 1 s, 100 ms, 10 ms i 1 ms są podane na jedno z dwu wejść bramek iloczynowych dwuwejściowych selektora impulsów bramkujących 2. Drugie wejścia bramek iloczynowych selektora impulsów bramkujących 2 są połączone z wyjściami prostymi poszczególnych przerzutników rejestru przesuwne go 3. Wyjście selektora impulsów stanowi źródło impulsów bramkujących G sterujących pracą licznika wskazującego pomiar częstotliwości. Wyjście układu przepełnienia licznika CY jest doprowadzone na wejście zegarowe przerzutników rejestru przesuwne go 3 oraz do układu generacji sygnału zerującego 4, którego wyjście jest połączone z wyjściem zerującym Z układu połączonym z układem generacji impulsów bramkujących 1 i wyprowadzonym do układów zerujących licznik.

Wyniki pomiarów są przekazywane do urządzeń pamięciowych przy pomocy impulsu z układu generacji impulsu wpisu do pamięci 5 przekazywanego na wyjście M. Układ generacji impulsu wpisu do pamięci 5 posiada wejście H do zablokowania impulsu wpisu do pamięci. Wyjścia zanegowane przerzutników rejestru przesuwne go są połączone na wejście układu włączenia najdłuższego czasu bramkowania 6. Wyjście proste poszczególnych przerzutników rejestru przesuwne go 3 są połączone z jednymi z dwu wejść iloczynowych zerujących odpowiednich dekad liczących układu generacji impulsów bramkujących 1. Wyjścia zanegowane przerzutników rejestru przesuwne go 3 są połączone z jednymi z dwu wejść iloczynowych ustawiających w pozycję „9” odpowiednich dekad liczących układu generacji impulsów bramkujących 1.

Układ generacji impulsów bramkujących 1 zawiera generator kwarcowy GK o częstotliwości 1 MHz, którego wyjście jest połączone z pierwszą dekadą liczącą DL1 stanowiącą dzielnik częstotliwości przez dziesięć. Wyjście pierwszej dekady liczącej DL1 jest połączone z wejściem drugiej dekady liczącej DL2 dokonującej także dziesięciokrotnego podziału częstotliwości. Wyjście drugiej dekady liczącej DL2 jest połączone z wejściem trzeciej dekady liczącej DL3. Podobnie wyjście trzeciej dekady liczącej DL3 jest połączone z wejściem czwartej dekady liczącej DL4. Wyjście czwartej dekady liczącej DL4 jest połączone z wejściem przedostatniej dekady liczącej DL5. Wyjście piątej przedostatniej dekady liczącej jest połączone z wejściem szóstej ostatniej dekady liczącej DL6. Wyjście szóstej ostatniej dekady liczącej DL6 jest poprzez układ negacji NE1 połączone z przerzutnikiem dzielnika częstotliwości PD1 stanowiącym dwójkę liczącą. Sześć dekad liczących DL1, DL2, DL3, DL4, DL5, DL6 wraz z przerzutnikiem PD1 stanowią dzielnik częstotliwości układu generacji impulsów bramkujących 1.

Poszczególne dekady liczące posiadają wejścia I_A, wyjścia Q_D, wyjścia pierwszych przerzutników Q_A, wyjścia drugich przerzutników Q_B, wyjścia trzecich przerzutników Q_C, wejścia zerujące R₀

i wejścia ustawiające w pozycję „9” R_9 , przy czym dekady końcowe DL4, DL5, DL6 posiadają po dwa iloczynowe wejścia zerujące i ustawiające w pozycję „9”. Przerzutniki posiadają wejścia informacyjne D, wejścia zegarowe CK, wejścia zerujące R, wyjścia proste Q i wyjścia zanegowane $\bar{Q}$. Rejestr przesuwany 3 zawiera pierwszy przerzutnik PR1, którego wejście informacyjne jest połączone z wyjściem układu włączania najdłuższego czasu bramkowania 6, drugi przerzutnik PR2, którego wejście informacyjne jest połączone z wyjściem prostym pierwszego przerzutnika PR1 oraz trzeci przerzutnik PR3, którego wejście informacyjne jest połączone z wyjściem prostym drugiego przerzutnika PR2. Wejścia zegarowe CK poszczególnych przerzutników PR1, PR2, PR3 rejestru przesuwającego 3 są połączone poprzez układ negacji NE2 do wyjścia układu przepełnienia licznika CY. Wejścia zerujące przerzutników PR1, PR2, PR3 rejestru przesuwającego 3 są połączone z wyjściem zerującym rejestr układu generacji sygnału zerującego 4.

Wyjście proste Q przerzutnika PR1 jest połączone z jednym z dwu iloczynowych wejść zerujących R_0 końcowej dekady liczącej DL6, natomiast wyjście zanegowane $\bar{Q}$ tego przerzutnika jest połączone z jednym z dwu wejść iloczynowych ustawiających w pozycję „9” R_9 końcowej dekady DL6, przy czym drugie wejście zerujące R_0 i ustawiające w pozycję „9” R_9 tej dekady są połączone z wyjściem Z układu generacji sygnału zerującego 4. Dzięki temu przed zmianą stanu pierwszego przerzutnika PR1 rejestru 3, gdy na jego wyjściu prostym Q występuje stan „0”, a na wyjściu zanegowanym $\bar{Q}$ stan „1” końcowa dekada DL6 jest ustawiana w pozycję „9” przy wystąpieniu sygnału zerującego, natomiast po zmianie stanu pierwszego przerzutnika PR1 rejestru 3, gdy na jego wyjściu prostym Q występuje stan „1”, a na zanegowanym $\bar{Q}$ występuje stan „0”, końcowa dekada DL6 jest zerowana sygnałem zerującym i na wyjściu jej pierwszego przerzutnika QA jest odmierzany czas bramkowania licznika 100 ms przez wygenerowanie odpowiedniego impulsu.

Wyjście proste Q drugiego przerzutnika PR2 rejestru przesuwającego 3 jest połączone z jednym z dwu iloczynowych wejść zerujących R_0 przedostatniej dekady liczącej DL5, natomiast wyjście zanegowane $\bar{Q}$ tego przerzutnika jest połączone z jednym z dwu iloczynowych wejść ustawiających w pozycję „9” R_9 tej dekady DL5, przy czym drugie wyjście zerujące R_0 i ustawiające w pozycję „9” R_9 są połączone z wyjściem Z układu generacji sygnału zerującego 4. Dzięki temu przed zmianą stanu drugiego przerzutnika PR2 rejestru 3 przedostatnia dekada DL5 jest ustawiana w pozycję „9” pod wpływem sygnału zerującego.

Natomiast po zmianie stanu drugiego przerzutnika PR2 rejestru 3, przedostatnia dekada DL5 jest zerowana przy wystąpieniu sygnału zerującego i na wyjściu QA jej pierwszego przerzutnika jest odmierzony czas bramkowania licznika 10 ms przez wygenerowanie odpowiedniego impulsu. Wyjście proste Q trzeciego przerzutnika PR3 rejestru przesuwającego 3 jest połączone z jednym z dwu iloczynowych wejść zerujących R_0 czwartej dekady liczącej DL4, natomiast wyjście zanegowane $\bar{Q}$ tego przerzutnika jest połączone z jednym z dwu iloczynowych wejść ustawiających w pozycję „9” R_9 tej dekady DL4, przy czym drugie wejścia zerujące R_0 i ustawiające w pozycję „9” R_9 są połączone z wyjściem Z układu generacji sygnału zerującego 4. Dzięki temu przed zmianą stanu trzeciego przerzutnika PR3 rejestru 3 czwarta dekada DL4 jest ustawiona w pozycję „9” pod wpływem sygnału zerującego, natomiast po zmianie stanu trzeciego przerzutnika PR3 rejestru 3, czwarta dekada DL4 jest zerowana przy wystąpieniu sygnału zerującego i na wyjściu QA jej pierwszego przerzutnika jest odmierzony najkrótszy czas bramkowania licznika 1 ms przez wygenerowanie odpowiedniego impulsu.

Układ selektora impulsów bramkujących 2 zawiera cztery dwuwejściowe bramki iloczynowe i jedną czterowejściową bramkę sumującą BS1 typu NOR.

Pierwsza bramka iloczynowa BI1 ma jedno wejście połączone z wyjściem przerzutnika dzielnika częstotliwości PD1 dołączonego do wyjścia końcowej dekady DL6 w układzie generacji impulsów bramkujących 1, natomiast drugie wejście tej bramki jest połączone z wyjściem układu włączania najdłuższego czasu bramkowania 6. Druga bramka iloczynowa BI2 ma jedno wejście połączone z wyjściem pierwszego przerzutnika QA końcowej dekady DL6 w układzie generacji impulsów bramkujących 1, gdzie są generowane impulsy o czasie trwania 100 ms. Drugie wejście bramki BI2 jest połączone z wyjściem prostym Q pierwszego przerzutnika PR1 rejestru przesuwającego 3. Trzecia bramka iloczynowa BI3 ma jedno wejście połączone z wyjściem pierwszego przerzutnika przedostatniej dekady DL5 w układzie generacji impulsów bramkujących 1, gdzie są

generowane impulsy o czasie trwania 10 ms. Drugie wejście bramki BI3 jest połączone z wyjściem prostym Q drugiego przerzutnika PR2 w układzie rejestru przesuwne 3. Czwarta bramka iloczynowa BI4 ma jedno wejście połączone z wyjściem pierwszego przerzutnika QA czwartej dekady DL4 w układzie generacji impulsów bramkujących 1, gdzie są generowane impulsy o czasie trwania 1 ms. Drugie wejście bramki BI4 jest połączone z wyjściem trzeciego przerzutnika PR3 w rejestrze przesuwne 3. Wyjścia wszystkich bramek iloczynowych BI1, BI2, BI3 i BI4 układu selektora impulsów 2 są połączone z wejściami bramki sumującej BS1 typu NOR tego układu.

Układ włączania najdłuższego czasu bramkowania 6 zawiera trzywejściową bramkę iloczynową BI5, której wejścia są połączone z zanegowanymi wyjściami $\bar{Q}$ przerzutników PR1, PR2 i PR3 rejestru przesuwne 3. Wyjście tej bramki BI5 jest połączone z jednym wejściem pierwszej bramki iloczynowej BI1 układu selektora impulsów i z wejściem informacyjnym D pierwszego przerzutnika PR1 rejestru przesuwne 3.

Układ generacji impulsu wpisu do pamięci 5 zawiera zespół generujący impulsy ZG1 trzywejściową bramkę iloczynową BI6 typu NAND oraz układ negacji NE3. Wejścia bramki iloczynowej BI6 są połączone z wyjściem impulsów bramkujących G, zespołem generującym impulsy ZG1 i wyjściem drugiego przerzutnika QB trzeciej dekady DL3 w układzie generacji impulsów bramkujących 1. Wyjście tej bramki poprzez układ negacji NE3 jest połączone z wyjściem impulsu wpisu do pamięci M. Zespół generacji impulsu ZG1 jest połączony z wejściem blokowania impulsu wpisu do pamięci H oraz z wyjściem bramki iloczynowej BI6 typu NAND.

Układ generacji sygnału zerującego 4 zawiera trzy bramki iloczynowe typu NAND. Pierwsza bramka tego układu BI7 posiada trzy wejścia, z których jedno jest połączone z wyjściem układu detektora zera DZ najbardziej znaczącej dekady licznika, przekazującym sygnał zmiany zakresu na niższy licznika czyli zawiększenie czasu impulsu bramkującego. Drugie wejście tej bramki jest połączone z wyjściem impulsów bramkującego G, trzecie natomiast z wyjściem trzeciego przerzutnika Qc trzeciej dekady DL3 układu generacji impulsów bramkujących 1. Wyjście bramki BI7 stanowi wyjście zerujące rejestr przesuwne układu zerowania 4 i jest doprowadzane na wejście zerujące R przerzutników PR1, PR2, PR3 rejestru przesuwne 3. Druga bramka iloczynowa BI8 układu zerowania 4 o dwóch wejściach jest połączona jednym wejściem z wyjściem impulsów bramkujących G, natomiast drugim wejściem z wyjściem trzeciego przerzutnika Qc trzeciej dekady DL3 układu generacji impulsów bramkujących 1. Wyjście tej bramki BI8 jest doprowadzone na jedno z wejść końcowej bramki BI9 układu zerowania 4 oraz na wejście zerujące R przerzutnika PD1 w układzie generacji impulsów bramkujących 1. Drugie wejście bramki BI9 jest połączone z wyjściem układu przepełnienia licznika CY. Wyjście bramki końcowej BI9 stanowi wyjście układu zerowania 4 połączone z wyjściem Z.

Wyjście do układu sterowania przecinka zakresu o najdłuższym czasie bramkowania PI jest połączone z wyjściem układu włączania najdłuższego czasu bramkowania 6. Wyjście do układu sterowania przecinka zakresu związanego z czasem bramkowania 100 ms P2 jest połączone z wyjściem prostym Q pierwszego przerzutnika PR1 rejestru przesuwne 3. Wyjście do układu sterowania przecinka zakresu związanego z czasem bramkowania 10 ms P3 jest połączone z wyjściem prostym Q drugiego przerzutnika PR2 rejestru przesuwne 3. Wyjście do układu sterowania przecinka zakresu związanego z najkrótszym czasem bramkowania 1 ms P4 do pomiaru najwyższych częstotliwości połączone jest z wyjściem prostym Q ostatniego trzeciego przerzutnika PR3 rejestru przesuwne 3.

Układ automatyki licznika częstotliwości działa w ten sposób, że w pierwszej kolejności jest podawany na wyjście impulsów bramkujących G impuls bramkujący o najdłuższym czasie bramkowania 1 s, generowany na wyjściu Q przerzutnika PD1 dołączonego do wyjścia ostatniej dekady DL6 układu generacji impulsów bramkujących 1, który jest doprowadzony na jedno z wejść dwuwejściowej bramki iloczynowej BI1 w układzie selektora impulsów 2. Na drugie wejście tej bramki BI1 jest doprowadzony stan „1” z wyjścia układu włączania najdłuższego czasu bramkowania 6, stanowiącego iloczynową bramkę trzywejściową BI5, której wejścia są połączone z zanegowanymi wyjściami $\bar{Q}$ przerzutników PR1, PR2, PR3 rejestru przesuwne 3, gdzie występują stany „1”.

Wystąpienie stanu przepełnienia licznika jest przekazywane na wyjście układu przepełnienia licznika CY, skąd podane na wejście zegarowe CK przerzutników PR1, PR2, PR3 rejestru przesuwne 3 powoduje przesunięcie stanu „1” z wejścia informacyjnego pierwszego przerzutnika PR1 na

jego wyjścia proste Q i powstanie stanu „0” na wyjściu zanegowanym $\bar{Q}$. W ten sposób na wyjściu układu włączania najdłuższego czasu bramkowania 6 powstaje stan „0”, który jest podany na jedno z wejść bramki iloczynowej $BI1$ powodując jej zablokowanie.

Stan „1” z wyjścia Q pierwszego przerzutnika $PR1$ jest podawany na jedno z wejść bramki iloczynowej $BI2$, do której drugiego wejścia są doprowadzane impulsy bramkowania o czasie trwania 100 ms z wyjścia pierwszego przerzutnika Q_A końcowej dekady $DL6$ układu generacji impulsów bramkujących 1. Impulsy te z wyjścia bramki iloczynowej $BI2$ poprzez bramkę sumującą $BS1$ są przekazywane na wyjście impulsów bramkujących G . Stan przepełnienia licznika przekazany na jedno z wejść bramki iloczynowej $BI9$ w układzie zerowania 4 powoduje powstanie sygnału zerującego na wyjściu Z . Sygnał zerujący z wyjścia Z doprowadzony do układu generacji impulsów bramkujących 1 powoduje wyzerowanie dekady końcowej $DL6$ w wyniku podania także na jej drugie wejście iloczynowe zerujące R o stanu „1” z wyjścia prostego Q pierwszego przerzutnika $PR1$ w rejestrze przesuwym 3.

Pozostałe dekady $DL1$, $DL2$, $DL3$ i $DL4$ pod wpływem sygnału zerującego zostają ustawione w pozycję „9” tak że pierwszy kolejny impuls z generatora powoduje dopełnienie tych dekad i generację impulsu bramkującego na wyjściu pierwszego przerzutnika Q_A końcowej dekady liczącej $DL6$. W przypadku wystąpienia następnego przepełnienia licznika sygnał na wyjściu układu przepełnienia CY powoduje przeniesienie stanu „1” z wejścia informacyjnego D drugiego przerzutnika $PR2$ na jego wyjście proste Q , co powoduje odblokowanie bramki iloczynowej $BI3$ w układzie selektora impulsów 2 dla impulsów bramkujących o czasie trwania 10 ms doprowadzonych na jej drugie wejście z wyjścia pierwszego przerzutnika Q_A przedostatniej dekady liczącej $DL5$ układu generacji impulsów bramkujących 1. Sygnał zerujący podany do układu generacji impulsów bramkujących 1 powoduje wyzerowanie przedostatniej dekady liczącej $DL5$ i ustawienie w pozycję „9” dekad poprzedzających $DL1$, $DL2$, $DL3$ i $DL4$, w wyniku czego pierwszy kolejny impuls z generatora powoduje dopełnienie tych dekad i generację czoła impulsu bramkującego na wyjściu pierwszego przerzutnika Q_A dekady liczącej $DL5$.

Kolejny stan przepełnienia licznika powoduje przesunięcie stanu „1” z wejścia informacyjnego D trzeciego przerzutnika $PR3$ rejestru przesuwego 3 na jego wyjście proste Q . Powoduje to odblokowanie bramki iloczynowej $BI4$ dla impulsów bramkujących o najkrótszym czasie trwania 1 ms otrzymywanych z wyjścia pierwszego przerzutnika Q_A kolejnej licząc od końca dekady $DL4$. Sygnał zerujący z wyjścia Z podawany na układ generacji impulsów bramkujących 1 powoduje wyzerowanie dekady $DL4$ i ustawienie w stan „9” dekady poprzedzające $DL1$, $DL2$ i $DL3$. Po dokonaniu pomiaru w okresie impulsu bramkującego jego zakończenie wraz z sygnałem z wyjścia drugiego przerzutnika Q_B trzeciej dekady $DL3$ oznaczającym odmierzenie czasu bramkowania są doprowadzane na wejścia bramki iloczynowej $BI6$ wraz z wyjściem zespołu generującego impulsu $ZG1$, pod wpływem którego na wyjściu bramki jest wytwarzany impuls doprowadzany do wyjścia impulsu wpisu do pamięci M dla przepisania wyniku pomiaru do urządzeń pamięciowych. Impuls przepisania wyniku do pamięci może być sterowany z innych urządzeń przy pomocy wejścia blokowania impulsu wpisu do pamięci H , doprowadzonego do zespołu generacji impulsu $ZG1$.

Sygnał zakończenia impulsu bramkującego z wyjścia G wraz z sygnałem z wyjścia trzeciego przerzutnika Q_C trzeciej dekady $DL3$ doprowadzone na wejście bramki iloczynowej $BI8$ wytwarzają sygnał zerujący podawany bezpośrednio na wejście zerujące R przerzutnika $PD1$ oraz poprzez bramkę $BI9$ na wyjście zerujące Z układu. Uzależnienie impulsu zerującego na wyjściu Z od sygnału na wyjściu trzeciego przerzutnika Q_C trzeciej dekady $DL3$ zapewnia przepisanie wyników pomiaru do pamięci dokonywane pod wpływem sygnału na wyjściu wcześniejszego drugiego przerzutnika Q_B tej dekady.

W przypadku obniżenia mierzonej wartości częstotliwości, jeżeli na wyjściu układu detektora zera najbardziej znaczącej dekady licznika DZ pojawi się sygnał oznaczający wystąpienie zera, sygnał ten podany na jedno z wejść iloczynowej bramki $BI7$ spowoduje wytworzenie na jej wyjściu sygnału zerującego przerzutniki $PR1$, $PR2$, $PR3$ rejestru przesuwego 3. Wskutek tego pomiar będzie wykonany od próby z najdłuższym czasem bramkowania i następnie w przypadku występowania przepełnienia licznika odpowiednio skracanym aż do ustalenia właściwego czasu bramkowania dla pomiaru danej wartości częstotliwości.

Zastrzeżenia patentowe

Układ automatyki licznika częstotliwości, zwłaszcza w generatorze sygnałowym zawierający rejestr przesuwany, który dla wyboru „n” czasów bramkowania posiada „n-1” przerzutników, których wejścia zegarowe są połączone z układem stanu przepełnienia licznika, natomiast wyjścia proste tych przerzutników są połączone odpowiednio z jednymi wejściami dwuwejściowych bramek iloczynowych, których drugie wejścia są połączone odpowiednio z wyjściami pierwszych przerzutników końcowych dekad liczących układu generacji impulsów bramkujących złożonego z generatora impulsów i dekadowych dzielników częstotliwości z przerzutnikiem stanowiącym dwójkę liczącą połączonym z wyjściem końcowej dekady liczącej dla wytwarzania impulsów bramkujących o najdłuższym czasie trwania, którego wyjście jest połączone z jednym wejściem dwuwejściowej bramki iloczynowej, której drugie wejście wraz z wejściem informacyjnym pierwszego przerzutnika rejestru jest połączone z wyjściem bramki iloczynowej, do której wejść są doprowadzone zanegowane wyjścia wszystkich przerzutników rejestru, przy czym wyjścia tych dwuwejściowych bramek iloczynowych są połączone z wejściami bramki sumującej, której wyjście stanowi źródło impulsów bramkujących przekazywanych do licznika, **znamienny tym**, że wyjścia proste (Q) poszczególnych przerzutników (PR1, PR2, PR3) rejestru przesuwanego (3) są połączone z jednymi z dwu iloczynowych wejść zerujących (Ro), natomiast wyjścia zanegowane ($\bar{Q}$) tych przerzutników są połączone z jednymi z dwu iloczynowych wejść ustawiających w pozycję „9” (R9), końcowych dekad liczących (DL6, DL5, DL4) układu generacji impulsów bramkujących (1), przy czym połączenia te są wykonane kolejno od wyjść pierwszego przerzutnika (PR1) rejestru przesuwanego (3), które są połączone z wejściami końcowej dekady liczącej (DL6), do wyjść ostatniego przerzutnika (PR3) rejestru przesuwanego (3), które są połączone z wejściami dekady liczącej (DL4), z której są wyprowadzane impulsy bramkujące o najkrótszym czasie trwania, natomiast drugie wejście iloczynowe zerujące (Ro) i ustawiające w pozycję „9” (R9) tych dekad liczących (DL6, DL5, DL4) oraz wejścia ustawiające w pozycję „9” poprzedzających je dekad liczących (DL1, DL2, DL3) są połączone z wyjściem zerującym układu (Z).

