(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년04월14일
(11) 등록번호 10-2240295
(24) 등록일자 2021년04월08일

(51) 국제특허분류(Int. Cl.)
H03F 3/45 (2006.01)
(21) 출원번호 10-2014-0048285
(22) 출원일자 2014년04월22일
심사청구일자 2019년04월15일
(65) 공개번호 10-2014-0126268
(43) 공개일자 2014년10월30일
(30) 우선권주장
14/061,637 2013년10월23일 미국(US)
61/814,756 2013년04월22일 미국(US)
(56) 선행기술조사문헌
JP2003273711 A*
JP2003318670 A*
JP2010141646 A*
KR1020040084000 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
모하마드 헤크멧
미국 캘리포니아 95112 산호세 데브콘 드라이브 217
아미르 아미르해니
미국 캘리포니아 95112 산호세 데브콘 드라이브 217
(74) 대리인
팬코리아특허법인

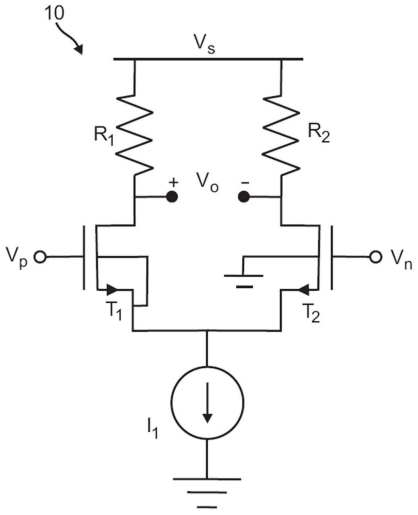
전체 청구항 수 : 총 7 항 심사관 : 이준건

(54) 발명의 명칭 **미스매칭된 차동 회로**

(57) 요 약

차동 증폭기는, 제1 트랜지스터를 포함하는 제1 증폭기 레그, 및 제2 트랜지스터를 포함하는 제2 증폭기 레그를 포함한다. 여기에서, 제1 트랜지스터는 제2 트랜지스터의 벌크 전위와는 상이한 벌크 전위를 갖도록 구성된다. 제1 증폭기 레그 및 제2 증폭기 레그는 함께 수신된 차동 입력 신호를 차동 증폭하도록 구성될 수 있다. 차동 증폭기는 입력 오프셋 전압을 갖도록 구성될 수 있고, 입력 오프셋 전압은 제1 트랜지스터의 벌크 전위와 제2 트랜지스터의 벌크 전위 사이의 차에 대응한다. 차동 증폭기는 비교기의 입력 스테이지에 있을 수 있다.

대 표 도 - 도1



명 세 서

청구범위

청구항 1

차동 증폭기로서,

제1 트랜지스터를 포함하는 제1 증폭기 레그(leg),

제2 트랜지스터를 포함하는 제2 증폭기 레그,

제3 트랜지스터,

제4 트랜지스터,

제1 전류를 싱킹(sinking)하도록 구성된 제1 전류 싱크(sink),

제2 전류를 싱킹하도록 구성된 제2 전류 싱크,

전압 소스,

제1 저항, 그리고

제2 저항

을 포함하고,

상기 제1 내지 제4 트랜지스터 각각은 벌크, 게이트, 드레인 및 소스를 포함하고,

상기 제1 트랜지스터의 벌크는 상기 제1 트랜지스터의 소스에 연결되고,

상기 제4 트랜지스터의 벌크는 상기 제4 트랜지스터의 소스에 연결되고,

상기 제2 및 제3 트랜지스터의 벌크는 접지에 연결되고,

상기 제1 트랜지스터의 드레인은 상기 제4 트랜지스터의 드레인에 연결되고,

상기 제2 트랜지스터의 드레인은 상기 제3 트랜지스터의 드레인에 연결되고,

상기 제1 트랜지스터의 게이트는 상기 제4 트랜지스터의 게이트에 연결되고,

상기 제2 트랜지스터의 게이트는 상기 제3 트랜지스터의 게이트에 연결되고,

상기 제1 및 제2 트랜지스터의 소스는 상기 제1 전류 싱크에 연결되고,

상기 3 및 제4 트랜지스터의 소스는 상기 제2 전류 싱크에 연결되고,

상기 제1 및 제4 트랜지스터의 드레인은 상기 제1 저항의 제1 단자에 연결되고,

상기 제1 저항의 제2 단자는 전압 소스에 연결되고,

상기 제2 및 제3 트랜지스터의 드레인은 상기 제2 저항의 제1 단자에 연결되고,

상기 제2 저항의 트랜지스터의 제2 단자는 전압 소스에 연결되고,

상기 차동 증폭기는 비교기의 입력단에 있고,

상기 제1 및 제2 증폭기 레그는 함께 수신한 차동 입력 신호를 차동 증폭하고,

상기 차동 증폭기는 입력 오프셋 전압을 가지고,

상기 입력 오프셋 전압은 상기 제1 트랜지스터의 벌크 전위와 상기 제2 트랜지스터의 벌크 전위의 차이, 상기 제3 트랜지스터의 벌크 전위와 상기 제4 트랜지스터의 벌크 전위의 차이, 그리고 상기 제1 전류와 상기 제2 전류의 차이에 대응하는

차동 증폭기.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 제1 트랜지스터는 제1 디바이스 사이즈를 갖고, 상기 제2 트랜지스터는 상기 제1 디바이스 사이즈와는 상이한 제2 디바이스 사이즈를 갖고,

상기 입력 오프셋 전압은 상기 제1 디바이스 사이즈와 상기 제2 디바이스 사이즈 사이의 차에 추가적으로 대응하는, 차동 증폭기.

청구항 4

제3항에 있어서,

상기 제1 디바이스 사이즈는 상기 제1 트랜지스터의 채널 폭 또는 길이에 대응하고, 상기 제2 디바이스 사이즈는 상기 제2 트랜지스터의 채널 폭 또는 길이에 대응하는, 차동 증폭기.

청구항 5

삭제

청구항 6

제1항에 있어서,

상기 오프셋 전압은, 상기 제1 전류, 상기 제2 전류, 상기 제1 트랜지스터의 벌크 전위, 상기 제2 트랜지스터의 벌크 전위, 상기 제1 트랜지스터의 유효 폭 또는 길이, 또는 상기 제2 트랜지스터의 유효 폭 또는 길이 중 적어도 하나를 조정함으로써 동적으로 구성 가능한, 차동 증폭기.

청구항 7

제1항에 있어서,

상기 제1 트랜지스터 및 상기 제3 트랜지스터는 제1 디바이스 사이즈를 갖고,

상기 제2 트랜지스터 및 상기 제4 트랜지스터의 각각은 상기 제1 디바이스 사이즈와는 상이한 제2 디바이스 사이즈를 갖고,

상기 입력 오프셋 전압은 상기 제1 디바이스 사이즈와 상기 제2 디바이스 사이즈 사이의 차에 추가적으로 대응하는, 차동 증폭기.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

멀티레벨 신호 수신기로서,

멀티레벨 차동 신호를 수신하기 위한 입력 단자;

상기 입력 단자에 연결되고, 상기 멀티레벨 차동 신호의 전압 레벨을 결정하도록 구성되고, 복수의 비교기를 포함하는 데이터 슬라이서(data slicer); 및

상기 데이터 슬라이서의 출력에 연결되고 상기 멀티레벨 차동 신호의 비트를 디코딩하도록 구성된 디코더를 포함하고,

상기 비교기의 각각은 제1항, 제3항, 제4항, 제6항 및 제7항 중 어느 하나의 차동 증폭기를 포함하는

멀티레벨 신호 수신기.

청구항 13

제12항에 있어서,

상기 복수의 비교기는 제1 레벨로 설정된 그 임계 레벨을 갖는 제1 비교기, 제2 레벨로 설정된 그 임계 레벨을 갖는 제2 비교기 및 제3 레벨로 설정된 그 임계 레벨을 갖는 제3 비교기를 포함하고,

상기 멀티레벨 신호는 4개의 신호 레벨을 사용하여 2 비트를 인코딩하도록 구성되고,

상기 제1 레벨, 상기 제2 레벨, 상기 제3 레벨은 상기 4개의 신호 레벨을 검출하도록 각각 설정되는, 멀티레벨 신호 수신기.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기 술 분 야

[0001] 본 유틸리티 특허 출원은 여기에서 참조로써 그 전체 내용이 통합되고, 발명의 명칭이 Triple-Mismatched Differential Pair이고, 2013년 4월 22일자로 출원된 미국 가출원 제61/814,756호의 우선권 및 그 이익을 주장한다.

배 경 기 술

[0002] 본 발명의 양태는 미스매칭된 차동 회로와 미스매칭된 차동 회로를 포함하는 비교기에 관한 것이다.

[0003] 비교기는 2개의 입력 신호를 비교하고 이러한 비교에 기초하여 신호를 출력하는 디바이스이다. 일 구성에서, 비교기는 2개의 입력 신호를 수신하고 수신된 신호들 중 더 큰 것을 나타내는 신호를 출력한다. 다른 구성에서, 비교기는 2개의 신호(예를 들어, 2개의 상보 신호)를 수신하고, 2개의 수신된 신호 사이의 차이가 임계 레벨보다 더 큰지 여부를 나타내는 신호를 출력한다.

[0004] 상술한 임계 검출을 수행하도록 구현된 비교기는 멀티레벨 직렬/병렬 링크, 아날로그-대-디지털 컨버터 및 피크 검출을 포함하여 다수의 어플리케이션을 갖는다. 미스매칭된 차동 회로는 임계 레벨을 설정하기 위해 비교기 내에서 사용될 수 있다. 비교기 회로의 사용 가능한 범위를 확장하기 위해서는 (예를 들어, 검출 범위를 증가시키기 위해서는) 광범위한 임계 레벨이 바람직하다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 양태는 광범위한 임계 레벨을 가능하게 하는 미스매칭된 차동 회로를 제공하는 것에 관한 것이다. 본 발명의 실시예에 따른 미스매칭된 차동 회로는 예로서 비교기에서 사용될 수 있다.

과제의 해결 수단

[0006] 본 발명이 실시예에 따르면, 비교기의 임계 레벨의 범위는 비교기의 차동 회로의 디바이스의 벌크 전위를 제어함으로써 확장 가능하다. 예를 들어, 일 실시예에서, 미스매칭된 벌크 전위, 사이즈 및 전류를 갖는 디바이스를 포함하는 3중 미스매칭된 차동 쌍이 제공되어 비교기에 대한 광범위한 임계 레벨을 가능하게 한다.

[0007] 본 발명의 실시예에 따르면, 미스매칭된 벌크 전위를 갖는 디바이스를 포함하는 미스매칭된 차동 회로가 디스플레이를 위한 디지털 통신 링크의 일부로서 제공된다.

[0008] 본 발명의 실시예에 따르면, 제1 트랜지스터를 포함하는 제1 증폭기 레그(leg); 및 제2 트랜지스터를 포함하는 제2 증폭기 레그를 포함하는 차동 증폭기가 제공된다. 여기에서, 제1 트랜지스터는 제2 트랜지스터의 벌크 전위(bulk potential)와는 상이한 벌크 전위를 갖도록 구성된다.

[0009] 차동 증폭기는 비교기의 입력 스테이지에 있도록 구성될 수 있고, 제1 증폭기 레그 및 제2 증폭기 레그는 함께 수신된 차동 입력 신호를 차동 증폭하도록 구성될 수 있고, 차동 증폭기는 입력 오프셋 전압을 갖도록 구성될 수 있고, 입력 오프셋 전압은 제1 트랜지스터의 벌크 전위와 제2 트랜지스터의 벌크 전위 사이의 차에 대응할 수 있다.

[0010] 제1 트랜지스터는 제1 디바이스 사이즈를 가질 수 있고, 제2 트랜지스터는 제1 디바이스 사이즈와는 상이한 제2 디바이스 사이즈를 가질 수 있고, 입력 오프셋 전압은 제1 디바이스 사이즈와 제2 디바이스 사이즈 사이의 차에 추가적으로 대응할 수 있다.

[0011] 제1 디바이스 사이즈는 제1 트랜지스터의 채널 폭 또는 길이에 대응할 수 있고, 제2 디바이스 사이즈는 제2 트랜지스터의 채널 폭 또는 길이에 대응할 수 있다.

[0012] 차동 증폭기는, 제1 전류를 싱킹(sinking)하도록 구성된 제1 전류 싱크(sink); 제2 전류를 싱킹하도록 구성된 제2 전류 싱크; 제3 트랜지스터; 및 제4 트랜지스터를 더 포함할 수 있다. 따라서, 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터 및 제4 트랜지스터의 각각은 제1 단자, 제2 단자 및 게이트를 포함할 수 있고, 제1 트랜지스터의 제1 단자는 제4 트랜지스터의 제1 단자에 연결될 수 있고, 제2 트랜지스터의 제1 단자는 제3 트랜지스터의 제1 단자에 연결될 수 있고, 제1 트랜지스터의 게이트는 제4 트랜지스터의 게이트에 연결될 수 있고, 제2 트랜지스터의 게이트는 제3 트랜지스터의 게이트에 연결될 수 있고, 제1 트랜지스터의 제2 단자 및 제2 트랜지스터의 제2 단자는 함께 연결되어 제1 전류 싱크에 연결될 수 있고, 제3 트랜지스터의 제2 단자 및 제4 트랜지스터의 제2 단자는 함께 연결되어 제2 전류 싱크에 연결될 수 있고, 입력 오프셋 전압은 제1 전류와 제2 전류 사이의 차에 추가적으로 대응할 수 있다.

[0013] 오프셋 전압은, 제1 전류, 제2 전류, 제1 트랜지스터의 벌크 전위, 제2 트랜지스터의 벌크 전위, 제1 트랜지스터의 유효 폭 또는 길이, 또는 제2 트랜지스터의 유효 폭 또는 길이 중 적어도 하나를 조정함으로써 동적으로

구성할 수 있다. 트랜지스터의 폭 또는 길이는 트랜지스터의 폭 또는 길이를 조정하도록 다양하게 접속될 수 있는 일련의 스위치를 제어함으로써 동적으로 변화될 수 있다.

[0014] 제1 트랜지스터 및 제3 트랜지스터의 각각은 제1 디바이스 사이즈를 가질 수 있고, 제2 트랜지스터 및 제4 트랜지스터의 각각은 제1 디바이스 사이즈와는 상이한 제2 디바이스 사이즈를 가질 수 있고, 입력 오프셋 전압은 제1 디바이스 사이즈와 제2 디바이스 사이즈 사이의 차에 추가적으로 대응할 수 있다.

[0015] 제1 트랜지스터 및 제2 트랜지스터의 각각은 전계 효과 트랜지스터일 수 있고, 벌크, 게이트, 드레인 및 소스를 포함할 수 있다. 여기에서, 제1 트랜지스터의 벌크는 제1 트랜지스터의 소스, 접지 또는 바이어스 전압원 중 하나에 연결될 수 있고, 제2 트랜지스터의 벌크는 제2 트랜지스터의 소스, 접지 또는 바이어스 전압원 중 하나에 연결될 수 있고, 제1 트랜지스터의 벌크는 제2 트랜지스터의 벌크와는 상이하게 연결되어, 제1 트랜지스터의 벌크 전위가 제2 트랜지스터의 벌크 전위와는 상이하게 되게 할 수 있다.

[0016] 제1 트랜지스터 및 제2 트랜지스터의 각각은 P-MOS 전계 효과 트랜지스터일 수 있고, 제1 트랜지스터의 벌크는 제1 트랜지스터의 소스에 연결될 수 있고, 제2 트랜지스터의 벌크는 바이어스 전압원에 연결될 수 있다.

[0017] 제1 트랜지스터 및 제2 트랜지스터의 각각은 N-MOS 전계 효과 트랜지스터일 수 있고, 제1 트랜지스터의 벌크는 제1 트랜지스터의 소스에 연결될 수 있고, 제2 트랜지스터의 벌크는 접지에 연결될 수 있다.

[0018] 제1 트랜지스터의 벌크는 바이어스 전압원에 연결될 수 있고, 제2 트랜지스터의 벌크는 접지에 연결될 수 있고, 바이어스 전압원은 제1 트랜지스터의 벌크 전위와 제2 트랜지스터의 벌크 전위 사이의 차를 동적으로 변하도록 제어할 수 있다.

[0019] 본 발명의 다른 실시예에 따르면, 멀티레벨 차동 신호를 수신하기 위한 입력 단자; 입력 단자에 연결되고, 멀티레벨 차동 신호의 전압 레벨을 결정하도록 구성되고, 복수의 비교기를 포함하는 데이터 슬라이서(data slicer); 및 데이터 슬라이서의 출력에 연결되고 멀티레벨 차동 신호의 비트를 디코딩하도록 구성된 디코더를 포함하는 멀티레벨 신호 수신기가 제공된다. 여기에서, 비교기의 각각은 차동 증폭기를 포함하고, 차동 증폭기는, 제1 트랜지스터를 포함하는 제1 증폭기 레그, 및 제1 트랜지스터의 벌크 전위와는 상이한 벌크 전위를 갖도록 구성된 제2 트랜지스터를 포함하는 제2 증폭기 레그를 포함하고, 제1 증폭기 레그 및 제2 증폭기 레그는 함께 멀티레벨 차동 신호를 차동 증폭하여 임계 판정 신호를 생성하도록 구성되고, 차동 증폭기는 입력 오프셋 전압을 갖도록 구성되고, 입력 오프셋 전압은 제1 트랜지스터의 벌크 전위와 제2 트랜지스터의 벌크 전위 사이의 차에 대응하고, 비교기의 각각은 비교기 중 다른 것들의 임계 레벨과는 상이한 임계 레벨을 갖도록 구성되고, 비교기의 각각은, 멀티레벨 신호가 그 임계 레벨보다 큰지 여부를 나타내는 그 임계 판정 신호를 디코더로 출력하도록 구성되고, 비교기의 각각에 대하여, 임계 레벨은 차동 증폭기의 입력 오프셋 전압에 대응한다.

[0020] 복수의 비교기는 제1 레벨로 설정된 그 임계 레벨을 갖는 제1 비교기, 제2 레벨로 설정된 그 임계 레벨을 갖는 제2 비교기 및 제3 레벨로 설정된 그 임계 레벨을 갖는 제3 비교기를 포함할 수 있다. 멀티레벨 신호는 4개의 신호 레벨을 사용하여 2 비트를 인코딩하도록 구성될 수 있고, 제1 레벨, 제2 레벨, 제3 레벨은 4개의 신호 레벨을 검출하도록 각각 설정될 수 있다.

[0021] 비교기 중 적어도 하나의 차동 증폭기에서, 제1 트랜지스터는 제1 디바이스 사이즈를 가질 수 있고, 제2 트랜지스터는 제1 디바이스 사이즈와는 상이한 제2 디바이스 사이즈를 가질 수 있고, 입력 오프셋 전압은 제1 디바이스 사이즈와 제2 디바이스 사이즈 사이의 차에 추가적으로 대응할 수 있다.

[0022] 비교기의 각각의 차동 증폭기는, 제1 전류를 싱킹하도록 구성된 제1 전류 싱크; 제2 전류를 싱킹하도록 구성된 제2 전류 싱크; 제3 트랜지스터; 및 제4 트랜지스터를 더 포함할 수 있다. 여기에서, 비교기 중 적어도 하나의 차동 증폭기에서: 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터 및 제4 트랜지스터의 각각은 제1 단자, 제2 단자 및 게이트를 포함할 수 있고, 제1 트랜지스터의 제1 단자는 제4 트랜지스터의 제1 단자에 연결될 수 있고, 제2 트랜지스터의 제1 단자는 제3 트랜지스터의 제1 단자에 연결될 수 있고, 제1 트랜지스터의 게이트는 제4 트랜지스터의 게이트에 연결될 수 있고, 제2 트랜지스터의 게이트는 제3 트랜지스터의 게이트에 연결될 수 있고, 제1 트랜지스터의 제2 단자 및 제2 트랜지스터의 제2 단자는 함께 연결되어 제1 전류 싱크에 연결될 수 있고, 제3 트랜지스터의 제2 단자 및 제4 트랜지스터의 제2 단자는 함께 연결되어 제2 전류 싱크에 연결될 수 있고, 입력 오프셋 전압은 제1 전류와 제2 전류 사이의 차에 추가적으로 대응할 수 있다.

[0023] 비교기 중 적어도 하나의 차동 증폭기에서, 오프셋 전압은, 제1 전류, 제2 전류, 제1 트랜지스터의 벌크 전위, 제2 트랜지스터의 벌크 전위, 제1 트랜지스터의 유효 폭 또는 길이, 또는 제2 트랜지스터의 유효 폭 또는 길이

중 적어도 하나를 조정함으로써 동적으로 구성할 수 있다.

[0024] 비교기 중 적어도 하나의 차동 증폭기에서: 제1 트랜지스터 및 제3 트랜지스터의 각각은 제1 디바이스 사이즈를 가질 수 있고, 제2 트랜지스터 및 제4 트랜지스터의 각각은 제1 디바이스 사이즈와는 상이한 제2 디바이스 사이즈를 가질 수 있고, 입력 오프셋 전압은 제1 디바이스 사이즈와 제2 디바이스 사이즈 사이의 차에 추가적으로 대응할 수 있다.

[0025] 비교기 중 적어도 하나의 차동 증폭기에서: 제1 트랜지스터 및 제2 트랜지스터의 각각은 전계 효과 트랜지스터일 수 있고, 벌크, 게이트, 드레인 및 소스를 포함할 수 있고, 제1 트랜지스터의 벌크는 제1 트랜지스터의 소스, 접지 또는 바이어스 전압원 중 하나에 연결될 수 있고, 제2 트랜지스터의 벌크는 제2 트랜지스터의 소스, 접지 또는 바이어스 전압원 중 하나에 연결될 수 있고, 제1 트랜지스터의 벌크는 제2 트랜지스터의 벌크와는 상이하게 연결되어, 제1 트랜지스터의 벌크 전위가 제2 트랜지스터의 벌크 전위와는 상이하게 되게 할 수 있다.

[0026] 비교기 중 적어도 하나의 차동 증폭기에서: 제1 트랜지스터 및 제2 트랜지스터의 각각은 P-MOS 전계 효과 트랜지스터일 수 있고, 제1 트랜지스터의 벌크는 제1 트랜지스터의 소스에 연결될 수 있고, 제2 트랜지스터의 벌크는 바이어스 전압원에 연결될 수 있다.

[0027] 비교기 중 적어도 하나의 차동 증폭기에서: 제1 트랜지스터 및 제2 트랜지스터의 각각은 N-MOS 전계 효과 트랜지스터일 수 있고, 제1 트랜지스터의 벌크는 제1 트랜지스터의 소스에 연결될 수 있고, 제2 트랜지스터의 벌크는 접지에 연결될 수 있다.

도면의 간단한 설명

[0028] 첨부 도면은 본 발명의 예시적인 실시예를 도시하며, 본 설명과 함께 본 발명의 특징 및 양태를 설명하는 역할을 한다.

도 1은 본 발명의 실시예에 따른 미스매칭된 차동 회로를 나타내는 도면이다.

도 2는 본 발명의 실시예에 따른 트랜지스터의 벌크-대-소스 전압 대 그 임계 전압 사이의 관계를 도시하는 그래프이다.

도 3은 본 발명의 실시예에 따른 차동 회로의 I-V 특성을 도시하는 그래프이다.

도 4는 본 발명의 다른 실시예에 따른 차동 회로의 I-V 특성을 도시하는 그래프이다.

도 5는 본 발명의 다른 실시예에 따른 미스매칭된 차동 회로를 도시하는 도면이다.

도 6은 펄스 진폭 변조 데이터 시스템에 대한 수신기를 도시하는 도면이다.

도 7은 본 발명의 실시예에 따른 3개의 차동 회로의 I-V 특성을 도시하는 그래프이다.

도 8은 본 발명의 실시예에 따른 디스플레이를 위한 디지털 통신 링크의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0029] 본 발명의 양태는 광범위한 임계 레벨을 가능하게 하는 미스매칭된 차동 회로에 관한 것이다.

[0030] 본 발명의 실시예에 따른 미스매칭된 차동 회로는 비교기에 포함될 수 있다. 예를 들어, 미스매칭된 차동 회로는 비교기의 임계 레벨을 조정하는 데 사용될 수 있다. 미스매칭된 차동 회로는 차동 증폭기 쌍(통상적으로 "차동 쌍"이라 칭함)으로 구현될 수 있으며, 공통(이미터, 소스, 캐소드 등) 축퇴를 갖는 2개의 증폭 스테이지(또는 레그(leg))는 상이한(또는 미스매칭된) 특성을 갖는다. 이러한 특성 미스매치는 증폭 스테이지에서의 내재된 오프셋을 생성한다. 따라서, 특성 미스매치를 변화시킴으로써, 오프셋이 변하고; 따라서, 비교기의 임계 레벨이 조정될 수 있다.

[0031] 본 발명의 하나 이상의 실시예에 따르면, 비교기의 임계 레벨의 범위는 비교기의 차동 회로 내의 디바이스의 벌크 전위를 제어함으로써 확장 가능하다. 차동 회로 내의 디바이스의 벌크 전위의 제어는 비용 효과 및 차동 회로 내의 특성 미스매치를 생성하는 강력한 방법을 제공한다.

[0032] 본 발명의 실시예에 따르면, 디바이스의 벌크 전위는 정적 또는 동적인 양식으로 제어될 수 있어 오프셋 전압을 제어하여 비교기의 임계 레벨의 달성 가능한 범위를 확장한다. 본 발명의 다른 실시예에 따르면, 디바이스의 벌크 전위를 제어함으로써 임계 전압을 조정하는 방법은 디바이스 사이즈 또는 바이어스 전류 미스매치와 같은

다른 방법과 결합되어 비교기의 임계 레벨의 달성 가능한 범위를 더욱 확장시킨다.

[0033] 이하, 본 발명의 특정 실시예는 예시의 방식으로 도시 및 설명된다. 본 기술분야의 당업자는, 본 발명이 다수의 상이한 형식으로 구현될 수 있고, 여기에 개진되는 실시예에 한정되는 것으로 해석되지 않아야 한다는 것을 이해할 것이다. 대신에, 상세한 설명은 첨부된 청구항 및 그 동등물의 범위를 포함하도록 해석되어야 한다. 또한, 본 출원에서, 어느 요소가 다른 요소와 "연결(coupled)"(예를 들어, 전기적으로 연결 또는 접속)되는 것으로 칭해지는 경우, 이는 다른 요소와 직접 연결되거나 그 사이에 삽입된 하나 이상의 개재 요소로 다른 요소와 간접적으로 연결될 수 있다. 이하, 동일한 참조 부호는 동일한 요소를 나타낸다.

[0034] 도 1은 본 발명의 실시예에 따른 미스매칭된 차동 회로를 도시한다.

[0035] 본 실시예의 미스매칭된 차동 회로(10)는 제1 트랜지스터 T_1 및 제2 트랜지스터 T_2를 포함하며, 이들은 전류 싱크 I_1에 공통 연결된 이들의 소스 및 각각의 저항 R_1 및 R_2를 통해 전압원 V_s에 연결된 이들의 드레인을 갖는다.

[0036] 총괄하여, 제1 및 제2 트랜지스터 T_1 및 T_2, 제1 및 제2 저항 R_1 및 R_2, 전압원 V_s 및 전류 싱크 I_1은 차동 쌍 증폭기(통상적으로 "차동 쌍"이라 칭함)의 적어도 일부를 형성하며, 차동 쌍 증폭기는 서로 상보적인 제1 증폭 스테이지 및 제2 증폭 스테이지를 갖는다. 여기에서, 제1 트랜지스터 T_1을 포함하는 차동 쌍의 측은 제1 증폭 스테이지에 대응하고, 제2 트랜지스터 T_2를 포함하는 차동 쌍의 측은 제2 증폭 스테이지에 대응한다.

[0037] 본 발명의 실시예에 따르면, 차동 쌍의 제1 및 제2 증폭 스테이지는 미스매칭된다. 즉, 제1 증폭 스테이지는 제2 증폭 스테이지와는 상이한 특성을 갖는다. 제1 및 제2 증폭 스테이지를 미스매칭시킴으로써, 차동 쌍에 대한 입력 오프셋(또는 오프셋 전압)이 생성되며, 이는 그 후에 비교기의 임계 레벨을 설정하는 데 사용될 수 있다.

[0038] 즉, 비교기의 임계 레벨은 비교기의 입력 스테이지에서의 차동 쌍의 특성에서의 특정 미스매치의 함수일 수 있다.

[0039] 이러한 미스매치는 예를 들어, 차동 쌍의 컴포넌트의 사이징 또는 임계 전압에서의 차이로부터 발생될 수 있다. 예를 들어, 본 실시예에서는, 미스매치는 제1 및 제2 트랜지스터 T_1 및 T_2의 디바이스 사이징 또는 임계 전압에서의 차이로부터 발생할 수 있다.

[0040] 차동 쌍의 일부 실시예에서, 입력 오프셋은 이하의 식에 따라 결정될 수 있다: $V^2_{os} = (I_D/g_m)^2 (\triangle(W/L)/(W/L))^2 + \triangle V^2_{th}$. 여기에서, V_{os}는 차동 쌍의 출력 전압이 제로인 전압(즉, 오프셋 전압)이고, I_D는 트랜지스터의 드레인 전류이고, g_m은 트랜지스터의 트랜스컨덕턴스이고, W는 트랜지스터의 폭이고, L은 트랜지스터의 길이이다.

[0041] 다수의 어플리케이션에서, 트랜지스터 임계 전압 V_{th}를 통해 입력 오프셋을 제어하는 것은, 이것이 오프셋으로서 입력에서 직접 나타날 때 특히 매력적이며, 최소의 추가적인 회로 복잡성으로 효율적으로 구현될 수 있다. 본 발명의 실시예에 따르면, 차동 쌍의 트랜지스터의 벌크 전위를 정적 또는 동적인 방식으로 제어하는 것은 차동 쌍의 오프셋 전압을 설정(또는 부분적으로 설정)하며, 따라서 비교기의 임계 레벨의 달성 가능한 범위를 확장시킨다.

[0042] 트랜지스터의 벌크 전위는, 예를 들어, 트랜지스터의 벌크를 트랜지스터의 특정 노드(예를 들어, 소스), 접지 또는 정적인 전압원(예를 들어, 바이어스 전압)에 배선함으로써 정적인 방식으로 제어될 수 있다.

[0043] 도 1의 차동 회로(10)의 제1 및 제2 트랜지스터 T_1 및 T_2는 정적으로 제어되는 벌크 전위의 예시적인 실시예를 도시한다. 본 실시예의 제1 트랜지스터 T_1은 벌크-대-소스 구현을 도시하며, 제2 트랜지스터 T_2는 벌크-대-접지 구현을 도시한다. 제1 트랜지스터 T_1 및 제2 트랜지스터 T_2의 벌크를 상이하게 접속함으로써, 각각의 트랜지스터의 벌크 전위는 서로 상이하고, 따라서 차동 회로에서의 임계 전압 V_{th} 차를 야기한다(즉, 특성 미스매치). 상술한 바와 같이, 이러한 특성 미스매치는 차동 쌍의 오프셋 전압 V_{os}를 설정하여, 비교기의 임계 레벨을 제어한다.

[0044] 벌크 전위는 예를 들어, 트랜지스터의 벌크의 적어도 하나를 조정 가능한 전압원에 연결함으로써 동적으로 제어될 수 있다. 트랜지스터의 벌크 전위를 조정 가능한 전압원으로 조정함으로써, 트랜지스터의 임계 전압 V_{th} 사

이의 차가 제어될 수 있어, 차동 쌍의 오프셋 전압 V_{os}가 동적으로 조정될 수 있다.

[0045] 임계 전압 V_{th} 사이의 차는 트랜지스터의 유효 사이즈(예를 들어, 유효 길이 또는 폭)를 조정함으로써 동적으로 제어될 수 있다. 예를 들어, 트랜지스터의 폭 또는 길이는 트랜지스터의 유효 폭 또는 길이를 조정하도록 다양하게 접속될 수 있는 일련의 스위치를 전자적으로 제어함으로써 동적으로 변화될 수 있다.

[0046] 도 2는 본 발명의 실시예에 따른 트랜지스터의 벌크-대-소스 전압 대 그 임계 전압 사이의 관계를 도시하는 그래프이다.

[0047] 도 2에 도시된 바와 같이, (예를 들어, 상술한 바와 같이 동적으로 또는 정적으로) 트랜지스터의 벌크-대-소스 전압 V_{BS}를 제어함으로써, 트랜지스터의 임계 전압 V_{th}가 설정될 수 있다. 예를 들어, 벌크-대-소스 전압 V_{BS}가 대략 0V로 설정되는 경우 임계 전압 V_{th}는 대략 470mV일 수 있거나, 벌크-대-소스 전압 V_{BS}가 대략 -500mV인 경우 임계 전압 V_{th}는 대략 575mV일 수 있다.

[0048] 도 1을 다시 참조하면, 차동 회로는 입력 신호 V_p 및 V_n의 상보 쌍을 각각 수신하는 2개의 입력 노드와, 출력 신호 V_{o+} 및 V_{o-}의 상보 쌍을 각각 출력하는 2개의 출력 노드를 추가로 포함한다. 본 실시예에서, 2개의 입력 노드는 제1 및 제2 트랜지스터 T_1 및 T_2의 게이트에 있고, 출력 노드는 제1 및 제2 트랜지스터 T_1 및 T_2의 드레인에 있다.

[0049] 입력 신호 V_p 및 V_n(함께 차동 입력 신호)의 상보 쌍은 차동 쌍에 의해 차동적으로 증폭되어(즉, 감산 및 승산) 출력 신호 V_{o+} 및 V_{o-}(함께 차동 출력 신호)의 상보 쌍을 생성한다.

[0050] 도 3은 본 발명의 실시예에 따른 차동 회로의 I-V 특성을 도시하는 그래프이다. 도 3은 2개의 예시적인 I-V 특성을 도시하며, 하나는 (점선으로 나타내어진) 밸런싱된(balanced) 차동 회로에 대한 것이고 다른 하나는 (실선으로 나타내어진) 미스매칭된 차동 회로에 대한 것이다. 도 3에서, x축은 차동 입력 전압을 나타내고, y축은 차동 회로에 대한 차동 출력 전류를 나타낸다.

[0051] 밸런싱된 차동 회로(예를 들어, 매칭 증폭기 스테이지를 갖는 차동 증폭기 쌍)에서, 차동 입력 신호가 0V인 경우, 차동 출력 신호는 0V이다. 이것은 밸런싱된 차동 회로 I-V 특성이 0V에서 제로-교차되는 것에 의해 도 3에 도시된다. 또한 본 예에서, 차동 입력 신호가 양인 경우, 음의 차동 출력 신호가 생성되며, 차동 입력 신호가 음인 경우, 양의 차동 출력 신호가 생성된다.

[0052] 밸런싱된 차동 회로는 0V 임계 레벨을 갖는 비교기 회로에서 사용될 수 있다. 즉, 이것은 수신된 차동 입력 신호가 0V 미만 또는 초과인지를 검출하는 데 사용될 수 있다.

[0053] 미스매칭된 차동 회로(예를 들어, 미스매칭된 증폭기 스테이지를 갖는 차동 증폭기)에서, 차동 입력 신호가 오프셋 전압 V_{os}에 있는 경우, 차동 출력 신호는 0V이다. 이것은 미스매칭된 차동 회로 I-V 특성이 오프셋 전압 V_{os}에서 제로-교차되는 것에 의해 도 3에 도시된다. 또한, 본 실시예에서, 차동 입력 신호가 오프셋 전압 V_{os}보다 큰 경우, 음의 차동 출력 신호가 생성되고, 차동 입력 신호가 오프셋 전압 V_{os}보다 작은 경우, 양의 차동 출력 신호가 생성된다.

[0054] 미스매칭된 차동 회로는 오프셋 전압 V_{os}에서(또는 이에 기초하는) 임계 레벨을 갖는 비교기 회로에서 사용될 수 있다. 즉, 이것은, 수신된 차동 입력 신호가 오프셋 전압 V_{os}보다 작은지 또는 큰지를 검출하는 데 사용될 수 있다.

[0055] 상술한 바와 같이, 오프셋 전압 V_{os}는 차동 회로 내의 트랜지스터의 벌크 전위를 조정함으로써 설정될 수 있다. 하지만, 본 발명의 실시예는 이에 한정되지 않으며; 예를 들어, 차동 회로의 오프셋 전압을 조정하는 다른 방법이 벌크 전위를 조정하는 것과 연계되어 사용될 수 있다.

[0056] 본 발명의 일 실시예에 따르면, 비교기 임계 레벨의 달성 가능한 범위는 사이즈뿐만 아니라 차동 회로 내의 디바이스의 벌크 전위를 조정함으로써 확장될 수 있다. 본 발명의 양태에 따르면, 디바이스 사이즈는 트랜지스터의 채널의 폭 및/또는 길이를 포함한다.

[0057] 일 실시예에 따르면, 차동 쌍 내의 트랜지스터는 미스매칭된 벌크 전위(예를 들어, 벌크-대-소스 접속을 갖는

하나의 트랜지스터와 벌크-대-접지 접속을 갖는 다른 트랜지스터) 및 폭(예를 들어, 15㎛ 폭을 갖는 하나의 트랜지스터와 5㎛ 폭을 갖는 다른 트랜지스터)을 가질 수 있다.

[0058] 도 4는 본 발명의 다른 실시예에 따른 차동 회로의 I-V 특성을 도시하는 그래프이다. 도 4는 4개의 예시적인 I-V 특성을 도시하고, 하나는 (대시(dash)와 2개의 도트 및 대시의 반복, 즉 -··-를 갖는 선에 의해 나타내어지는) 밸런싱된 차동 회로에 대한 것이고, 두 번째 것은 (대시, 하나의 도트 및 대시의 반복, 즉 -·-를 갖는 선에 의해 나타내어지는) 벌크 미스매칭된 차동 회로에 대한 것이고, 세 번째 것은 (대시 선, 즉 ---으로 나타내어진) 폭 미스매칭된 차동 회로에 대한 것이고, 네 번째 것은 (실선으로 나타내어진) 폭 및 벌크 미스매칭된 차동 회로에 대한 것이다. 도 4에서, x축은 차동 입력 전압을 나타내고, y축은 차동 회로에 대한 차동 출력 전류를 나타낸다.

[0059] 밸런싱된 차동 회로(예를 들어, 매칭 증폭기 스테이지를 갖는 차동 증폭기)에서, 차동 입력 신호가 0V인 경우, 차동 출력 신호는 0V이다. 이것은, 밸런싱된 차동 회로의 I-V 특성이 0V에서 제로-교차하는 것에 의해 도 4에 도시된다. 또한, 본 실시예에서는, 차동 입력 신호가 양인 경우에, 음의 차동 출력 신호가 생성되며, 차동 입력 신호가 음인 경우, 양의 차동 출력 신호가 생성된다.

[0060] 밸런싱된 차동 회로는 0V의 임계 레벨을 갖는 비교기 회로에서 사용될 수 있다. 따라서, 이것은, 수신된 차동 입력 신호가 0V보다 작은지 또는 큰지를 검출하는 데 사용될 수 있다.

[0061] 벌크 미스매칭된 차동 회로(예를 들어, 미스매칭된 벌크 전위를 갖는 증폭기 스테이지를 갖는 차동 증폭기)에서, 차동 입력 신호가 제1 오프셋 전압 V_{os1}에 있는 경우, 차동 출력 신호는 0V이다. 이것은, 벌크 미스매칭된 차동 회로의 I-V 특성 회로가 제1 오프셋 전압 V_{os1}에서 제로-교차되는 것에 의해 도 4에 도시된다. 또한, 본 실시예에서는, 차동 입력 신호가 제1 오프셋 전압 V_{os1}보다 큰 경우에 음의 차동 출력 신호가 생성되고, 차동 입력 신호가 제1 오프셋 전압 V_{os1}보다 작은 경우에 양의 차동 출력 신호가 생성된다.

[0062] 벌크 미스매칭된 차동 회로는 제1 오프셋 전압 V_{os1}에서 임계 레벨을 갖는 비교기 회로에서 사용될 수 있다. 즉, 이것은, 수신된 차동 입력 신호가 제1 오프셋 전압 V_{os1}보다 작은지 또는 큰지를 검출하는 데 사용될 수 있다.

[0063] 폭 미스매칭된 차동 회로(예를 들어, 미스매칭된 디바이스 폭을 갖는 증폭기 스테이지를 갖는 차동 증폭기)에서, 차동 입력 신호가 제2 오프셋 전압 V_{os2}인 경우 차동 출력 신호는 0V이다. 이것은, 폭 미스매칭된 차동 회로의 I-V 특성이 제2 오프셋 전압 V_{os2}에서 제로-교차하는 것에 의해 도 4에 도시된다. 또한, 본 실시예에서는, 차동 입력 신호가 제2 오프셋 전압 V_{os2}보다 큰 경우, 음의 출력 신호가 생성되고, 차동 입력 신호가 제2 오프셋 전압 V_{os2}보다 작은 경우, 양의 차동 출력 신호가 생성된다.

[0064] 폭 미스매칭된 차동 회로는 제2 오프셋 전압 V_{os2}에서 임계 레벨을 갖는 비교기 회로에서 사용될 수 있다. 즉, 이것은, 수신된 차동 입력 신호가 제2 오프셋 전압 V_{os2}보다 작은지 또는 큰지를 검출하는 데 사용될 수 있다.

[0065] 폭 및 벌크 미스매칭된 차동 회로(예를 들어, 미스매칭된 디바이스 폭 및 벌크 전위를 갖는 증폭기 스테이지를 갖는 차동 증폭기)에서, 차동 입력 신호가 제3 오프셋 전압 V_{os3}에 있는 경우 차동 출력 신호는 0V이다. 이것은, 폭 및 벌크 미스매칭된 차동 회로의 I-V 특성이 제3 오프셋 전압 V_{os3}에서 제로-교차하는 것에 의해 도 4에 도시된다. 또한, 본 실시예에서는, 차동 입력 신호가 제3 오프셋 전압 V_{os3}보다 큰 경우 음의 차동 출력 신호가 생성되고, 차동 입력 신호가 제3 오프셋 전압 V_{os3}보다 작은 경우 양의 차동 출력 신호가 생성된다.

[0066] 벌크 및 폭 미스매칭된 차동 회로는 제3 오프셋 전압 V_{os3}에서 임계 레벨을 갖는 비교기 회로에서 사용될 수 있다. 즉, 이것은, 수신된 차동 입력 신호가 제3 오프셋 전압 V_{os3}보다 작은지 또는 큰지를 검출하는 데 사용될 수 있다.

[0067] 도 4에 도시한 바와 같이, 오프셋 전압 시프팅(shifting) 방법을 결합함으로써, 하나의 방법만을 사용하는 것에 비해 달성 가능한 오프셋 전압의 보다 넓은 범위(따라서, 비교기 임계 레벨의 보다 넓은 범위)가 가능하게 된다.

[0068] 추가적으로, 오프셋 전압 시프팅 방법은 디바이스 특성을 조정하는 것에 한정되지 않는다. 예를 들어, 오프셋 전압은 차동 회로에서의 전류 미스매치를 제어함으로써 조정될 수 있다.

[0069] 도 5는 본 발명의 다른 실시예에 따른 비교기에 대한 미스매칭된 차동 회로를 도시한다. 도 5의 미스매칭된 차동 회로(10')는 3중(triple) 미스매칭된 차동 쌍을 제공하는 본 발명의 실시예를 도시한다. 즉, 미스매칭된 차동 회로(10')는 디바이스 벌크 전위, 디바이스 폭 및 바이어스 전류에서의 특성 미스매치를 가질 수 있는 차동 증폭기 회로를 도시한다.

[0070] 본 실시예에 따른 미스매칭된 차동 회로(10')는 2개의 차동 증폭기 쌍을 포함하며, 각각은 도 3과 관련하여 설명된 차동 증폭기 쌍과 실질적으로 유사하게 구성된다.

[0071] 구체적으로, 도 5의 미스매칭된 차동 회로(10')는 제1 내지 제4 트랜지스터 T_1 내지 T_4를 포함하며, 각각의 트랜지스터는 2개의 증폭기 쌍 중 하나의 1개의 증폭기 스테이지에 대응한다. 여기에서, 제1 트랜지스터 T_1 및 제2 트랜지스터 T_2는 제1 전류 싱크 I_1에 공통 연결되는 이들의 소스를 갖고, 각각의 저항 R_1 및 R_2를 통해 전압원 V_s에 연결된다. 제1 및 제2 트랜지스터 T_1 및 T_2는 제1 차동 증폭기 쌍에 대응한다. 제3 트랜지스터 T_3 및 제4 트랜지스터 T_4는 마찬가지로 제2 전류 싱크 I_2에 공통 연결된 이들의 소스를 갖고, 각각의 저항 R_1 및 R_2를 통해 전압원 V_s에 연결된다. 제3 및 제4 트랜지스터 T_3 및 T_4는 제2 차동 증폭기 쌍에 대응한다.

[0072] 제1 및 제2 차동 증폭기 쌍은 서로 연결되어 단일 차동 증폭기 쌍으로서 효과적으로 동작한다. 즉, 제1 및 제2 차동 쌍은 총괄적으로 동일한 차동 입력 신호를 수신하고 함께 동작하여 단일 차동 출력 신호를 생성한다.

[0073] 2개의 연결된 차동 증폭기 쌍을 사용하는 특징은 추가적인 오프셋 전압 범위를 제공하기 위하여 상이한 전류 싱크가 미스매칭될 수 있다는 것이다. 예를 들어, 제1 전류 싱크 I_1의 전류의 값은 제2 전류 싱크 I_2의 전류의 값보다 더 크게 설정될 수 있으며, 이는 수요가 많은(sought after) 오프셋 전압의 제어로 귀결되는 비대칭 증폭 레그를 생성한다.

[0074] 2개의 연결된 차동 증폭기 쌍을 사용하는 다른 특징은 조정하기에 이용 가능한 더 많은 디바이스 파라미터가 존재한다는 것이며, 이는 추가적인 오프셋 전압 유연성(flexibility)을 부가한다. 예를 들어, 트랜지스터의 벌크 전위 및/또는 폭 W_1 내지 W_4가 이용 가능한 오프셋 전압에서 추가적인 유연성이 가능하도록 조정될 수 있다.

[0075] 본 발명의 실시예에 따른 미스매칭된 차동 회로는 CMOS(complementary metal oxide semiconductor) 디바이스로 형성될 수 있다. 예를 들어, 도 1 및 5에 도시된 바와 같이, 미스매칭된 차동 회로는 N-MOS FET(field effect transistor)로 형성될 수 있다. 하지만, 본 기술 분야의 당업자는, 본 발명의 범위가 본 출원에서 명확하게 설명 및 도시된 것 이외의 다른 디바이스에도 적용된다는 것을 이해할 것이다. 예를 들어, 본 발명에 따른 차동 회로는 P-MOS FET를 사용하여 구현될 수 있다. 일 실시예에 따르면, 차동 회로가 P-MOS FET를 사용하여 구현되는 경우에 P-MOS FET의 벌크는 바이어스 전압원에 연결될 수 있으며, N-MOS FET를 사용한다면 벌크는 접지에 연결될 수 있다.

[0076] 이하, 본 발명의 실시예에 따른 미스매칭된 차동 회로를 갖는 비교기의 어플리케이션을 설명한다. 구체적으로, 후술하는 설명은 멀티레벨 데이터 시스템에서 미스매칭된 차동 회로를 갖는 비교기를 사용하는 것에 대한 것이다.

[0077] 멀티레벨 데이터 시스템은 데이터를 2 레벨 초과로 양자화하여, 동일한 용량의 바이너리 데이터 시스템보다 작은 채널 대역폭을 사용한다. 이러한 하나의 멀티레벨 데이터 시스템은 PAM-4(pulse amplitude modulation-4) 데이터 시스템이다. PAM-4 데이터 시스템은 송신기, 송신 링크 및 수신기를 포함할 수 있다. PAM-4 송신기는 한 쌍의 비트를 4-레벨 신호, 예를 들어, V_1, V_2, V_3 및 V_4(예를 들어, -0.66V, -0.33V, 0.33V 및 0.66V)로 인코딩하고, 인코딩된 멀티레벨 신호를 통신 링크를 통해 PAM-4 수신기로 송신한다. PAM-4 수신기는 수신된 신호를 3개의 상이한 임계 전압, V_{R1}, V_{R2} 및 V_{R3}과 비교함으로써 송신된 멀티레벨 신호를 재구축한다.

[0078] PAM-4 수신기의 일 실시예에서, 임계 전압은 이하의 로직에 따라 결정된다: $V_1<V_{R1}<V_2<V_{R2}<V_3<V_{R3}<V_4$. 예를 들어, 멀티레벨 신호의 4 레벨이 -0.66V, -0.33V, 0.33V 및 0.66V인 경우, 임계 전압은 -0.5V, 0V 및 0.5V(예를 들어, 차동 구성)일 수 있다. 다른 예에서, 멀티레벨 신호의 4 레벨이 0V, 0.33V, 0.66V 및 1V인 경우, 임계 전압은 0.25V, 0.5V 및 0.75V(예를 들어, 단일 인코딩된 구성)일 수 있다.

[0079] 여기에서, 수신된 멀티레벨 신호가 V_{R1} 미만일 경우, 수신기는, 멀티레벨 신호가 V_1(예를 들어, 00)과 연관된 로직 레벨을 송신하고 있는 것으로 판정한다. 수신된 멀티레벨 신호가 V_{R1} 초과 V_{R2} 미만일 경우, 수신기는, 멀티레벨 신호가 V_2(예를 들어, 01)와 연관된 로직 레벨을 송신하고 있는 것으로 판정한다. 수신된 멀티레벨 신호가 V_{R2} 초과 V_{R3} 미만일 경우, 수신기는, 멀티레벨 신호가 V_3(예를 들어, 10)과 연관된 로직 레벨을 송신하고 있는 것으로 판정한다. 그리고, 수신된 멀티레벨 신호가 V_{R2} 초과일 경우, 수신기는, 멀티레벨 신호가 V_4(예를 들어, 11)와 연관된 로직 레벨을 송신하고 있는 것으로 판정한다.

[0080] PAM-4 수신기의 구현에서, 멀티레벨 신호는 각각 차동 임계 레벨을 갖는 3개의 비교기 및 디코더를 사용하여 재구축된다.

[0081] 도 6은 본 발명의 실시예에 따른 PAM-4 수신기를 도시한다.

[0082] 본 발명의 실시예에 따르면, PAM(pulse amplitude modulation) 수신기(100)는 (하나 초과의 데이터 비트를 인코딩하는) 멀티레벨 데이터 신호 S_m을 수신하기 위한 송신 링크(110), 복수의 비교기(130)를 포함하는 데이터 슬라이서(slicer)(120) 및 디코더(140)를 포함한다. PAM 수신기는, 멀티레벨 데이터 신호 S_m이 데이터 슬라이서(120)에 도달하기 전에, 멀티레벨 데이터 신호 S_m에 이득 및 등화(equalization)를 제공하기 위한 사전 증폭기(150)를 포함할 수도 있다. 본 발명의 실시예에 따르면, 멀티레벨 데이터 신호 S_m은 차동 신호이다.

[0083] 본 발명의 일 양태에 따르면, 데이터 슬라이서(120)는 제1 임계 전압 V_{R1}을 확립하는 제1 비교기(130A), 제2 임계 전압 V_{R2}를 확립하는 제2 비교기(130B) 및 제3 임계 전압 V_{R3}을 확립하는 제3 비교기(130C)를 포함한다. 상술한 바와 같이, 제2 임계 전압 V_{R2}는 제1 임계 전압 V_{R1} 초과이고 제3 임계 전압 V_{R3} 미만일 수 있다.

[0084] 비교기(130A, 130B, 130C)는 3개의 임계에 대한 멀티레벨 데이터 신호 S_m의 관계에 따라 4개의 별개의 출력을 제공하기 위해서 이러한 3개의 임계 레벨을 확립한다. 따라서, 비교기(130A, 130B, 130C)의 입력은 서로 연결되어 공통 차동 입력 단자를 형성하여 멀티레벨 데이터 신호 S_m을 수신한다.

[0085] 또한, 각각의 비교기(130A, 130B, 130C)는 디코더(140)에 연결된 차동 출력 단자를 갖는다. 디코더(140)는 각각의 비교기(130A, 130B, 130C)의 차동 출력 신호(예를 들어, 임계 판정 신호)를 이들의 각각의 차동 출력 단자로부터 수신하고, 수신된 차동 출력 신호에 기초하여 멀티레벨 데이터 신호 S_m을 통해 송신된 데이터를 디코딩한다.

[0086] 상술한 바와 같이, 비교기(130A, 130B, 130C)는 4개의 별개의 출력을 디코더로 총괄적으로 제공한다. 이러한 각각의 출력은 2비트의 데이터를 인코딩하는 PAM-4 송신기에 의해 생성된 4개 신호 레벨 중 특정한 하나에 대응한다. 따라서, 디코더는 PAM-4 멀티레벨 데이터 신호 S_m에 의해 송신된 2비트의 데이터를 디코딩할 수 있다.

[0087] 본 발명의 양태에 따르면, 비교기(130A, 130B, 130C)의 임계 레벨은 미스매칭된 차동 회로를 사용하여 제어된다.

[0088] 예를 들어, 제1 비교기(130A)는 제1 임계 레벨 전압 V_{R1}을 가능하게 하는 제1 오프셋 전압 V_{os1}을 갖는 제1 미스매칭된 차동 회로를 포함할 수 있고, 제2 비교기(130B)는 제2 임계 레벨 전압 V_{R2}를 가능하게 하는 제2 오프셋 전압 V_{os2}를 갖는 제2 미스매칭된 차동 회로를 포함할 수 있고, 제3 비교기(130C)는 제3 임계 레벨 전압 V_{R3}을 가능하게 하는 제3 오프셋 전압 V_{os3}을 갖는 제3 미스매칭된 차동 회로를 포함할 수 있다.

[0089] 본 발명의 일 실시예에 따르면, 각각의 비교기(130A, 130B, 130C)는 도 1 내지 4와 연계하여 상술한 미스매칭된 차동 회로(10)에 대응하는 회로를 포함한다. 여기에서, 각각의 비교기(130A, 130B, 130C)에 포함된 각각의 미스매칭된 차동 회로(10)는 3개의 상이한 임계 레벨을 제공하기 위하여 다른 것들로부터의 상이한 오프셋 전압 V_{os}를 갖는다.

[0090] 예를 들어, 제1 비교기(130A)는 제1 임계 레벨 전압 V_{R1}을 제공하기 위하여 폭 미스매칭된 차동 회로를 포함할 수 있고, 제2 비교기(130B)는 제2 임계 레벨 전압 V_{R2}를 제공하기 위하여 벌크 미스매칭된 차동 회로를 포함할 수 있고, 제3 비교기(130C)는 제3 임계 레벨 전압 V_{R3}을 제공하기 위하여 폭 및 벌크 미스매칭된 차동 회로를 포

함할 수 있다.

[0091] 본 발명의 다른 실시예에 따르면, 각각의 미스매칭된 차동 회로는 도 5와 연계하여 상술한 미스매칭된 차동 회로(10')에 대응하는 회로로 구현된다. 여기에서, 각각의 비교기(130A, 130B, 130C)에 포함된 각각의 미스매칭된 차동 회로(10')는 3개의 차동 임계 레벨을 제공하기 위하여 다른 것들로부터의 상이한 오프셋 전압 V_{os}를 갖는다.

[0092] 본 실시예에서, 적어도 하나의 미스매칭된 차동 회로(10')가 3중 미스매칭된 차동 쌍으로서 구현될 수 있다. 즉, 적어도 하나의 미스매칭된 차동 회로가 3개의 상이한 미스매칭된 파라미터를 가질 수 있다; 예를 들어, 벌크-전위, 디바이스 폭 및 바이어스 전류. 이것은 광범위한 오프셋 전압 V_{os}를 가능하게 하므로, 비교기에 대해 광범위한 임계 레벨을 가능하게 한다.

[0093] 달성 가능한 오프셋 전압 범위의 예들이 도 7에 도시된다. 도 7은 본 발명의 실시예에 따른 차동 회로의 I-V 특성을 나타내는 그래프를 도시한다.

[0094] 도 7은 3개의 차동 회로에 대한 I-V 특성 범위를 도시한다. 이러한 3개의 I-V 특성 그래프는 도 6과 연계하여 상술한 비교기(130A, 130B, 130C)에 대한 3개의 차동 회로에 대응할 수 있다. 이러한 그래프에 도시된 바와 같이, 3개의 미스매칭된 차동 회로는 멀티레벨 수신기에서 사용되는 비교기의 하위, 중간, 상위 임계 레벨에 대응하는 오프셋 전압의 하위, 중간, 상위 셋(set)을 제공하도록 구성될 수 있다.

[0095] 일 실시예에 따르면, 하위 및 상위 미스매칭된 차동 회로는, 벌크 전위, 디바이스 폭 및 바이어스 전류 미스매치를 갖도록 구성 가능한 3중 미스매칭된 차동 회로이다. 하위 및 상위 미스매칭된 차동 회로는 서로 미러(mirror)일 수 있다. 즉, 하위 미스매칭된 차동 회로의 증폭기 레그(leg)는 회로 특성의 특정 미스매치를 가질 수 있고, 상위 미스매칭된 차동 회로의 증폭기 레그는 대응하지만 역전된 (예를 들어, 회로 특성을 갖는 레그에 대해 역전됨) 회로 특성의 미스매치를 가질 수 있다.

[0096] 예를 들어, 도 5를 다시 참조하면, 하위 미스매칭된 차동 회로는, 제1 및 제4 트랜지스터 T_1 및 T_4가 벌크-대-소스 접속을 갖고, 제2 및 제3 트랜지스터 T_2 및 T_3은 벌크-대-접지 접속을 갖고, 제1 및 제3 트랜지스터의 폭 W_1 및 W_3은 동일 사이즈이고 제2 및 제4 트랜지스터의 폭 W_2 및 W_4(이들은 동일 사이즈임)보다 큰 사이즈를 갖도록 구성될 수 있다. 이러한 구성은 제1 오프셋 전압 V_{os1}로 귀결된다. 예를 들어, 제1 및 제3 폭 W_1 및 W_3이 대략 4.8㎛이고 제2 및 제4 폭 W_2 및 W_4가 대략 1.2㎛인 실시예에서, 제1 오프셋 전압 V_{os1}은 대략 -203mV일 수 있다.

[0097] 상위 미스매칭된 차동 회로를 하위 미스매칭된 차동 회로와 대응하지만 반대 형태로 구성함으로써, 제1 오프셋 전압 V_{os1}과 동일 크기이지만 반대 극성인 제3 오프셋 전압 V_{os3}을 가질 수 있다. 예를 들어, 상위 미스매칭된 차동 회로는, 제1 및 제4 트랜지스터 T_1 및 T_4가 벌크-대-접지 접속을 갖고, 제2 및 제3 트랜지스터 T_2 및 T_3은 벌크-대-소스 접속을 갖고, 제1 및 제3 트랜지스터의 폭 W_1 및 W_3은 동일 사이즈이고 제2 및 제4 트랜지스터의 폭 W_2 및 W_4(이들은 동일 사이즈임)보다 작은 사이즈를 갖도록 구성될 수 있다. 제1 및 제3 폭 W_1 및 W_3이 대략 1.2㎛이고 제2 및 제4 폭 W_2 및 W_4가 대략 4.8㎛인 실시예에서, 제3 오프셋 전압 V_{os3}은 대략 +203mV일 수 있다.

[0098] 따라서, 이러한 미러링된 미스매치 구성으로, 하위 및 상위 미스매칭된 차동 회로는 동일 크기이지만 다른 극성의 오프셋 전압을 가질 수 있다.

[0099] 또한, 일 실시예에 따르면, 중간 차동 회로는, 그 오프셋 전압 V_{os2}가 0V에 있도록 그 디바이스 특정이 매칭되게 (즉, 밸런싱되게) 구성될 수 있다.

[0100] 또한, 상술한 바와 같이, 이러한 차동 회로는 바이어스 전류를 조정함으로써 3중 미스매치를 갖도록 구성 가능하다. 예를 들어, 도 5를 다시 참조하면, 전류 싱크 I_1 및 I_2(총괄적으로, 바이어스 전류 설정)가 오프셋 전압 범위를 추가적으로 확장하기 위하여 미스매칭될 수 있다. 이것은 동적으로 또는 정적으로 구현될 수 있다. 도 7의 I-V 그래프는 이러한 시나리오의 실시예를 도시한다.

[0101] 도 7에서, x축은 차동 입력 전압을 나타내고 y축은 차동 회로에 대한 차동 출력 전류를 나타낸다. 그래프의 각각에서, 실선은, 바이어스 전류가 제1 전류 싱크 I_1에 의해 전체적으로 공급되는 구성을 나타내고, 점선은, 바이어스 전류가 제2 전류 싱크 I_2에 의해 전체적으로 공급되는 구성을 나타낸다. 이러한 2개의 선 사이의 영역은

미스매칭된 차동 회로의 동작 가능 범위 내에 있으며, 제1 및 제2 전류 싱크 I_1 및 I_2의 미스매치를 조정함으로써 달성된다. 일 실시예에 따르면, 바이어스 전류는 이하의 식에 따라 가변이다: 바이어스 전류=I_1+I_2.

[0102] 일 실시예에서, 오프셋 전압 범위는, 바이어스 전류가 제1 및 제2 전류 싱크 I_1 및 I_2 사이에서 밸런싱되는 구성에 대하여 오프셋 전압이 중심이 된다. 이와 같이, 오프셋 전압 범위의 중심은, 미러링된 하위 및 상위 미스매칭된 차동 회로에 각각 대응하는 제1 및 제3 오프셋 전압 V_{os1} 및 V_{os3}과 밸런싱된 중간 차동 회로에 대응하는 제2 오프셋 전압 V_{os2}의 상술한 설명에 대응한다.

[0103] 일 실시예에 따르면, 바이어스 전류는 대략 400㎂이다. 따라서, 제1 및 제 2 전류 싱크 I_1 및 I_2의 전류의 값이 400㎂에 더해진다. 여기에서, 오프셋 전압 범위의 크기는 대략 600mV일 수 있다.

[0104] 따라서, 하위 미스매칭된 차동 회로의 실시예는 대략 -203mV에서 중심이고 그 범위가 대략 -409mV 내지 대략 206mV인 오프셋 전압을 가질 수 있고, 중간 미스매칭된 차동 회로의 실시예는 대략 0V에서 중심이고 그 범위가 대략 -306mV 내지 대략 306mV인 오프셋 전압을 가질 수 있고, 상위 미스매칭된 차동 회로의 실시예는 대략 203mV에서 중심이고 그 범위가 대략 -206mV 내지 대략 409mV인 오프셋 전압을 가질 수 있다.

[0105] 이와 같이, 멀티레벨 신호 수신기에서의 사용을 위한 본 발명의 실시예에 따른 미스매칭된 차동 회로를 갖는 비교기를 구성하는 경우에, 광범위한 임계 레벨이 달성 가능하다.

[0106] 도 8은 본 발명의 실시예에 따른 디스플레이를 위한 디지털 통신 링크에서의 수신기의 예시적인 어플리케이션을 도시한다. 본 실시예에서, 디스플레이 데이터 소스(1010)는 통신 링크(1110)를 통해 디스플레이(1020)로 디스플레이 데이터 신호를 송신한다. 디스플레이 데이터 신호는 디스플레이 상의 이미지를 표시하기 위한 정보를 포함할 수 있다. 디스플레이는 예를 들어, 유기 발광 다이오드 디스플레이, 액정 디스플레이 또는 플라즈마 디스플레이일 수 있다.

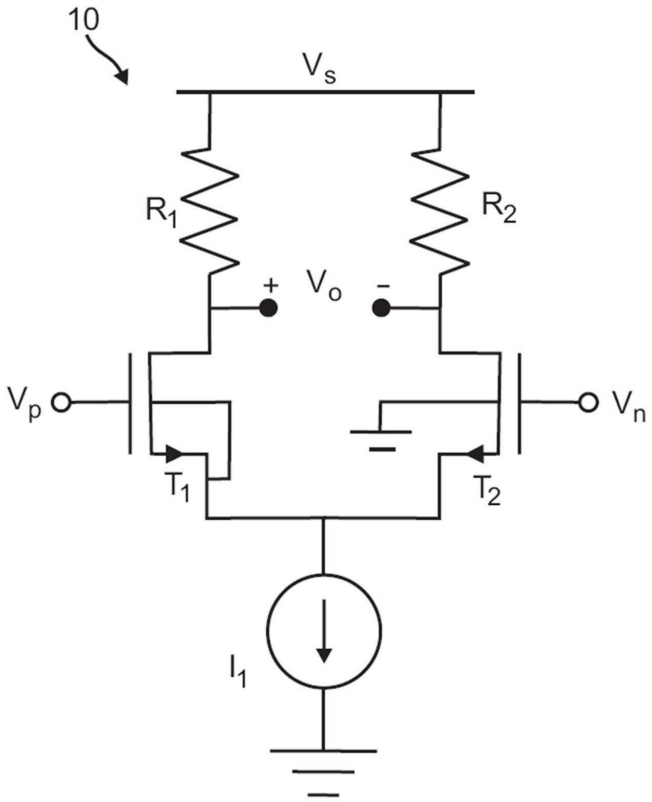
[0107] 디스플레이(1020)는 수신기(1100)를 포함한다. 수신기(1100)는 도 6 및 7과 연계하여 상술한 수신기 회로(100)로 구현될 수 있다. 즉, 수신기(1100)는 본 발명의 실시예에 따른 미스매칭된 차동 회로를 갖는 비교기를 사용하여 구현될 수 있어 멀티레벨 신호로서 송신된 디스플레이 데이터 신호를 수신한다.

[0108] 본 발명의 양태가 특정한 예시적인 실시예와 연계하여 예시 및 설명되었지만, 본 발명은 설명된 실시예로 한정되지 않으며, 이와 반대로 첨부된 청구항의 사상 및 범위 내에 포함되는 다양한 수정 및 동등한 구성을 포함하려는 것이 이해되어야 한다.

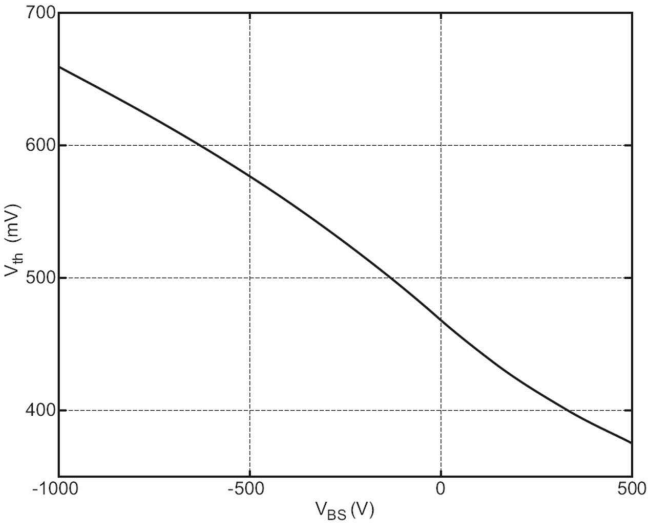
[0109] 예를 들어, 본 발명의 일부 예시적인 실시예는 PAM-4 멀티레벨 데이터 시스템과 연계하여 설명되었지만, 본 발명의 실시예는 여기에 한정되지 않는다. 즉, 본 발명의 양태 및 특징은, 다른 펄스 진폭 변조 시스템(예를 들어, PAM-5, -6, -7 등), 디지털-대-아날로그 컨버터, 피크-검출기 또는 미스매칭된 차동 회로가 사용될 수 있는 임의의 다른 어플리케이션과 같은 것에 다양하게 적용될 수 있다.

도면

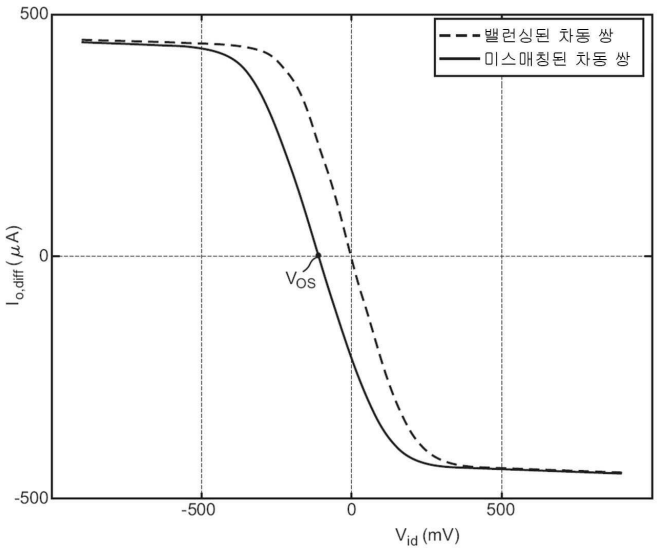
도면1


10
Vs
R1
R2
+
Vo
-
Vp
Vn
T1
T2
I1

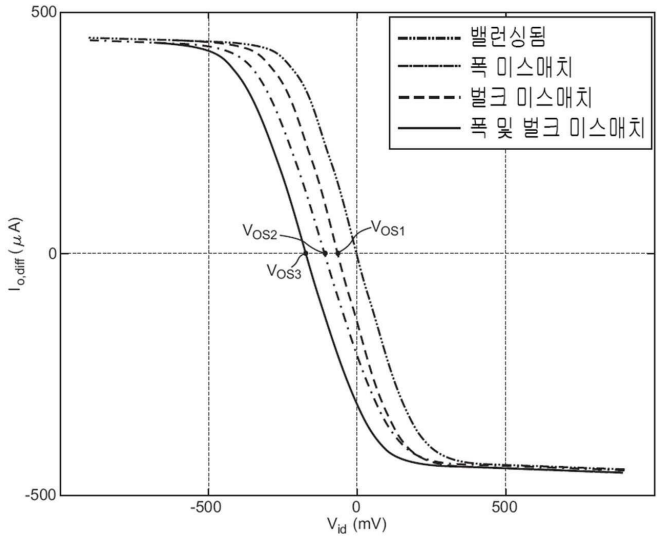
도면2


700
600
500
400
Vth (mV)
-1000
-500
0
500
VBS (V)

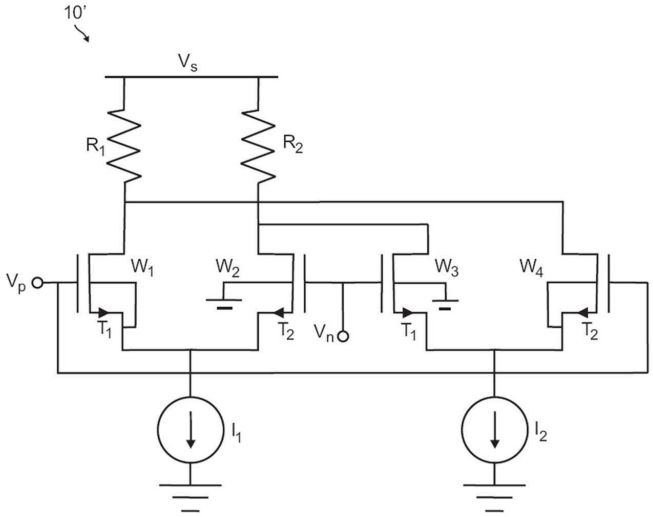
도면3


500
0
-500
-500
0
500
$I_{o,diff}$ (μA)
V_{id} (mV)
V_{OS}
밸런싱된 차동 쌍
미스매칭된 차동 쌍

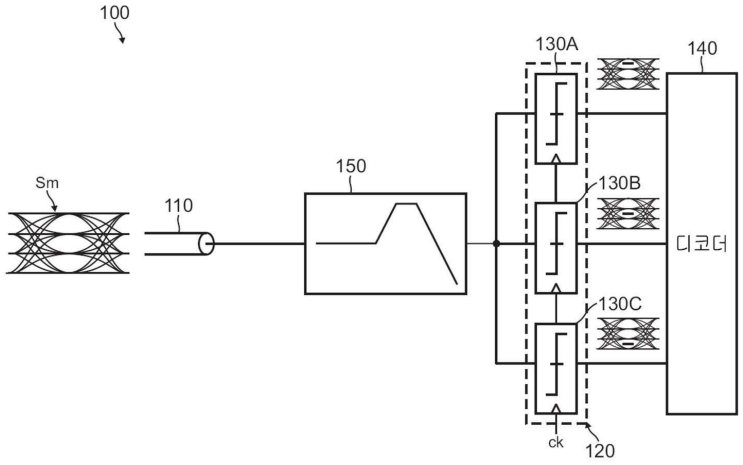
도면4


500
0
-500
-500
0
500
$I_{o,diff}$ (μA)
V_{id} (mV)
V_{OS1}
V_{OS2}
V_{OS3}
밸런싱됨
폭 미스매치
벌크 미스매치
폭 및 벌크 미스매치

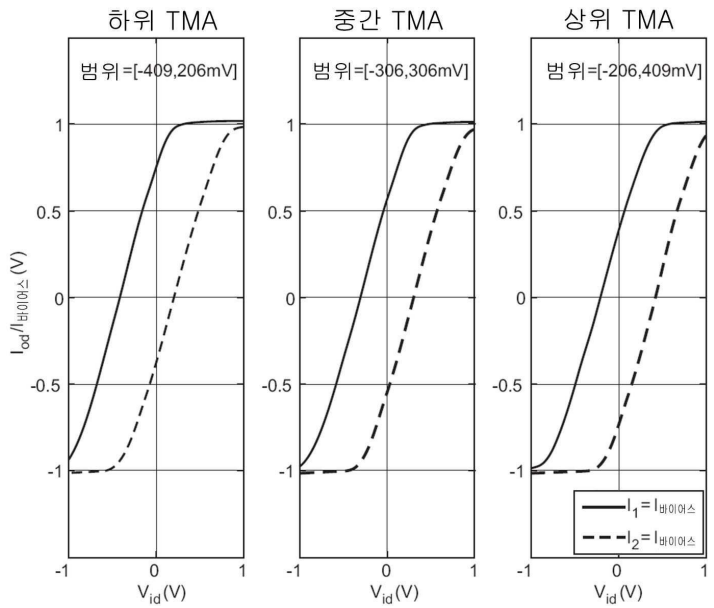
도면5


10'
Vs
R1
R2
Vp
W1
W2
W3
W4
T1
T2
Vn
T1
T2
I1
I2

도면6


100
130A
140
Sm
110
150
130B
디코더
130C
ck
120

도면7


하위 TMA
중간 TMA
상위 TMA
범위=[-409,206mV]
범위=[-306,306mV]
범위=[-206,409mV]
Iod/I바이어스 (V)
Vid (V)
I1 = I바이어스
I2 = I바이어스

도면8

