



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0116960  
(43) 공개일자 2010년11월02일

(51) Int. Cl.

H03K 5/13 (2006.01) H03K 3/354 (2006.01)

(21) 출원번호 10-2009-0035651

(22) 출원일자 2009년04월23일

심사청구일자 2009년04월23일

(71) 출원인

인하대학교 산학협력단

인천 남구 용현동 253 인하대학교

(72) 발명자

윤광섭

인천광역시 동춘동 920-1 대우3차 106동 301호

한윤택

안양시 동안구 부림동 한가람 삼성아파트 207동 1103호

(74) 대리인

특허법인이지

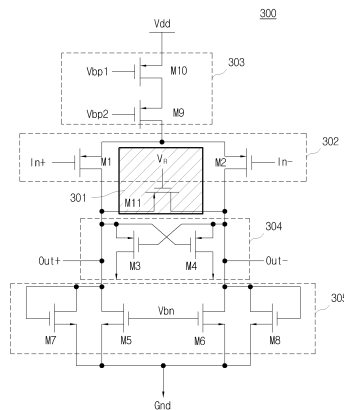
전체 청구항 수 : 총 12 항

(54) 위상 잡음 특성이 향상된 딜레이 셀

(57) 요약

위상 잡음 특성이 향상된 딜레이 셀이 개시된다. 본 발명에 따른 위상 잡음 특성이 향상된 딜레이 셀은 신호를 입력 받는 입력단, DC 전원 전압과 입력단과 연결된 캐스코드단, 양 출력단과 연결된 전류 경로 제공단, 양 출력단과 연결된 크로스커플드단 및 양 출력단과 접지에 연결된 출력부하단을 포함한다. 본 발명에 따르면, 본 발명의 딜레이 셀을 이용한 링-전압 제어 발진기는 기존의 링-전압 제어 발진기에 비해 위상잡음 특성을 크게 향상시킬 수 있는 장점이 있다.

대표도 - 도3



이 발명을 지원한 국가연구개발사업

과제고유번호 39138-01

부처명 정보통신부

연구관리전문기관

연구사업명 대학 IT연구센터 육성 지원

연구과제명 초광대역(UWB) 무선정송 및 시스템 응용기술

기여율

주관기관 인하대학교 산학협력단

연구기간 2003년 08월 01일 ~ 2011년 12월 31일

---

## 특허청구의 범위

### 청구항 1

신호를 입력 받는 입력단;

DC 전원 전압과 상기 입력단과 연결된 캐스코드단;

양 출력단과 연결된 전류 경로 제공단;

상기 양 출력단과 연결된 크로스커플드단; 및

상기 양 출력단과 접지에 연결된 출력부하단을 포함하는 것을 특징으로 하는 위상 잡음 특성이 향상된 딜레이 셀.

### 청구항 2

제 1항에 있어서,

상기 캐스코드단은 직렬 연결된 MOS 트랜지스터로 구성된 것을 특징으로 하는 위상 잡음 특성이 향상된 딜레이 셀.

### 청구항 3

제 1항에 있어서,

상기 캐스코드단은 DC 전원 전압의 변동에도 일정한 출력 전압을 발생하는 것을 특징으로 하는 위상 잡음 특성이 향상된 딜레이 셀.

### 청구항 4

제 1항에 있어서,

상기 입력단은 두 개의 PMOS 트랜지스터로 구성된 것을 특징으로 하는 위상 잡음 특성이 향상된 딜레이 셀.

### 청구항 5

제 1항에 있어서,

상기 전류 경로 제공단은 상기 양 출력단을 연결하는 트랜지스터로 구성된 것을 특징으로 하는 위상 잡음 특성이 향상된 딜레이 셀.

### 청구항 6

제 1항에 있어서,

상기 전류 경로 제공단은 상기 양 출력단의 전압 차이값에 의해서 전위가 높은 단에서 전위가 낮은 단으로 전류가 흐르게 하는 것을 특징으로 하는 위상 잡음이 향상된 딜레이 셀.

### 청구항 7

제 1항에 있어서,

상기 전류 경로 제공단의 게이트 전압인  $V_R$ 을 제어하여 모델링한 저항값인  $R_{M1}$ 의 수식은 하기와 같음을 특징으로 하는 위상 잡음이 향상된 딜레이 셀.

수식

$$R_{M1} = \frac{1}{\mu_p C_{ox} (W/L)_{11} (V_R - V_{th})}$$

(여기서,  $\mu_p$ 는 M11의 정공 이동도,  $C_{ox}$ 는 M11의 산화막 용량,  $W$ 는 M11의 채널의 폭,  $L$ 은 M11의 채널의 길이 그리고  $V_{th}$ 은 M11의 문턱전압)

#### 청구항 8

제 1항에 있어서,

상기 크로스커플드단은 하나의 트랜지스터의 게이트 단자와 다른 하나의 트랜지스터의 드레인 단자가 서로 연결 되도록 구성된 것을 특징으로 하는 위상 잡음이 향상된 딜레이 셀.

#### 청구항 9

제 1항에 있어서,

상기 크로스커플드단은 양 출력단에 연결된 것을 특징으로 하는 위상 잡음이 향상된 딜레이 셀.

#### 청구항 10

제 1항에 있어서,

상기 크로스커플드단은 양 출력단의 정귀환을 통해 출력 신호의 상승과 하강의 대칭을 이루도록 구성된 것을 특징으로 하는 위상 잡음이 향상된 딜레이 셀.

#### 청구항 11

제 1항에 있어서,

상기 출력부하단은 MOS 트랜지스터로 구성된 대칭부하 구조인 것을 특징으로 하는 위상 잡음이 향상된 딜레이 셀.

#### 청구항 12

제 1항에 있어서,

상기 출력부하단은 상기 대칭부하 구조에 의해서 입력신호에 따른  $R_{ds}$  값이 선형적으로 나타나도록 한 것을 특징으로 하는 위상 잡음이 향상된 딜레이 셀.

## 명세서

### 발명의 상세한 설명

#### 기술 분야

[0001] 본 발명은 위상 잡음 특성이 향상된 딜레이 셀에 관한 것으로, 더욱 상세하게는 전압 제어 발진기, PLL(Phase Locked Loops) 및 DLL(Delay Locked Loops)등의 위상잡음 특성을 향상하기 위한 딜레이 셀에 관한 것이다.

#### 배경 기술

[0002] 전압 제어 발진기(VCO: Voltage Controlled Oscillator)는 외부에서 인가된 전압으로 원하는 발진 주파수를 출력할 수 있게 해주는 장치로서, PLL 및 DLL 등에 포함되어 사용된다.

[0003] 대표적인 전압 제어 발진기는 링 발진기와 LC 발진기가 있다.

[0004] LC 발진기는 인덕터(L)와 커패시터(C)를 포함하고, 인덕터와 커패시터의 공진 특성을 이용하여 발진 신호를 생성하는 발진기로, 낮은 잡음 특성 및 높은 공진 주파수를 얻을 수 있다. 그러나 기생 성분이 적은 인덕터 구현의 어려움으로 발진기를 구현하기 위한 집적회로에 적합하지 않고 넓은 면적을 차지하는 단점이 있다.

[0005] 링 발진기는 동일한 지연 특성을 갖는 다수개의 지연 셀을 이용한 발진기로, 어느 한 지연 셀의 출력에서 발진 신호를 추출한다. 링 발진기는 지연 셀에 공급되는 전원 전압 또는 전원 전류에 따라 지연 셀의 지연 특성이 바뀌는 성질을 이용하여 발진 신호의 주파수를 조절할 수 있다. 링 발진기는 작은 면적에 구현이 가능하고, 주파수 영역이 넓다. 그러나 위상 잡음 특성이 좋지 않다는 단점이 있다.

### 발명의 내용

#### 해결 하고자하는 과제

[0006] 본 발명은 위상잡음 특성이 향상된 딜레이 셀을 제공하는 것이다.

[0007] 또한, 본 발명은 위상잡음 특성이 향상된 딜레이 셀을 포함한 저 위상잡음 특성을 갖는 링-전압 제어 발진기를 제공하는 것이다.

#### 과제 해결수단

[0008] 본 발명의 일 측면에 따르면, 신호를 입력 받는 입력단, DC 전원 전압과 입력단과 연결된 캐스코드단, 양 출력단과 연결된 전류 경로 제공단, 양 출력단과 연결된 크로스커플드단 및 양 출력단과 접지에 연결된 출력부하단을 포함하는 것을 특징으로 하는 위상 잡음 특성이 향상된 딜레이 셀이 제공된다.

[0009] 캐스코드단은 직렬 연결된 MOS 트랜지스터로 구성되어, DC 전원 전압의 변동에도 일정한 출력 전압을 발생한다.

[0010] 입력단은 두 개의 PMOS 트랜지스터로 구성된다.

[0011] 전류 경로 제공단은 양 출력단을 연결하는 트랜지스터로 구성되고 양 출력단의 전압 차이값에 의해서 전위가 높은 단에서 전위가 낮은 단으로 전류가 흐르게 한다.

[0012] 또한, 전류 경로 제공단의 게이트 전압인  $V_R$ 을 제어하여 모델링한 저항값인  $R_{M1}$ 의 수식은 하기와 같다.

$$R_{M1} = \frac{1}{\mu_p C_{ox} (W/L)_{11} (V_R - V_{th})}$$

[0013]

- [0014] 크로스커플드단은 하나의 트랜지스터의 게이트 단자와 다른 하나의 트랜지스터의 드레인 단자가 서로 연결되도록 구성되어 양 출력단에 연결된다.
- [0015] 또한, 크로스커플드단은 양 출력단의 정극환을 통해 출력 신호의 상승과 하강의 대칭을 이루도록 구성된다.
- [0016] 출력부하단은 MOS 트랜지스터로 구성된 대칭부하 구조로, 입력신호에 따른  $R_{ds}$  값이 선형적으로 나타나도록 한다.

### 효 과

- [0017] 본 발명에 따르면, 본 발명의 딜레이 셀을 이용한 링-전압 제어 발진기는 기존의 링-전압 제어 발진기에 비해 위상잡음 특성을 크게 향상시킬 수 있다.
- [0018] 또한, 기존의 링-전압 제어 발진기의 경우 위상잡음 특성을 향상시키기 위해 추가적인 구성이 필요하여 회로 구현이 복잡하였지만, 본 발명에 따른 딜레이 셀을 이용한 링-전압 제어 발진기는 간단한 회로로 구현할 수 있다.
- [0019] 또한, 기존의 링-전압 제어 발진기 보다 더 작은 면적으로 넓은 튜닝범위 구현이 가능하게 할 수 있다.
- [0020] 따라서, LC-탱크 전압 제어 발진기 등의 저 위상잡음 발진기를 대신하여 사용 될 수 있다.

### 발명의 실시를 위한 구체적인 내용

- [0021] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다.
- [0022] 이하, 본 발명에 따른 위상 잡음 특성이 향상된 딜레이 셀의 실시예를 첨부도면을 참조하여 상세히 설명하기로 하며, 첨부 도면을 참조하여 설명함에 있어, 동일하거나 대응하는 구성 요소는 동일한 도면번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0023] 도 1은 종래 기술에 따른 링-전압 제어 발진기의 전체 블록도이다.
- [0024] 도 1을 참조하면, 종래 기술에 따른 링-전압 제어 발진기(100)는 리플리카 바이어스(101), 딜레이 셀(102)을 이용한 3단 링-전압 제어 발진기다. 종래 기술에 따른 링-전압 제어 발진기(100)는 각각의 딜레이 셀(102)이 홀수 개로 서로 직렬로 연결되고, 마지막 딜레이 셀의 출력이 첫번째 딜레이 셀의 입력으로 연결되는 방식으로 구성되어 있다.
- [0025] 도 2는 종래 기술에 따른 링-전압 제어 발진기에 포함되는 딜레이 셀(200)이다.
- [0026] 도 2를 참조하면, 양 입력단(201, 202)에 입력신호가 각각 입력된다. 전류원 제어 전압(203)은 전류원의 역할을 하는 트랜지스터(204)에 인가되어 양 입력단(201, 202)에 흐르는 전류의 양을 일정하게 유지하는 역할을 한다. 출력 부하부 제어 전압(205)은 출력 부하부(206, 207)의 저항값 조절을 통하여 최종적으로 양 출력단(208, 209)의 딜레이 값을 조절하는 역할을 하게 된다.
- [0027] 도 3은 본 발명의 실시예에 따른 위상잡음 특성이 향상된 딜레이 셀(300)이다.
- [0028] 도 3을 참조하면 Vbp1, Vbp2, Vbn의 바이어스 입력과 in+, in-, out+, out-의 신호의 입력 및 출력 그리고 Vr의 M11의 저항값을 위한 게이트 제어 전압 입력으로 이루어 진다. 여기서, Vbp1, Vbp2, Vbn에 입력되는 바이어스는 레플리카 바이어스 일 수도 있다.
- [0029] 본 발명의 잡음 특성이 향상된 딜레이 셀(300)을 구현하기 위해서 하기와 같은 실시예가 구현될 수 있다.

[0030] 먼저, 전류 경로 제공단(301)을 구성하는 M11을 포함시킬 수 있다.

[0031] 전류 경로 제공단(301)은 양 출력단을 연결하는 트랜지스터로 구성되어 양 출력단의 전압 차이값에 의해서 전위가 높은 단에서 전위가 낮은 단으로 전류가 흐르게 할 수 있다.

[0032] 전류 경로제공단(301)은 M11의 게이트 전압( $V_g$ )을 제어하여 저항값인  $R_{M1}$ 으로 모델링 할 수 있다. 만약 M11의 소스단자와 드레인 단자, 즉 딜레이 셀의 양 출력단의 전압 차이 값에 따라 M11에 흐르는 전류가 전위가 높은 단에서 전위가 낮은 한쪽 단으로 전류가 흐르게 된다. 즉, 같은 출력의 상태일 때 전류가 가장 많이 흐르며, 신호에 대한 잡음의 영향을 둔화시키게 된다.

[0033] 전류 경로 제공단(301)을 포함하는 딜레이 셀(300)은 종전 기술에 따른(즉, M11이 포함되지 않은) 딜레이 셀을 비교 하였을 경우 위상 잡음 특성이 5~10dB정도 향상 될 수 있다.

[0034] 하기의 [수식 1]은 전류 경로 제공단(301)을 구성하는 M11의 저항값인  $R_{M1}$ 에 대해서 정의한 수식이다. 즉, 전류 경로 제공단의 게이트 전압인  $V_R$ 을 제어하여 모델링한 저항값인  $R_{M1}$ 의 수식은 하기의 [수식 1]과 같다.

[0035] [수식 1]

$$R_{M1} = \frac{1}{\mu_p C_{ox} (W/L)_{11} (V_R - V_{th})}$$

[0036]

[0037] 여기서, 여기서,  $\mu_p$ 는 M11의 정공 이동도,  $C_{ox}$ 는 M11의 산화막 용량,  $W$ 는 M11의 채널의 폭,  $L$ 은 M11의 채널의 길이 그리고  $V_{th}$ 은 M11의 문턱전압이다.

[0038] 또한, 하기의 [수식 2]는 링-전압 제어 발진기의 잡음 해석 모델인 Ali Hajimiri's 방정식이다.

[0039] [수식 2]

$$L_{\min} \{ \Delta f \} = \frac{8}{3\eta} \cdot N \cdot \frac{kT}{P} \left( \frac{V_{DD}}{V_{char}} + \frac{V_{DD}}{R_L I_{tail}} \right) \cdot \frac{f_0^2}{\Delta f^2}$$

[0040]

[0041] 여기서,  $L_{\min} \{ \Delta f \}$ 는 회로의 최소 위상 잡음으로  $\Delta f$ 는 중심 주파수( $f_0$ )에 따른 오프셋 주파수이다.  $\eta$ 는 비례상수(proportionality constant),  $kT$ 는 열 에너지,  $N$ 은 지연단의 수,  $P$ 는 전력 소비( $P=N \cdot I_{tail} \cdot V_D$ )이다.

[0042] 상기 [수식 2]를 살펴보면, 모든 조건이 같을 경우, 본 발명의 실시예와 같이 전류 경로 제공단(301)이 포함되어 있는 딜레이 셀(300)의 경우 전류 경로 제공단(301)을 포함하지 않은 딜레이 셀보다  $I_{tail}$ 이 증가하는 것과 같은 효과가 나타난다. 위의 수식과 같이 검증된 이론 식을 통하여 본 발명의 실시예에 따른 딜레이 셀(300)의 위상 잡음 특성이 향상된다는 것을 알 수 있다.

[0043] 다음으로, 입력단(302)을 PMOS로 구성할 수 있다.

[0044] 신호를 입력받는 입력단(302)은 종래에는 NMOS를 사용하였지만 본 발명에서는 PMOS를 사용하였다. PMOS의 경우, 다수 캐리어가 정공(hole)이므로, PMOS 동작시 정공의 이동이 표면이 아니라 표면에서 깊숙한 곳에서 정공이 이

동하므로 NMOS보다 1/f 정도로 잡음을 줄일 수 있다. 즉, 본 발명의 입력단(302)을 구성하는 M1, M2에 의해서 종래 기술인 NMOS로 구성된 입력단보다 잡음을 1/f정도로 줄일 수 있다.

[0045] 다음으로 캐스코드단(303)은 캐스코드 연결된 2개의 MOS 트랜지스터(M9, M10)와 전원 전압이 연결되도록 구성된 것이다.

[0046] 즉, 캐스코드단(303)은 직렬 연결된 MOS 트랜지스터로 구성될 수 있다.

[0047] 또한, 캐스코드단(303)은 DC 전원 전압의 변동에도 일정한 출력 전압을 발생할 수 있다.

[0048] 캐스코드단(303)을 구성하는 M9와 M10에 의해서 PSRR(Power Supply Rejection Ratio)를 증가시킬 수 있다. 여기서 PSRR은 DC 전원 전압의 변동에 대해서 출력 전압을 일정하게 유지하는 것을 말한다.

[0049] 다음으로, 크로스커플드단(304)을 구성하였다. 크로스커플드단은 크로스커플드(cross coupled)로 연결된 M3와 M4에 의해서 구성된다.

[0050] 즉, 크로스커플드단(304)은 하나의 트랜지스터의 게이트 단자와 다른 하나의 트랜지스터의 드레인 단자가 서로 연결되도록 구성된다.

[0051] 또한, 크로스커플드단(304)은 양 출력단에 연결되도록 구성된다.

[0052] 크로스커플드단(304)은 양 출력단의 정귀환을 통해 출력 신호의 상승(rising)과 하강(falling)의 대칭을 이루도록 구성된다.

[0053] 즉, 크로스커플드단(304)을 구성하는 M3와 M4에 의해서 양 출력단의 정귀환(positive feedback)을 통하여 출력 신호의 상승과 하강이 대칭을 이루도록 하여, 신호 범위를 최대한 rail-to-rail에 가깝게 만들어 위상 잡음을 향상시키도록 할 수 있다.

[0054] 다음으로, 출력부하단(305)을 구성한다.

[0055] 출력부하단(305)은 MOS 트랜지스터로 구성된 대칭부하 구조이다. 즉, 출력부하단(305)은 M7과 M8을 대칭부하로 구성되도록 하였다.

[0056] 출력부하단(305)은 대칭부하 구조에 의해서 입력신호에 따른  $R_{ds}$  값이 선형적으로 나타나도록 할 수 있다. 즉,

출력부하단(305)을 구성하는 대칭부하인 M7과 M8을 이용하여 입력신호에 따른  $R_{ds}$  값을 선형적으로 구성하도록 하여 위상 잡음을 향상 시켰다. 즉, 대칭부하를 이용하면 종래의 기술에 비해 출력 범위가 0V에서 Vout 까지 제한되나 종래기술의 선형영역 부하에 비해 훨씬 좋은 선형성을 보여줄 수 있다.

[0057] 지연단의 수(N)와 M5~M8의 소스-드레인 저항( $R_{ds}$ ), 각 지연단 사이의 부하 캐패시턴스( $C_p$ )와 발진기의 생성 주파수( $f_{osc}$ )의 관계는 하기의 [수식 3]으로 나타낼 수 있다.

[0058] [수식 3]

$$f_{osc} = \frac{k}{NR_{ds}C_p}$$

[0059]

$$R_{ds} = \frac{1}{\partial (I_{tail}/2) / \partial V_{ds,M_5}} = \frac{1}{\mu_n C_{ox} (W/L)_5 (V_{bn} - V_{th})}, \quad C_p = C_{Load}$$

[0060]

[0061] 같은 주파수 생성할 경우, 만약, 지연단 수가 적으면 지연단에서 발생시켜야 하는 지연(delay) 값은 커야 한다. 그런 지연 값이 커지면 슬루율(edge slew rate)도 커지게 된다. 따라서 전체적인 잡음에 대한 민감도가 떨어지

게 된다.

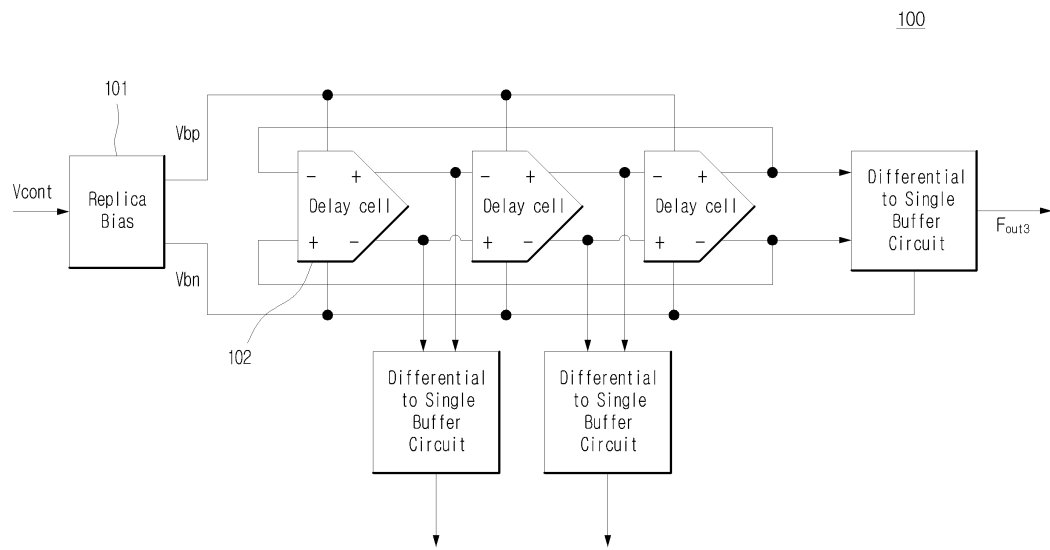
- [0062] 반대로, 만약 지연단 수가 많으면 그만큼 잡음이 발생하는 소스(source)도 많아지게 된다.
- [0063] 따라서, 이에 따른 적정 지연단 수를 설정하는 것이 중요한데 3단이 가장 이상적인 구성(sweet spot)이 될 수 있다. 지연단을 3단으로 구성할 경우 1단의 증폭으로 충분히 발질할 이득을 얻을 수 있으며, 간단한 구성으로 잡음을 줄일 수 있다.
- [0064] 도 4는 본 발명의 실시예에 따른 위상 잡음 특성이 향상된 딜레이 셀의 위상 잡음 특성을 나타낸 사시도이다.
- [0065] 도 4를 참조하면, 동작 주파수(Center Frequency)는 1.9GHz이며, 오프셋 주파수(Offset Frequency)가 약 200KHz(199.906KHz)이다. 이때, 위상 잡음 특성은 -101.148dBc/Hz가 된다.
- [0066] 또한, 오프셋 주파수가 600KHz(600.068KHz)인 경우, 위상 잡음 특성은 -110.699dBc/Hz가 측정 된다.
- [0067] 이와 같이, 본 발명에 따른 위상 잡음 특성이 향상된 딜레이 셀은 종래 기술에 의한 딜레이 셀보다 위상 잡음 특성을 크게 향상시킬 수 있다. 또한, 종래의 기술에 비해 간단한 회로로 구현 할 수 있다. 따라서 기존보다 더 작은 면적으로 넓은 튜닝범위 구현이 가능하다는 이점이 있다.
- [0068] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

### 도면의 간단한 설명

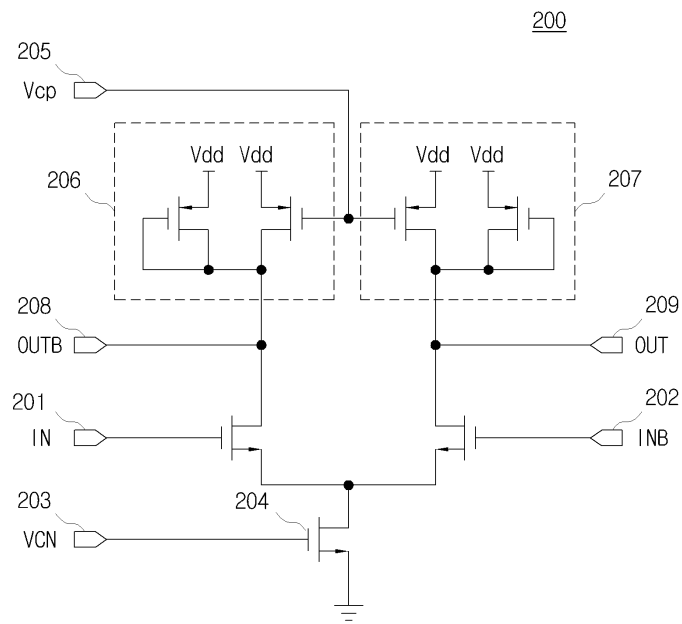
- [0069] 도 1은 종래 기술에 따른 링-전압 제어 발진기의 전체 블록도.
- [0070] 도 2는 종래 기술에 따른 링-전압 제어 발진기에 포함되는 딜레이 셀을 나타낸 회로도.
- [0071] 도 3은 본 발명의 실시예에 따른 위상잡음 특성이 향상된 딜레이 셀을 나타낸 회로도.
- [0072] 도 4는 본 발명의 실시예에 따른 위상 잡음 특성이 향상된 딜레이 셀의 위상 잡음 특성을 나타낸 사시도.
- [0073] <도면의 주요 부분에 대한 부호의 설명>
- [0074] 301 : 전류 경로 제공단                      302 : 바이어스 입력단
- [0075] 303 : 캐스코드단                              304 : 크로스커플드단
- [0076] 305 : 출력부하단

도면

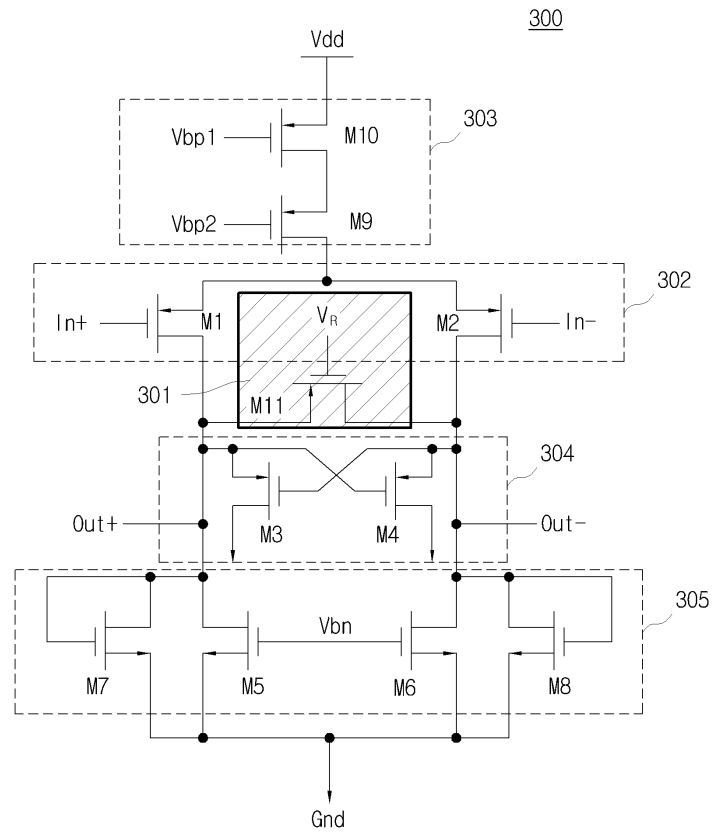
도면1



도면2



도면3



도면4

