(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0097467
(43) 공개일자 2015년08월26일

(51) 국제특허분류(Int. Cl.)
H02M 3/335 (2006.01) *H02M 1/00* (2007.01)
H02M 1/08 (2006.01) *H02M 3/07* (2006.01)
H02M 3/157 (2006.01)
(52) CPC특허분류(Coo. Cl.)
H02M 3/33538 (2013.01)
H02M 1/08 (2013.01)
(21) 출원번호 10-2015-7011700
(22) 출원일자(국제) 2014년10월28일
심사청구일자 2015년05월04일
(85) 번역문제출일자 2015년05월04일
(86) 국제출원번호 PCT/US2014/062740
(87) 국제공개번호 WO 2015/066087
국제공개일자 2015년05월07일
(30) 우선권주장
61/896,557 2013년10월28일 미국(US)
(뒷면에 계속)

(71) 출원인
어드벤스트 차징 테크놀로지스, 엘엘씨
미국, 오클라호마 74119, 툴사, 에스. 카르손 에비뉴 1701, 더 세미트렉스 테크놀로지 센터
(72) 발명자
프리맨, 미카엘, 이.
미국, 오클라호마 74119, 툴사, 에스. 카르손 에비뉴 1701
위버, 더블유.제이. "짐"
미국, 오클라호마 74011, 브로큰 에로우, 더블유. 유티카 4808
(뒷면에 계속)
(74) 대리인
특허법인다래

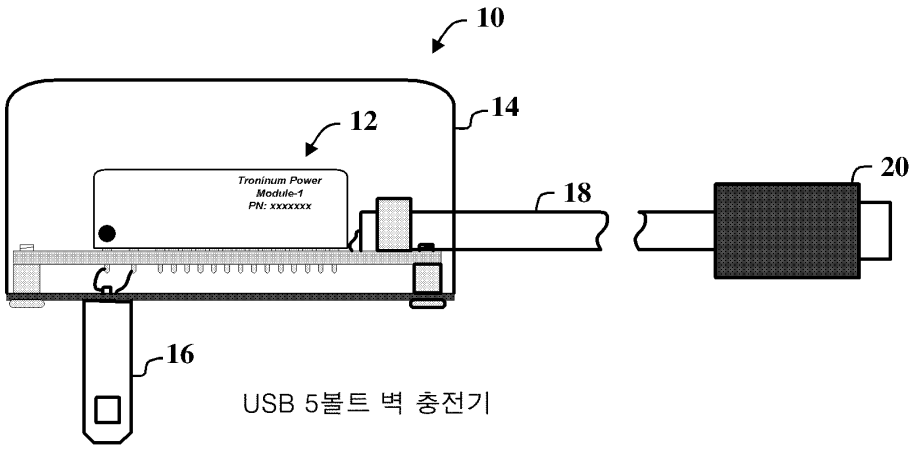
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **소비자 전자 디바이스로 전력을 공급하기 위한 전기 회로**

(57) 요 약

전자 디바이스에 전력을 공급하는 데 사용하기 위한 전기 전력 공급용 전기 회로가 본원에서 개시된다. 전기 회로는 1차 전력 회로와 2차 전력 회로를 포함한다. 1차 전력 회로는 전기 전력원으로부터 교류(AC) 입력 전력 신호를 수신하고 중간 직류(DC) 전력 신호를 생성한다. 중간 DC 전력 신호는 AC 입력 전력 신호의 전압 레벨보다 낮은 제1의 전압 레벨로 생성된다. 2차 전력 회로는 1차 전력 회로로부터 중간 DC 전력 신호를 수신하고 출력 DC 전력 신호를 전자 디바이스로 전달하도록 구성된다. 출력 DC 전력 신호는 중간 DC 전력 신호의 제1의 전압 레벨보다 낮은 출력 전압 레벨로 전달된다.

대 표 도 - 도1



(52) CPC특허분류(Coo. C1.)
H02M 3/073 (2013.01)
H02M 3/157 (2013.01)
H02M 3/33515 (2013.01)
H02M 3/33546 (2013.01)
H02M 2001/0009 (2013.01)
H02M 2001/0012 (2013.01)
H02M 2001/0025 (2013.01)
H02M 2001/0032 (2013.01)
H02M 2001/0045 (2013.01)

(72) 발명자
프리맨, 밋첼, 씨.
미국, 오클라호마 74066, 사풀파, 에스. 일름 219
다이터, 로버트
미국, 오클라호마 74055, 오와쏘, 엔. 129 이. 에비뉴 6121
노우퍼 글랜
미국, 콜로라도 80829, 마니토우 스프링스, 비아 린다 비스타 260
산두스키, 랜달 엘.
미국, 콜로라도 80814, 디바이드, 릿지 드라이브 547
세스터스, 짐
미국, 콜로라도 80904, 콜로라도 스프링스, 말스톤 플레이스 765
파루키, 니즈, 이.
미국, 콜로라도 80920, 콜로라도 스프링스, 파인 글레이드 드라이브 10190
드보이, 짐
미국, 콜로라도 80816, 플로리산트, 사우스 파크 로드 1144
코미어, 제이
미국, 캘리포니아 92677, 라구나 니구엘, 산 시므온 7

(30) 우선권주장
61/949,171 2014년03월06일 미국(US)
62/069,672 2014년10월28일 미국(US)

특허청구의 범위

청구항 1

전자 디바이스들로 전력을 공급하는 데 사용하기 위한 전기 전력 공급용 전기 회로로서,

전기 전력원에 전기적으로 커플링되도록 적응된 1차 전력 회로 - 상기 1차 전력 회로는 상기 전기 전력원으로부터 교류(alternating current; AC) 입력 전력 신호를 수신하고 중간 직류(direct current; DC) 전력 신호를 생성하도록 구성되고, 상기 중간 DC 전력 신호는 상기 AC 입력 전력 신호의 전압 레벨보다 낮은 제1의 전력 레벨로 생성됨 - ; 및

상기 1차 전력 회로에 전기적으로 커플링된 2차 전력 회로 - 상기 2차 전력 회로는 상기 1차 전력 회로로부터 상기 중간 DC 전력 신호를 수신하고 출력 DC 전력 신호를 전자 디바이스로 전달하도록 구성되고, 상기 출력 DC 전력 신호는 상기 중간 DC 전력 신호의 상기 제1의 전압 레벨보다 낮은 출력 전압 레벨로 전달됨 - 를 포함하는, 전기 전력 공급용 전기 회로.

청구항 2

청구항 1에 있어서,

상기 1차 전력 회로는, 상기 전기 전력원으로부터 상기 AC 전력 입력 신호를 수신하고 정류된 DC 전력 신호를 생성하도록 구성되는 정류기 회로를 포함하고, 상기 정류된 DC 전력 신호는 상기 AC 입력 전력 신호의 상기 전압 레벨과 거의 동일한 전압 레벨을 갖는, 전기 전력 공급용 전기 회로.

청구항 3

청구항 2에 있어서,

상기 정류기 회로는 전파 브리지 정류기(full-wave bridge rectifier)를 포함하는, 전기 전력 공급용 전기 회로.

청구항 4

청구항 2에 있어서,

상기 1차 전력 회로는, 상기 정류기 회로에 커플링되어 상기 정류기 회로로부터 상기 정류된 DC 전력 신호를 수신하고 상기 중간 DC 전력 신호를 생성하는 스위치 커패시터 전압 브레이크다운 회로를 포함하는, 전기 전력 공급용 전기 회로.

청구항 5

청구항 4에 있어서,

상기 스위치 커패시터 전압 브레이크다운 회로는:

전기적으로 병렬로 커플링된 플라이백 커패시터들의 쌍;

상기 플라이백 커패시터들의 쌍의 각각에 전기적으로 커플링된 복수의 스위치 어셈블리들 - 상기 복수의 복수의 스위치 어셈블리들은 충전 단계와 방전 단계 사이에서 동작됨 - ; 및

상기 플라이백 커패시터들의 쌍의 각각에 전기적으로 커플링된 홀드 커패시터 - 상기 복수의 스위치 어셈블리들은 상기 충전 단계 동안 상기 플라이백 커패시터들의 쌍의 각각에 상기 정류된 DC 전력 신호를 선택적으로 전달하도록 동작되고, 상기 방전 단계 동안 상기 중간 DC 전력 신호를 상기 홀드 커패시터에 선택적으로 전달하도록 동작됨 - 를 포함하는, 전기 전력 공급용 전기 회로.

청구항 6

청구항 5에 있어서,

상기 스위치 어셈블리들 중 적어도 하나는:

N-채널 MOSFET 스위치;

제어 신호를 상기 N-채널 MOSFET 스위치로 전달하기 위해 상기 N-채널 MOSFET 스위치에 커플링된 레벨 시프터; 및

상기 레벨 시프터에 커플링된 딕슨 전하 펌프(dickson charge pump) - 상기 딕슨 전하 펌프는 상기 정류된 DC 전력 신호를 수신하고 상기 정류된 DC 전력 신호의 전압 레벨보다 더 높은 전압 레벨을 갖는 출력 전력 신호를 생성하도록 구성되고, 상기 출력 전력 신호는 상기 N-채널 MOSFET 스위치를 동작시키는 데 사용하기 위해 상기 레벨 시프터로 전달됨 - 를 포함하는, 전기 전력 공급용 전기 회로.

청구항 7

청구항 5에 있어서,

상기 스위치 커패시터 전압 브레이크다운 회로는 상기 복수의 스위치 어셈블리들의 각각에 커플링된 제어 회로를 포함하고,

상기 제어 회로는:

상기 정류된 DC 전력 신호의 전압 레벨을 감지하기 위한 전압 감지 회로; 및

상기 감지된 전압 레벨의 함수로서 상기 스위치 커패시터 전압 브레이크다운 회로의 이득 설정을 선택하고, 상기 선택된 이득 설정의 함수로서 상기 복수의 스위치 어셈블리들의 각각을 동작시키도록 구성된 이득 컨트롤러를 포함하는, 전기 전력 공급용 전기 회로.

청구항 8

청구항 4에 있어서,

상기 1차 전력 회로는, 상기 스위치 커패시터 전압 브레이크다운 회로와 전기적으로 병렬로 커플링된 벅 레귤레이터 회로를 포함하고, 상기 벅 레귤레이터 회로는 상기 정류기 회로로부터 상기 정류된 DC 전력 신호를 수신하고 상기 중간 DC 전력 신호를 생성하는, 전기 전력 공급용 전기 회로.

청구항 9

청구항 8에 있어서,

상기 벅 레귤레이터 회로는 전압 감소 회로에 커플링된 레귤레이터 스위치 어셈블리를 포함하고, 상기 전압 감소 회로는 다이오드, 인덕터, 및 커패시터를 포함하며, 상기 레귤레이터 스위치 어셈블리는 상기 정류된 DC 전력 신호를 상기 전압 감소 회로에 선택적으로 전달하도록 동작되는, 전기 전력 공급용 전기 회로.

청구항 10

청구항 9에 있어서,

상기 벅 레귤레이터 회로는, 상기 정류된 DC 전력 신호를 상기 전압 감소 회로에 선택적으로 전달하기 위해 상기 레귤레이팅된 스위치 어셈블리로 펄스폭 변조 제어 신호를 제공하는 제어 회로를 포함하고,

상기 제어 회로는:

상기 중간 DC 전력 신호의 상기 제1의 전압 레벨을 감지하기 위한 전압 감지 회로; 및

상기 감지된 제1의 전압 레벨의 함수로서 상기 펄스폭 변조 제어 신호를 생성하기 위한 레귤레이터 컨트롤러 - 상기 레귤레이터 컨트롤러는 미리 정의된 전압 레벨로 상기 중간 DC 전력 신호의 상기 전압 레벨을 유지하기 위해 전달되는 상기 제어 신호의 듀티 싸이클을 조정하도록 구성됨 - 를 포함하는, 전기 전력 공급용 전기 회로.

청구항 11

청구항 1에 있어서,

상기 2차 전력 회로는, 1차 전압 감소 회로 및 2차 전압 감소 회로를 포함하는 포워드 컨버터 회로를 포함하며, 상기 1차 전압 감소 회로는 상기 1차 전력 회로로부터 상기 중간 DC 전력 신호를 수신하고 2차 DC 전력 신호를 상기 2차 전압 감소 회로로 전달하도록 구성되고, 상기 2차 DC 전력 신호는 상기 중간 DC 전력 신호의 상기 전

압 레벨보다 낮은 전압 레벨을 가지며, 상기 2차 전압 감소 회로는 상기 2차 DC 전력 신호를 수신하고 상기 전자 디바이스로 전달되는 상기 출력 DC 전력 신호를 생성하도록 구성되는, 전기 전력 공급용 전기 회로.

청구항 12

청구항 11에 있어서,

상기 1차 전압 감소 회로는 변압기를 포함하고, 상기 변압기의 1차측은 상기 1차 전력 회로에 커플링되고 상기 변압기의 2차측은 상기 2차 전압 감소 회로에 커플링되는, 전기 전력 공급용 전기 회로.

청구항 13

청구항 12에 있어서,

상기 2차 전압 감소 회로는 다이오드들의 쌍, 인덕터, 및 커패시터를 포함하는, 전기 전력 공급용 전기 회로.

청구항 14

전자 디바이스들로 전력을 공급하는 데 사용하기 위한 전기 전력 공급용 전력 모듈로서,

전기 전력원으로부터 AC 전력 입력 신호를 수신하고 정류된 DC 전력 신호를 생성하도록 구성된 정류기 회로;

상기 정류기 회로로부터 상기 정류된 DC 전력 신호를 수신하기 위해 상기 정류기 회로에 커플링된 스위치 커패시터 전압 브레이크다운 회로 및 집적 회로 컨트롤러 - 상기 집적 회로 컨트롤러는 상기 AC 전력 입력 신호의 상기 전압 레벨을 감지하고 중간 전압 DC 전력 신호를 생성하기 위해 상기 스위치 커패시터 전압 브레이크다운 회로의 이득을 상기 감지된 전압 레벨의 함수로서 조정함 - ; 및

상기 스위치 커패시터 전압 브레이크다운 회로에 커플링된 순방향 컨버터 회로 - 상기 순방향 컨버터 회로는 상기 중간 DC 전력 신호를 수신하고 전자 디바이스로 전달되는 출력 DC 전력 신호를 생성하기 위한 변압기를 포함함 - 를 포함하는, 전기 전력 공급용 전력 모듈.

청구항 15

청구항 14에 있어서,

상기 스위치 커패시터 전압 브레이크다운 회로와 전기적으로 병렬로 커플링된 벅 레귤레이터 회로를 포함하고, 상기 벅 레귤레이터 회로는 상기 정류기 회로로부터 상기 정류된 DC 전력 신호를 수신하고 상기 중간 DC 전력 신호를 생성하기 위한 레귤레이터 스위치 어셈블리를 포함하는, 전기 전력 공급용 전력 모듈.

청구항 16

청구항 15에 있어서,

상기 집적 회로 컨트롤러는, 상기 레귤레이팅된 스위치 어셈블리로 펄스폭 변조된 제어 신호를 제공하기 위한 벅 레귤레이터 제어 회로를 포함하는, 전기 전력 공급용 전력 모듈.

청구항 17

청구항 14에 있어서,

상기 포워드 컨버터 회로는 상기 변압기 1차측에 커플링된 변압기 스위치 어셈블리를 포함하고, 상기 집적 회로는, 상기 출력 DC 전력 신호의 전압 레벨을 유지하기 위해 상기 변압기 스위치 어셈블리를 선택적으로 동작시키기 위한 변압기 제어 회로를 포함하는, 전기 전력 공급용 전력 모듈.

청구항 18

청구항 14에 있어서,

상기 스위치 커패시터 전압 브레이크다운 회로는:

전기적으로 병렬로 커플링된 플라이백 커패시터들의 쌍; 및

상기 플라이백 커패시터들의 쌍의 각각에 전기적으로 커플링된 복수의 스위치 어셈블리들을 포함하는, 전기 전

력 공급용 전력 모듈.

청구항 19

청구항 18에 있어서,

상기 스위치 어셈블리들 중 적어도 하나는:

N-채널 MOSFET 스위치; 및

상기 N-채널 MOSFET 스위치에 커플링된 딕슨 전하 펌프를 포함하는, 전기 전력 공급용 전력 모듈.

청구항 20

청구항 18에 있어서,

상기 N-채널 MOSFET는 상기 집적 회로 내에 형성되는, 전기 전력 공급용 전력 모듈.

명 세 서

기 술 분 야

[0001] 관련 출원의 상호 참조

[0002] 본 출원은 2014년 10월 28일자로 출원된 미국 특허 가출원 제62/069,672호에 대한 우선권, 2014년 3월 6일자로 출원된 미국 특허 가출원 제61/949,171호에 대한 우선권, 및 2013년 10월 28일자로 출원된 미국 특허 가출원 제61/896,557호에 대한 우선권을 주장하며, 이들 모두는 모든 목적을 위해 그들 전체가 참조에 의해 본원에 통합된다.

[0003] 기술분야

[0004] 본 발명은 일반적으로 전기 전력 회로에 관한 것으로, 특히, 소비자 전자 디바이스를 충전하고/하거나 전력을 공급하는 데 사용하기 위한 전기 전력을 제공하기 위한 전기 전력 회로에 관한 것이다.

배 경 기 술

[0005] 에너지 위기는 전류 부하를 낮추는 수요측 응답을 요구한다. 에너지 위기는 전세계에 걸쳐 우리에게 엄습하고 있다. 예를 들면, 미국 에너지부는 2015년까지, 평균적으로, 미국에서의 평균 수요를 공급할 충분한 전기 전력이 없을 것이라고 예측한다.

[0006] 제어가능한 범인(offender) 중 하나는 "뱀파이어 부하(vampire load)"이다. "월워트 전력(Wall Wart Power)" 또는 "대기 전력"으로도 칭해지는 이 전력 낭비는 매년 1000억 kW를 초과할 것으로, 낭비되는 에너지의 비용은 100억 달러가 넘을 것으로 미국 에너지부(DOE)는 추산한다. 뱀파이어 부하 생성기는 셀폰 충전기, 랩탑 충전기, 노트북 충전기, 계산기 충전기, 작은 전기기구(small appliance), 및 다른 배터리로 구동되는 소비자 디바이스를 포함한다.

[0007] 미국 에너지부가 말하길 2008년도에:

[0008] "많은 전기기구는 그들의 스위치를 끄는 경우 작은 양의 전력을 계속 소비한다. 이들 "유령" 부하는, VCR, 전텔레비, 스테레오, 컴퓨터, 및 부엌 전기기구와 같은 전기를 사용하는 대부분의 전기기구에서 발생한다. 이것은 전기기구의 플러그를 뽑는 것에 의해 또는 파워 스트립을 사용하고 파워 스트립 상의 스위치를 온시켜 전기기구로 가는 모든 전력을 차단하는 것에 의해 방지될 수 있다."

[0009] 미국 에너지부에 따르면, 하기의 타입의 디바이스가 대기 전력을 소비한다:

[0010] 1. 전압 변환용 변압기. (셀폰, 랩탑 및 노트패드, 계산기 및 벽 충전기(wall charger)를 사용하는 다른 배터리로 구동되는 디바이스).

[0011] 2. 스위치가 꺼진 디바이스로 전력을 공급하는 월워트 전원장치(power supply). (셀폰, 랩탑 및 노트패드, 계산기, 배터리로 구동되는 드릴 및 툴을 포함함, 이들 모두는 벽 충전기를 구비하며 배터리를 완전히 충전하거나 또는 디바이스로부터 분리된다).

[0012] 3. 워밍업 지연 없이 유저 액션에 즉각 응답하는 "인스턴트 온" 기능을 갖는 많은 디바이스.

[0013] 4. 원격 제어에 의해 깨어날 수 있는 대기 모드에 있는 전자 및 전기 디바이스, 예를 들면 몇몇 에어 컨디셔너, 텔레비전 수상기와 같은 오디오-비주얼 기기.

[0014] 5. 스위치가 꺼진 경우에도 몇몇 기능을 실행할 수 있는 전자 및 전기 디바이스, 예를 들면, 전기로 구동되는 타이머. 대부분의 현대의 컴퓨터는 대기 전력을 소비하여, 그들이 (WOL(Wake on LAN; 웨이크 온 랜) 등에 의해) 원격으로 또는 특정 시간에 깨어나는 것을 허용한다. 이들 기능은 필요하지 않은 경우에도 항상 인에이블된다; 전력은, 기능성이 필요되지 않는 경우에만, (종종, 뒷면의 스위치에 의해) 메인에서 분리되는 것에 의해 절약된다.

[0015] 6. 무정전 전원장치(Uninterruptible power supply; UPS)

[0016] 이 모두는, 셀폰, 랩탑 또는 유사한 디바이스가 완전히 충전된 경우에도, 전류는 여전히 흐르지만, 아무 것도 달성하지 않으면서 전기를 소비한다는 것을 의미한다. 보다 최근에 제조된 디바이스와 전기기구는 하루 종일, 매일 계속 전류를 끌어 쓴다 - 그리고 비용을 물게 하고 전세계적으로 에너지 위기를 더한다.

[0017] 국립 표준 기술 연구소(National Institute of Standards and Technology; NIST)(미국 상무성의 분과)는 그 건물 기술 연구 개발 분과위원회를 통해 2010년에 "플러그 부하"를 줄이기 위한 목표를 다음과 같이 언급했다:

[0018] "전체 소비에 대한 플러그 부하의 영향은 꽤 크다. 상업 빌딩의 경우, 플러그 부하는 전체 에너지 사용의 35%로 추정되며, 거주시설의 경우 25%, 학교의 경우 10%로 추정된다.

[0019] 플러그 부하를 줄이기 위한 기회는 다음을 포함한다:

[0020] 1) 더 효율적인 플러그가 있는(plugged) 디바이스 및 전기기구,

[0021] 2) 미사용 전기기구를 턴오프하고 변압기 및 작지만 항상 온 상태인 전기기구로부터 "뱀파이어" 부하를 줄이는 자동화된 스위칭 디바이스, 또는

[0022] 3) 점유자 거동을 수정하는 것".

[0023] 실제 모든 현대의 전자장치에 의해 경험되는 문제 중 하나는, 외부의 또는 임베딩된 "전력 모듈"이든지 간에, 전원장치가 에너지 비효율적이라는 것이다. 이것은 다수의 이유로 인해 참인데, 그 이유 중 하나는 마이클 패러데이가 변압기를 발명한 1831년으로 거슬러 올라간다. 변압기는 본질적으로 비효율적인데, 그 이유는, 아날로그 디바이스처럼, 변압기가 각각의 권선에 대해 하나의 전력 출력만을 생성할 수 있기 때문이다. 그래서 만약 2개의 전력 출력이 필요하면, 2개의 2차 권선이 필요해진다. 또한, 일반적인 현대의 외부 전원장치를 만들기 위해 변압기와 함께 작동해야 할 필요가 있는 50개가 넘는 부품 또는 피스가 종종 존재하며, 그 수는, 단지, 내부의 또는 임베딩된 전력 모듈에 의해 다소 줄어든다. 전원장치에서의 부품의 수는 본질적으로 비효율적인데 그 이유는 전류가 다양한 부품 내에서, 근처에서 그리고 통해서 이동해야만 하기 때문이며, 부품 각각은 상이한 소비전력 인자를 가지며; 회로 트레이스 조차도 저항성 손실을 야기하여 에너지를 낭비하게 된다.

[0024] 또한, 변압기가 작동하는 방식은 자기장을 생성 및 소멸시킨다. 모든 전자가 자기장 생성/소멸에 의해 "재포착"될 수 없기 때문에, 탈출하는 전자는 종종 열로서 재포착되고, 이것이 셀폰, 랩탑 및 태블릿 충전기를 터치하면 따뜻하거나 뜨겁게 느껴지는 이유이다. 또한, 모든 소비자 전자장치가 왜 열을 생성하는지의 주 이유는, 소비자 전자장치가 에너지/전기를 낭비할 뿐만 아니라, 다른 관련 전자 부품의 발열을 통해 궁극적으로 마모를 야기하기 때문이다.

[0025] 현재의 전자장치에서 발견되는 다른 비효율성은, 다수의 내부 전원장치가 상이한 부품을 작동시켜야 할 필요성이다. 예를 들면, 현대 세계의 전력 모듈에서는, MOSFET가 회로부의 "실 세계" 인터페이스의 점점 더 중요한 부품이 되고 있다.

[0026] 금속-산화물-반도체 전계 효과 트랜지스터(metal-oxide-semiconductor field-effect transistor, MOSFET)는, 스위칭, 모터/솔레노이드 구동, 변압기 인터페이싱, 및 다른 기능의 호스트를 가능하게 한다. 스펙트럼(spectrum)의 타단에는 마이크로프로세서가 있다. 마이크로프로세서는 감소된 정상 동작 전압 및 전류를 특징으로 하며, 이것은 5볼트, 3.3볼트, 2.7볼트 또는 심지어 1.5볼트일 수도 있다. 대부분의 시스템에서, MOSFET와 마이크로프로세서는 함께 또는 조합하여 사용되어 회로부를 작동시키게 된다. 그러나, 가장 흔하게, MOSFET에 대한 드라이버와 마이크로프로세서는 상이한 전압에서 동작하며, 회로 내에서 다수의 전원장치에 대한 필요성을

야기시키게 된다.

[0027] 표준 고전압 NMOS MOSFET을 성공적으로 턴온 및 턴오프시키기 위해, 표준 고전압 NMOS MOSFET는 5-20볼트의 게이트 전압을 전달할 수 있는 드라이버를 필요로 한다. 턴온의 경우, 유효하게 되기 위해서는 게이트 드라이버 전압이 레일 전력을 초과해야 한다는 요건이 실제 존재한다. 전하 펌프 기술을 사용하는 특수 드라이버가 이 목적을 위해 고안되었다. 고전압 MOSFET 게이트 드라이버의 다른 메인 기능은, 고전압 MOSFET를 현대의 CMOS 프로세서의 출력 구동 성능과 호환하게 하는 감소된 입력 구동 요건을 갖는 것이다.

[0028] 이 MOSFET/드라이버 장치는, 충전기와 같은 대부분의 외부 전원장치에서 일반적이며, 실제 3개의 별개의 전원장치를 필요로 한다. 필요되는 제1의 전원장치는 메인 전력 레일이며, 이것은 보통은 MOSFET에 제공되는 127 VDC 내지 375 VDC의 범위 내에 있는 정류 라인 전압으로 구성된다. 필요되는 제2의 전원장치는 MOSFET 드라이버에 의해 요구되는 15볼트(또는 그 이상)이다. 마지막으로, 마이크로프로세서는 그들의 많은 상이한 그리고 가변하는 전압에 대해 다른 절연된(isolated) 전원장치를 필요로 한다.

[0029] 전류 비효율성 및 에너지 낭비의 좋은 예는 전형적인 텔레비전에서 발견되는데, 텔레비전은 스크린, 백라이팅, 주회로 기판, 및 사운드 및 보조 기판을 작동시키기 위해 4개 내지 6개만큼의 상이한 전원장치 모듈을 필요로 한다. 이 전류 시스템은 다수의 변압기 및 각각의 전원장치에 대해 필요한 수십 개의 부품을 필요로 한다. 변압기와 부품(MOSFET를 포함함)은 그들의 복제된 비효율성을 통해 열을 배가시키고, 이것은 텔레비전의 뒷면이 터치하면 항상 뜨거운 한 이유이다. 또한, 다양한 전력 출력에 대해 필요되어지는 변압기가 많을수록, 더 많은 부품이 필요하게 되고, 에너지 낭비에 대한 더 많은 원인이 생성된다.

[0030] 열 문제 외에, 다수의 변압기 기반 전원장치 모두는 동작을 위한 40개에서 60개까지의 부품을 전형적으로 필요로 하여, 전형적인 변압기 기반 텔레비전 전원장치 모듈에 대해 수십 개의 부품을 요구하게 되고 이것은 비용과 전체 컴포넌트 사이즈를 증가시키고 동시에 신뢰성을 저하시킨다. 부품의 중복성으로 인해 시스템 저항이 증가되고 결국에는 에너지가 열로서 낭비되게 된다.

[0031] 본 발명은 더 나은 효율성을 제공하고 레일 소스로부터의 전기적 돌입 전류(electrical inrush currents)에 대한 더 많은 제어를 생성하기 위해 위에서 식별된 문제 중 하나 이상을 목표로 한다.

발명의 내용

과제의 해결 수단

[0032] 본 발명의 일 양태에서, 충전 애플리케이션에서 사용하기 위한 전기 전력을 제공하는 및/또는 전자 디바이스에 대한 정전원 회로(constant supply circuit)에 전력을 공급하는 전기 회로가 제공된다. 전기 회로는 전기 전력원(electrical power source)에 전기적으로 커플링되도록 적응되는 1차 전력 회로(primary power circuit), 및 1차 전력 회로에 전기적으로 커플링되는 2차 전력 회로(secondary power circuit)를 포함한다. 1차 전력 회로는 전기 전력원으로부터 교류(alternating current; AC) 입력 전력 신호를 수신하고 중간 직류(direct current; DC) 전력 신호를 생성하도록 구성된다. AC 입력의 경우에, 중간 DC 전력 신호는 AC 입력 전력 신호의 전압 레벨보다 낮은 제1의 전압 레벨에서 생성된다. 2차 전력 회로는 1차 전력 회로로부터 중간 DC 전력 신호를 수신하고 출력 DC 전력 신호를 전자 디바이스로 전달하도록 구성된다. 출력 DC 전력 신호는 중간 DC 전력 신호의 제1의 전압 레벨보다 낮은 출력 전압 레벨에서 전달된다.

[0033] 본 발명의 다른 양태에서, 텔레비전, 백색 가전, 데이터 센터, 및 통신 회로 기판(telecom circuit boards)과 같은 전자 디바이스에 전력을 공급하는 데 사용하기 위한 전기 전력을 제공하기 위한 모듈이 제공된다. 전력 모듈은 정류기 회로, 스위치 커패시터 전압 브레이크다운 회로 및 컨트롤러 집적 회로, 및 포워드 컨버터 회로를 포함한다. 정류기 회로는 전기 전력원으로부터 AC 전력 입력 신호를 수신하고 정류된 DC 전력 신호를 생성한다. 스위치 커패시터 전압 브레이크다운 회로 및 컨트롤러 집적 회로는 정류된 DC 전력 신호를 수신하고, AC 전력 입력 신호의 전압 레벨을 감지하고 감지된 전압 레벨의 함수로서 스위치 커패시터 전압 브레이크다운 회로의 이득을 조정하는 집적 컨트롤러(integrated controller)에 기초하여 중간 DC 전력 신호를 생성한다. 포워드 컨버터 회로는, 중간 DC 전력 신호를 수신하며 전자 디바이스로 전달되는 출력 DC 전력 신호를 생성하는 변압기를 포함한다.

[0034] 본 발명의 다른 양태에서, AC-DC 및 DC-DC 변환을 위한 고효율 스위치 커패시터 전압 브레이크다운 회로가 제공된다. 고효율 스위치 커패시터 전압 브레이크다운 회로는 전기적으로 병렬로 커플링되는 플라이백 커패시터의 쌍, 및 플라이백 커패시터의 쌍의 각각에 전기적으로 커플링되는 복수의 스위치 어셈블리를 포함한다. 일 실시

예에서, 커패시터 사이의 게이트는 공유된다. 스위치 어셈블리는, 충전 단계 동안 플라이백 커패시터의 쌍의 각각에 입력 DC 출력 신호를 선택적으로 전달하도록, 그리고 방전 단계 동안 입력 DC 전력 신호보다 더 낮은 전압 레벨을 갖는 출력 DC 전력 신호를 전자 디바이스로 선택적으로 전달하도록 동작될 수도 있다. 적어도 하나의 스위치 어셈블리는 N-채널 MOSFET 스위치 및 N-채널 MOSFET 스위치로 제어 신호를 전달하기 위한 레벨 시프터를 포함할 수도 있다. 또한, 입력 DC 전력 신호를 수신하고 입력 DC 신호보다 더 높은 전압 레벨을 갖는 출력 전력 신호를 생성하기 위해, 딕슨 전하 펌프가 레벨 시프터에 커플링될 수도 있다. 출력 전력 신호는 N-채널 MOSFET 스위치를 동작시키는 데(또는 다른 타입의 MOSFET를 클로징하는 데) 사용하기 위해 레벨 시프터로 전달된다. 또한, 스위치 커패시터 전압 브레이크다운 회로는, 입력 DC 전력 신호의 전압 레벨을 감지하기 위한 전압 감지 회로 및 스위치 커패시터 전압 브레이크다운 회로의 이득 설정을, 감지된 전압 레벨의 함수로서 선택하도록 또한 복수의 스위치 어셈블리의 각각을 선택된 이득 설정의 함수로서 동작시키도록 구성된 이득 컨트롤러를 포함하는 제어 회로를 포함할 수도 있다.

[0035] 전기 회로는, 소비자 디바이스가 충전을 마치고/마치거나 전력 회로로부터 분리되는 때를 결정하도록 구성되며, 전력 회로 및/또는 전자 디바이스로의 전력의 공급을 분리하도록 전력 회로를 동작시키며, 또한 미세한 전원을 공급받는(flea powered) "대기" 모드를 생성할 수 있는 뱀파이어 부하 제거 시스템을 또한 포함한다.

[0036] 본 발명의 다른 양태에서, 전력 회로는, 동일 칩 상에 아날로그 및 디지털 컴포넌트를 포함하는 반도체 칩 상에 형성된다. 350V SOI(Silicon-on-Insulator; 실리콘 온 인슐레이터) BCD 프로세스와 같은 반도체 프로세스가 반도체에 대해 사용될 수 있고, 이것은 마이크로컨트롤러, 타이머/쿼츠 실시간 클록, PID 컨트롤러 및 PWM 컨트롤러, MOSFET, 및 대응 드라이버를 하나의 다이 상에 집적하는 것을 허용할 것이다. 또한, CMOS 기술에서 통상의 특정 커패시턴스는 0.1 fF/m2(폴리폴리 커패시터)에서 5 fF/m2(MM 커패시터)까지의 범위에 있을 수 있거나 또는 세라믹 커패시터가 고려될 수 있다. 또한, DMOS와 같은 프로세스가 사용될 수 있거나, 또는 실리콘 카보네이트의 층과 같은, 질산갈륨을 갖는 양면(bi)/기판이 고려될 수 있거나 또는 이산화규소의 양면/기판이 또한 사용될 수 있다. 또는 대안적으로, 질산갈륨 또는 갈륨 비소 및 딥 트렌치 커패시터의 사용은 실리콘보다는 칩의 제작에 사용될 수 있을 것이다. 낮은 R_{on} MOSFET 또는 트랜지스터에서 필요한 커패시턴스 때문에, 이들 옵션들 모두는 필요하다.

[0037] 전력 회로를 제조하기 위해 BCDMOS 프로세스가 사용될 수도 있다. BCDMOS는, 초고전압(ultra high voltage; UHV) 애플리케이션을 위해, 바이폴라(아날로그), CMOS(로직) 및 DMOS(전력) 기능을 단일 칩 상에 통합하는 프로세스를 포함한다. BCDMOS는 LED 라이팅, AC-DC 변환 및 스위치 모드 전원(switched mode power supply)과 같은 광범위한 UHV 애플리케이션을 제공한다. 110/220VAC 소스로부터 "오프라인"에서 직접적으로 동작할 수 있기 때문에, 넌-에피(non-Epi) 프로세스로 구현되는 집적 회로(IC)는, 750V를 초과하는 브레이크다운 전압과 낮은 온 저항을 특정하는 최적화된 450V/700V DR-LDMOS 트랜지스터를 배치할 수 있다. 전력 스위칭 애플리케이션에서 사용되는 경우, 설계자는 더 낮은 도전성과 스위칭 손실을 예상할 수 있다.

도면의 간단한 설명

[0038] 본 발명이 첨부된 도면과 연계하여 고려될 때 하기의 상세한 설명을 참조로 본 발명이 더 잘 이해됨에 따라 본 발명의 다른 이점을 바로 알 수 있을 것이며, 도면에서:

도 1은, 본 발명의 실시예에 따른, 전자 디바이스에 전기 전력을 제공하는 데 사용하기 위한 전자 충전 디바이스의 개략도이다;

도 2는, 본 발명의 실시예에 따른, 전자 디바이스에 전기 전력을 제공하는 데 사용하기 위한, 도 1에 도시된 충전 디바이스와 함께 사용될 수도 있는 전력 회로의 블록도이다;

도 3은, 본 발명의 실시예에 따른, 도 2에 도시된 바와 같은 "하이브리드" 전압 브레이크다운 회로를 생성하는 전력 회로와 함께 사용될 수도 있는 벅 레귤레이터 회로(buck regulator circuit)의 개략도이다;

도 4 내지 도 7은, 본 발명의 실시예에 따른, RDS_{ON} 손실을 더 감소시키기 위해 커패시터 사이의 게이트의 공유를 포함하는, 도 2에 도시된 전력 회로와 함께 사용될 수도 있는 스위치 커패시터 전압 브레이크다운 회로의 개략도이다;

도 8은, 본 발명의 실시예에 따른, 도 4에 도시된 스위치 커패시터 전압 브레이크다운 회로의 일부의 개략도이다;

도 9는, 본 발명의 실시예에 따른, 도 8에 도시된 스위치 커패시터 전압 브레이크다운 회로와 함께 사용하기 위한 이득 설정을 예시하는 테이블이다;

도 10 내지 도 12는, 본 발명의 실시예에 따른, 도 9에 도시된 이득 설정의 각각과 관련된 충전 단계 모드와 방전 단계 모드에서의 도 8에 도시된 스위치 커패시터 전압 브레이크다운 회로의 개략적인 예시이다;

도 13은, 본 발명의 실시예에 따른, 도 2에 도시된 전력 회로와 함께 사용될 수도 있는 포워드 컨버터 회로의 개략도이다;

도 14는, 본 발명의 실시예에 따른, 도 2에 도시된 전력 회로와 함께 사용될 수도 있는 알람 제어 회로의 개략도이다;

도 15는, 본 발명의 실시예에 따른, 전력 컨트롤러 집적 회로를 포함하는, 도 2에 도시된 전력 회로의 다른 개략도이다;

도 16, 도 17a 및 도 17b는, 본 발명의 실시예에 따른, 도 10에 도시된 전력 컨트롤러 집적 회로의 블록도이다;

도 18은, 본 발명의 실시예에 따른, 도 16, 도 17a, 및 도 17b에 도시된 전력 컨트롤러 집적 회로와 함께 사용될 수도 있는 전력 관리 유닛의 블록도이다;

도 19는, 도 16, 도 17a, 및 도 17b에 도시된 전력 컨트롤러 집적 회로와 함께 사용될 수도 있는 파워 온 리셋 임계 전압의 그래픽 예시이다;

도 20은, 본 발명의 실시예에 따른, 도 16, 도 17a, 및 도 17b에 도시된 전력 컨트롤러 집적 회로와 함께 사용될 수도 있는 비례식 적분 및 미분 레귤레이터 제어 회로(Proportional to Integral and Differential Regulator Control circuit)의 개략도이다;

도 21 및 도 22는, 본 발명의 실시예에 따른, 도 16, 도 17a, 및 도 17b에 도시된 전력 컨트롤러 집적 회로와 함께 사용될 수도 있는 디지털 제어 블록의 블록도이다;

도 23은, 본 발명의 실시예에 따른, 전자 디바이스에 전기 전력을 제공하는 데 사용하기 위한 도 2에 도시된 전력 회로를 동작시키는 방법을 예시하는 흐름도이다;

도 24는, 본 발명의 실시예에 따른, 도 23에 도시된 방법과 함께 사용될 수도 있는 상태 전이의 그래픽 예시이다;

도 25는, 본 발명의 실시예에 따른, 도 16, 도 17a, 및 도 17b에 도시된 전력 컨트롤러 집적 회로와 함께 사용될 수도 있는 통신 인터페이스의 개략적 예시이다;

도 26은, 본 발명의 실시예에 따른, 도 16, 도 17a, 및 도 17b에 도시된 전력 컨트롤러 집적 회로와 함께 사용될 수도 있는 마이크로프로세서 통신 프로토콜의 개략적 예시이다;

도 27은, 본 발명의 실시예에 따른, 도 16, 도 17a, 및 도 17b에 도시된 전력 컨트롤러 집적 회로와 함께 사용될 수도 있는 I2C(Inter-Integrated Circuit; 인터 인터그레이티드 회로)의 개략적 예시이다;

도 28 및 도 29는, 본 발명의 실시예에 따른, 도 2에 도시된 전력 회로의 개략적 예시이다;

도 30은, 본 발명의 실시예에 따른, 도 16, 도 17a, 및 도 17b에 도시된 전력 컨트롤러 집적 회로와 함께 사용될 수도 있는 연결도이다;

도 31 및 도 32는, 본 발명의 실시예에 따른, 도 16, 도 17a, 및 도 17b에 도시된 전력 컨트롤러 집적 회로의 추가적인 개략적 예시이다;

도 33은, 본 발명의 실시예에 따른, 도 16, 도 17a, 및 도 17b에 도시된 전력 컨트롤러 집적 회로와 함께 사용될 수도 있는 저전류 검출 및 에러 검출용 알고리즘의 흐름도이다;

도 34 및 도 35는, 본 발명의 실시예에 따른, 도 2에 도시된 전력 회로의 개략적 예시이다;

도 36은, 본 발명의 실시예에 따른, 도 2에 도시된 전력 회로와 함께 사용될 수도 있는 레벨 시프터의 개략적 예시이다;

도 37은, 본 발명의 실시예에 따른, 도 13에 도시된 포워드 컨버터 회로와 함께 사용될 수도 있는 RCD 회로의 개략적 예시이다;

도 38 및 도 39는, 본 발명의 실시예에 따른, 도 2에 도시된 전력 회로의 추가적인 개략적 예시이다;

도 40은 본 발명의 실시예에 따른, 도 2에 도시된 전력 회로의 일부의 개략적 예시이다; 그리고

도 41은, 본 발명의 실시예에 따른, 도 2에 도시된 전력 회로의 다른 개략적 예시이다.

대응하는 참조 부호는 도면 전체에 걸쳐 대응하는 부품을 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0039] 도면을 참조하면 동작시, 본 발명은, AC 메인 서플라이(통상적으로 120VAC(미국)에서 240VAC[유럽 연합/아시아])로부터 소비자 전자 디바이스로 DC 전압 출력 전력을 제공하는 전력 회로를 포함하는 전력 모듈을 제공하는 것에 의해, 공지의 전력 전달 시스템의 단점 중 적어도 몇몇을 극복한다. 전력 회로는, 셀폰, 스마트폰, 태블릿 컴퓨터, 랩탑, 및/또는 극도로 높은 효율성과 아주 낮은 대기 전력 요건으로 인해 본 발명으로부터 이익을 취할 수도 있는 임의의 적절한 전자 디바이스를 포함하지만 이들에 제한되지 않는 소비자 전자 제품에 전력을 공급하고/하거나 전자 저장 디바이스를 충전하기 위해 전기 전력을 제공하도록 구성된다. 일반적으로, 전력 회로는 전기 전력원으로부터 고전압 AC 전력을 수신하고 하나 이상의 전자 디바이스로 저전압 DC 전력 신호를 전달하기 위한 1차 전력 회로 및 2차 전력 회로를 포함한다. 1차 전력 회로는 AC 전력 서플라이로부터 AC 전력 신호를 수신하고 감소된 전압 레벨의 중간 직류(DC) 전력 신호를 생성한다. 2차 전력 회로는 1차 전력 회로로부터 중간 DC 전력 신호를 수신하고 소비자 전자 디바이스에 전력을 공급하고/하거나 소비자 전자 디바이스를 충전하는 데 사용하기에 적합한 전압 레벨을 갖는 출력 DC 전력 신호를 생성하여 전달한다.

[0040] 1차 전력 회로는 AC 전력 신호를 수신하여 정류된 DC 전력 신호를 생성하기 위한 정류 회로, 및 정류된 DC 전압을 2차 전력 회로에 의해 사용하기 위한 감소된 전압으로 분압하기 위한 스위치 커패시터 전압 브레이크다운 회로를 포함한다. 스위치 커패시터 전압 브레이크다운 회로는 전력 효율성을 최대화하기 위한 플라이백 커패시터 및 전압 리플을 최소화하기 위한 홀드 커패시터(hold capacitor)를 포함한다. 일 실시예에서, 스위치 커패시터 전압 브레이크다운 회로는 50mA까지 전달하도록 그리고 경부하 컨디션(light load condition) 하에서 50mA로부터 1mA 미만의 부하 전류의 범위에 걸쳐 ≥ 95%의 효율성을 유지하도록 구성된다. 1차 전력 회로는, 예를 들면, 430mA의 전류까지 큰 전류 부하를 핸들링하기 위한, 스위치 커패시터 전압 브레이크다운 회로와 병렬로 연결되는 스위치 모드 벅 레귤레이터를 또한 포함할 수도 있다. 벅 레귤레이터는 P-채널 MOSFET 스위치, 고전압 벅 다이오드, 및 벅 에너지 저장 인덕터를 포함할 수도 있다. 또한, 벅 레귤레이터는, 벅 레귤레이터 PMOSFET의 온/오프 시간을 제어하기 위해 펄스폭 변조된 신호를 생성하기 위한 펄스폭 변조기(pulse-width modulator; PWM) 컨트롤러를 또한 포함할 수도 있고, 이것은 적절한 게이트 드라이버를 갖는 NMOSFET로서 또한 칭해질 수도 있다.

[0041] 2차 전력 회로는 1차 전력 회로로부터 중간 DC 전력 신호를 수신하기 위한 그리고 출력 DC 전력 신호를 생성하기 위한 변압기를 포함하는 포워드 컨버터 전력 회로를 포함한다. 포워드 컨버터는 변압기의 1차측에 연결된 MOSFET 및 부하 전류가 변압기의 2차측으로부터 인출될(drawn) 때 포워드 컨버터의 출력에서의 전압을 레귤레이팅하도록 MOSFET를 동작시키기 위한 제어 회로를 또한 포함한다. 예를 들면, 포워드 컨버터 제어 루프는 어떠한 불안정성도 트리거하지 않으면서 부하 전류의 심한 변동(4.5nA에서 4.5A) 하에서 출력 전압을 레귤레이팅하도록 구성될 수도 있다.

[0042] 현대의 세계에서, MOSFET는 "실 세계" 인터페이스의 일부로서 점점 더 중요해지고 있다. 그것은 모터/솔레노이드 구동, 변압기 인터페이싱, 및 다른 기능의 호스트를 가능하게 한다. 스펙트럼의 타단에는 마이크로프로세서가 있다. 그것은 꾸준히 감소되는 동작 전압 및 전류를 특징으로 한다. 많은 시스템에서, 이들 부품은 함께 사용된다. 표준 고전압 MOSFET는, FET를 성공적으로 온 또는 오프시키기 위해, FET 게이트로 5v 내지 20v 정도의 스윙을 전달할 수 있는 드라이버를 요구한다. NMOSFET에 대한 턴온의 경우, 이 게이트 구동 전압이 전력 레일 전압을 초과해야 하는 것이 실제 요구된다. 전하 펌프 기술을 사용하는 특수 드라이버가 이 목적을 위해 고안되었지만, 이들은 통상적으로 별개의 부품이며 회로에서 요구되는 전력 레일의 수를 증가시킨다. FET 드라이버의 다른 주요 기능은, FET 드라이버를 현대의 CMOS 마이크로프로세서의 출력 포트 성능과 호환하게 하는 감소된 입력 전압 요건을 갖는 것이다. 이 장치는 전력의 관점에서 고가이며 통상적으로 3개의 전원장치를 요구한다. 첫째는 메인 전력 레일이다. 그것은 MOSFET에 제공되는 100 내지 600 볼트의 범위 내에 있는 전압으로 구성된다. 제2의 서플라이는 드라이버에 의해 요구되는 5-20볼트이며 최종적으로는 마이크로프로세서에 의해 요구되는 서플라이이다. 본 발명은 이들 레일 모두를 칩 내에서 결합하기 때문에, 회로와 일반적으로 관련되는 전력과 부품이 최소화되고 따라서 효율성이 증가된다.

[0043] 많은 상황에서, 전원장치는 스몰 시스템에서 부품 수와 비용 둘 다의 상당한 비율을 구성한다. 결합된 부품은 이 등식을 실질적으로 변경할 수 있다. 이 새로운 부품은, 기본 부품으로서의 고전압 MOSFET와 이것에 추가되는 포함된 전하 펌프를 갖는 적절한 드라이버의 조합으로 구성될 것이다. 또한, 내부적으로 메인 레일 서플라이로부터 유도되는 드라이버에 대해 필요한 전원장치가 추가된다. 마지막으로, 이 내부 서플라이로부터 마이크로프로세서에 대해 전력을 공급하기 위한 출력 핀이 추가된다. 많은 보통의 시스템에서, 완전한 부품 리스트는 이 새로운 디바이스, 마이크로프로세서, 및 메인 전력 레일 부품으로 구성될 것이다. 이것은 차세대의 저비용의/낮은 어셈블리 카운트 마이크로프로세서 서브시스템을 허용할 것이다.

[0044] 전력 모듈은 진보된 전원 시스템 온 칩(power supply system on a chip)(Tronium PSSoC)을 포함하며, 이것은 본 발명의 대상이며, 일반적인 가정 또는 사업장의 전기 아웃렛에 존재하는 AC 라인 전압을, 소비자 전자 애플리케이션용으로 감소되고 레귤레이팅된 DC 전압으로 변환하기 위한 저비용이며 고효율의 수단을 제공하기 위한 컨트롤러 주문형 반도체(application specific integrated circuit; ASIC)를 포함한다. 일반적인 애플리케이션은, 셀폰, 태블릿 또는 다른 핸드헬드 디바이스에 대한 충전 시스템, USB 전력 변환, 소비자용 전원장치, 의료 및 산업용 디바이스, 및 많은 다른 가능한 용도를 포함하지만, 이들에 제한되지는 않는다.

[0045] Tronium PSSoC는, 자율 전력 모듈(Autonomous Power Module) 및 범용 전력 모듈(Universal Power Module)을 포함하는 2개의 1차 전력 모듈 애플리케이션에서의 사용을 위해 구성된다. 자율 전력 모듈은, 비용 감소를 위해 아날로그 피드백 접근법에 기초하는 자율 동작 모드에서 동작한다. 범용 전력 모듈은, 제어되는/모니터링되는 하나의 전력 레일 또는 그 이상일 수 있는, 최종 출력 전압의 레귤레이션을 위한 피드백을 제공하기 위해 마이크로프로세서(μP) 컨트롤러를 활용하는 범용 동작 모드에서 동작한다. Tronium PSSoC의 몇몇 주요 특징은, 90 VAC 내지 264 VAC 라인 전압 동작(AC 또는DC 중 어느 하나인 다른 입력 전압이 사용될 수도 있다), 프로그램가능한 출력 전압, DC-DC 변환을 위한 하이브리드 스위치 커패시터 전압 브레이크다운 회로 & 스위치 모드 벅 레귤레이터(이것은 효율성을 위해 동시에 정류된다), 높은 정확도를 위한 PID 레귤레이션 제어 루프, 전류 및 온도 모니터링을 위한 디지털 상태 머신, 아이들(뱀파이어) 모드의 동작을 위한 초저 소비전력, 구성 및 제어를 위한 광절연 마이크로프로세서 인터페이스(Opto-Isolated Microprocessor Interface), 테스트 제조용 I2C 슬레이브 포트, 자동 검출 입력 전압 범위: 127 VDC 내지 373 VDC(전세계 전압 110VAC-260VAC), 주 출력 전력(featured Out Power): 22.5W(임의의 와트도 가능함), 고효율 동작을 위한 하이브리드 전압 컨버터, 적층식 스위치 커패시터 전압 브레이크다운 모듈, PWM 게이트 드라이브를 갖는 PID 레귤레이션 루프, 다수의 부하 레벨과 미세 전력 대기 모드에서의 고효율성을 위한 전력 스케일링 기능, 재시작을 갖는 조정가능한 무부하/경부하 셧오프 및 제어 로직, 선택가능한 아날로그 또는 디지털 제어, 최소 또는 0의 외부 회로부 부품 수 및 별개의 디바이스 사이즈, 및 양방향 통신을 위한 옵션적 디지털 인터페이스를 포함하지만, 이들에 제한되는 것은 아니다.

[0046] 또한, 스위치 모드 벅 레귤레이터 회로는, 통상적으로 벅/부스트 회로로 알려진 것을 포함할 수도 있거나; 또는 벅/부스트는 SEPIC, Cúk, 또는 푸시풀(Push Pull) 또는 다른 토폴로지로 대체될 수도 있다. 이들은 효율성을 위해 동기식 정류를 가질 것이며 플라이백 토폴로지 또는 포워드 컨버터 토폴리지 중 어느 하나를 사용할 수도 있다.

[0047] Tronium PSSoC는, 고효율로 그리고 높은 정확도로 출력 전압 레귤레이션을 제공하도록 구성되는 진보된 전력 컨트롤러 집적 회로이다. Tronium PSSoC의 진보된 특징은 유저에게, "충전기" 모드 또는 "정전원" 모드 중 어느 하나에서 아주 다양한 애플리케이션에서 사용될 수 있는 다용도 디바이스를 제공한다. 프로그램가능한 출력 전압(1.7V 내지 48V 또는 그 이상)은, 다양한 전류 부하 컨디션에 걸쳐 효율성의 손실이 거의 또는 전혀 없이, Tronium PSSoC를 통해 가능하며, 이 특징은 "필요시 전압 제공(Dial-a-Voltage)" 특징으로 칭해진다. 또한, 다수의 출력 전류는, 통상적으로 1.7V에서 48V까지의 범위에 이르는 다수의 전압/전류 조합(이것은 대부분의 전자 디바이스에 전력을 공급하기에 충분하다)을 생성하기 위해, 하이브리드 회로의 조합, 또는 스위치 커패시터 회로 단독에 의해 생성될 수도 있다. 이 "필요시 전압 제공" 특징은, 공장출하시 프로그램될 수 있거나 또는 적절한 코드에 의해 소비자에 의해 프로그램될 수 있으며, 그 결과, 변압기 권선 및 변압기를 구동하는 FET와 같은 임의의 외부 컴포넌트에서 이름만 변경한 상태로, 1.7V 출력 또는 48V 출력에 대해 동일한 칩이 사용될 수도 있다.

[0048] 칩(PSSoC) ASIC 상의 Tronium 전원장치 시스템은, 아주 다양한 범위의 출력 전력에 걸쳐 고효율성을 가능하게 하는 진보된 전력 제어 디바이스이다. 통상의 '고효율" 전원장치 컨트롤러는 최대 부하의 10%에 이르기까지 ~50%의 효율성을 자랑하지만, Tronium 디바이스는 최대 부하의 1% 및 그 이하에 이르기까지 >90%의 효율성을 제

공하도록 의도된다.

[0049] Tronium PSSoC는, 중간 전압 레일을 구현하여, 시스템의 전력 성능이 부하 요구에 따라 증감하는(scale) 것을 허용하는 것에 의해 고전압 전력 변환에 대한 혁신적인 토폴로지를 제공한다. 그것은 또한 ASIC에 대한 부품을 줄여, 필요한 외부 부품을 최소화하고; 코일 손실이 적은 전력의 향상된 최적화를 위한 광범위한 변압기 옵션을 가능하게 한다. Tronium PSSoC는 PID 스위칭 컨트롤러 또는 변환 및 레귤레이션의 다른 토폴로지를 또한 제공하며, 절연(isolation)이 요구되면 이 PID 스위칭 컨트롤러를 통해 변압기의 1차측을 구동한다. 그것은 또한 2차 또는 1차측 컨트롤/피드백 중 어느 하나를 특징으로 한다.

[0050] 일 실시예에서, Tronium PSSoC는 독점적인(proprietary) 고전압 중간 전압 커패시터 전압 브레이크다운 변환 방식을 사용하며, 이것은 부하 전압 또는 전류에 무관하게 고효율성을 유지하기 위해, 단독으로, 또는 스위치 모드 벅 레귤레이터와 결합하여 사용될 수 있다. 부하에 의해 어떠한 전류도 인출되고 있지 않으면, 깬 상태로 머무는 데 필요한 전통적인 '뱀파이어" 전류를 최소화하고 실제로는 제거하기 위해, 디바이스는 대략 ½ 밀리와트의 저전류 동작 모드에 들어갈 것이다.

[0051] Tronium PSSoC는 다음의 주요 회로 블록을 포함할 수도 있다: 중간 커패시터 전압 브레이크다운 컨버터 모듈(Capacitor Voltage Break-Down Converter Module; CVBD 모듈)(소망의 전류 출력에 대한 하나 이상의 단이 있을 수 있다); 고전압 1단(single-stage) 또는 2단의 스위치 커패시터 전압 브레이크다운 회로; 포워드 컨버터의 PWM 제어를 위한 비례식 적분 및 미분(Proportional to Integral and Differential; PID) 레귤레이터 제어 블록; 스위치 모드 벅 레귤레이터 PID 컨트롤러(전압 출력에 대한 옵션적 하이브리드 토폴로지); 벅 레귤레이터 스위치 드라이버; 전류 및 온도 감지 블록; 전압 및 전류 모니터링용 12비트 ADC; 피드백 제어용 10비트 DAC; 전류 모니터링 상태 머신용 디지털 제어 블록; 광절연기 통신 인터페이스에 대한 직렬 입력; 테스트, 평가, 수리 및 통신용 I2C 직렬 인터페이스; 내부 클록 신호 생성용 발진기; 온칩 전압 및 전류 생성용 전력 매니저; 칩 내에 임베딩될 수 있는 또는 외부에 있을 수 있는 마이크로컨트롤러와 함께 또는 그 마이크로컨트롤러 없이 사용하기 위해 적응됨, 1차측 감지 또는 2차측 감지 성능; 및 동기식 포워드 컨버터.

[0052] 전력 모듈은, 성능 및 효율성을 최적화하기 위해 아날로그 및 디지털 제어 둘 다를 포함하는 Tronium PSSoC를 또한 포함할 수도 있다. 아날로그 제어뿐만 아니라 디지털 제어도 가능하게 하기 위해, 적절한 입력 및 출력이 Tronium PSSoC 상에서 가능해야만 한다. 이들 이용가능성이 주어지고, 내부 클록으로부터의 전력 루프 제어로 커플링되면, 클록의 제어는 구동될 수 있고 외부 신호에 의해 제어될 수 있다. 신규의 접근법은, Tronium PSSoC가 변압기의 1차측에 위치되어 있는 동안, 이들 신호가 2차측으로부터 구동될 수 있다는 것이다.

[0053] 디지털 제어는 일반적으로 절연 배리어의 동일측에 대해 달성된다. 그러나, Tronium PSSoC이 본질적으로 절연 시스템이고, 완전한(end-to-end) 효율성 최적화가 요구된다는 것이 고려되면, 1차측으로부터의 또는 2차에서 다시 1차측으로의 제어가 활용될 수도 있다. 이것은 Tronium 구현예가 주어지면 다수의 상이한 방식으로 달성된다. 이것은 마이크로컨트롤러로부터의 디지털 제어 신호뿐만 아니라 전류 감지 회로로부터의 아날로그 신호를 송신하는 광커플러(optocoupler)에 의해 행해질 수 있다. 또한, 이것은 절연 변압기 상에서 제3의 권선을 사용하는 것에 의해 달성될 수 있다.

[0054] 전력 회로 내에 포함된 회로 및/또는 전기 디바이스의 몇몇 또는 모두는, 실리콘 프로세스, 갈륨 질화물(GaN) 또는 갈륨 비화물(GaA) 중 어느 하나를 사용하여, 또는 딥 트렌치 커패시터를 사용하는 것에 의해, 또는 고효율성이 요구되면, 고효율 부품을 제공하는 다른 이용가능한 프로세스를 사용하는 것에 의해 칩 상에 통합될 수도 있다. 따라서, 이들 부품 중 하나 또는 모두는, 심지어 변압기라도, 실리콘(또는 GaN-GaA) 기술에서의 공지의 변압기를 사용하여, 외부의 별개의 구성품(edternal discrete)이 되는 대신 ASIC 내에 임베딩될 수도 있다. 또한, 결국에는 필요한 커패시터의 사이즈를 감소시키는 리플 감소를 위해, 낮은 RDS_{ON} MOSFET, 집적된 디커플링 커패시터 및/또는 플라이 커패시터(C_{FLY})와 함께 MIM 및 MOM 커패시터를 사용하는 것은, 커패시터 또는 FET가 본원에서 요구되는 경우 사용될 수도 있다. 또한, 칩 상에 집적 인덕터를 도입하는 것은 고효율성을 달성하는 것을 돕는다. 대안적으로, GaA, GaN 또는 쇼트키 다이오드 부품과 같은 최고 효율성의 부품이 사용될 것이다.

[0055] 또한, 커패시터는 나노 커패시터일 수도 있고, 강자성 및 코어 셸 재료뿐만 아니라 나노 와이어, 나노필러(nanopillar), 나노튜브, 및 나노 다공성 재료(nanoporous material)에 기초한 재료에 기초할 수도 있다.

[0056] Tronium PSSoC에 대한 기판은 (외부인 경우) 커패시터에서 사용되는 또는 높거나 낮은 옴성 실리콘 기판과 같은 반도체 기판에서 현재 사용되는 관례적인 막, 폴리실리콘 갈륨 질화물, 갈륨 비화물, 실리콘 게르마늄 또는 실리콘 카바이드 또는 인화인듐(indium phosphide)과 같은 물질로부터 이루어질 수 있다.

[0057] 프로세스가 허용하는 경우 가능한 한 많은 별개의 구성품의 온보드 ASIC 집적이 중요하고, 효율성이 중요하면 낮은 RDSon 값, 고효율 부품, 및 충분한 전압 브레이크다운 부품의 식별이다. 다른 키는 더 높은 주파수에서 스위치 벅 모듈을 작동시키는 것이며, 그 결과 부품은 더 작아지고, 온보드 칩 디바이스가 되기에 충분히 더 작아지게 된다.

[0058] 이제, 본 발명의 선택된 실시예가 도면을 참조로 설명될 것이다. 본 개시로부터, 본 발명의 실시예의 하기의 설명은 단지 예시를 위해 제공된 것이며 첨부된 특허청구범위 및 그 균등범위에 의해 정의되는 바와 같은 본 발명을 제한하려는 목적은 아님이 당업자에게는 명확할 것이다.

[0059] 도 1은, 본 발명의 실시예에 따른, 전자 디바이스에 전기 전력을 제공하는 데 사용하기 위한 전자 충전 디바이스(10)의 개략도이다. 도 2는 전자 충전 디바이스(10)와 함께 사용될 수도 있는 전력 모듈(12)의 블록도이다. 예시된 실시예에서, 전자 충전 디바이스(10)는 하우징(14), 하우징(14)으로부터 외부로 연장하는 전력 프롱(prong; 16)의 쌍 및 전자 디바이스(20)에 연결되도록 적응되어 충전 디바이스(10)로부터 전자 디바이스로 전기 전력을 전달하는 디바이스 연결 어셈블리(18)를 포함한다. 전자 충전 디바이스(10)는, 전기 전력원(24)로부터 전력을 수신하고, 예를 들면, 셀폰, 스마트폰, 태블릿 컴퓨터, 랩탑, 및/또는 임의의 적절한 전자 디바이스를 포함하지만 이들로 제한되지 않는 휴대형 소비자 전자 디바이스와 같은 전자 디바이스(20)로 전력을 전달하도록 구성되는 전력 회로(22)를 포함하는 전력 모듈(12)을 또한 포함한다. 또한, 전력 회로(22)는, 예를 들면, 모바일폰/랩탑/태블릿 전력 저장 배터리와 같은 전자 저장 디바이스를 충전하는 데 사용하기 위한 전력을 전달할 수도 있다. 일 실시예에서, 전력 회로(22)는 통상적으로 120VAC(미국)에서 264VAC(유럽연합/아시아)인 AC 메인 서플라이로부터 저전압의 DC 출력(통상적으로 5VDC)를 제공하도록 구성될 수도 있다.

[0060] 예시된 실시예에서, 전력 회로(22)는 1차 전력 회로(26)와 2차 전력 회로(28)를 포함한다. 1차 전력 회로(26)는 전기 전력원(24)에 전기적으로 커플링되도록 적응되고 전기 전력원(24)으로부터 AC(또는 DC) 입력 전력 신호를 수신하고 중간 직류(DC) 전력 신호를 생성하도록 구성된다. 중간 DC 전력 신호는 AC 입력 전력 신호의 전압 레벨보다 낮은 제1의 전압 레벨에서 생성된다. 2차 전력 회로(28)는 1차 전력 회로(26)에 전기적으로 커플링되고 1차 전력 회로(26)로부터 중간 DC 전력 신호를 수신하고 전자 디바이스(20)로 출력 DC 전력 신호를 전달하도록 구성된다. 출력 DC 전력 신호는 중간 DC 전력 신호의 제1의 전압 레벨보다 낮은 출력 전압 레벨에서 전달된다. 예를 들면, 일 실시예에서, 1차 전력 회로(26)는 127볼트 내지 375볼트의 AC의 범위 사이의 전압 레벨을 갖는 AC 입력 신호를 수신하고 대략 110볼트 DC의 전압 레벨의 중간 DC 전력 신호를 전달하도록 구성된다. 2차 전력 회로(28)는 중간 DC 전력 신호를 수신하고 대략 5볼트 DC의 출력 DC 전력 신호를 전달하도록 구성된다.

[0061] 예시된 AC-DC 실시예에서, 1차 전력 회로는 정류기 회로(30), 중간 전압 컨버터(32), 벅 레귤레이터(34), 중간 전압 컨버터(32)와 벅 레귤레이터(34)에 전기적으로 커플링되는 홀드 커패시터(36)를 포함한다. 중간 전압 컨버터(32)와 벅 레귤레이터(34)는 정류기 회로(30)와 2차 전력 회로(28) 사이에서 병렬로 커플링된다. 정류기 회로(30)는 전기 전력원(24)으로부터 AC 전력 입력 신호를 수신하도록 그리고 중간 전압 컨버터(32)와 벅 레귤레이터(34)로 전달되는 정류된 DC 전력 신호를 생성하도록 구성된다. 일 실시예에서, 정류된 DC 전력 신호는 AC 입력 전력 신호의 전압 레벨과 거의 동일한 전압 레벨을 가지고 전달된다. 도 13 및 도 15에 도시된 바와 같이, 예시된 실시예에서, 정류기 회로(30)는, AC 입력 전력 신호로부터 DC 전력 신호를 생성하기 위해, 전기 전력원(24)의 하이측 및 로우측에 커플링되는 제1 및 제2의 입력 단자를 갖는 전파 브리지 정류기(full-wave bridge rectifier)에 정렬되는 복수의 다이오드(38)를 포함한다. 일 실시예에서, 정류기 회로(30)는 전파 브리지 정류기에 커플링되는 필터 커패시터(40)를 또한 포함할 수도 있다. 또 다른 실시예에서, 정류기 회로(30)는 필터 커패시터(40)를 포함하지 않는다. 다른 실시예에서, 정류기 회로(30)는 하프 브리지 정류기(half-bridge rectifier)(도시되지 않음)를 포함할 수도 있다.

[0062] 도 3은 전력 회로(22)와 함께 사용될 수도 있는 벅 레귤레이터 회로(34)의 개략도이다. 예시된 실시예에서, 벅 레귤레이터 회로(34)는 전압 감소 회로(44)에 커플링되는 레귤레이터 스위치 어셈블리(42)를 포함한다. 전압 감소 회로(44)는 고전압 벅 다이오드(46), 벅 에너지 저장 인덕터(48), 및 커패시터(50)를 포함한다. 레귤레이터 스위치 어셈블리(42)는 정류된 DC 전력 신호를 전압 감소 회로(44)로 선택적으로 전달하도록 동작된다. 예시된 실시예에서, 레귤레이터 스위치 어셈블리(42)는 P-채널 MOSFET(52), P-채널 MOSFET(52)에 커플링되는 드라이버 회로(54), 및 드라이버 회로(54)에 커플링되는 레벨 시프터(56)를 포함한다. 일 실시예에서, 레귤레이터 스위치 어셈블리(42)는 N-채널 MOSFET 및/또는 P-채널 MOSFET를 포함할 수도 있다. 예시된 실시예에서, 벅 레귤레이터(34)는, P-채널 MOSFET(52)를 제어하기 위한 펄스 폭 변조 신호를 생성하는 레귤레이터 PWM 컨트롤러(60)(도 16, 도 17a, 및 도 17b에 또한 도시됨)를 포함하는 레귤레이터 제어 회로(58)를 또한 포함한다. 일 실시예에서, 제어 회로(58)는, 2차 전력 회로(28)로 전달되고 있는 중간 DC 전력 신호의 전압 레벨을 감지하기 위한 포워드

컨버터 변압기의 1차측에 연결되는 전압 감지 회로(62)를 또한 포함할 수도 있다. 레귤레이터 PWM 컨트롤러(60)는, 중간 DC 전력 신호의 전압 레벨을 유지하도록 P-채널 MOSFET(52)에 전달되고 있는 PWM 제어 신호의 듀티 싸이클을 조정하기 위해, 펄스폭 변조 제어 신호를 감지된 제1의 전압 레벨의 함수로서 생성할 수도 있다. 벅 레귤레이터 서보 루프(58)는 전압 제어되고 Vprimary는 감지되어 드라이버(54)의 듀티 싸이클을 변조하기 위해 사용된다.

[0063] 일 실시예에서, 감지 회로(62)는, 변압기 내에서 생성되고 있는 자기장을 감지하기 위해 포워드 컨버터 변압기의 1차측에 커플링되는 하나 이상의 홀 효과 센서를 포함한다. 홀 효과 센서는, 동작 동안 변압기에 의해 생성되는 자기장을 직접적으로 감지하는 것에 의해 변압기의 제로 크로싱(zero-crossing)을 결정하는 것을 가능하게 한다. 일 실시예에서, 감지 회로(62)는 변압기의 1차측에 커플링된 1차측 홀 효과 센서를 포함한다. 1차측 홀 효과 센서는, 변압기가 "제로 크로싱"에 가까워지는 때를 결정하는 데 사용하기 위한 신호를 PWM 컨트롤러(60)로 송신하기 위해 PWM 컨트롤러(60)에 연결된다. 다른 실시예에서, 감지 회로(62)는, 변압기의 2차측에 커플링되는 2차측 홀 효과 센서를 포함하고, 변압기가 "제로 크로싱"에 도달하는 시간을 결정하는 데 사용하기 위한 변압기 자기장을 나타내는 신호를 송신하기 위해, 포워드 컨버터 컨트롤러(도 13에 도시됨)에 연결된다.

[0064] 도 4 내지 도 8은 중간 전압 컨버터(32)의 개략도이다. 도 9는 중간 전압 컨버터(32)와 함께 사용될 수도 있는 이득 설정을 예시하는 테이블이다. 도 10 내지 도 12는 도 9에 도시된 이득 설정의 각각에 대한 충전 단계 모드(66)와 방전 단계 모드(68)에서의 중간 전압 컨버터(32)의 개략적인 예시이다. 예시된 실시예에서, 중간 전압 컨버터(32)는, 홀드 커패시터(36)와 2차 전력 회로(28)에 커플링되는 1단의 스위치 커패시터 전압 브레이크다운 회로를 포함한다. 스위치 커패시터 전압 브레이크다운 회로는 전기적으로 병렬로 커플링되는 플라이백 커패시터(70)의 쌍, 및 플라이백 커패시터들(70)의 각각에 전기적으로 커플링되는 복수의 스위치 어셈블리(72)를 포함한다. 스위치 어셈블리(72)는 충전 단계 모드(66)와 방전 단계 모드(68) 사이에서 선택적으로 동작된다. 충전 단계 모드(66) 동안, 스위치 어셈블리(72)는, 플라이백 커패시터(70)의 각각으로 정류된 DC 전력 신호를 전달하기 위해 플라이백 커패시터(70)를 정류기 회로(30)에 연결하는 충전 회로(74)를 형성하도록 동작된다. 방전 단계 모드(68) 동안, 스위치 어셈블리(72)는, 홀드 커패시터(36)로 중간 DC 전력 신호를 전달하기 위해 플라이백 커패시터(70)를 2차 전력 회로(28)에 연결하는 방전 회로(76)를 형성하도록 동작된다.

[0065] 일 실시예에서, 도 8에 도시된 바와 같이, 1단의 스위치 커패시터 전압 브레이크다운 회로(32)는 제1의 플라이백 커패시터(Cfb1)와 제2의 플라이백 커패시터(Cfb2), 및 9개의 스위치 어셈블리(S1, S2, S3, S4, S5, S6, S7, S8, 및 S9)를 포함할 수도 있다. 또한, 스위치 어셈블리 중 2개(S3 및 S9)는 접지된다. 동작 동안, 스위치 커패시터 전압 브레이크다운 회로의 이득 설정은, 도 9에 도시된 이득 설정 테이블에 따라 스위치 어셈블리를 선택적으로 동작시키는 것에 의해 조정될 수도 있다. 예를 들면, 충전 단계 모드(66)(단계 1) 동안, 스위치(S1, S4, S7, 및 S8)는 턴온되어 닫힌 위치로 이동되고 스위치 어셈블리(S2, S3, S5, S6, 및 S9)는 턴오프되어 개방 위치로 이동되어 플라이백 커패시터(Cfb1 및 Cfb2)를 정류기 회로(30)에 연결하는 충전 회로(74)를 형성한다. 도 10 내지 도 12에 도시된 바와 같이, 충전 회로(74)에서, 각각의 플라이백 커패시터(Cfb1 및 Cfb2)의 상부 플레이트는 정류기 회로(30) 라인 전압(Vline)에 연결된다. G=1x와 동일한 이득 설정을 위해, 방전 단계 모드(68)(단계 2) 동안, 스위치 어셈블리(S2, S3, 및 S7)는 턴온되고 스위치 어셈블리(S1, S4, S5, S6, S8, 및 S9)는 턴오프되어, 홀드 커패시터(36)에 연결된 커패시터(Cfb1)의 상부 플레이트와 커패시터(Cfb1)의 하부 플레이트에 연결된 커패시터(Cfb2)의 상부 플레이트를 포함하는 도 10에 도시된 방전 회로(76)를 한다. 도 9 및 도 11을 참조하면, G=1/2x와 동일한 이득 설정을 위해, 방전 단계 모드(68)(단계 2) 동안, 스위치 어셈블리(S2, S5, 및 S9)는 턴온되고 스위치 어셈블리(S1, S3, S4, S6, S7 및 S8)는 턴오프되어, 홀드 커패시터(36)에 연결되는 커패시터(Cfb1)의 상부 플레이트, 접지에 연결되는 커패시터(Cfb1)의 하부 플레이트, 및 홀드 커패시터(36)에 연결되는 커패시터(Cfb2)의 상부 플레이트, 접지에 연결되는 커패시터(Cfb2)의 하부 플레이트를 포함하는 방전 회로(76)를 형성한다. 도 9 및 도 12를 참조하면, G=2/3x와 동일한 이득 설정을 위해, 방전 단계 모드(68)(단계 2) 동안, 스위치 어셈블리(S2, S6, 및 S9)는 턴온되고 스위치 어셈블리(S1, S3, S4, S5, S7 및 S8)는 턴오프되어, 홀드 커패시터(36)에 연결되는 커패시터(Cfb1)의 상부 플레이트, 커패시터(Cfb1)의 하부 플레이트에 연결되는 커패시터(Cfb2)의 상부 플레이트, 및 접지에 연결되는 커패시터(Cfb2)의 하부 플레이트를 포함하는 방전 회로(76)를 형성한다.

[0066] 일 실시예에서, 스위치 커패시터 회로의 다수의 "단"은, 본원에서 설명되는 바와 같이, 함께 연결되고, 이것은, 하이브리드 전력 변환/레귤레이션 회로의 추가에 대한 필요성을 가지고 또는 추가의 필요성 없이, 추가적인 전류 출력을 획득하기 위해 사용될 수도 있다.

[0067] 도 7을 참조하면, 예시된 실시예에서, 스위치 커패시터 전압 브레이크다운 회로(32)는, 스위치 커패시터 전압

브레이크다운 회로(32)를 동작시키도록 스위치 어셈블리(72)의 각각에 연결되는 제어 회로(78)를 또한 포함한다. 제어 회로(78)는, 정류기 회로(30)로부터 수신되고 있는 정류된 DC 전력 신호의 전압 레벨을 감지하기 위한 전압 감지 회로(80) 및 스위치 커패시터 전압 브레이크다운 회로(32)의 이득 설정을, 감지된 전압 레벨의 함수로서 선택하도록 또한 복수의 스위치 어셈블리의 각각을, 선택된 이득 설정의 함수로서 동작시키도록 구성되는 이득 컨트롤러(82)를 포함한다. 감지된 전압 레벨의 함수로서 스위치 커패시터 전압 브레이크다운 회로(32)의 이득 설정을 선택하는 제어 회로(78)를 제공하는 것에 의해, 스위치 커패시터 전압 브레이크다운 회로(32)는, 전력 그리드 및/또는 상이한 국가에서의 AC 전압 레벨의 변화를 보상하고 미리 정의된 전압 레벨의 중간 DC 출력 신호를 전달하고 최적의 전력 효율성을 유지하기 위해, 스위치 커패시터 전압 브레이크다운 회로(32)의 동작을 조정할 수 있다. 예시된 실시예에서, 제어 회로(78)는 저항 분배기(resistor divider)(84), 비교기(86)의 쌍, 로직 디코더(88), 및 이득 컨트롤러(82)를 포함한다. 비교기(86)의 음의 입력은 밴드갭 생성기에 연결되고 양의 입력은 정류기 회로(30) 라인 전압(Vline)에 연결된다.

[0068] 도 4 내지 도 6을 참조하면, 예시된 실시예에서, 하나 이상의 스위치 어셈블리는 N-채널 MOSFET 스위치(90), 및 N-채널 MOSFET 스위치(90)에 연결되어 N-채널 MOSFET 스위치(90)로 제어 신호를 전달하여 N-채널 MOSFET(90)를 동작시키는 것을 가능하게 하는 레벨 시프터(92)를 포함한다. 또한, 하나 이상의 스위치 어셈블리(72)는, 레벨 시프터(92)에 연결되어 동작 동안 N-채널 게이트를 닫기 위해 필요한 고전압 신호를 제공하는 딕슨 전하 펌프(94)를 포함한다. 딕슨 전하 펌프(94)는, 레벨 시프터(92)가 N-채널 MOSFET 스위치(90)를 동작시키는 것을 가능하게 하기 위해, 스위치 어셈블리 소스 전압보다 더 높은 전압 레벨을 갖는 출력 전력 신호를 생성하도록 구성된다. 일 실시예에서, 스위치 어셈블리(72)의 각각은 N-채널 MOSFET(90), N-채널 MOSFET(90)에 연결된 레벨 시프터(92), 및 레벨 시프터(92)에 커플링된 딕슨 전하 펌프(94)를 포함한다. 다른 실시예에서, 2개 이상의 레벨 시프터(92)가 단일의 딕슨 전하 펌프(94)에 연결될 수도 있다. 본 명세서에서 용어 NMOS가 본 명세서에서 어디에서 사용되든, 그것은 PMOS로 대체될 수 있을 것이고 그 역도 가능할 것이다.

[0069] 예시된 실시예에서, 적어도 하나의 스위치 어셈블리(72)는, N-채널 MOSFET 스위치(90)에 연결되는 레벨 시프터(92)를 포함한다. 또한, 딕슨 전하 펌프(94)는 레벨 시프터(92)에 연결되어 N-채널 MOSFET 스위치(90)의 게이트를 닫기에 충분한 전력 신호를 제공한다. 예시된 실시예에서, 딕슨 전하 펌프(94)는 N-채널 MOSFET의 전압 소스(Vsource)에 연결되고, NMOS를 사용하는 경우 소스 전압(Vsource)의 전압 레벨보다 더 높은 전압 레벨을 갖는 출력 신호를 레벨 시프터(92)로 전달하도록 구성된다. 일 실시예에서, 딕슨 전하 펌프(94)는, 적절한 게이트 동작을 보장하기 위해, 소스 전압(Vsource)보다 대략 15-20볼트 더 높은 전압 레벨을 갖는 출력 전력 신호(V_{DCP})를 전달하도록 구성된다. 이득 컨트롤러(82)는 저전압의 제어 신호를 레벨 시프터(92)로 제공하기 위해 레벨 시프터(92)에 연결된다. 레벨 시프터(92)는 소스 전압(Vsource)에, 그리고 딕슨 전하 펌프(94)에 연결되고, 스위치 어셈블리(72)를 동작시키기에 충분한 전압 레벨을 수신된 제어 신호의 함수로서 갖는 제어 신호를 N-채널 MOSFET(90)로 전달하도록 구성된다.

[0070] 도 13은 포워드 컨버터 회로(96)를 포함하는 2차 전력 회로(28)의 개략도이다. 예시된 실시예에서, 포워드 컨버터 회로(96)는 1차 전압 감소 회로(98)와 2차 전압 감소 회로(100)를 포함한다. 1차 전압 감소 회로(98)는 1차 전력 회로(26)로부터 중간 DC 전력 신호를 수신하도록 그리고 2차 DC 전력 신호를 2차 전압 감소 회로(100)로 전달하도록 구성된다. 2차 DC 전력 신호는 중간 DC 전력 신호의 전압 레벨보다 낮은 전압 레벨을 갖는다. 2차 전압 감소 회로(100)는 2차 DC 전력 신호를 수신하도록 그리고 전자 디바이스(20)로 전달되고 있는 출력 DC 전력 신호를 생성하도록 구성된다.

[0071] 예시된 실시예에서, 1차 전압 감소 회로(98)는 변압기(102)를 포함한다. 변압기(102)의 1차측은 1차 전력 회로(26)에 연결되고 변압기(102)의 2차측은 2차 전압 감소 회로(100)에 연결된다. 일 실시예에서, 1차 전압 감소 회로(98)는, 변압기 1차측에 연결되는 FET를 포함하는 스위치 어셈블리(104), 및 스위치 어셈블리(104)에 커플링되어 스위치 어셈블리(104)를 선택적으로 동작시켜 2차 DC 전력 신호의 전압 레벨을 조정하는 제어 회로(103)를 포함할 수도 있다. 변압기 제어 회로(103)는 DC 출력 신호의 전압 및 전류 레벨을 감지하기 위한 1차측 전압 감지 회로(105)를 포함할 수도 있고 DC 출력 신호를 미리 정의된 출력 전압 레벨 및 필요한 전류 레벨로 유지하도록 변압기 스위치 어셈블리(104)를 동작시킬 수도 있다. 이런 식으로, 적어도 5개의 부품이 평형 상태(equation)에서 제거되고, 이들은 2차측 감지 컨트롤러에서 일반적으로 필요되어지며, 광커플러, 오피앰프, 인덕터, 다이오드 및 커패시터를 포함한다. 2차 전압 감소 회로(100)는 다이오드의 쌍, 인덕터, 및 커패시터를 포함한다. 포워드 컨버터(96)는 저항기, 커패시터, 다이오드(RCD) 회로(150)(도 37에 도시됨)를 또한 포함할 수도 있다. RCD 회로(150)는, 변압기(102)를 포화시키는 것을 방지하기 위해 1차측 스위치(104)가 오프되는 경우 변압기 리셋을 수행하도록 구성된다. 포워드 컨버터(96)는 펄스 기반의 스텝 다운 컨버터이다. 유입 DC 전압을 AC

전압으로 변환하기 위해 듀티 싸이클 변조 디지털 펄스가 1차측 스위치(104)에 인가된다. 변압기 권선비가 스텝 다운을 제공한다. 이 경우, 스텝 다운은 11:1부터이다. 2차측은 그 단말 상에서 AC 전압을 본다. 이 AC 전압은 2차 전압 감소 회로(100) 다이오드에 의해 정류되고 LC 필터에 의해 필터링되어 출력 상에서 스텝 다운된 DC 전압을 생성한다. 듀티 싸이클은 아날로그 또는 디지털 서보 루프 중 어느 하나에 의해 변조된다. 이 서보 루프는 출력측의 DC 전압을 보고, 그것을 응답과 비교하여 에러 신호를 생성한다. 이 에러 신호는, 펄스폭 변조된 DC 펄스에서 이 에러를 변환하는 비교기를 구동하기 위해 사용된다. 이 DC 펄스는 1차측 스위치 게이트(104)에 인가될 때 출력 상의 에러를 보정하고 다양한 부하 레벨에 대한 레귤레이션을 유지한다.

[0072] 일 실시예에서, 변압기 제어 회로(103)는, 변압기(102)의 1차측에 연결되어 부하 전류와 부하 전압을 감지하여 DC 출력 신호를 미리 정의된 부하 전압의 5% 이내로 레귤레이팅하는 것을 가능하게 하는 1차측 전류 감지 회로(107)를 포함할 수도 있다. 제어 회로(103)는 전류 감지 저항기(109)를 사용하여 1차 권선 양단을 측정한다. 예시된 실시예에서, 변압기 제어 회로(103)는, FET(104)를 구동하는 비교기(111)를 포함한다. 일 실시예에서, 저항기(109)는 a.10옴 저항기이다. 제어 회로(103)는 펄스 상의 부하 전류를 펄스 기반으로 감지하도록 그리고 피크 전류를 감지하도록 구성된다. 예를 들면, 일 실시예에서, 제어 회로(103)는 저항기(109) 양단의 전압을 감지하고 스위치(104)가 온인 경우 전압 포맷으로 감지 전류를 제공한다. 스위치(104)가 오프인 경우, 제어 회로(103)는, "Vprimary - 오프 트랜지스터(104)의 드레인"과 거의 동일할 수도 있는 변압기(102)의 1차측 양단의 차동 전압을 감지한다. 트랜지스터(104)가 오프인 경우, 그 양단에 드레인 전압이 존재하기 때문에 그것은 또한 톱니 신호이다. 전압 및 전류 둘 다는, 저전압으로 스케일 다운되며 1차 권선의 차동 전압 부분을 설정하고 전압을 샘플 및 홀드 회로로 가져가기 위한 저항 분배기를 포함하는 스위치 커패시터 샘플 및 홀드 회로를 사용하여 샘플링된다. 차동 전압은, Vprimary의 보텀(bottom)과 Vprimary를 포함하는 권선 양단의 ΔV와 동일하다. 샘플 및 홀드 회로와 저항 분배기는 5볼트 미만에 이르는 1차 전압을 취하고 ΔV를 출력을 얻는 미분을 취한다. 샘플 및 홀드 회로는 비교기(111)를 구동한다. 비교기(111)의 다른 입력은, 우리가 0.1옴 저항기(109) 양단에서 감지하는 샘플링 및 홀딩된 피크 전류 전압이다. 비교기(111)로의 입력은 스케일링되어 이득이 증가되고 오프셋되어, 입력은 정상 상태 하에 있게 되고, 비교기(111)는 세트-리셋 플로우 클록을 구동한다. FET(104)는 비교기(111)에 의해 구동되는 AND 게이트를 포함한다. 비교기(111)로부터의 클록은 AND 게이트의 듀티 싸이클을 조정한다. AND 게이트는, 톱니 신호인 고펄스폭 클록에 의해 구동되는 고 듀티 싸이클을 또한 갖는다. AND 게이트의 다른 입력은 비교기(111)의 출력이며, 그러므로 비교기(111)는 그 듀티 싸이클을 작은 듀티 싸이클 또는 큰 듀티 싸이클로 변조한다. 일 실시예에서, 클록은 포워드 컨버터 서보 루프에 대해 100KHz 클록이다.

[0073] 변압기로부터의 3차 권선은 센서에 대한 서플라이로서 불필요하다. 서플라이는 1차측으로부터 이용가능한데, 그 이유는 감지 회로가 1차측 상에 있고 서플라이가 2차측으로부터 필요로 되지 않기 때문이다. 1차측 인덕터 양단의 전압과 1차측 FET(104)로 흐르는 전류는 시스템의 출력 전압을 결정하기 위해 사용된다. 일 실시예에서, FET(104)는 2볼트의 임계치를 갖는 200볼트의 필립스 부품 디바이스를 포함하고, 이것은 레벨 시프팅 없이 이를 턴온하도록 FET(104)를 구동하기 위해 5v 신호를 사용할 수도 있다. 다른 실시예에서, 5볼트에서 10볼트로, 또는 5볼트에서 20볼트로 이동하여 FET(104)를 동작시키기 위해 10볼트의 LDO 또는 20볼트의 LDO가 레벨 시프터와 함께 사용될 수도 있다.

[0074] 예시된 실시예에서, 제어 회로(103)는, 스위치(104)가 PWM 싸이클의 각각의 방형파(square wave) 사이에서 온인 바로 그 때 샘플 및 홀드 회로가 피크 전압을 획득하는 게이트식 접근법을 구현하기 위해, MOSFET(104)의 드레인 경로에 있는 감지 저항기(109)를 사용한다. 게이트식 장치는 스위치가 온일 때 샘플링하는데, 그 이유는 스위치가 오프이면 그 시점에 이용가능한 정보가 없기 때문이다.

[0075] 예시된 실시예에서, 전력 회로(22)는, 다양한 전류 및/또는 전압 요건을 갖는 DC 출력 신호를 생성하기 위해 상이한 턴 비(turn ratio)를 갖는 상이한 변압기를 제공하도록 구성된다.

[0076] 일 실시예에서, 전력 회로(22)는 전파 브리지(38), 정류기 회로(30), 및 입력 커패시터(40)를 포함하지 않을 수도 있고, 그 결과 V_{LINE}은 DC이고 따라서 그 회로는 사용 사례가 필요로 하는 경우 직류(DC)를 수신할 수 있고, 그러면 레귤레이팅된 벅 회로(34) 및 스위치 캡 VB(32)를 사용하여 본원에서 더 설명되는 바와 같이 전압 브레이크다운을 수행할 수도 있다. 그러나, 몇몇 사용 사례에서, 특히 낮은 DC 대 DC 전압 브레이크다운을 가지면, (도 2 내지 도 12에 도시된 바와 같은) 1단만이 사용될 것인지 간에, 벅 레귤레이터(34)는 필요로 되지 않을 것이고, 스위치 캡 VB(32)만이 사용될 것이다. 이 경우, 출력으로부터 제어 신호(105)를 제거할 수 있을 것이고, 전류 감지 저항기(109)에만 전적으로 의존하여 엄격하게 레귤레이팅된 전압을 계속 유지할 수 있을 것이다.

[0077] 다른 실시예에서, 회로의 DC 입력 변동에 대해, 사용 사례는 내부 부품의 경우에서와 같이 (변압기가 전압/전류

변환에 필요하지 않거나, 또는 절연이 필요하지 않으면) 변압기를 필요로 하지 않을 수도 있는데, 그러한 것은 스마트폰에서 발견된다. 이 경우, 변압기는 불필요하고, 변압기를 구동하는 FET와 함께 회로에서 제거될 수도 있다. 이 경우, 전체 포워드 컨버터 컨트롤러 회로(96, 28)가 제거될 수 있고, C_{hold} 커패시터(36)는 감지 저항기 회로 세그먼트(109)로 대체될 것이다. 또한, AC 회로가 정류될 필요가 없거나 절연될 필요가 없으면, 이 회로는 AC뿐만 아니라 DC와도 작동할 수 있다.

[0078] 도 15는 전기 전력 회로(22)와 함께 사용될 수도 있는 전력 컨트롤러 집적 회로(Tronium PSSoC)(106)를 포함하는 전력 모듈(12)의 개략도이다. 도 16, 도 17a, 및 도 17b는 Tronium PSSoC(106)의 블록도이다. 예시된 실시예에서, 전력 모듈(12)은 인쇄 회로 기판(108) 및 패키지화된 칩 내에 형성되며 인쇄 회로 기판(108)에 커플링되는 Tronium PSSoC(106)를 포함한다. 전기 회로(22)의 적어도 일부는 Tronium PSSoC(106) 내에 포함된다. 또한, 디지털 제어는, 칩에 임베딩된 또는 외부의 마이크로프로세서 또는 상태 머신 중 어느 하나에 의해 수행될 수도 있다. 일 실시예에서, 전기 회로(22)에 포함되는 전기 컴포넌트와 전기 회로의 일부 또는 모두는 Tronium PSSoC(106) 내에 포함된다. Tronium PSSoC(106)은, 자율 전력 모듈(도 16 및 도 28에 도시됨)과 범용 전력 모듈(도 17a, 도 17b 및 도 29에 도시됨)을 포함하는 2개의 1차 전력 모듈 애플리케이션에서의 사용을 위해 구성될 수도 있다. 예를 들면, 도 16에 도시된 바와 같이, 자율 전력 모듈은, 감소된 비용을 위해 아날로그 피드백 접근법에 기초하는 자율 동작 모드에서 동작하도록 구성되는 Tronium PSSoC(106)를 포함한다. 도 17a 및 도 17b에 도시된 범용 전력 모듈은, 범용 동작 모드에서 동작하도록 구성되며 최종 출력 전압의 레귤레이션을 위해 피드백을 제공하기 위해 마이크로프로세서(μP) 컨트롤러를 활용하는 Tronium PSSoC(106)을 포함한다.

[0079] 예시된 실시예에서, Tronium PSSoC(106)는, 이력추적(traceability), 마케팅, 납땜성(soderability), 및/또는 내용제성(solvent resistance)에 대한 미리 정의된 요건을 충족하도록 구성된다. Tronium PSSoC(106)는 날짜 코드, 공장 식별자, 및 이력추적/진위(authenticity) 코드를 나타내도록 마킹된다. 진위 코드는 "모조품"에 대해 진품을 식별하고 검증하기 위한 수단을 제공한다. 테이프 및 릴 상의 모든 제품 패키지 컴포넌트는 동일한 고유 날짜 코드, 공장 식별자, 및 이력추적/진위 코드를 포함한다. 로트 분리는, 동일한 로트의 컴포넌트 내에서 날짜 코드가 섞이는 것을 방지하는 방식으로 존재할 수도 있다. 패키지화된 부품은 부품 번호, 날짜 코드 및 이력추적 코드를 나타내도록 마킹될 것이다. 터미널은 패키지화된 Tronium PSSoC에 대해 IPC-J-STD-001 및 IPC-J-STD-002의 납땜성 요건을 충족하도록 구성된다. 패키지화된 Tronium PSSoC와 그 마킹은 MIL-STD-202 테스트 방식 215를 충족하도록 구성된다.

[0080] Tronium PSSoC(106)는, 고효율로 그리고 높은 정확도로 출력 전압 레귤레이션을 제공하도록 설계되는 진보된 전력 컨트롤러 집적 회로이다. Tronium PSSoC(106)는 유저에게 아주 다양한 애플리케이션에서 사용될 수 있는 다목적 디바이스를 제공하고, 아주 다양한 애플리케이션에서 사용될 수 있는 "필요시 전압 제공" 특징 때문에, 동일한 칩이 임의의 전자 디바이스를 실제 작동시키도록 구성될 수 있다. 마찬가지로, 프로그램가능한 출력 전압이 Tronium PSSoC에 의해 가능하기 때문에, 다양한 전류 부하 컨디션에 걸쳐 효율성 손실이 거의 또는 전혀 없다.

[0081] 예시된 실시예에서, Tronium PSSoC(106)는, 부하 전압 또는 전류에 무관하게 고효율성을 유지하기 위해, 스위치 커패시터 회로(32)와 스위치 모드 벅 레귤레이터(34)를 사용한다. 예를 들면, 부하인 전자 디바이스(20)에 의해 어떠한 전류도 인출되지 않는 경우, Tronium PSSoC(106)는, 깬 상태로 머무는 데 필요한 전통적인 '뱀파이어' 전류를 최소화하기 위해 저전류 동작 모드에 들어간다. 예시된 실시예에서, Tronium PSSoC(106)는 1단의 스위치 커패시터 회로(32), 포워드 컨버터 2차 변압기(102)의 PWM 제어를 위한 PID 레귤레이터 제어 블록(110)(도 20에 도시됨), 스위치 모드 벅 레귤레이터 컨트롤러(112), 벅 레귤레이터 스위치 드라이버(114), 전류 및 온도 감지 블록(116), 전압 및 전류 모니터링용 12비트 아날로그-디지털 컨버터(ADC)(118), 피드백 제어를 위한 10비트 디지털-아날로그 컨버터(DAC)(120)(도 17a 및 도 17b에 도시됨), 전류 모니터링 상태 머신을 위한 디지털 제어 블록(122), 광절연기 통신 인터페이스용 직렬 입력, I2C 직렬 인터페이스 포트, 및 온칩 전압 및 전류 생성을 위한 전력 매니저 유닛(124)을 포함한다. 사운드, 광검출, 방사선 및 충격과 같은 다른 타입의 센서가 사용 사례에 따라 또한 추가될 수 있다.

[0082] 도 18은 전력 관리 유닛(124)의 블록도이다. 예시된 실시예에서, 전력 관리 유닛(power management unit; PMU) 회로 블록(124)은 Tronium PSSoC의 적절한 동작에 필요한 바이어스 전압 및 전류를 생성하여 감독한다. 2개의 선형 전압 레귤레이터는 IC의 저전압 회로뿐만 아니라, 광절연기(opto-isolators) 및 옵션적인 외부 마이크로프로세서와 같은 외부 지원 디바이스에 대해, 레귤레이팅된 5.0V 서플라이를 제공한다. 라인 전압에 대한 연결시 IC의 적절한 초기화를 제공하는 것에 추가하여, PMU(124)는 고장 컨디션(fault condition)에 대한 전압 공급을

모니터링하고 마스터 파워 온 리셋(power-on-reset; POR)(126)을 제공한다. 예시된 실시예에서, PMU(124)는 밴드갭 전압 기준, 전류 기준 생성기, 라인측 저전력 선형 전압 레귤레이터, 변압기 1차측 선형 전압 레귤레이터, 및 파워 온 리셋을 포함한다. 소비전력을 줄이기 위해, 라인측 회로는, LINE-IN 전압(Vline)의 대략 1/10의 전압을 공급하는 LINE_OP1 핀으로부터 전력을 공급받는다. 이 전압은 IC의 LINE_IN 및 LINE_RDIV 핀에 연결된 외부 저항기를 사용하여 내부적으로 생성된다. PMU(124)의 초기화는 LINE_IN 핀에서의 정류 전압의 인가로 시작한다.

[0083] PMU(124)는 라인 전압으로부터 전력을 공급받는 Tronium PSSoC(106)에 대한 저전압 밴드갭 기준 전압 및 전류 생성기를 포함한다. 다수의 밴드갭 PTAT(Proportional To Absolute Temperature; 절대 온도 비례) 전류 출력과 함께, 후속 회로 블록에 의한 기준으로서 사용하기 위해 고정밀 온도 보상 출력 전압이 제공된다. 밴드갭 출력 전압은, bg_trim[7:0] 레지스터 비트로 온도 계수를 최적화하기 위해 웨이퍼 프로브에서 트리밍될 수 있고 또한 마이크로프로세서에 저장된 1회 프로그램가능한(one-time programmable; OTP) 메모리에 저장될 수 있다. 밴드갭 셀은 자체 시작하고, 초기화를 위한 디폴트 트림만을 요구한다. 밴드갭 셀은 슬립 모드 동안 디스에이블되지 않고, 항상 전력이 온되며, 초저전력 동작을 위해 설계된다.

[0084] PMU(124)는, PSSoC의 LINE_IN 입력에 존재하는 고전압을 저전력 전압 도메인용의 레귤레이팅된 전압으로 변환하기 위해 제공되는 저전력 선형 전압 레귤레이터(low-power linear voltage regulator; LPREG)를 또한 포함한다. LPREG는, 스위치 커패시터 회로(32)에 대한 저주파 발진기, 온 칩 로직 등을 포함하는 항상 전력이 온되는 저전력 온칩 회로 블록을 구동하기 위한 5.0V의 레귤레이팅된 출력을 생성하기 위해, 밴드 갭 기준 전압을 사용한다. LPREG 핀에 연결된 외부(오프 칩) 바이패스 커패시터가 노이즈 필터링을 위해 사용될 수도 있다. 레귤레이터는 슬립 모드 동안 디스에이블되지 않고, 항상 온된다.

[0085] PMU(124)는, 오프 칩 광절연기, PMW 게이트 드라이버 및 다른 지원 회로의 더 높은 전류 요건을 제공하기 위해 제공되는 1차측 저전압 레귤레이터를 또한 포함할 수도 있다. 노이즈 필터링을 위해, VREG5 핀에 연결된 외부 10㎌ 바이패스 커패시터가 요구된다. 전압 레귤레이터는 en-Xv 신호의 사용을 통해 테스트 목적으로 디스에이블될 수도 있다. 셀에 입력되는 en-Xv가 '로우'이면, 셀 내의 내부 아날로그 전류 모두는 디스에이블되고 출력은 하이 임피던스이다.

[0086] POR(126) 블록은 LPREG 회로 블록에 의해 생성되면 Tronium PSSoC의 내부 공급 전압을 모니터링한다. 예를 들면, 도 19는 POR(126)과 함께 사용될 수도 있는 POR 임계 전압을 예시한다. 일 실시예에서, V_{POR} 임계 전압 미만의 LPREG 핀에서의 전압에 대해, POR 출력은 리셋 컨디션을 나타내는 '하이'로 어써트될(asserted) 것이다. 또한, V_{POR} 임계 전압보다 더 높은 LPREG 핀에서의 전압에 대해, POR 출력은 정규 동작을 위한 '로우'로 디어써트될(de-asserted) 것이다. V_{POR} 임계치가 초과되면 임계 전압에서의 감소가 발생하도록 히스테리시스가 제공된다. 그러면 히스테리시스로부터 유도된 임계치는 V_{POR}-V_{HYS}와 동일하다. POR_B에서 POR 신호의 반전된 버전이 또한 제공될 수도 있다.

[0087] 예시된 실시예에서, Tronium PSSoC(106)에 포함된 스위치 커패시터 전압 브레이크다운 회로(SCVBC)(32)는 커패시터 전압 브레이크다운 기술(CVBD)을 통해 분압기로서 구성된다. 커패시터를 통해, 그것은 LINE_IN에 존재하는 정류된 DC 전압을, 2차 전압 제어 루프 및 외부 변압기(102)에 의한 사용을 위해 CP2_OUT 핀에서 감소된 전압으로 분압한다. 그 다음 외부 변압기(102)는 이 전압을 1차 대 2차 권선 비의 함수로서 소망의 애플리케이션 전압으로 더 감소시킨다. 일 실시예에서, SCVBC(32)는, 도 17a에 도시된 바와 같이, 2개의 동일한 단의 캐스케이드로서 구성된다. 다른 실시예에서, SCVBC(32)는, 도 38 및 도 39에 도시된 바와 같이, 다수의 스위치 커패시터 단을 포함한다. SCVBC(32)는 용량성 브레이크다운 블록 당 50mA까지 전달하도록 구성되고, 그것은 1/2 또는 다른 비율만큼 전압 브레이크다운을 제공하는 스위치 커패시터 블록으로 구성된다. 이것은, 변압기(102)의 1차측에 대한 경부하 컨디션 하에서 50mA로부터 1mA미만까지의 부하 전류의 범위에 걸쳐 ≥ 95%의 효율성을 제공하고 유지한다. 예를 들면, 외부 변압기 & 정류기에 대해 ≥ 97%의 효율성을 고려하면, ≥ 92-97%의 전체 모듈 효율성이 시뮬레이팅되고 달성가능하다. 일 실시예에서, SCVBC(32)는, 전력 효율성을 최대로 하기 위해 온 칩 플라이백 커패시터를, 전압 리플을 최소화하기 위해 외부 2.2 ㎌ 버킷 커패시터와 2개의 외부 7.5 ㎌ 홀드 커패시터를 포함할 수도 있다. 이들 커패시터는, 스위치 커패시터 회로의 제1의 단 및 제2의 단의 출력을 위한 CP1_OUT 및 CP2_OUT 핀에 각각 연결된다. 양 단은, 온 칩 RC 발진기로부터 유도되는 2단계의 비중첩 클록 생성기로부터의 1KHz의 레이트에서 클로킹된다.

[0088] 도 17a 및 도 17b를 참조하면, 일 실시예에서, Tronium PSSoC(106)에 대해, CP2_OUT에서의 SCVBC(32) 출력 전

압은, 8비트 이진 가중 디지털-아날로그 컨버터의 사용을 통해 0.117볼트의 스텝으로 120-90 볼트의 범위에 걸쳐 프로그램될 수 있다. SCVBC 출력은, 포워드 컨버터 변압기(102)가 스텝 다운 프로세스에서 대부분의 출력 전류를 제공하는 것을 보장하기 위해, 이 범위로 제한된다. SCVBC는 50mA의 출력 전류로 제한된다. 애플리케이션에 대해 추가적인 전류가 요구되면, 스위치 모드 벅 레귤레이터(34)는 430mA까지의 전류를 제공하도록 인에이블될 수도 있다. SCVBC(32)의 각 단은 전압 변환비를 생성하도록 프로그래밍될 수도 있다. 이 프로그래밍은, 정류된 LINE-IN 전압이 8비트 DAC 설정과 비교되는 코스 이득 제어에서 자동적으로 행해진다. 이 DAC의 디지털 제어는, 타겟 애플리케이션에 필요한 소망의 최종 출력 전압을 획득하도록 다수의 전압이 프로그래밍되는 것을 가능하게 한다. DAC로 프로그래밍될 수 있는 부하 전압의 예는 변압기 턴 비의 함수이다.

[0089] 도 16을 참조하면, 일 실시예에서, SCVBC(32)는 1대 0.66 또는 0.5의 대응하는 분할기 비를 갖는 1단의 스위치 커패시터 회로를 포함할 수도 있다. 그러면 존재하는 출력 전압은 외부(오프 칩) 포워드 컨버터(96)에 의해 감소되어 5.0V의 최종 애플리케이션 출력 전압을 획득하게 된다. SCVBC(및 벅 컨트롤러)에 대한 모든 아날로그 및 디지털 신호는 5V 도메인에서 생성된다. SCVBC 에러 전압은 저항 분배기를 사용하여 XV 도메인 내에 있도록 스케일링된다. LINE-IN 전압은, 프로세싱이 XV 전압 도메인 내에서 행해질 수 있도록 또한 스케일링된다.

[0090] 도 16에 도시된 일 실시예에서, SCVBC(32)는, SCVBC(32)에 대한 적절한 분할기 비를 결정하기 위해 스케일링된 LINE-IN 전압을 사용하는 이득 제어 블록을 포함한다. 스케일링된 LINE-IN 전압은, AC 메인 전압의 함수로서 3개 이상의 가능한 분할기 비 중 하나를 선택하기 위해 밴드갭 기준 전압에 비교된다. 출력 전압의 최종 레귤레이션은, 홀드 커패시터로 전달되는 전하의 양을 제어하기 위해 클록이 턴온 및 턴오프되는 스위치 커패시터 레귤레이터에서 수행될 수도 있다.

[0091] 도 17a 및 도 17b를 참조하면, 일 실시예에서, SCVBC 이득 제어 블록은, CP1 및 CP2에서의 결합된 분할기 스텝으로부터 유도되는 적절한 코스 분할기 비를 결정하기 위해, 스케일링된 LINE-IN 전압 및 출력 전압 DAC 설정을 사용할 수도 있다. 이렇게 하여, 전세계의 AC 입력 전압의 함수로서 120 및 90볼트에 대한 설정이 달성될 수 있다. CP2 출력 전압의 최종 레귤레이션은, CP1 및 CP2 홀드 커패시터로 전달되는 전하의 양을 제어하기 위해 클록이 턴온 및 턴오프되는 스위치 커패시터 레귤레이터에서 수행될 수도 있다. CP1 및 CP2에 대해 필요한 최저 분할기 비는, 고전압 NMOS 스위치 양단의 전압 강하를 최소화하기 위해 CP1단에 대해 프로그래밍되어야 한다.

[0092] CP2 출력은 포워드 레귤레이터의 1차 권선에 제공된다. 시스템의 최종 출력 전압은 다음의 식에 의해 설정된다:

[0093] $(V_{SET}/XFMR_{RATIO})*dc = V_{OUT}$

[0094] 여기서 dc는 포워드 레귤레이터에 대한 듀티 싸이클이고 시스템 변압기가 포화되지 않는 것을 보장하기 위해 0.5 이하로 유지되어야 한다.

[0095] SCVBC(32)는, NMOS 고전압 스위치의 게이트에 대해 부스트 전압을 제공하기 위해 사용될 수도 있는 딕슨 전하 펌프(Dickson charge pump; DCP)(94)(도 5 및 도 6에 도시됨)를 포함한다. DCP는 1.6MHz의 클록 레이트에서 클로킹되고(clocked), LINE_IN 핀에서의 전압 + 대략 18V와 동일한 게이트 전압을 생성한다. 또한, 각각의 NMOS 고전압 스위치(90)는, 저전압 도메인으로부터의 구동 신호를 DCP에 의해 제공되는 부스트 전압으로 해석하기 위한 대응하는 레벨 시프터를 포함할 수도 있다. 일 실시예에서, 이것은 듀얼 레벨 시프터를 요구하고, 다른 요건은 하나의 레벨 시프터만을 요구할 수도 있다. 레벨 시프터로의 입력은 5V이고 SCVBC(32)에 의한 사용을 위해 20V 도메인으로 변환된다. 출력 전류 구동으로부터 스케일링되는 이 동일한 타입의 레벨 시프터는 Tronium PSSoC(106) 전체에 걸쳐 사용될 수도 있다.

[0096] 일 실시예에서, 도 17a 및 도 17b에 도시된 바와 같이, Tronium PSSoC(106)는, 스위치 커패시터 회로의 출력 전압에 대한 프로그램가능성을 제공하는 디지털-아날로그 컨버터(DAC)를 포함할 수도 있다. R2R 전류 모드 DAC 토폴로지가 밴드갭 기준 전압을, 스위치 커패시터 회로에 의해 요구되는 제어 전압으로 디지털적으로 스케일링하여, 유저에 의해 프로그래밍된 출력 전압을 유지한다. DAC의 출력 전압 범위는 CP_DAC[7:0] 레지스터 비트에 의해 118mV의 스텝으로 120-90V로부터 프로그래밍된다.

[0097] SCVBC(32)는, SCVBC의 충전을 제어하기 위해 사용되는 AND 게이트와 비교기를 포함하는 스위치 커패시터 레귤레이터를 또한 포함할 수도 있다. 일 실시예에서, 비교기의 입력은 출력 전압 DAC와 CP2 출력 전압의 스케일링된 버전을 포함할 수도 있다. 예를 들면, CP2 출력으로부터의 스케일링된 전압이 DAC 전압보다 더 크면, 비교기 출력은 로우이고 1KHz CP 클록은 게이트 오프된다. DAC 전압이 스케일링된 CP2 출력 전압보다 더 크면, 비교기 출력은 하이로 어써트되고 AND 게이트는 클록이 출력을 충전하는 것을 가능하게 한다. 또한, 비교기는 CP2 출력 전압 리플을 최소화하기 위해 히스테리시스를 가지고 설계될 수도 있다. 또한, 레귤레이터는 비연속 모드에서

양 CP 단을 작동시킬 수도 있다: 즉, 7.5㎌ 홀드 커패시터의 충전이 요구되는 경우에만 클록 펄스가 존재한다.

[0098] 예시된 실시예에서, CVBD 모듈의 스택이 사용되지 않으면, 큰 전류 부하(430mA 이상까지)가, 스위치 모드 벅 레귤레이터(SWR)(34)와 CVBD 모듈을 포함하는 하이브리드 토폴로지의 사용에 의해 쉽게 핸들링된다. Tronium PSSoC(106)는 SWR(34)에 대한 컨트롤러를 포함하고, 이는 부하의 고전류 수요를 공급하기 위해 외부(오프 칩) PMOS 스위치(이것은 칩 PMOS 또는 NMOS[게이트에 대한 추가적인 딕슨 전하 펌프를 구비함] 내부에 있을 수도 있음)를 사용한다. 고전류 경로가 PSSoC 외부이기 때문에, PSSoC는 부하 전류의 대부분을 소비하도록 요구되지 않는다. 이것은, 고전압 디바이스의 ON-저항으로 인한 PSSoC에서의 추가적인 기생 손실의 소스를 제거하는 것에 의해 전체 시스템 효율성을 향상시킨다. SWR은, CVBD 모듈이 더 효율적으로 남아 있기 위해 더 낮은 주파수에서 작동하는 동안, CVBD 모듈과 동일 주파수에서 레귤레이팅되거나, 또는 초고주파까지 더 높은 주파수(500KHz-1MHz)에서 작동할 수도 있다. (CVBD 모듈은 더 높은 주파수에서 작동할 수 있지만, 오늘날 반도체 플랫폼에서 제공되는 현재의 디바이스에 의하면, 이것은 게이트 개/폐를 증가시키고, 이것은 손실을 증가시킨다).

[0099] 일 실시예에서, 벅 레귤레이터(34)는 하기의 외부(오프 칩) 컴포넌트를 포함할 수도 있다: 1. 직렬 하이 PMOS 스위치. PMOS 스위치는 낮은 RDS_{ON}, 낮은 입력 커패시턴스 및 > 400V의 V_{DS}에 대해 선택될 수도 있다; 2. 고전압 브레이크다운, 극히 낮은 누출 및 스위칭 전류를 갖는 고전압 벅 다이오드; 및 3. 벅 에너지 저장 인덕터. 인덕터는 낮은 ESR을 구비해야 하고 적절한 디레이팅된(de-rated) 전류를 핸들링할 수 있어야 한다. 그러나, 이들 부품은, 보통 벅(주파수가 높을수록, 필요한 부품의 값이 더 작아짐)을 작동시키는 주파수에 따라, 외부가 아닌, 칩 상의 내부 디바이스/컴포넌트일 수도 있다. GaN 및/또는 GaA 및 딥 트렌치 커패시터 기술뿐만 아니라, 변압기를 칩 상에 두는 기술의 적용을 통해, 모든 부품은 하나의 칩 상에 존재할 수도 있다.

[0100] Tronium PSSoC(106)는, 벅 레귤레이터 PWM 컨트롤러에 의해 사용하기 위한 100KHz(공칭) 클록을 생성하기 위해 분주되는 고주파 발진기를 또한 포함할 수도 있다. 100KHz 클록은, EMI 스펙트럼에서의 조화파를 억제하는 것을 보장하기 위해 디지털 클록 블록의 의사 랜덤 알고리즘으로 디더링된다. 그 다음, 이 클록은 펄스폭 변조되어 외부 벅 레귤레이터 PMOS/NMOS FET의 온/오프 시간을 제어한다. 100kHz 클록은, 에러 증폭기 출력과 비교되는 Tronium PSSoC(106) 내부에서 톱니 램프(saw-tooth ramp)로 변환된다. 그 다음, 비교기 출력으로부터의 펄스폭 변조 신호는 레벨 시프터 입력에 인가되어 외부 벅 레귤레이터 PMOSFET의 온/오프 시간을 제어한다. 벅 레귤레이터(34)의 에러 증폭기는, CP2_OUT에서의 전압을 저항 분재기의 사용을 통해 스케일링하는 것에 의해 레귤레이터로부터 피드백을 수신한다. 그 다음, 전압 피드백 신호는 내부 저항기 및 커패시터를 사용하여 컨디셔닝되어 모든 컨디션 하에서 벅 레귤레이터의 응답을 제어한다. 레귤레이션 서보 루프에 대한 결과적인 전송 기능은, 레귤레이터 출력이 50mA로부터 430mA까지의 전범위의 부하 컨디션에 대해 안정한 것을 보장하기 위해 다수의 폴과 제로로 구성된다. 벅 레귤레이터에 대한 에러 증폭기 및 PWM 컨트롤러는 5볼트 도메인 내에 모두 위치되고 최종 제어 신호는 외부 고전압 PMOSFET 스위치를 구동하도록 레벨 시프트된다.

[0101] Tronium PSSoC(106)는, 벅 레귤레이터(34)에 대해 PMOS/NMOS FET의 게이트를 구동하는 데 필요한 하이측 전압을 생성하기 위해 사용되는 LDO 벅 레귤레이터(128)를 또한 포함할 수도 있다. 그 다음, 이 전압은 외부 PMOS/NMOS FET를 구동하는 데 필요한 게이트 전압을 공급하기 위해 사용된다. 커패시터는 필터링을 위해 연결된다.

[0102] 예시된 실시예에서, Tronium PSSoC(106)는 Tronium PSSoC의 전류 감지 증폭기를 포함하고 핀 RCSP 및 RCSN에서 외부 전류 감지 저항기 양단의 전압을 감지한다. 이 전압은 스위치된 커패시터 차이 증폭기에 의해 샘플링되어 유지되고 온 칩 범용 ADC에 의해 디지털화된다. 그 다음, 디지털 워드는 프로그래밍된 임계치와 비교되어 효율성을 최적화하기 위해 필요에 따라 벅 레귤레이터(34)를 인에이블 또는 디스에이블한다. 전류 감지 증폭기의 출력은 과전류와 같은 가능한 고장 또는 알람 컨디션에 대해 또한 모니터링되어, 전류 감지 피드백을 제어하는 디지털 상태 머신이, 가능한 손상을 방지하도록 SCVBC(32)를 디스에이블하는 것을 허용한다.

[0103] Tronium PSSoC(106)는, 9.6MHz RC 발진기와 16KHz RC 발진기를 포함하는 공통 트림 컨트롤러를 공유하는 적어도 2개의 프리 러닝(free-running) RC 발진기를 포함할 수도 있다. 발진기 주파수는 osc_trim 레지스터 비트를 사용하여 트림될 수 있다.

[0104] 저주파(16KHz) RC 발진기는, LINE_IN에서의 라인 전압의 인가 이후 연속적으로 작동하는 라인측 RC 발진기이다. 그것은 LPREG 레귤레이터에 의해 공급받는다. 이 발진기 출력 주파수는, SCVBC(32)에 대한 클록을 제공하기 위해 1KHz와 같은 수로 분주된다. 그 경우, 발진기 출력은 슬립 모드 셧다운 타이머에 대한 기준 클록으로서 또한 사용된다. 고주파(9.6MHz) RC 발진기는 싱글 와이어(single-wire) 직렬 데이터 입력의 디코딩을 위한 마스터 클록을 제공한다. 발진기(9.6MHz) 출력은 6으로 분주되어, 스위치 커패시터 회로의 딕슨 전하 펌프에 의해 필요한

1.6MHz 클록을 제공한다. 벅 레귤레이터 및 포워드 컨버터 PWM 제어 블록에 대한 클록 소스를 제공하기 위해 그것은 더 분주된다. 이들 100KHz 클록은, EMI 스펙트럼에서의 고조파(harmonics)를 억제하는 것을 보장하기 위해 디지털 로직에 의한 의사 랜덤 알고리즘으로 디더링된다. 발진기는 osc_en 레지스터 비트에 의해 인에이블될 수 있고 라인측 상의 LPREG 레귤레이터에 의해 전력을 공급받는다.

[0105] 예시된 실시예에서, Tronium PSSoC(106)는 온도 센서 및 전류 센서 증폭기 아날로그 전압을 디지털화하기 위한 초저전력 ADC(118)를 포함한다. 그 다음, 이들 디지털화된 전압은 아날로그 회로부의 디스에이블하거나 재개시하기 위해 디지털 제어 블록에 의해 비교될 수 있다. ADC는 저전력 및 향상된 INL/DNL 성능을 위해 연속 근사(successive-approximation; SAR) 토폴로지를 사용한다. ADC에 대한 입력은 멀티플렉서에 의해 제공된다. 멀티플렉서는 ADC에 의한 디지털화를 위해 주목되고 있는 채널 각각을 선택할 수 있다. 그 다음, 변환된 샘플 값은 제어 상태 머신에 의한 사용을 위해 ADC-SAMP 레지스터에 저장된다. ADC는 저전압 서플라이를 사용하고 디바이스가 슬립 모드에 있을 때 디스에이블될 것이다.

[0106] 도 20은 Tronium PSSoC(106)와 함께 사용될 수도 있는 비례식 적분 및 미분(PID) 레귤레이터 제어 회로(110)의 개략적인 예시이다. 예시된 실시예에서, Tronium PSSoC(106)는, 외부 변압기의 2차측으로부터 부하 전류가 인출될 때 포워드 컨버터(96)의 출력에서의 전압을 레귤레이팅하기 위한 PID 서보 루프(130)를 포함한다. PID 블록은 에러 증폭기, 톱니파형 생성기, 비교기 및 PWM 클록 제어 블록을 포함한다. PID 루프는 어떠한 불안정성도 트리거하지 않으면서 부하 전류의 심한 변동 하에서 출력 전압을 레귤레이팅하도록 설계된다.

[0107] PID 버퍼 증폭기는 포워드 레귤레이션 루프를 닫기 위한 피드백을 AUTO_ERR 입력을 통해 수신한다. 이것은, 포워드 컨버터의 출력 전압을 나타내는 전압을 PSSoC로 제공하는 광절연기의 출력이다. 그 다음, 이 전압은 저항 분배기에 의해 PSSoC 상에서 스케일링되고 에러 증폭기를 위해 버퍼링된다.

[0108] 자율 PID 루프에 대한 에러 증폭기는, 보상 저항기 및 커패시터가 온 칩된 Tronium PSSoC 상에 위치된다. 에러 증폭기는 PID 서보 루프에 대한 기준으로서 밴드갭 전압을 사용한다. 톱니파, 또는 다른, 파형 생성기는 PID 서보 루프에 대한 펄스폭 변조(PWM)의 클록 기반 수단을 제공한다. 그 회로는 디지털 로직으로부터 100KHz 클록을 수신하고, 그것을, 에러 증폭기의 출력에 비교될 동일한 주파수의 톱니파형으로 변환한다. 톱니파형 생성기와 에러 증폭기의 출력은 PID 생성기에 의해 비교되어 포워드 컨버터를 구동하는 데 필요한 PWM 클록을 생성한다. PID 비교기에 의해 제공되는 PWM 출력이 65%를 초과하지 않는 것을 보장하기 위해 듀티 싸이클 제한기가 제공된다. 이 출력은 FWDOUT 핀에서 인가되어 외부 변압기를 구동한다. 정규 동작에서, PWM 듀티 싸이클은 변압기의 포화를 방지하기 위해 10-65%의 범위로 제한된다.

[0109] 일 실시예에서, PID 서보 루프는 저전압에서 동작하도록 그리고 필요한 DC 전류의 최대치를 부하에 전달하도록 설계된다. 레귤레이션은, 2차측 상에서 LC 필터를 사용하는 것에 의해 그리고 3번째 순서의 보상 네트워크의 내부 R 및 C의 사이즈를 적절하게 정하는 것에 의해 높은 비율의 절대 정밀도까지 제어될 수 있다. LC 필터 더블 폴은 하기의 식에 의해 주어진다: $FLC=1/2\pi\sqrt{L1C4}$.

[0110] C1 커패시터는, 제로를 생성하는 소정의 ESR(직렬 저항기)를 갖는다. 이 제로는 +90도의 위상 시프트를 생성한다: $FESR=1/2\pi C1RESR$.

[0111] 보상 루프는, 포워드 컨버터의 클록 레이트의 대략 1/10인 소정의 대역폭(Fc)을 갖는다. 네트워크의 목표는, Fc에서 적어도 45도의 위상 마진을 유지하는 것이다: 위상 마진=180도 + 루프의 위상.

[0112] PID 루프는 2개의 제로와 2개의 폴을 갖는다. 2개의 제로는, 출력 LC 필터로 인한 180도의 위상 손실을 무효로 하기 위해 180도의 위상 부스트를 제공한다. 2개의 제로는 약 ~50%의 LC 필터 폴 주파수에 위치된다. 그 다음 2개의 폴은 컨버터의 스위칭 주파수(100KHz)에 위치된다. 이것은 우리가 C1, C2, C3, R2 및 R3를 계산하는 것을 허용한다. R1은 계산 절차를 시작하기 위한 합당한 값으로 설정된다.

[0113] 다른 실시예에서, PID 서보 루프는, 필요한 애플리케이션을 위해 유저에 의해 프로그래밍될 수 있는 다수의 출력 전압에 대해 동작하도록 설계된다. 루프는 임의의 전류를 전달할 수도 있지만, 이 예시된 경우에서는, 0.1%의 절대 정밀도의 레귤레이션을 갖는 부하에 대한 4.5A의 DC 전류를 전달할 수도 있다. 범용 루프에 대한 피드백은 외부 마이크로프로세서와 전압 감지 지원 회로에 의해 제공되며, 직렬 데이터 스트림으로서 Tronium 핀에 입력된다. 그 다음, 도 20에 도시된 바와 같은 에러 증폭기로의 인가를 위해 아날로그 전압으로 변환되는 디지털 워드에 대해 병렬-직렬 변환이 수행된다. 아날로그로의 변환은, 유입 데이터 레이트의 주파수에서 업데이트되는 온 칩 DAC로 수행된다. PID 에러 증폭기에 대한 기준 전압은, 마이크로프로세서에 의해 프로그래밍되는 제

2의 DAC에 의해 생성된다.

[0114] 디지털-아날로그 컨버터(DAC)는, 마이크로프로세서로부터의 디지털 프로그래밍된 입력에 기초하여 PID 제어 루프에 대한 아날로그 기준 전압을 생성한다. 도시된 바와 같은 디지털-아날로그 컨버터(DAC)는 10비트 방식이지만, 임의의 수의 비트일 수 있다. DAC는, 핀으로부터 수신되는 디지털 워드를, 루프에 대한 입력을 위해 아날로그 전압으로 변환하는 것에 의해 PID 제어 루프에 대한 피드백을 또한 제공할 수도 있다. DAC 전압은 에러 증폭기에 입력되고 아날로그 기준 전압에 비교되어 제어 루프에 대한 에러 전압을 생성한다. DAC는 유입 데이터의 레이트에서 루프에 대한 업데이트를 제공한다.

[0115] 도 17a 및 도 17b를 참조하면, 일 실시예에서, Tronium PSSoC(106)는, 다이 또는 모듈의 온도를 IC가 감지하는 것을 가능하게 하는 온 칩 ΔV 기반의 온도 센서를 포함할 수도 있다. 이 예에서, 차동 전압을 디지털화하기 위해 범용 12비트 ADC가 사용된다. 그 다음, 디지털화된 값은, 온도 문제에 따라 Tronium PSSoC를 셧다운 또는 재인에이블하기 위해, 프로그램가능한 임계치에 비교된다.

[0116] 예시된 실시예에서, Tronium PSSoC(106)는 파워업시 적용되는 2개의 동작 모드와 4개의 기상(wake-up) 상태(WO-W3)를 제공한다.

[0117] 기동(startup) 모드. 기동 모드 동안, Tronium PSSoC는, 전력이 처음 인가될 때 또는 전화기가 (충전기의 경우) 연결될 때 모듈의 기동 거동을 제어한다. 전력이 AC 메인에 먼저 연결되면, IC의 LINE_IN 핀에 나타나는 정류되고 필터링된 LINE 전압은 그것이 최종 DC 값에 도달할 때까지 증가한다. 결과적으로 Tronium PSSoC의 기본 지원 회로가 파워업되어 전력 관리 기능을 개시하게 된다. 이벤트의 예시적인 기동 시퀀스의 타이밍도가 도 24에 도시되며, t=0에서 LINE_IN 전압의 인가로 시작한다.

[0118] 라인측은, 항상 파워가 온되는 3개의 회로 블록을 갖는다: 1. 저전력 밴드갭 기준; 2. 저전력 5V 레귤레이터(LPREG); 및 3. 저주파 RC 발진기. 다른 회로가 전력을 공급받을 수도 있지만, 이 예에서는, 극도로 낮은 대기 전력을 인출하기 위해 이 사례에서 3개로 감소되었다. 이들 회로는, 이용가능한 전류를 증가시키기 위해 어떠한 변압기 액션도 없이 LINE_IN 입력으로부터 직접적으로 전력을 인출한다. 결과적으로, 이들은 초저소비전력을 위해 설계된다. 대안적으로, 변압기는 인에이블될 수 있을 것이지만, 이것은 효율성을 감소시킬 것이다.

[0119] 정규 모드. 전력의 인가 및 기상 상태의 완료에 후속하여, Tronium PSSoC(106)는 정규 동작 모드에 들어갈 것이다. 정규 동작 모드는, 전압/전류가 소멸되거나 또는 통상적으로 과부하를 방지하기 위해 배터리 시스템 내부의 마이크로칩이 전류에 저항하기 시작하는 낮은 전류 임계치를 통과할 때까지 유지된다. 정규 동작 모드에서, Tronium PSSoC는 부하 전류의 검출의 결과로서 슬립 모드를 빠져 나온다. 부하의 레귤레이션은, 벅 레귤레이터 및 SCVBC가 필요한 전류를 공급할 때 발생한다. 이 동작 모드에서, 모든 Tronium 회로는 파워 ON 되고 외부 자극에 대응한다.

[0120] 일 실시예에서, 정규 모드, 기동 모드 및 슬립 모드의 엘리먼트를 결합하면, 배터리는 "범프" 충전을 제공받을 수 있다. 이 경우, 칩 내의 로직에 의해 완전 충전이 실행된 것이 결정되면 범프 충전 모드로 칭해지는 다른 모드가 실행될 것인데, 주어진 기간에 걸쳐 더 높은 전류로부터 더 낮은 전류로의 드레인을 의미한다. 이 범프 충전 동작 모드는 상태 머신에서 존재할 수 있거나 또는 I2C 인터페이스를 통해 인에이블/디스에이블될 수 있고 "분리"하도록 여러 번 지시할 것이고 그 사이에 인터벌을 가지고 대략 150밀리암페어의 최대 임계치까지의 재충전을 시작할 것이다. 이런 식으로, 배터리는, 디바이스 배터리 인디케이터 상에서 언급하는 "완충"이 아니라 실제로 완충되는 것을 보장하기 위해 추가적인 소량의 전하를 수신하게 될 것이다. 이것은, 셀폰이, 그들의 배터리 용량의 80~90%만 충전되고, 따라서, 경시적으로, 인디케이터는 여전히 배터리를 100%로 나타내지만, 그것은 실제로는 배터리 용량의 100%의 100%가 아니라 배터리 용량의 80%의 100%인 문제를 해결할 것이다. 범프 충전 모드 하에서, Tronium PSSoC 디지털은, 하기에 설명되는 슬립 모드 기능이 손상되지 않도록 슬립 임계치보다 더 높은 추가 전류 임계치를 제공한다.

[0121] 슬립 모드. Tronium PSSoC는 AC 메인에 연결될 때 최소 전력을 사용해야 하고 충전 또는 전력 공급 기능이 요구되지 않는다. 이것은, 전기 회로(22)가 적어도 2개의 별개의 전력 도메인을 갖도록 요구한다: 1) 라인측 도메인 및 2) 1차측 도메인. 라인 입력측은, 항상 전력을 공급받을 수 있어야 하는 도메인이다. 또한, 딕슨 전하 펌프에 대해 사용되는 1.6MHz RC 발진기가 존재한다. 이 발진기는 슬립 모드에서 OFF를 유지한다. 16KHz 발진기는, 프로그래밍된 카운트다운 타임이 도달된 경우 Tronium PSSoC를 기상시키기 위한 카운트다운 타이머로서 사용된다.

[0122] 예시된 실시예에서, Tronium PSSoC(106)는, 셋업 동작 모드, 프로그램가능한 동작 모드, 정규 동작 모드, 테스

트 동작 모드 또는 평가 동작 모드에서 Tronium 애플리케이션의 다양한 양태를 관리하기 위한 능력을 유저에게 제공하는 디지털 제어 블록(122)을 포함한다. 마이크로프로세서 또는 상태 머신은 스위치 커패시터 회로의 출력 전압과 전류를 모니터링하기 위해 제공되고 정규 동작 모드와 저전류 또는 '슬립' 동작 모드 둘 다에 대한 특징 선택 및 프로그램가능성을 제공하는 구성가능한 레지스터를 포함한다. 통신 인터페이스는 애플리케이션에 의해 요구될 때 외부 디바이스에 대해 또한 제공된다.

[0123] 도 21은 Tronium PSSoC(106)와 함께 사용될 수도 있는 Tronium 범용 디지털 제어 블록(132)의 블록도이다. 도 22는 Tronium PSSoC(106)와 함께 사용될 수도 있는 Tronium 자율 디지털 제어 블록(134)의 블록도이다. 도 23은 전력 회로(22)을 동작시키는 방법을 예시하는 흐름도이다. 도 24는 Tronium PSSoC(106)에 의해 구현될 수도 있는 상태 전환의 그래픽 예시이다.

[0124] 도 21을 참조하면, 일 실시예에서, Tronium PSSoC(106)는 범용 디지털 제어 블록(132)을 포함한다. Tronium 범용 디지털 제어 블록(132)는 범용 모듈의 제어를 위해 다음의 기능을 제공한다: 제어 상태 머신, 클록 생성기, ADC 컨트롤러, 클록 디더 LSFR, I2C 인터페이스 - 모노 또는 듀얼 통신 모드, 프로그램가능한 통신 모드, 마이크로프로세서 인터페이스, 테스트/평가 멀티플렉서, 및/또는 레지스터 파일.

[0125] 제어 상태 머신 또는 마이크로프로세서/마이크로컨트롤러는 스위치 커패시터 회로의 출력 전류를 모니터링하는 것에 의해 Tronium 모듈의 적절한 동작 모드를 결정한다. 슬립 모드 및 정규 동작 모드를 포함하는 적어도 2개의 동작 모드가 제공된다. 제어 상태 머신 또는 마이크로프로세서는, 범프 충전 모드에 더해, 전력의 최초 인가시, 또는 슬립 모드에서 빠져나올 때 PSSoC를 기상시키기 위한 4개의 상태를 또한 제공한다. 또한, 상태 머신 또는 마이크로프로세서는 과전류-언더 전류 알람 컨디션에 대한 출력 전압 전류를 계속 모니터링한다.

[0126] 스위치 커패시터 출력 전류의 모니터링은, 전류 감지 증폭기 및 아날로그-디지털 컨버터(ADC)의 사용과 함께 아날로그 서브시스템에서 또는 마이크로프로세서에서 달성된다. 디지털 제어 블록은 ADC의 제어를 제공하고 ADC에 대해 주기적 이득 및 오프셋 보정을 수행할 수 있다. 그 다음, ADC 샘플은 제어 상태 머신에 의해 요구되는 스위치 커패시터 전류에 대한 프로그래밍된 디지털 임계치에 비교된다.

[0127] 클록 생성기는 아날로그 및 디지털 서브시스템에 대해 요구되는 클록을 제공하고, 슬립 동작 모드에서의 소비 전력을 최소화하기 위해 클록 게이팅을 인에이블한다.

[0128] 디지털 제어 블록은 외부 마이크로프로세서를 통해 PSSoC의 구성가능성을 지원하기 위한 싱글 와이어 직렬 인터페이스를 제공하거나; 또는 Tronium PSSoC와 마이크로프로세서 또는 상태 머신 사이의 투웨이 통신을 지원할 멀티 와이어 인터페이스를 제공한다. 포워드 및 벅 레귤레이터 PWM 클록의 디더링을 위한 의사 난수를 생성하기 위해, 클록 디더 선형 피드백 시프터 레지스터(Clock Dither Linear Feedback Shift Register; LSFR)가 포함된다. 의사 난수는 고주파 발진기 출력을 디더링하기 위해 아날로그 서브시스템에 의해 사용된다. 제조 설정, 테스트, 평가, 업데이트, 상태 점검 및 디버그를 위해 I2C 포트가 포함된다. 디바이스 동작을 위한 구성 레지스터를 포함하는 레지스터 파일은 I2C 인터페이스를 사용하여 액세스될 수 있다. 다양한 내부 디지털 신호를 테스트 목적으로 DIGTST 출력 핀으로 선택적으로 다중화하기 위해 디지털 멀티플렉서가 제공된다.

[0129] 도 22를 참조하면, 일 실시예에서, Tronium PSSoC는 자율 모듈의 제어를 위해 하기의 기능을 제공하는 자율 디지털 제어 블록(134)을 포함한다: 제어 상태 머신 또는 마이크로컨트롤러; 클록 생성기; ADC 컨트롤러, 클록 디더 LSFR; I2C 인터페이스; 테스트 멀티플렉서; 및 레지스터 파일. 제어 상태 머신은 CP-OUT 핀에서 스위치 커패시터 회로의 출력 전류를 모니터링하는 것에 의해 Tronium PSSoC(106)의 적절한 동작 모드를 결정한다. 슬립 모드 및 정규 동작 모드를 포함하는 2개의 동작 모드가 제공된다. 제어 상태 머신 또는 마이크로 컨트롤러는, 전력의 최초 인가시, 또는 슬립 모드에서 빠져나올 때 IC를 기상시키기 위한 4개의 상태를 또한 제공한다. 또한, 상태 머신은 과전류-언더 전류 알람 컨디션 및 범프 충전 모드에 대한 출력 전류를 모니터링한다.

[0130] 스위치 커패시터 출력 전류의 모니터링은 전류 감지 증폭기의 사용과 함께 아날로그 서브시스템에서 달성되는데, 이 예에서는 12비트 아날로그 디지털 컨버터(ADC)가 사용된다. 디지털 제어 블록은 ADC의 제어를 제공하고 ADC에 대해 주기적 이득 및 오프셋 보정을 수행할 수 있다. 그 다음, ADC 샘플은 제어 상태 머신 및/또는 마이크로컨트롤러에 의해 요구되는 스위치 커패시터 전류에 대한 프로그래밍된 디지털 임계치에 비교된다.

[0131] 클록 생성기는 아날로그 및 디지털 서브시스템에 대해 요구되는 클록을 제공하고, 슬립 동작 모드 또는 범프 충전 모드에서의 소비 전력을 최소화하기 위해 클록 게이팅을 인에이블한다.

[0132] 포워드 및 벅 레귤레이터 PWM 클록의 디더링을 위한 의사 난수를 생성하기 위해, 클록 디더 선형 피드백 시프터 레지스터(Clock Dither Linear Feedback Shift Register; LSFR)가 포함된다. 의사 난수는 고주파 발진기 출력

을 디더링하기 위해 아날로그 서브시스템에 의해 사용된다.

[0133] 제조 설정, 평가, 업데이트, 리셋, 칩 상태 점검, 테스트 및 디버그를 위해 I2C 포트가 포함된다. 디바이스 동작을 위한 구성 레지스터를 포함하는 레지스터 파일은 I2C 인터페이스를 사용하여 액세스될 수 있다.

[0134] 다양한 내부 디지털 신호를 테스트 목적으로 DIGTST 출력 핀으로 선택적으로 다중화하기 위해 디지털 멀티플렉서가 제공된다.

[0135] 예시된 실시예에서, Tronium 자율 디지털 제어 블록(134)는, 부하 전류계 기초하여 자율 모듈에 대한 적절한 동작 모드를 결정하기 위한 상태 머신을 포함한다.

[0136] 도 23 및 도 24에 도시된 바와 같이, 제어 상태 머신은 4개의 기상 상태(W0, W1, W2 및 W3)와 2개의 동작 모드; 정규 모드 및 슬립 모드를 제공한다.

[0137] 기상0(W0) - 전력이 인가되면, 라인측 회로가 기상한다: 밴드갭(BG)과 저전력 레귤레이터(LPREG)는 파워업한다. LPREG가 안정화된 이후, por_b가 릴리스되고 시스템은 기상1(W1)로 전환한다.

[0138] 기상1(W1) - 저주파 발진기(LF_OSC)와 이득 제어(GAIN_CTRL)가 인에이블된다. 동시에, 고주파 발진기(HF_OSC)와 전하 펌프(CP)가 인에이블된다. CP는 레귤레이팅하지 않도록 설정된다. LF_OSC가 안정화되면, 디지털 블록으로의 If_clk가 릴리스되고 이때 (a) 10mS 카운터가 기동하고 (b) 스위치 커패시터로의 1kHz 클록이 활성으로 된다. 10ms 카운터가 만료되면, 시스템은 기상2(W2)로 전환한다.

[0139] 기상2(W2) - 스위치 레귤레이터(SWR)가 인에이블되고, CP는 레귤레이팅되도록 설정되고 1mS 카운터가 시작한다. 1mS 카운터가 만료되면, 시스템은 기상3(W3)으로 전환한다.

[0140] 기상3(W3) - 포워드 PID가 인에이블되고 2개의 카운터가 기동한다: 20mS 카운터와 250mS 카운터. 하기의 시나리오는 이 상태로부터의 전환을 유발한다: a. 20mS 카운터가 만료되고 포워드 PID 오버라이드 옵션이 온된다: 시스템은 정규 모드(normal mode; NM)로 전환한다; b. 20mS 카운터가 만료되고, 포워드 PID 오버라이드 옵션이 오프되고 포워드 PID는 250mS 카운터가 만료하기 이전에 안정화된다: 시스템은 정규 모드(NM)로 전환한다; c. 슬립 모드가 디스에이블되지 않고, 포워드 PID 오버라이드 옵션이 오프되고 250mS 카운터가 만료할 때, 포워드 PID는 아직 안정화되지 않았다: 시스템은 슬립 모드로 전환한다.

[0141] 정규 모드(NM) - 전류 감지 블록(CUR_SNS)과 ADC가 인에이블된다. 자체 교정(self-calibration)이 디스에이블되지 않으면, ADC는 이득 및 오프셋 교정을 위해 먼저 2개의 샘플을 사용하고, 제3의 샘플이 준비되면 ADC 데이터가 오케이임을 시그널링한다. 자체 교정이 디스에이블되면, ADC는 지정된 레지스터 내에 프로그래밍된 값으로 이득 및 오프셋 보정을 수행하고, 제3의 샘플이 준비되면 ADC 데이터가 오케이임을 시그널링한다. ADC 데이터가 오케이이면, 시스템은 전류 부하를 모니터링한다. 임계치가 프로그램 가능한 하기의 상호 배타적인 컨디션이 발생할 수 있다: 1. 과전류 컨디션: 시스템이 과전류 상태 비트를 설정한다. 슬립 모드가 디스에이블되지 않으면, 시스템은 슬립 모드(sleep mode; SM)로 전환한다; 그리고 2. 언더 부하 컨디션: LCSD_EN 핀이 하이이고 슬립 모드가 디스에이블되지 않으면, 시스템은 슬립 모드(SM)로 전환한다: 그리고 3. 저부하 컨디션: 시스템이 저부하 컨디션을 검출하면 시스템은 SWR을 셧다운하고 저부하 컨디션이 사라지면 SWR을 다시 돌린다.

[0142] 슬립 모드(SM) - 시스템은 HF_OSC, CP, SWR, 포워드 PID, CUR_SNS 및 ADC를 디스에이블한다. 그것은 또한 슬립 카운터를 시작하고, 그 지속기간은 프로그램가능하다. 디폴트 슬립 시간은 대략 5초이고, 이것은 사용 애플리케이션에 따라 조정될 수도 있다. 슬립 모드 진입시 포워드 PID가 이전에 안정화되지 않았으면 시스템은 슬립 모드에서 머무른다. 이 경우, 시스템은 EXT_RST 핀을 트리거하는 것에 의해 W1에서 또는 전력을 제거하는 것에 의해 W0에서 재시작될 수 있다. 슬립 모드 진입시 포워드 PID가 오케이이면, 시스템은 슬립 카운터가 만료할 때 W1 상태로 전환한다.

[0143] 예시된 실시예에서, 정규 동작 모드와 슬립 동작 모드 사이의 전환은, 전류 감지 증폭기와 ADC를 통해 스위치 커패시터 회로의 출력 전류를 모니터링하는 것에 의해 달성된다. 또한, 제어 상태 머신은, 부하 전류가 프로그래밍된 디지털 임계치로 저하되면 SWR 벅 레귤레이터를 디스에이블할 수 있다. 전류 및 대응하는 모드 전환의 모니터링은 도 24의 도면에서 예시된다.

[0144] 도 21 및 도 22를 참조하면, 디지털 제어 블록(122)은, 디지털 서브시스템에 의해 요구되는 모든 클록을 생성하는 클록 생성기를 포함할 수도 있다. 서로 비동기적인 3개의 클록 도메인, 즉 저주파 클록 도메인, 고주파 클록 도메인, 및 I2C 클록 도메인이 제공된다.

[0145] 아날로그 서브시스템의 저주파 발진기는 디지털 시스템(If_clk)에 대해 클록, 예시된 예에서는 16kHz 클록을 제공한다. 레지스터 파일에 의해 사용되는 클록 외에, 클록 생성기는 If_clk로부터 다음의 클록을 유도한다: 1. sys_clk - 제어 상태 머신을 클로킹하는 50% 듀티 싸이클을 갖는 8kHz 클록. 2. adc_gclk - ADC 컨트롤러를 클로킹하는 sys_clk의 게이트식 버전. 이 클록은 슬립 모드에서 게이트 오프된다. 3. lfdiv_clk - 아날로그 블록에서 사용될 50% 듀티 싸이클을 갖는 1, 2 또는 4kHz의 프로그램가능한 주파수를 갖는 분주 클록. 이 클록은 슬립 모드에서 게이트 오프된다.

[0146] 발진기는, EXT_CLK 핀으로부터의 16kHz 클록의 인가를 가능하게 하기 위해, TSTMD0 입력을 통해 아날로그 서브시스템에서 바이패스될 수 있다.

[0147] 아날로그 서브시스템의 고주파 발진기는 1.6MHz, 50% 듀티 싸이클 클록을 제공하고, 이것은 hfdiv_clk를 생성하도록 클록 생성기에 의해 더 분주된다. hfdiv_clk는 100, 200, 400kHz의 주파수를 제공하도록 레지스터 파일을 통해 프로그램가능하다. hfdiv_clk는 클록 디더 LFSR에 대한 디지털에서 그리고 벅 레귤레이터 및 포워드 PID 루프에 대한 아날로그에서 또한 사용된다. HF 발진기가 아날로그에서 디스에이블되면 클록은 슬립 모드에서 셧오프한다.

[0148] I2C 인터페이스는 I2C 포트의 동작을 제어하기 위해 SCLK 핀에서의 클록 입력을 사용한다. 100Kbps까지의 데이터 레이트가 지원된다.

[0149] 예시된 실시예에서, 디지털 제어 블록(122)은, 아날로그 서브시스템에서의 범용 12비트 ADC에 대한 제어 신호를 생성하는 ADC 컨트롤러를 또한 포함한다. 그것은 또한, CONTROL0 레지스터의 ADC_MUX_SEL 레지스터와 ADC 멀티플렉서를 통한 변환을 위해 ADC에 대한 입력의 선택을 제어한다. ADC 출력 포맷은 진폭이다. 디지털 제어 블록은, ADC가 최초로 인에이블되면 자체 교정 루틴을 수행한다. 디지털 제어 블록은 자체 교정 동안 계산된 이득 및 오프셋 보정 값을, 또는 ADC_GAIN 및 ADC_OFFS 레지스터에 기록된 이득 및 오프셋 보정 값을 구성가능하게 사용할 수 있다.

[0150] 자체 교정 루틴 동안, 오프셋 및 이득 보정 값은 하기에 설명되는 바와 같이 결정된다.

[0151] 오프셋이 먼저 다음과 같이 결정된다: Reflo 기준 전압을 선택하도록 ADC 입력 멀티플렉서를 설정한다. 하나의 ADC 변환을 행한다. 이상적인 값은 0일 것이다. ADC 변환 데이터를 로컬 ADC 오프셋 수정 레지스터에 로딩한다.

[0152] 다음으로, 이득은 다음과 같이 결정된다: Refhi 기준 전압을 선택하도록 ADC 입력 멀티플렉서를 설정한다. 하나의 ADC 변환을 행한다. 이상적인 값은 4095일 것이다. (ADC 변환 데이터-오프셋 보정)/4095의 결과를 갖는 로컬 ADC 이득 보정 레지스터를 로딩한다.

[0153] 자체 교정 단계에 후속하여, ADC 변환 값은 다음과 같이 보정된다: ADC 보정 데이터 = (ADC 변환 데이터 - 오프셋 보정)/4095.

[0154] 클록 디더 LFSR은 EMI를 완화하도록 1.6MHz 클록에 대해 디더링을 구현하기 위해 의사 난수를 제공한다. LFSR은, x12 + x6 + x4 + x + 1의 다항식을 갖는 12비트의 최대 시퀀스의 Galois 타입의 LFSR이다. 디더 값은 하기의 표에 도시된 바와 같이 생성된다. 클록 디더 LFSR는 제어 레지스터의 dith_en 레지스터 비트에 의해 선택적으로 인에이블 또는 디스에이블될 수 있다.

[0155] 일 실시예에서, Tronium PSSoC 디지털 제어 블록(122)은, 슬립 타이머 기능을 구현하기 위해, 0.512초에서 16.384초까지의 범위를 갖는 구성가능한 다운 카운터를 포함할 수도 있다. 스텝 사이즈는 512mS이다. 카운터는 자신의 클록을, 클록이 LF 발진기 클록으로부터 분주되는 클록 생성기 블록으로부터 수신한다. 카운터는 SLEEP_CTRL 레지스터 내에 프로그래밍된 sleep_time 값을 가지고 로딩된다. 카운터는 이 값으로부터 이 값이 제로에 도달할 때까지 카운트 다운될 것이고, 제로에 도달하는 시간에, 카운터는 슬립 타이머가 만료된 것을 제어 상태 머신에게 통지한다.

[0156] 도 25는 Tronium PSSoC(106)와 함께 사용될 수도 있는 통신 인터페이스의 개략적인 예시이다. 도 26은 Tronium PSSoC(106)와 함께 사용될 수도 있는 마이크로프로세서 통신 프로토콜의 개략적인 예시이다. 예시된 바와 같이, 통신은 단방향 또는 양방향일 수도 있다. Tronium PSSoC(106)는 하나 이상의 통신 인터페이스를 포함하는데, 본원에서는 3개의 인터페이스로서 설명된다: 1) 마이크로프로세서 인터페이스, 2) 상태 머신/마이크로로 정보를 리턴하거나 값을 프로그래밍하기 위한 싱글 또는 듀얼 통신/업데이트 인터페이스, 및 3) 테스트/평가 인터페이스. 마이크로프로세서 인터페이스는 소정 제품에 대한 마이크로프로세서와 통신하기 위해 사용될 것이고, 통신/업데이트 인터페이스는 칩 내부의 값 중 임의의 것 또는 마이크로를 업데이트할 수도 있다. 이것은 제품 구성가

능성 및 Tronium 충전기에 대한 제어 루프의 구현을 허용한다. Tronium PSSoC에 대해, 이것은 판독/기록 인터페이스 또는 기록 전용 인터페이스 중 어느 하나일 수 있고, 즉 결정된 통신 타입(일 방향 또는 다자간)에 따라 PSSoC로부터 판독할 수 있을 것이거나 또는 판독할 수 없을 것이다.

[0157] 테스트/평가 인터페이스는 제조 테스트 환경에서, 그리고 Tronium PSSoC의 벤치 평가를 위해 사용될 것이다. 그것은 온 칩 레지스터에 대한 기록 및 판독 액세스를 허용할 것이다. 업그레이드, 평가, 상태 점검 및 리셋 인터페이스는, 칩을 재프로그램하거나, 그 전압/전류 출력을 변경하거나, 또는 임계치를 포함해서, 제어 로직의 다른 재프로그램가능한 부분을 변경하기 위해서뿐만 아니라, 칩에서 어떤 것이 잘못되었는지를 결정하는 것을 돕도록 스캔을 작동시키기(상태 점검) 위해 사용될 것이다.

[0158] 통상적으로, 한 번에 하나의 인터페이스만이 선택될 수 있고, 이것은 상태 머신 또는 마이크로 설정에 기초하여 변경될 수 있다. IF_SEL 입력 핀은 '1'이면 12C를 '0'이면 마이크로프로세서 인터페이스를 선택한다.

[0159] 마이크로프로세서 통신 인터페이스. Tronium PSSoC는 PSSoC의 구성가능성을 지원하기 위해 싱글 와이어 직렬 인터페이스를 또한 제공할 수도 있다. 인터페이스는 단방향 또는 다방향 데이터 입/출력으로 구성된다. 프로토콜은 도 26에 도시된다. 모든 패킷은, 다른 것이 필요하지 않는 한, 구조 및 길이에서 동질적(homogeneous)일 것이다. 각각의 패킷은 소정 수의 비트일 것이다. 패킷 필드는 하기에 설명된다. 다른 와이어를 추가하는 것에 의해, 정보가 다방향성이도록 듀얼 통신 인터페이스가 제공될 수도 있다.

[0160] 신뢰성 있는 통신을 지원하기 위해, 데이터는 IEEE 802.3 통신 표준에 의한 맨체스터(Manchester) 인코딩될 수도 있다. 그 다음, 수신기는 패킷에 대한 비트 동기화를 유지하기 위해 오버샘플링 클록을 사용할 것이다. 비트율은 600Kbps일 것이다. 유입 데이터는 비트율의 16배의 인자만큼 오버샘플링될 것이다. 따라서, 오버샘플링 클록은 9.6MHz이고, 온 칩 RC 발진기로부터 발원된다.

[0161] 시작: 그 값이 신호 라인의 비 아이들(the non-idle) 상태인 싱글 비트. 이것은 이 애플리케이션에 대해 '1'일 것이다. R/W: 판독 또는 기록 요청을 나타내기 위한 싱글 비트. '0'인 경우, 데이터는 선택된 Tronium 레지스터에 기록된다. Tronium은 기록 액세스만을 지원함을 주목한다. Addr[4:0]: Tronium 구성 레지스터를 주소지정하기 위해 사용되는 5비트. Data[9:0]: 선택된 Tronium 레지스터에 기록될 10비트. 타겟 레지스터가 10비트 미만인 경우, 데이터는 우측으로 자리정렬될 것이다. 예를 들면, 8비트 레지스터에 기록하는 경우, Data[7:0]가 주소지정된 레지스터에 기록될 것이다. 아이들: 그 값이 신호 라인의 아이들 상태인 싱글 비트. 이것은 이 애플리케이션에 대해 '0'일 것이다.

[0162] 데이터는 MSB 먼저 전송된다. 예를 들면, Addr[4]가 시간 상 먼저 호스트에 의해 송신된다. Tronium 구현예는 프로그래밍에 따라 호스트에 의한 ASIC 레지스터의 판독 동작을 지원할 것이거나 지원하지 않을 것이다. 미래의 확장을 위해 R/W 비트가 포함된다.

[0163] 도 27은 Tronium PSSoC(106)에 포함될 수도 있는 I2C(Inter-Integrated Circuit)(136)의 개략적인 예시이다. 예시된 실시예에서, Tronium PSSoC(106)은 디바이스의 테스팅을 지원하기 위한 I2C 슬레이브 포트를 포함한다. I2C 어드레스는 I2C_ADDR 핀을 사용하여 구성가능하다. I2C_ADDR 입력은 I2C 슬레이브 어드레스 비트와 비교된다. Tronium I2C 버스 프로토콜이 도 27에 도시된다. I2C 인터페이스는 100Kbs까지의 비트 전송율을 지원한다. I2C 인터페이스는 I2C SCLK 클록 입력을 완전히 방출한다(run off).

[0164] I2C 기록 동작: Tronium PSSoC는 I2C 슬레이브 포트를 통한 Tronium 메모리 매핑 레지스터(Memory Mapped register)로의 기록을 지원한다. Tronium I2C 어드레스와 매치하는 I2C 슬레이브 어드레스를 수신한 이후, 도 27에서 바이트1로 도시된 다음 바이트가 Tronium 레지스터 파일 어드레스에 대한 5비트 어드레스 필드를 포함할 것이다. Tronium PSSoC는 커맨드 당 하나의 레지스터의 액세스만을 지원한다.

[0165] I2C 판독 동작: Tronium PSSoC는 I2C 슬레이브 포트를 통한 Tronium 메모리 매핑 레지스터로부터의 판독을 지원한다. 판독 동작은 2개의 I2C 동작을 요구한다. 먼저, 바이트 2의 데이터가 판독할 레지스터의 Tronium 메모리 맵 어드레스인 RDREQ 레지스터에 대한 I2C 기록. 그 다음 I2C 판독 커맨드가 요청된 레지스터를 판독할 것이다. Tronium은 커맨드 당 하나의 레지스터 액세스만을 지원한다.

[0166] I2C 기록 동작과 RDREQ 레지스터가 업데이트되는 시간 사이에 지연이 존재함을 주목한다. 이것은, I2C 기록 동작에 후속하여, I2C 마스터는 I2C 판독 동작을 지시하기 이전에 400 μsec 대기해야만 한다는 것을 의미한다. 이 대기 시간은 RDREQ 레지스터를 업데이트하기 위해 I2C 기록 동작에 후속하는 최초 I2C 판독에 대해서만 적용된다.

[0167] Tronium PSSoC의 일 실시예에서, 디지털 메모리는 지능을 갖는데, Tronium PSSoC가 텔레비전에 전력을 공급하고 있고, 텔레비전이 하루 중 고정된 횟수 동안, 소정 기간에서 다른 기간까지, 예컨대 자정부터 오전 7:00까지 사용되지 않았다면, Tronium은, 에너지를 절약하기 위해 이들 시간 동안 항상 자신을 슬립 모드에 두고 기상 시퀀싱의 현재의 감지 루틴에 다시 연루되지 않을 것이다.

[0168] 본 발명의 다른 실시예에서, Tronium PSSoC는, 상태 머신 또는 마이크로프로세서에 대한 명령을 수신하기 위해, 자신의 I2C 인터페이스를 통해, 외부, 온 칩 또는 온 모듈 중 어느 하나인 (BlueTooth®와 같은) 무선 또는 전력선 타입의 통신 프로토콜 및 디바이스에 연결된다. 이런 식으로, 슬립 모드에 들어갈 때, 과전압 또는 PWM 레귤레이션과 같은 다른 사전컨디션(precondition)을 리셋, 업그레이드 또는 변경할 때에 관해 Tronium에게 주어진 "실시간" 명령이 존재할 것이다. 이런 식으로, Tronium PSSoC는, 주파수, 속도, 또는, 대부분의 시간 동안 그리드가 언더 전압에서 통상적으로 작동하는 몇몇 나라에서와 같이, 저전력 상황에 적응된 상이한 레벨을 달성하기 위해 자신의 제어 메커니즘의 "실시간" 감지 및 스위칭을 가질 수 있다. 이 경우, Tronium PSSoC는, 자신의 소유자로부터, 심지어 셀폰 또는 태블릿으로부터 셀 시스템의 사용을 통해 홈(home) 통신 기술 내부까지의 실시간 커맨드를 포함해서, 리셋, 동작, 또는 셧다운/재시작에 관한 실시간 정보를 얻을 수 있다. 이 경우, 멀리 떨어져 있는 동안 Tronium PSSoC에 의해 전력이 공급되는 소정의 전자 기기 또는 전자 디바이스에 대한 전력을 차단하기를 원할 수도 있고, 이것은, Tronium PSSoC의 I2C 인터페이스를 통해 특정 명령을 내리고, 디바이스를 셧다운할 것을 I2C 인터페이스에게 명령하고, 심지어 기상해야 할 시간을 미리 설정하는 무선 또는 유선 통신 기술을 통한 통신 인터페이스를 통해 달성될 수 있을 것이다.

[0169] 본 발명의 다른 실시예에서, 그리고 충전기 또는 정전원으로서 사용될 때, Tronium PSSoC는 코드에 부착된 월 플러그 안으로 끼워 넣어지기에 충분히 작고, 따라서 충전기 "박스" 또는 랩탑 "벽돌"을 제거하게 된다.

[0170] 일 실시예에서, Tronium PSSoC(106)는, 제조, 프로그래밍, 평가, 업그레이딩, 상태 점검, 통신, 테스트 및 벤치 평가를 지원하기 위한 몇몇 테스트 구조를 구비한다. Tronium PSSoC는, 주요 내부 기능 및 제어 신호의 제어가능성 및 관측가능성에 대한 2개의 테스트 레지스터를 제공한다. TEST_CTRL0 레지스터는, 제어 상태 머신이 바이패스되어야 하면, 대안적인 제어 방법을 제공하기 위해, Tronium PSSoC의 개개의 아날로그 회로 기능의 제어를 선택적으로 인에이블, 디스에이블, 또는 오버라이드하는 능력을 유저에게 제공한다. TEST_CTRL1 레지스터는 테스트 목적의 ANATST 및 DIGTST 출력 핀으로 내부 아날로그 및 디지털 신호를 다중화하는 능력을 제공한다.

[0171] 상기 교시의 측면에서, 본 발명의 많은 수정예 및 변경예가 가능하다. 본 발명은 첨부된 특허청구범위의 범위 내에서 구체적으로 설명된 것과는 다르게 실시될 수도 있다.

[0172] 도 30은 Tronium PSSoC(106)와 함께 사용될 수도 있는 연결도이다. 도 31 및 도 32는 Tronium PSSoC(106)의 추가적인 개략적 예시이다. 도 33은 Tronium PSSoC(106)와 함께 사용될 수도 있는 저전류 검출 및 에러 검출용 알고리즘의 흐름도이다. 도 34 및 도 35는 Tronium PSSoC(106)를 포함하는 전력 회로(22)의 개략적 예시이다. 예시된 실시예에서, Tronium PSSoC(106)는 진보된 전력 컨트롤러 집적 회로(IC)이다. Tronium PSSoC(106) 및 대응하는 집적 모듈은, 일반적인 가정 또는 사업장 전기 아웃렛에 존재하는 AC 라인 전압을, 소비자 전자 애플리케이션용의 감소되고 레귤레이팅된 DC 전압으로 변환하기 위한 저비용의 고효율 수단을 제공한다. 일반적인 애플리케이션은, 셀폰, 태블릿 또는 다른 핸드헬드 디바이스에 대한 충전 시스템, USB 전력 변환, 소비자용 전원 장치, 의료 및 산업용 디바이스, 및 많은 다른 가능한 용도를 포함하지만, 이들에 제한되지는 않는다.

[0173] Tronium PSSoC는 위에서 설명된 것과 같은 구성 및 특징과 함께 고효율성, 저노이즈, 및 낮은 EMI를 제공한다. 또한, AC-DC, DC-DC 컨버터는 높은 전력 밀도, 저비용, 및 전기적 절연을 갖는다. 이들 이점은, 집적하지 않을 경우 별개인 부품의 하나의 칩으로의 집적, 스위치 커패시터 전압 브레이크다운 방식의 활용 및 1차측 감지/제어로부터 달성된다. 따라서, Tronium PSSoC의 주요 특징은 다음과 같다: 광범위한 가용 AC 입력 전압 및 주파수에 대한 지원; 적절한 동작을 위한 입력 전압으로 구성하기 위한 자동 설정을 갖는 입력 전압의 자동 검출 및 프로그램가능한 출력 전압; AC-DC, DC-DC 변환을 위한 고효율 스위치 커패시터 회로; 고정밀도를 위한 PID(또는 유사한) 레귤레이션 제어 루프; 전류 및 온도 모니터링용 디지털 상태 머신; 아이들(뱀파이어) 동작 모드에 대한 초저 소비전력; 구성 및 제어용 광절연 마이크로프로세서 인터페이스; 및 제조 테스트용 통신 포트.

[0174] Tronium PSSoC의 아날로그 및 디지털 인터페이스, 입력, 및 출력은 통상의 동작 범위 밖에 있는 전압과 전류를 견딜 수 있다. 상기 유닛은 넓은 온도 범위에 걸쳐 또한 동작할 수 있고 충분한 ESD 내성을 제공한다.

[0175] Tronium PSSoC는 외부 세계 및 외부 회로와 인터페이싱하기 위한 입력 및 출력을 제공한다. 이들은: 전력 입력, 전력 출력, 저전류 셧다운 인에이블 입력, 모드 선택 입력, 외부 회로부가 요구되는 중간 접속, 테스트 접속,

통신 접속, 전력 출력, 레귤레이터 출력, PID 기반 PWM용 접속, FET 구동 출력, 및 피드백 입력을 포함하지만, 이들에 제한되는 것은 아니다.

[0176] Tronium PSSoC는, 고효율로 그리고 높은 정확도로 출력 전압 레귤레이션을 제공하도록 설계되는 진보된 전력 컨트롤러 집적 회로이다. Tronium PSSoC의 진보된 특징은, 아주 다양한 애플리케이션에서 사용될 수 있는 다용도 디바이스를 유저에게 제공한다. 프로그램가능한 출력 전압이 Tronium PSSoC에 의해 가능하기 때문에, 다양한 전류 부하 컨디션에 걸쳐 효율성 손실이 거의 또는 전혀 없다.

[0177] Tronium PSSoC는, 부하 전압 또는 전류에 무관하게 고효율성을 유지하기 위해 독점적 스위치 커패시터를 사용한다. 부하에 의해 어떠한 전류도 인출되지 않는 경우, 디바이스는, 깬 상태로 머무는 데 필요한 전통적인 '뱀파이어' 전류를 최소화할 뿐만 아니라 넓은 부하 범위에 걸쳐 높은 효율성을 제공하기 위해 부하에 대한 활성 서브시스템의 수를 스케일링하기 위해, 저전류 동작 모드로 들어갈 것이다.

[0178] Tronium PSSoC의 상위 레벨의 블록도가 도시되며, 그것은 하기의 주요 회로 블록으로 구성된다: 고전압 다중 단/다중 브랜치 스위치 커패시터 전압 브레이크 다운 회로; PID(또는 다른 스위치식 모드 제어 방식), 2차 변압기의 PWM 제어를 위한 레귤레이터 제어 블록; 전류 및 온도 감지 블록; 전압 및 전류 모니터링을 위한 ADC 또는 비교기; DAC, PWM, 또는 피드백 제어를 위한 다른 신호; 전압 & 전류 모니터링 상태 머신을 위한 디지털 제어 블록; 통신 인터페이스; 및 온 칩 전압 및 전류 생성 및 다른 전력 요건을 위한 전력 관리.

[0179] 전력 관리. 전력 관리 블록은 필요한 전력 레일과 IC의 나머지에 대한 기준을 제공한다. 그것은 전압 레귤레이터, 전류 기준 및 전압 기준으로 구성된다. 그것은 또한, IC사용에 필요한 증폭 및 모든 필요한 버퍼링을 포함한다. 전력 관리 시스템은, 전력 싸이클 상에서 시스템의 셧다운 및 기동을 관리하는 리셋 컨트롤러를 또한 포함한다.

[0180] 스위치 커패시터 전압 브레이크다운 회로. Tronium PSSoC의 스위치 커패시터 전압 브레이크다운 회로는 거의 무손실 분압기로서 작동한다. 그것은 LINE_IN 핀에 존재하는 정류된 DC 전압을, 2차 전압 제어 루프 및 외부 변압기에 의한 사용을 위해 CP2_OUT 핀에서 감소된 전압으로 분압한다. 그 다음 외부 변압기는 이 전압을 1차 대 2차 권선 비의 함수로서 소망의 애플리케이션 전압으로 더 감소킬뿐만 아니라 필요하면 절연을 제공할 수 있다.

[0181] 스위치 커패시터 회로는 하기에 나타내어진 바와 같이 다수의 병렬 브랜치를 갖는 다수의 동일한 단의 캐스케이드로서 구성된다. 병렬 브랜치는, 전류 감지 증폭기에 의해 감지되는 부하 전류에 기초하여 회로 내에서 또는 회로 밖에서 스위칭된다. 이것은 스위치 커패시터 회로가 광범위의 부하 전류에 걸쳐 고효율성을 유지하는 것을 가능하게 한다. 하기의 도면에서, 병렬 시스템의 수는 2단을 포함하는 4이다. 변환 단과 병렬 시스템의 수는, 특정 입력/출력 전압 비 또는 전력 요건에 대해 가장 최적화되도록 변경될 수도 있다.

[0182] 스위치 커패시터 회로는, 전력 효율성을 최대화하기 위해 온 칩 또는 오프 칩 플라이백 커패시터를 전압 리플을 최소화하기 위해 외부 홀드 커패시터를 사용한다. 이들 커패시터는, 스위치 커패시터 회로의 제1의 단 및 제2의 단의 출력을 위한 CP1_OUT 및 CP2_OUT 핀에 각각 연결된다. 모든 단은 발진기에 의해 클로킹되거나, 또는 각각의 단은 자기 자신의 전용 발진기를 구비할 수도 있다. 스위치 커패시터 회로의 각각의 브랜치는 독립적 인에이블을 구비할 수도 있다.

[0183] 출력 전압은, 디지털-아날로그 컨버터(DAC)의 사용을 통해 고해상도를 갖는 애플리케이션의 주어진 범위에 대한 전압의 범위에 걸쳐 프로그램가능하다. 이 DAC의 디지털 제어는, 타겟 애플리케이션에 필요한 소망의 최종 출력 전압을 획득하도록 다수의 전압이 CP2_OUT 핀에서 프로그래밍되는 것을 가능하게 한다.

[0184] 다른 스위치 커패시터 회로 단의 스위치 커패시터 회로 출력 설정은, 유저에 의해 결정되거나 측정된 AC 라인(Vin)으로부터 유도될 수 있고, 그 결과 Vin과 Vout 사이의 최적의 비가 실현될 수 있다.

[0185] 각각의 스위치 커패시터 회로 단의 레귤레이션은 연산 트랜스컨덕턴스 증폭기(Operational Trans-conductance Amplifier; OTA)의 사용을 통해 획득된다. OTA는 출력 전압과 입력 기준 전압 사이의 차이의 함수로서 각 단의 플라이백 커패시터에 인가되는 전류를 레귤레이팅한다. 이 입력 기준 전압은 애플리케이션에 따라 프로그램되거나, 유도되거나, 또는 고정될 수도 있다.

[0186] 스위치 커패시터 회로 설정을 최적화하기 위해, 유입 라인의 전압 측정이 취해질 수도 있다. 이 설정 계산은 온 칩, 오프 칩, 또는 칩 회로부 상의 적절한 것을 통해 즉석에서 수행될 수 있고, 따라서 각 스위치 커패시터 회로 단의 출력은 가장 최적화된 비에 있게 된다.

[0187] 전류 감지 증폭기. Tronium PSSoC의 전류 감지 증폭기는, 피드백 루프뿐만 아니라 에러 리포팅의 일부로서 전류

를 측정하는 것을 허용한다. 전류는 ADC에 의해 또는 가변 임계치를 갖는 일련의 비교기를 통해 측정될 수 있다.

[0188] PID 제어 루프. Tronium PSSoC는, 절연 변압기의 1차측, 벅, 부스트, 또는 벅 부스트 회로를 구동하기 위해, 비례식 적분 및 미분(Proportional-to-Integral-and-Differential; PID) 루프 또는 대안적 PWM 제어 회로를 제공한다. 이 회로는 포스트 레귤레이션 및 필요하다면 절연을 제공할 것이다.

[0189] PID 루프에 대한 피드백은 예를 들면 디지털 소스(예를 들면, 직렬화된 ADC 스트림, 그러나 이것에 제한되지는 않음) 또는 아날로그 신호 중 어느 하나로부터 유래할 수 있고, 이들 둘 다는 회로의 출력에 의존한다. 이 피드백은 레귤레이팅된 출력 전류 또는 전압에 관한 정보를 제공할 수 있다.

[0190] 온도 센서. 온 보드 온도 센서가 실현되어, 과온도 상황으로부터 충분히 보호될 수도 있다. 열적 손상에 대한 보호를 위해 취해지는 액션은 출력 전력의 디레이팅과 출력의 완전한 셧다운을 포함할 수도 있다.

[0191] 제어 회로부. Tronium PSSoC는 디지털 수단을 통하든지 또는 아날로그 회로부를 통하든지 간에 제어를 제공한다. 이 제어 회로부를 통해, IC는 기존 제어 임계치 및 제어 포인트를 설정하고 변경할 수 있을 뿐만 아니라 특정 기능성을 인에이블/디스에이블할 수 있다. 이것은 디지털 인터페이스에서 레지스터 또는 퓨즈를 통해 또는 아날로그 설정이 소망된다면 아날로그 핀에 대한 인가 전압을 통해 행해질 수 있다.

[0192] 피쳐가 인에이블되면, Tronium PSSoC는 시스템의 출력이 디스에이블되거나 디레이팅되는 것을 허용한다. 이것은, PWM, 스위치 커패시터 회로를 턴오프하는 것에 의해, 또는 서브시스템 중 하나 또는 둘 다의 디레이팅을 통해 발생할 수 있다. 에러 검출의 결과로서 낮은 출력 전류 또는 출력 전력 상황의 결과로서 디스에이블될 수 있으며, 낮은 출력 전류 또는 출력 전력 상황은, 배터리를 포함하는 연결된 디바이스가 배터리 충전을 완료하고 Tronium PSSoC만이 비배터리 충전 기능성에 전력을 제공하는 경우 발생한다. 일단 Tronium PSSoC가 저전류 셧다운 상태로 들어가면, 배터리가 이제 추가 충전을 필요로 한다는 것을 나타내는 소정의 임계치 위의 전력을 Tronium PSSoC가 이제 필요로 하는지의 여부를 점검하기 위해, Tronium PSSoC는 엔드 디바이스로 출력 전력을 간헐적으로 재인가할 것이다. 오프 상태에서 소비되는 시간은 다양한 애플리케이션에 대해 조정될 수도 있다. 도 33은 저전류 검출 및 에러 검출용 알고리즘의 예를 예시한다.

[0193] Tronium PSSoC는, 디바이스가 IC를 제어하고 구성할 수도 있도록, 외부 회로부에 대한 다수의 인터페이스를 제공한다. 이들 인터페이스는 SPI, I2C, UART 또는 다른 동기식/비동기식 직렬 스트림을 포함할 수 있지만, 이들에 제한되는 것은 아니다. 외부 회로부의 사이즈와 부품 수를 최적화하기 위해, NRZ 포맷에 대한 대안적 인코딩이 또한 실현될 수 있다. 마찬가지로, 이들 통신 인터페이스는, 절연된 영역으로부터의 통신을, 이것이 소망되면, 인에이블하기 위해, 절연 디바이스에 연결될 수 있다.

[0194] 클록 생성기. Tronium PSSoC는 자기 자신의 내부 클록을 생성하는 능력을 가질 수도 있고 이것은, 내부 RC 발진기, PLL, FLL, 클록 분주기, VCO, 및 트리밍 회로부를 포함하지만 이들에 제한되지는 않는 주파수 제어 회로를 또한 포함할 수도 있다. 추가적으로, 클로킹 트리는, 방사되고 전도된 EMI에 대한 클로킹의 효과를 최소화하기 위해, 고의적 클록 지터 또는 클록 에지 배치를 변경하기 위한 다른 수단을 구현할 수도 있다.

[0195] 모듈 설명. Tronium PSSoC는, AC 전력을 입력을 받아들이고, 이 전력을 DV 전압으로 변환하고, 이 전력을 외부 디바이스로 공급하는 모듈로 통합될 전원장치 디바이스로서 사용하기 위한 것이다. 모듈은 많은 형태를 취할 수 있고, 이것은 출력의 ASIC으로의 아날로그 피드백 또는 디지털 피드백 중 어느 하나를 포함할 수 있고, ASIC은 피드백이 없는 개방 루프 모드에서 동작할 수 있다. 추가적으로, 모듈 회로부는, (복수의 연결된 출력이 존재해야 하면) 개개의 출력은 별도로 모니터링되고 제어될 수 있다. 모듈 내에서의 감지 성능은, 애플리케이션 및 레귤레이션 요건에 따라 ASIC에 의해 취해지는 측정을 보충하거나 대신하도록 의도된다.

[0196] 도 34는 절연 및 별개의 출력 감지를 갖는 디지털 피드백 모듈을 포함하는 전력 회로(22)의 개략도이다. 도 35는 피드백 절연의 선형화를 갖는 아날로그 피드백 모듈을 포함하는 전력 회로(22)의 개략적 예시이다. 이들은 아날로그 피드백 버전과 디지털 피드백 버전을 나타낸다. 이들 도면 둘 다는 설계의 일부로서 절연 변압기를 또한 나타낸다. 이 컴포넌트는 애플리케이션의 요건에 따라 모듈 내에 포함될 수도 또는 포함되지 않을 수도 있다. 두 예는 동기식 정류 방식을 설명하지만, 비동기식 시스템이 또한 실현될 수도 있다.

[0197] 디지털 피드백 설명. 디지털 피드백 모듈은, 출력 전압을 모니터링하고 고정밀의 측정이 출력 접속부에서 취해지는 것을 허용하기 위해, 마이크로컨트롤러, 독립형 ADC, 또는 보조 AISC을 포함한다. 이것은 컴포넌트 손실, 온도, 및 출력 전압에서 변동을 야기할 수도 있는 다른 변수에 대해 모듈이 보상하는 것을 허용한다. 그 다음, 이 데이터는 포맷되고 다시 ASIC로 전송되어 디지털 피드백 스트림을 제공하게 된다. 다수의 출력이 연결되어야

하면 개개가 각각에서 감지하도록 하는 전류 감지 및 출력 인에이블 트랜지스터가 또한 도시된다. 이 방식에서, ASIC 설명에서 설명된 저전력 셧오프 기능성은, 전력이 공유되더라도 개개의 부하에 적용될 수 있을 것이다.

[0198] 아날로그 피드백 설명. 비용 또는 다른 이유로 인해, 아날로그 피드백 시스템을 사용하는 것이 바람직하면, Tronium PSSoC는 아날로그 피드백 입력을 통해 이것이 실현되도록 허용한다. 도시된 실시예에서, 광절연 LED를 통한 전류는 출력 전압에 비례한다. 회로는, 출력 전압이 타겟 출력에 있을 때 IC 상의 아날로그 피드백 핀에서의 전압이 공칭 전압에 있도록 설계된다. 전류 모니터링은 변압기의 1차측에서 IC에 의해 수행되고, 측정은 변압기의 턴 할당에 의해 스케일링된다.

[0199] 도 36은 전력 회로(22)와 함께 사용될 수도 있는 레벨 시프터 회로의 개략적 예시이다. 일 실시예에서, 스위치 커패시터 전압 브레이크다운 회로(32)와 벅 레귤레이터(34)는, 정적 CMOS 레벨 디지털 신호를 취할 수 있고 그 신호를 다양한 레벨로 전압 시프트할 수 있는 레벨 시프터에 의존한다. 이것은, 고전압 스위치 오프 및 온 Tronium PSSoC 칩 둘 다를 적절히 구동하기 위해 수행된다. 레벨 시프터는 정적 dc 전류 바이어스 전류를 갖는 차동 쌍으로 구성된다. 차동 쌍은 CMOS 레벨 신호를 증폭시키고 그 다음 더 높은 레일로 시프트한다. 임의의 트랜지스터 브레이크다운을 방지하기 위해 신호 경로에서 사용되는 캐스코드가 존재한다. 레벨 시프터는 임의의 정적 전류 드레인을 방지하기 위해 p-채널 스위치를 통해 디스에이블될 수 있다. 일단 신호가 아날로그 레일로 시프트되면, 그것은 더 증폭되어 싱글 엔디드로 변환되고 그 다음 정적 CMOS 레벨로 다시 변환되어 고전압 스위치를 구동한다.

[0200] 도 38 및 도 39는 전력 회로(22)의 추가적인 개략적 예시이다. 일 실시예에서, 포워드 컨버터 변압기(102)는, 전류 감지를 위한 2차측의 복제로서 사용될 수도 있는 3차 권선(152)(도 39 및 도 40에 도시됨)을 포함할 수도 있다. 예를 들면, 몇몇 Tronium PSSoC 애플리케이션은 저전압에서 작동할 수 있고 자체 구동된 동기식 정류기가 신뢰성 있는 해결책이 아닐 수도 있다. 더 많은 게이트 전압이 강건한 시스템을 보장할 것이다. 예를 들면, 1.8볼트 DC 출력에 대한 애플리케이션이 존재할 수도 있다. 12:1 변압기와 43볼트의 CP-DAC2 설정을 가정하면, 2차 권선에서 3.6 VDC가 피크 전압이다. 동기식 정류기 FET에 대한 게이트 구동의 7.2볼트를 생성하기 위해 12:2 보조 권선이 사용될 수 있다. 변압기 설계는 이 요건을 지원하기 위해 2차측에 보조 권선(152)을 포함할 수도 있다.

[0201] 도 41은 DC-DC 변환 회로를 포함하는 전력 회로(22)의 개략도이다. 예시된 실시예에서, 전력 회로(22)는 DC 입력 전력 신호를 수신하기 위한 그리고 더 낮은 전압 레벨을 갖는 DC 출력 전력 신호를 생성하기 위한 스위치 커패시터 전압 브레이크다운 회로(32)를 포함한다. 일 실시예에서, 전력 회로(22)는 SCVBC(32)와 병렬로 커플링된 스위치 모드 벅 레귤레이터(34)를 또한 포함할 수도 있다. 고효율 스위치 커패시터 전압 브레이크다운 회로(32)는 전기적으로 병렬로 커플링되는 플라이백 커패시터의 쌍, 및 플라이백 커패시터의 쌍의 각각에 전기적으로 커플링되는 복수의 스위치 어셈블리를 포함한다. 일 실시예에서, 커패시터 사이의 게이트는 공유된다. 스위치 어셈블리는, 충전 단계 동안 플라이백 커패시터의 쌍의 각각에 입력 DC 출력 신호를 선택적으로 전달하도록, 그리고 방전 단계 동안 입력 DC 전력 신호보다 더 낮은 전압 레벨을 갖는 출력 DC 전력 신호를 전자 디바이스로 선택적으로 전달하도록 동작될 수도 있다. 적어도 하나의 스위치 어셈블리는 N-채널 MOSFET 스위치 및 N-채널 MOSFET 스위치로 제어 신호를 전달하기 위한 레벨 시프터를 포함할 수도 있다. 또한, 입력 DC 전력 신호를 수신하고 입력 DC 신호보다 더 높은 전압 레벨을 갖는 출력 전력 신호를 생성하기 위해, 딕슨 전하 펌프가 레벨 시프터에 커플링될 수도 있다. 출력 전력 신호는 N-채널 MOSFET 스위치를 동작시키는 데(또는 다른 타입의 MOSFET를 클로징하는 데) 사용하기 위해 레벨 시프터로 전달된다. 또한, 스위치 커패시터 전압 브레이크다운 회로는, 입력 DC 전력 신호의 전압 레벨을 감지하기 위한 전압 감지 회로 및 스위치 커패시터 전압 브레이크다운 회로의 이득 설정을, 감지된 전압 레벨의 함수로서 선택하도록 또한 복수의 스위치 어셈블리의 각각을 선택된 이득 설정의 함수로서 동작시키도록 구성된 이득 컨트롤러를 포함하는 제어 회로를 포함할 수도 있다.

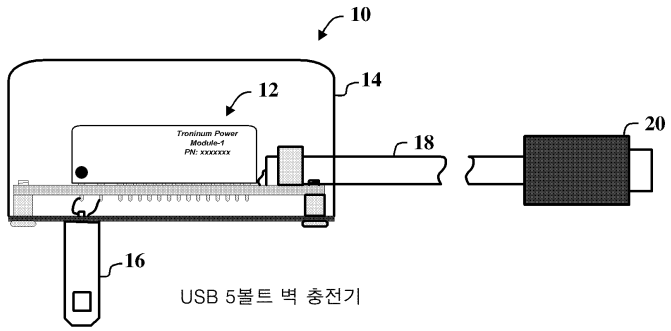
[0202] 이 기록된 설명은 본 발명을 개시하기 위해, 그리고 또한 당업자가, 임의의 디바이스 또는 시스템을 만들고 사용하며 임의의 통합된 방법을 수행하는 것을 포함해서, 본 발명을 실시하는 것을 가능하게 하기 위해 최적의 모드를 포함하는 예를 사용한다. 본 발명의 특허가능한 범위는 특허청구범위에 의해 정의되며, 당업자가 생각하는 다른 예를 포함할 수도 있다. 본 발명의 다른 양태 및 특징은 도면, 명세, 및 첨부된 특허청구범위의 학습으로부터 획득될 수 있다. 본 발명은 첨부된 특허청구범위의 범위 내에서 구체적으로 설명된 것과는 다르게 실시될 수도 있다. 첨부된 특허청구범위 내에서 열거된 단계 및/또는 기능은, 그 안에서 단계 및/또는 기능이 열거된 순서에도 불구하고, 동작의 임의의 특정 순서에 제한되지 않는다는 것을 주목해야 한다.

[0203] 본 발명의 다양한 실시예의 특정 특징이 몇몇 도면에서 도시되고 나머지 도면에서 도시되지 않을 수도 있지만,

이것은 편의상 그런 것이다. 본 발명의 원리에 따르면, 도면의 임의의 특징은 임의의 다른 도면의 임의의 특징과 결합하여 참조될 수도 있고/있거나 청구될 수도 있다.

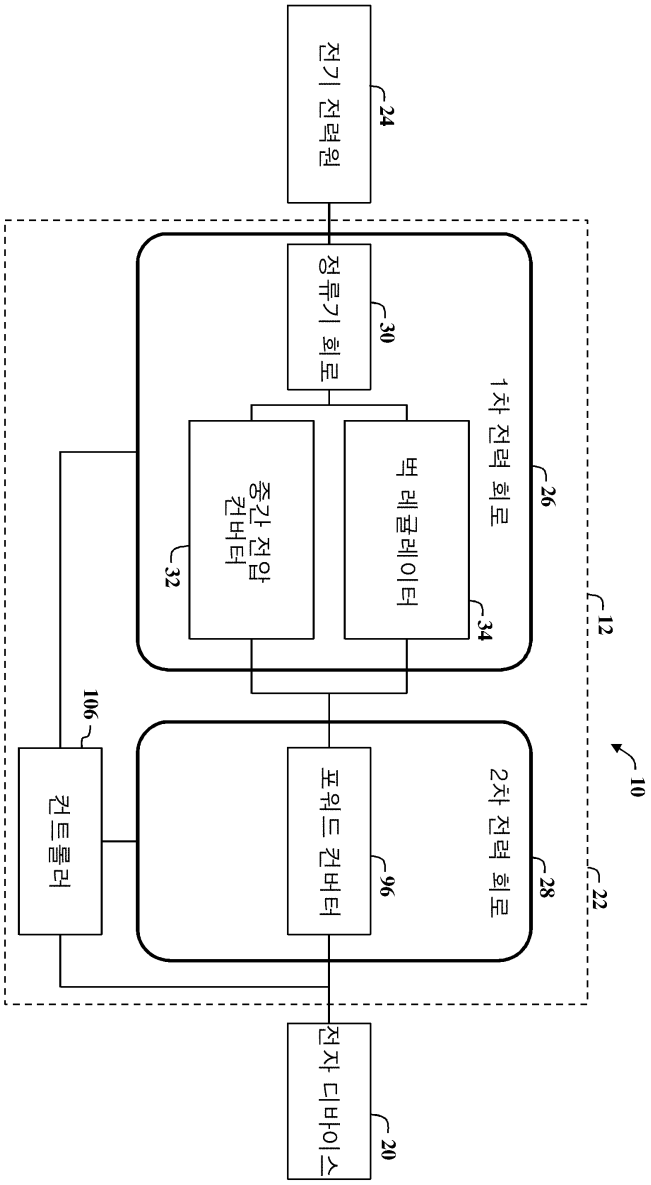
도면

도면1

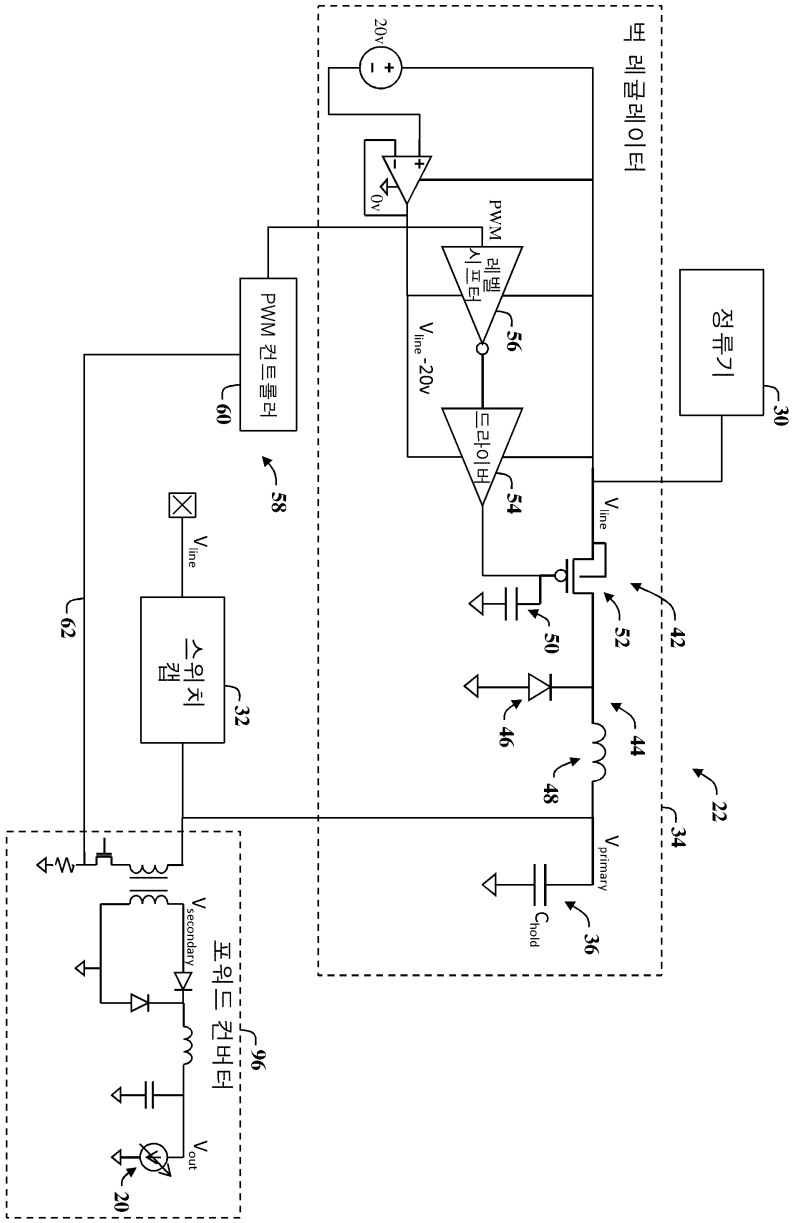


USB 5볼트 벽 충전기

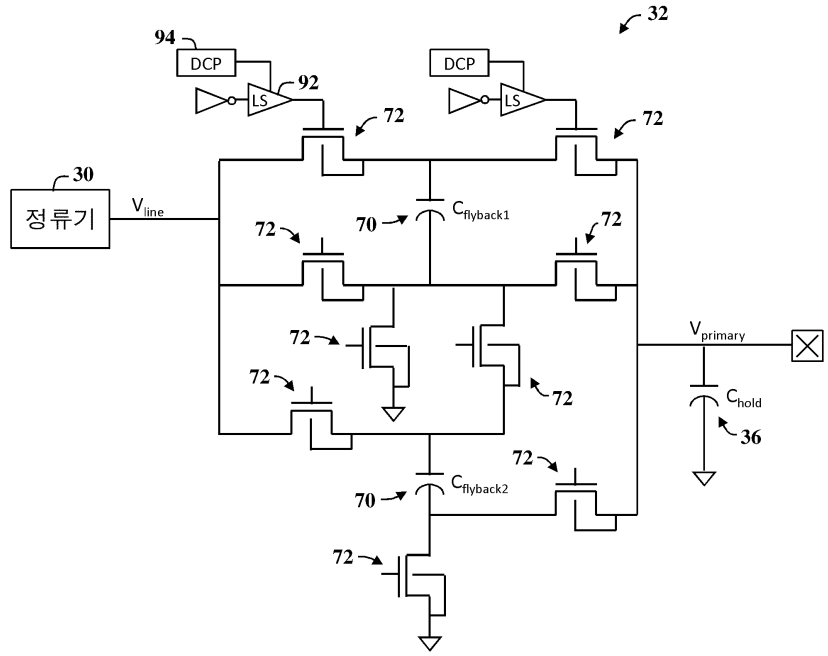
도면2


전기 전력원
24
정류기 회로
30
1차 전력 회로
26
벅 레귤레이터
34
중간 전압 컨버터
32
12
10
106
컨트롤러
포워드 컨버터
96
2차 전력 회로
28
22
전자 디바이스
20

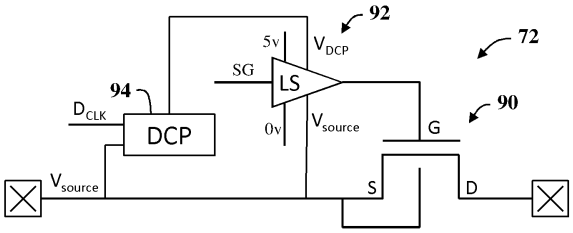
도면3


벅 레귤레이터
20v
0v
PWM
레벨
시프터
56
V_{line}-20v
드라이버
54
정류기
30
PWM 컨트롤러
60
58
V_{line}
스위치
캡
32
62
V_{line}
50
52
42
46
44
48
22
34
$V_{primary}$
C_{hold}
36
포워드 컨버터
96
$V_{secondary}$
V_{out}
20

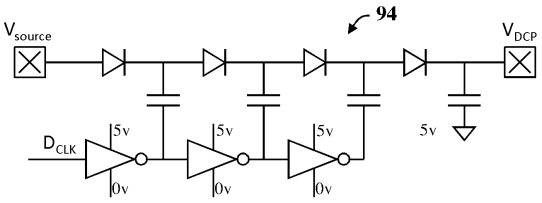
도면4


32
94
DCP
92
LS
72
DCP
LS
72
30
정류기
V line
72
70
C flyback1
72
72
72
V primary
72
C hold
36
72
70
C flyback2
72

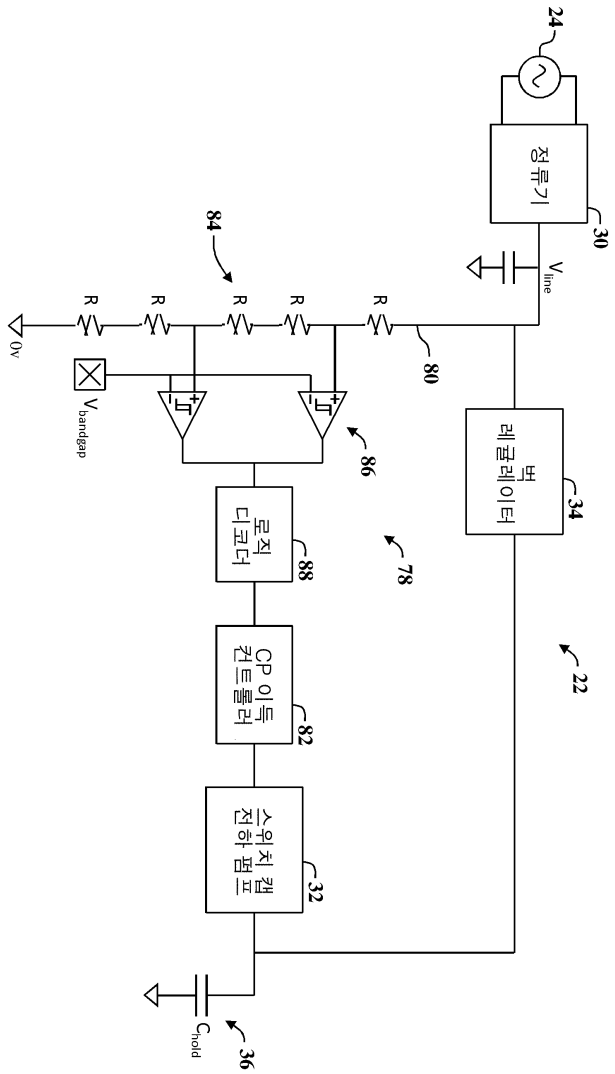
도면5


92
5v
V DCP
72
SG
LS
94
D CLK
DCP
0v
V source
90
G
V source
S
D

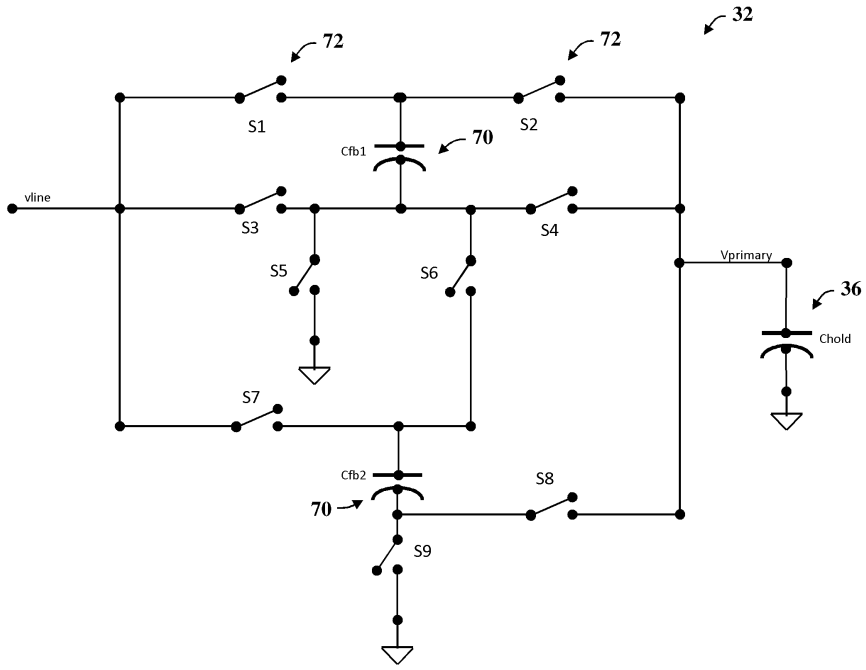
도면6


94
V source
V DCP
D CLK
5v
5v
5v
5v
0v
0v
0v

도면7


24
정류기
30
V_{line}
84
R
R
R
R
R
0v
80
$V_{bandgap}$
86
78
로직
디코더
88
CP 이득
컨트롤러
82
스위치 캡
전하 펌프
32
C_{hold}
36
벅
레귤레이터
34
22

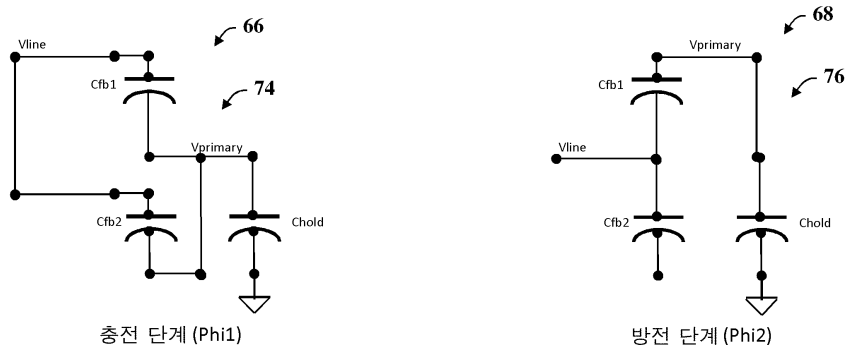
도면8



도면9

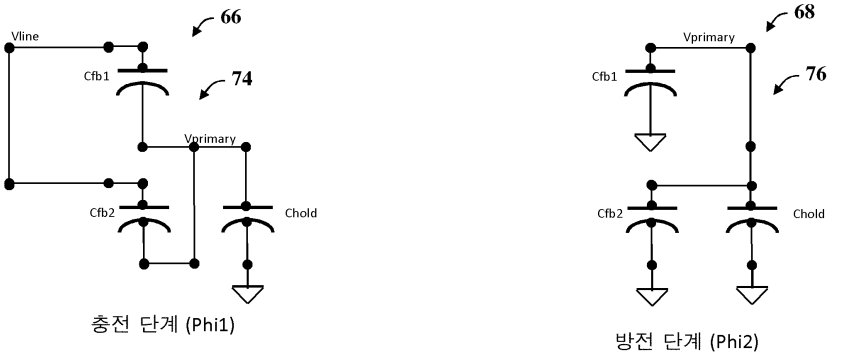
스위치명	단계1	단계2 G=1/2	단계2 G=2/3	단계2 G=1
S1	온	오프	오프	오프
S2	오프	온	온	온
S3	오프	오프	오프	온
S4	온	오프	오프	오프
S5	오프	온	오프	오프
S6	오프	오프	온	오프
S7	온	오프	오프	온
S8	온	오프	오프	오프
S9	오프	온	온	오프

도면10



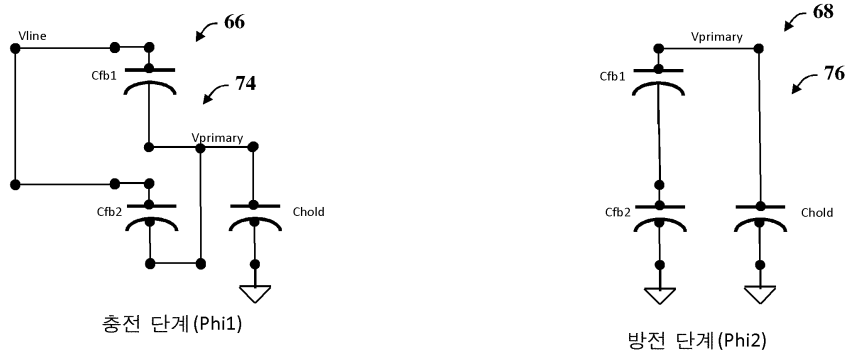
스위칭된 커패시터 이득: 1x

도면11



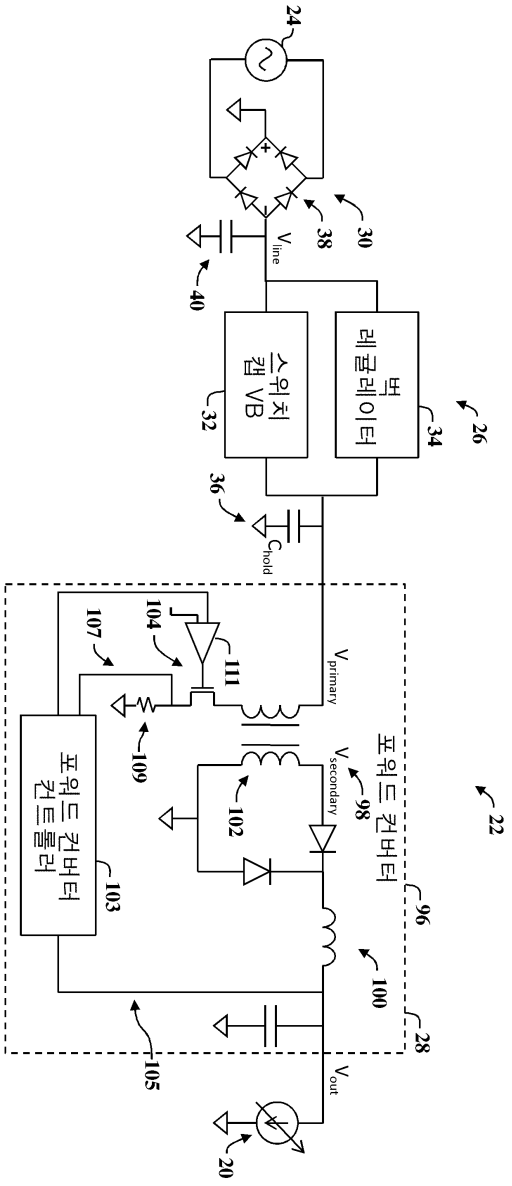
스위칭된 커패시터 이득: 1/2x

도면12

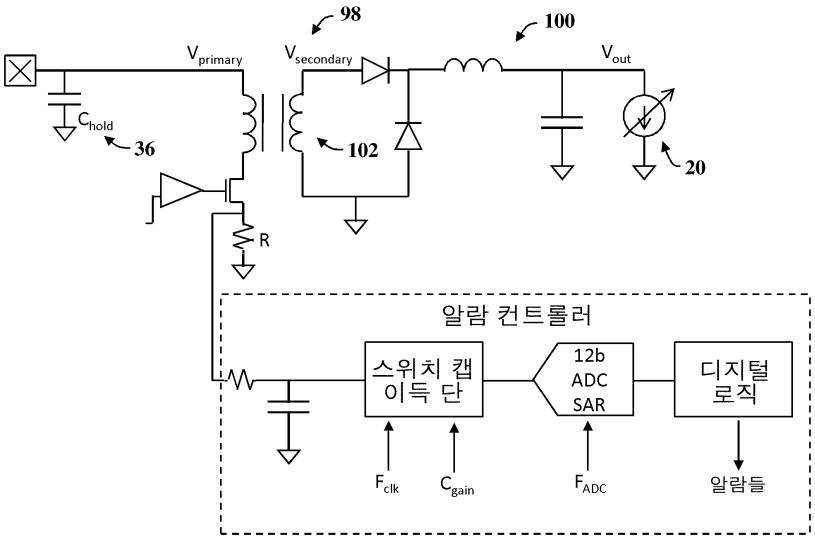


스위칭된 커패시터 이득: 2/3 x

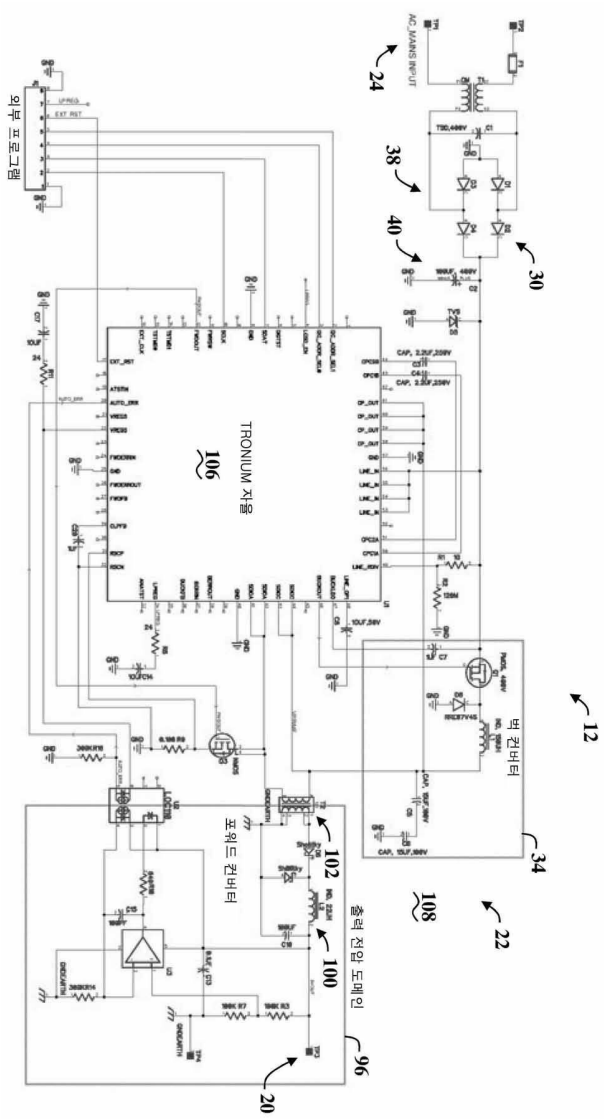
도면13


24
30
38
V_{line}
40
스위치 캡 VB
32
벅 레귤레이터
34
26
36
C_{hold}
107
104
111
$V_{primary}$
109
$V_{secondary}$
98
102
포워드 컨버터
96
포워드 컨버터 컨트롤러
103
100
28
105
V_{out}
20
22

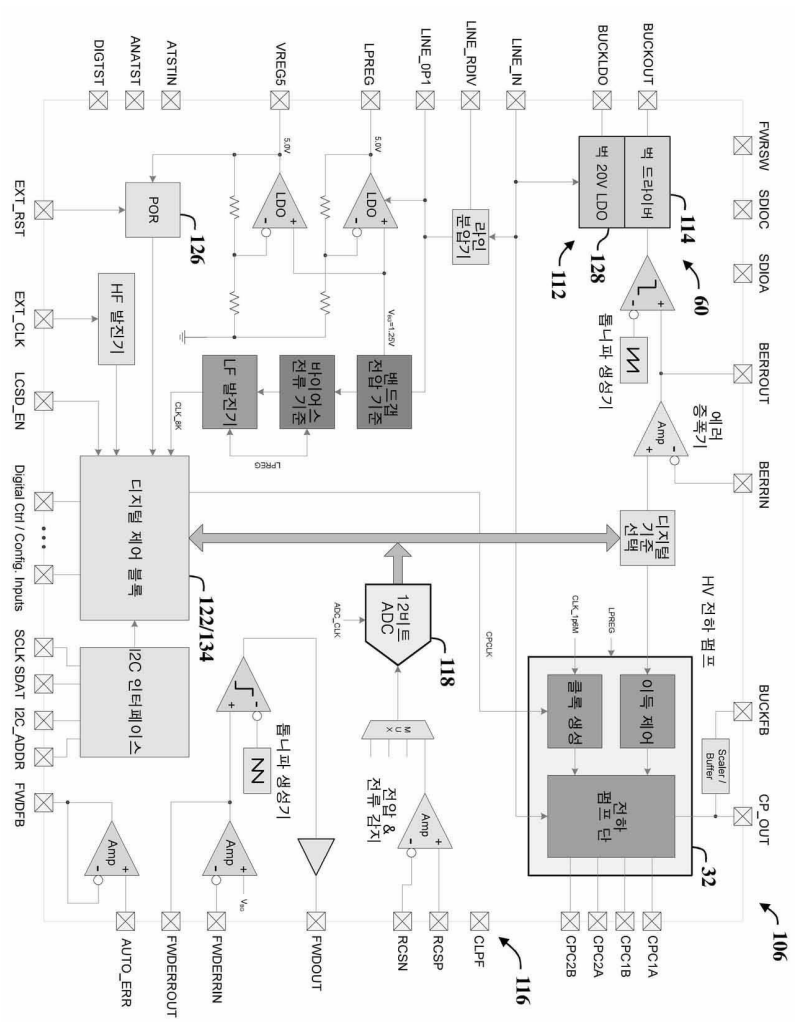
도면14


98
100
V primary
V secondary
V out
C hold
36
102
20
R
알람 컨트롤러
스위치 캡
이득 단
12b
ADC
SAR
디지털
로직
F clk
C gain
F ADC
알람들

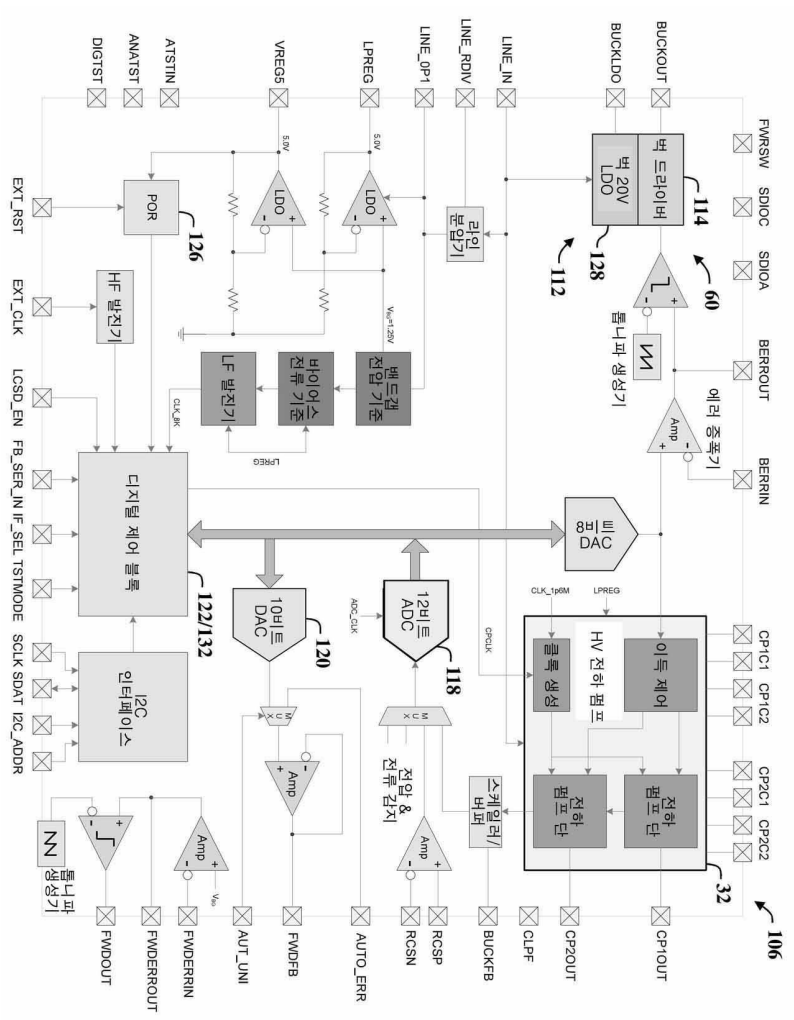
도면15


인터페이스 프로그램
TRONIUM 자율
106
벅 컨버터
포워드 컨버터
출력 전압 도메인
12
20
22
24
30
34
38
40
96
100
102
108

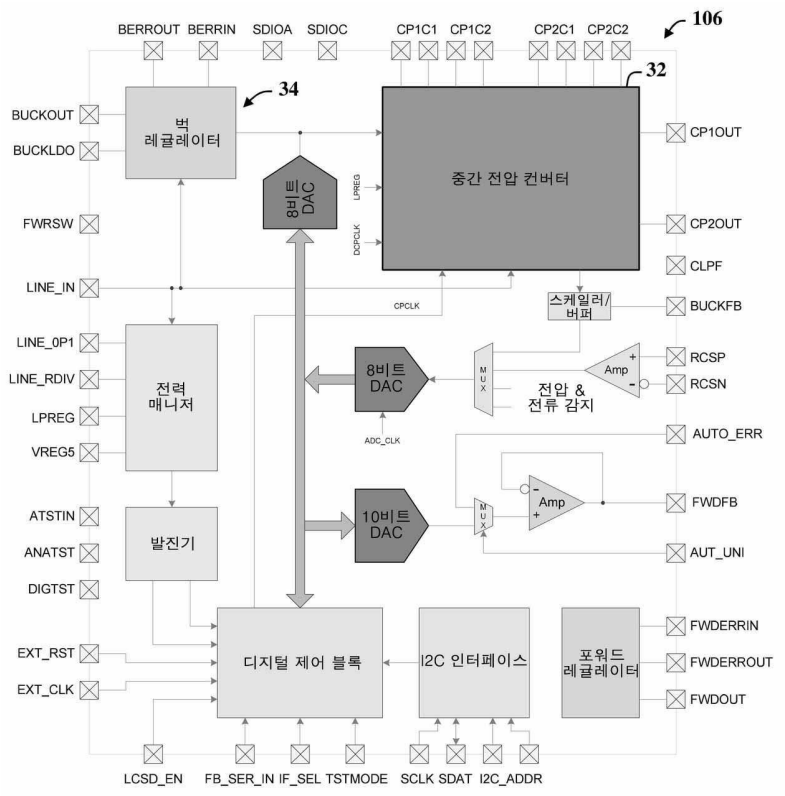
도면16


FWRSW
SDIOC
SDIOA
BERROUT
BERRIN
BUCKFB
CP_OUT
106
CPC1A
CPC1B
CPC2A
CPC2B
116
CLPF
RCSP
RCSN
FWDOUT
FWDERRIN
FWDERROUT
AUTO_ERR
FWDFB
I2C_ADDR
SCLK SDAT
Digital Ctrl / Config_Inputs
LCSD_EN
EXT_CLK
EXT_RST
DIGTST
ANATST
ATSTIN
VREG5
LPREG
LINE_DIV
LINE_IN
BUCKLDO
BUCKOUT
벅 드라이버
벅 20V LDO
114
128
112
60
툴니파 생성기
에러 증폭기
Amp
디지털 기준 선택
HV 전하 펌프
이득 제어
클록 생성
전하 펌프 단
32
Scaler / Buffer
CLK_PWM
LPREG
CPCLK
12비트 ADC
ADC_CLK
118
MUX
전압 & 전류 감지
122/134
디지털 제어 블록
I2C 인터페이스
툴니파 생성기
LF 발진기
CLK_LPF
바이어스 전류 기준
밴드갭 전압 기준
VBG=1.25V
HF 발진기
POR
126
LDO
5.0V
라인 분압기
Vss

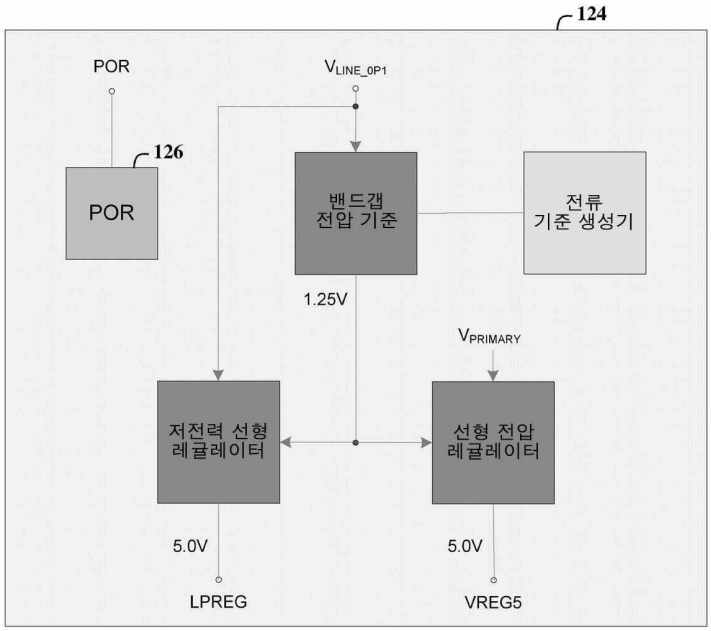
도면17a


FWRSW
SDIOC
SDIOA
BERROUT
BERRIN
CP1C1
CP1C2
CP2C1
CP2C2
106
32
CP1OUT
CP2OUT
CLPF
BUCKFB
RCSP
RCSN
AUTO_ERR
FWDFB
AUT_UNI
FWDERRIN
FWDERROUT
FWDOUT
BUCKOUT
BUCKLDO
LINE_IN
LINE_RDIV
LINE_OP1
LPREG
VREG5
ATSTIN
ANATST
DIGTST
EXT_RST
EXT_CLK
LCSD_EN
FB_SER_IN
IF_SEL
TSTMODE
SCLK
SDAT
I2C_ADDR
벅 드라이버
벅 20V LDO
114
128
112
60
에러 증폭기
Amp
풀니파 생성기
NN
리싱 분압기
LDO
5.0V
POR
126
HF 발진기
LF 발진기
바이어스 전류 기준
밴드갭 전압 기준
CLK_LPF
LPREG
디지털 제어 블록
122/132
8비트 DAC
10비트 DAC
120
12비트 ADC
118
ADC_CLK
CPCLK
CLK_1p6M
LPREG
HV 전하 펌프
클록 생성
이득 제어
전하 펌프 단
스케일러/버퍼
전압 & 전류 감지
I2C 인터페이스
MUX
Amp
풀니파 생성기
NN

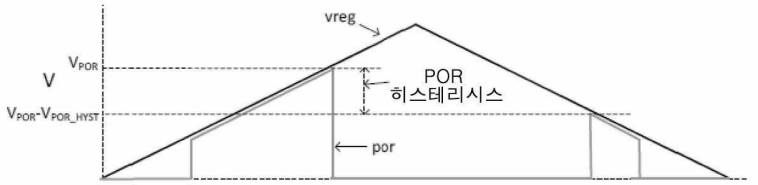
도면17b


106
BERROUT
BERRIN
SDIOA
SDIOC
CP1C1
CP1C2
CP2C1
CP2C2
34
32
BUCKOUT
BUCKLDO
벅
레귤레이터
8비트
DAC
중간 전압 컨버터
CP1OUT
FWRSW
CP2OUT
CLPF
LINE_IN
CPCLK
스케일러/
버퍼
BUCKFB
LINE_0P1
LINE_RDIV
LPREG
VREG5
전력
매니저
8비트
DAC
MUX
Amp
전압 &
전류 감지
RCSP
RCSN
ADC_CLK
AUTO_ERR
ATSTIN
ANATST
DIGTST
발진기
10비트
DAC
Amp
FWDFB
AUT_UNI
EXT_RST
EXT_CLK
디지털 제어 블록
I2C 인터페이스
포워드
레귤레이터
FWDERRIN
FWDERROUT
FWDOUT
LCSD_EN
FB_SER_IN
IF_SEL
TSTMODE
SCLK
SDAT
I2C_ADDR

도면18

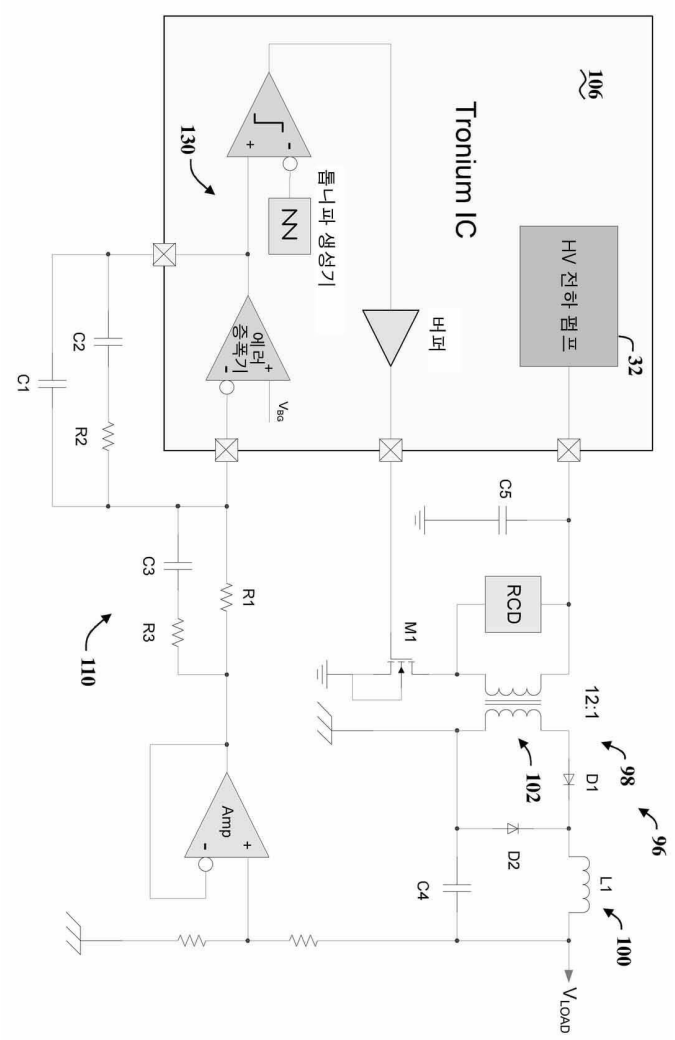

124
POR
VLINE_0P1
126
POR
밴드갭
전압 기준
전류
기준 생성기
1.25V
VPRIMARY
저전력 선형
레귤레이터
선형 전압
레귤레이터
5.0V
5.0V
LPREG
VREG5

도면19

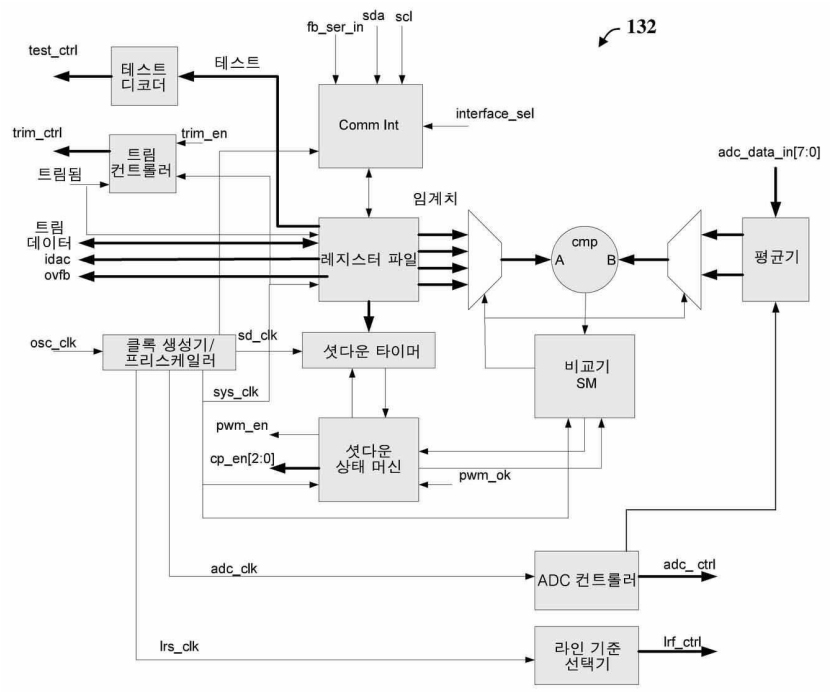


POR 임계 전압

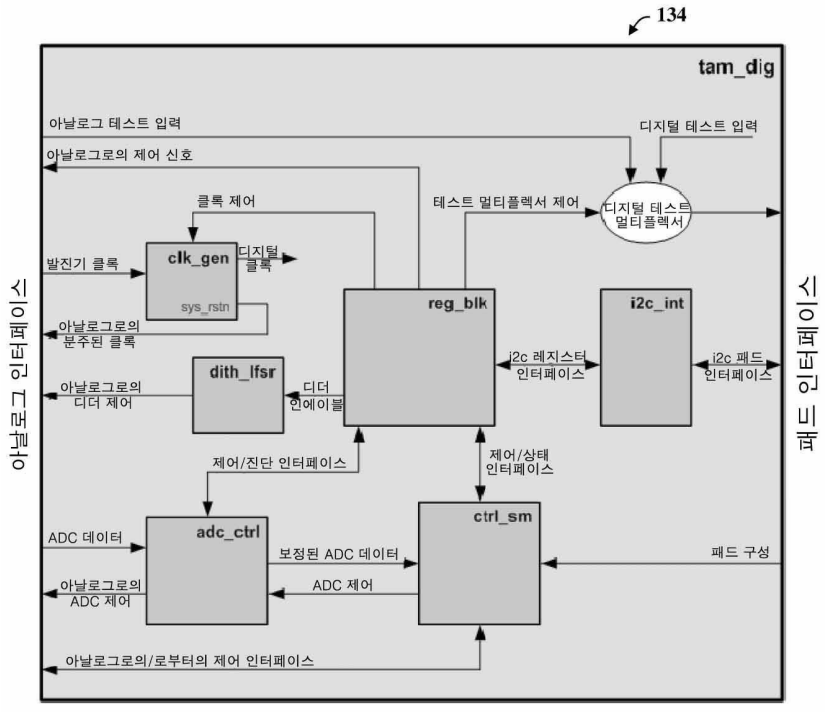
도면20



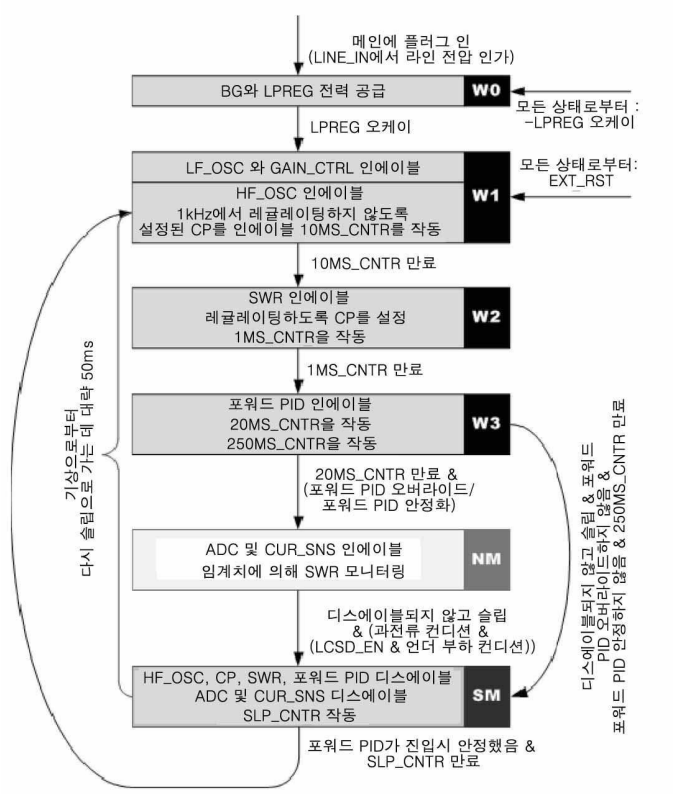
도면21


132
fb_ser_in
sda
scl
test_ctrl
테스트 디코더
테스트
Comm Int
interface_sel
trim_ctrl
트림 컨트롤러
trim_en
트림됨
adc_data_in[7:0]
임계치
트림 데이터
idac
ovfb
레지스터 파일
cmp
A
B
평균기
osc_clk
클록 생성기/ 프리스케일러
sd_clk
셧다운 타이머
비교기 SM
sys_clk
pwm_en
셧다운 상태 머신
cp_en[2:0]
pwm_ok
adc_clk
ADC 컨트롤러
adc_ctrl
lrs_clk
라인 기준 선택기
lrf_ctrl

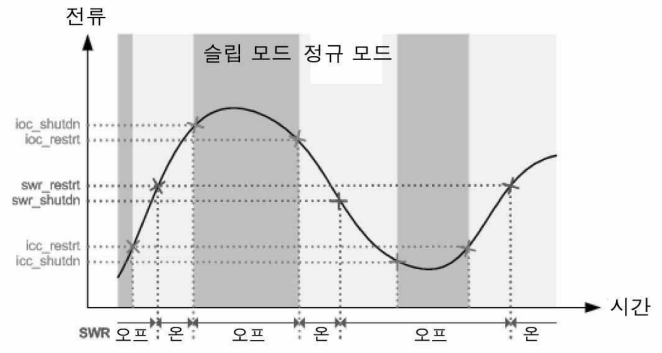
도면22


134
tam_dig
아날로그 테스트 입력
디지털 테스트 입력
아날로그로의 제어 신호
클록 제어
테스트 멀티플렉서 제어
디지털 테스트 멀티플렉서
발진기 클록
clk_gen
디지털 클록
sys_rstn
reg_blk
i2c_int
아날로그로의 분주된 클록
dith_lfsr
i2c 레지스터 인터페이스
i2c 패드 인터페이스
아날로그로의 디더 제어
디더 인에이블
제어/진단 인터페이스
제어/상태 인터페이스
ctrl_sm
adc_ctrl
ADC 데이터
보정된 ADC 데이터
패드 구성
아날로그로의 ADC 제어
ADC 제어
아날로그로의/로부터의 제어 인터페이스
아날로그 인터페이스
패드 인터페이스

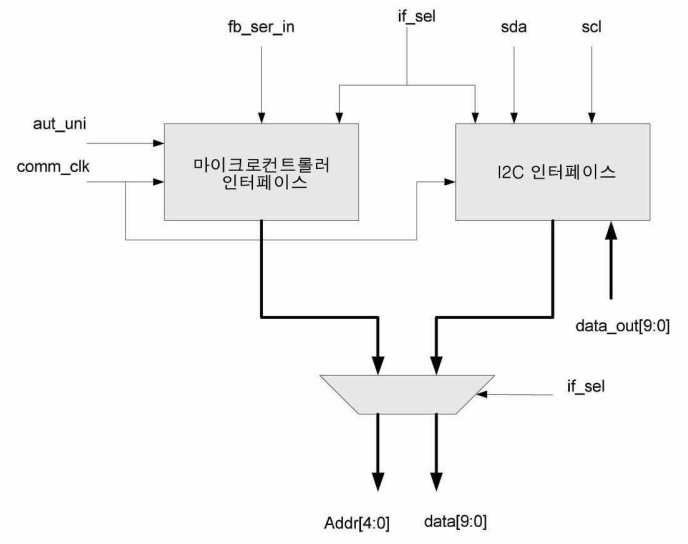
도면23


메인에 플러그 인
(LINE_IN에서 라인 전압 인가)
BG와 LPREG 전력 공급
W0
모든 상태로부터 :
-LPREG 오케이
LPREG 오케이
LF_OSC 와 GAIN_CTRL 인에이블
HF_OSC 인에이블
1kHz에서 레귤레이팅하지 않도록
설정된 CP를 인에이블 10MS_CNTR를 작동
W1
모든 상태로부터:
EXT_RST
10MS_CNTR 만료
SWR 인에이블
레귤레이팅하도록 CP를 설정
1MS_CNTR을 작동
W2
1MS_CNTR 만료
포워드 PID 인에이블
20MS_CNTR을 작동
250MS_CNTR을 작동
W3
20MS_CNTR 만료 &
(포워드 PID 오버라이드/
포워드 PID 안정화)
ADC 및 CUR_SNS 인에이블
임계치에 의해 SWR 모니터링
NM
디스에이블되지 않고 슬립
& (과전류 컨디션 &
(LCSD_EN & 언더 부하 컨디션))
HF_OSC, CP, SWR, 포워드 PID 디스에이블
ADC 및 CUR_SNS 디스에이블
SLP_CNTR 작동
SM
포워드 PID가 진입시 안정했음 &
SLP_CNTR 만료
기상으로부터
다시 슬립으로 가는 데 대략 50ms
디스에이블되지 않고 슬립 & 포워드
PID 오버라이드하지 않음 &
포워드 PID 안정하지 않음 & 250MS_CNTR 만료

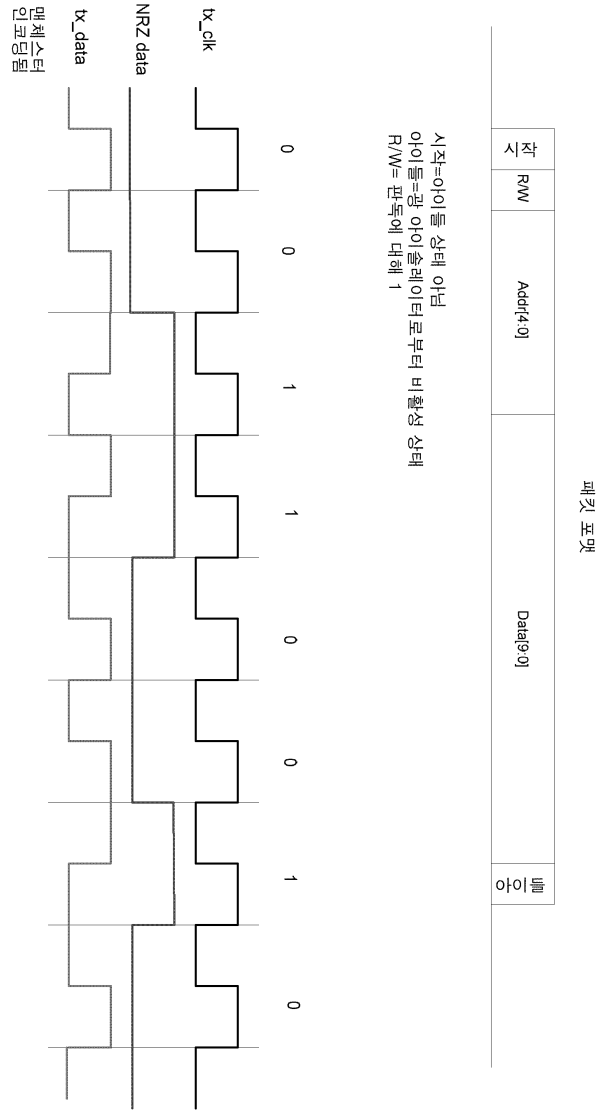
도면24


전류
슬립 모드
정규 모드
ioc_shutdn
ioc_restrt
swr_restrt
swr_shutdn
icc_restrt
icc_shutdn
시간
SWR
오프
온
오프
온
오프
온

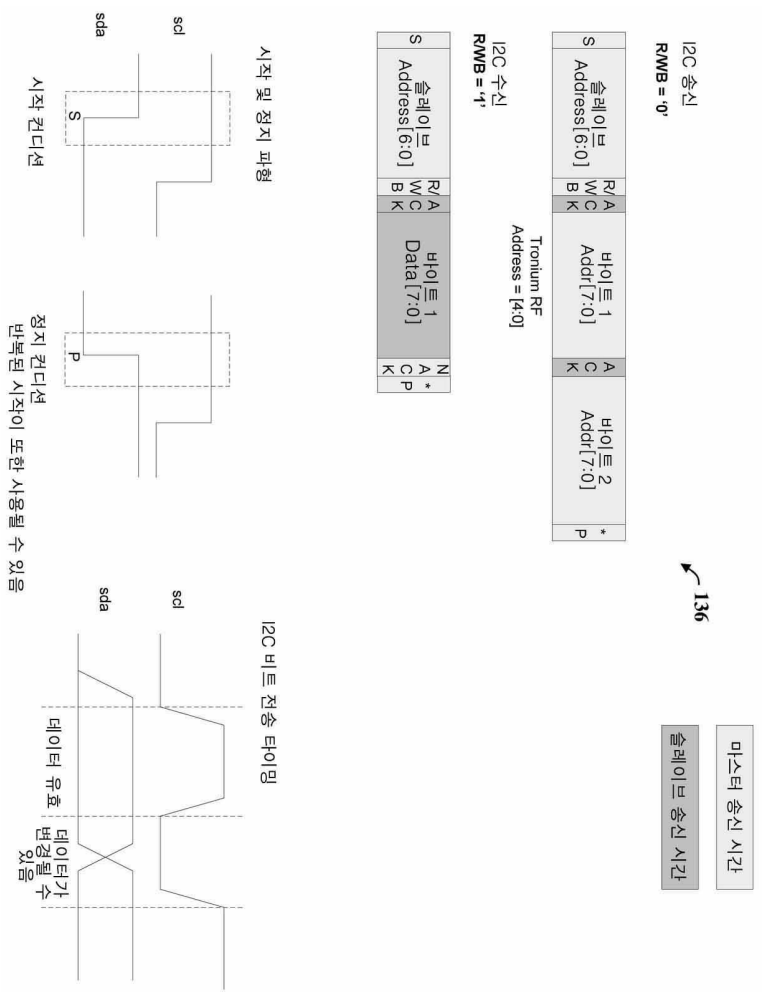
도면25


fb_ser_in
if_sel
sda
scl
aut_uni
comm_clk
마이크로컨트롤러
인터페이스
I2C 인터페이스
data_out[9:0]
if_sel
Addr[4:0]
data[9:0]

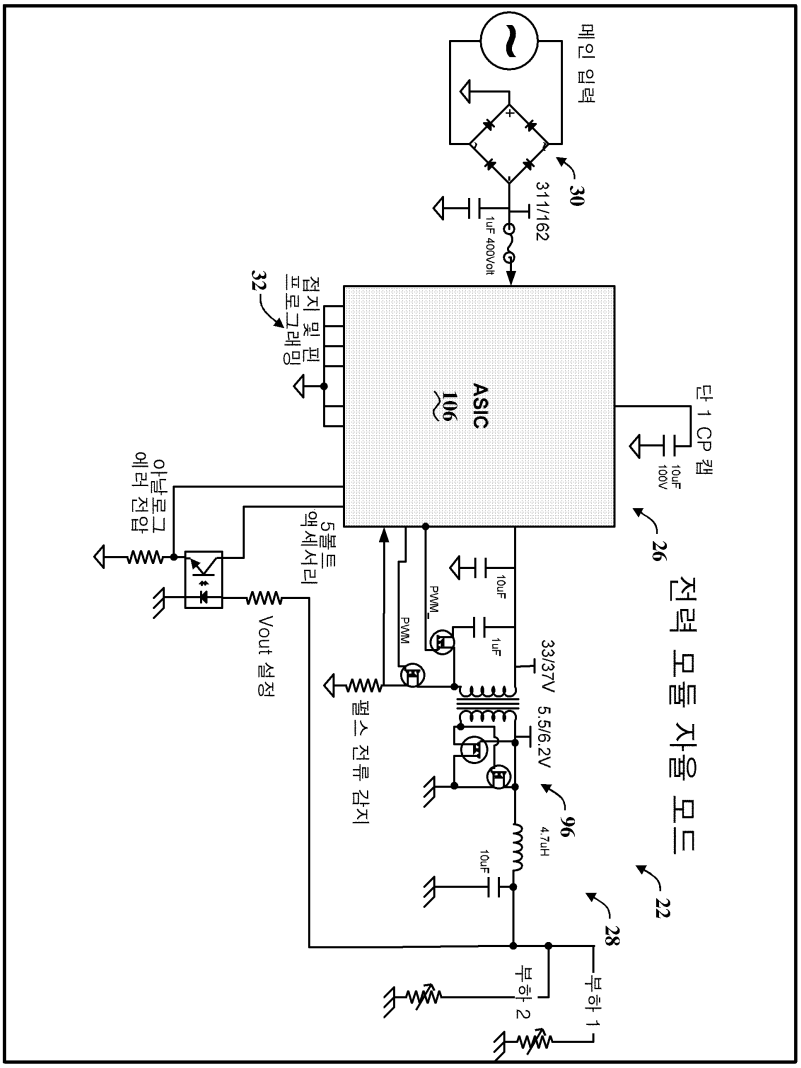
도면26


맨체스터 인코딩된
tx_data
NRZ data
tx_clk
0 0 1 1 0 0 1 0
시작=아이들 상태 아님
아이들=광 아이솔레이터로부터 비활성 상태
R/W= 판독에 대해 1
패킷 포맷
시작
R/W
Addr[4:0]
Data[9:0]
아이들

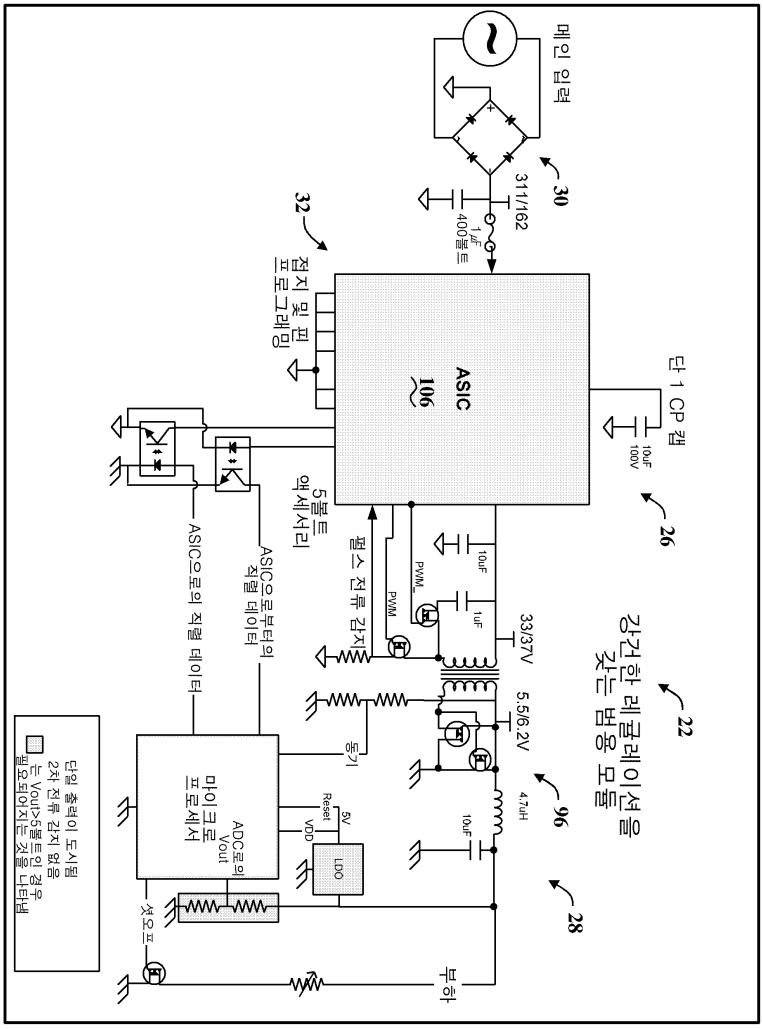
도면27


I2C 송신
R/WB = '0'
S
슬레이브 Address[6:0]
R/WB
ACK
바이트 1 Addr[7:0]
ACK
바이트 2 Addr[7:0]
ACK
P
136
Tronium RF Address = [4:0]
I2C 수신
R/WB = '1'
S
슬레이브 Address[6:0]
R/WB
ACK
바이트 1 Data[7:0]
ACK
NACK
P
마스터 송신 시간
슬레이브 송신 시간
시작 및 정지 파형
scl
sda
S
시작 컨디션
P
정지 컨디션
반복된 시작이 또한 사용될 수 있음
I2C 비트 전송 타이밍
scl
sda
데이터 유효
데이터가 변경될 수 있음

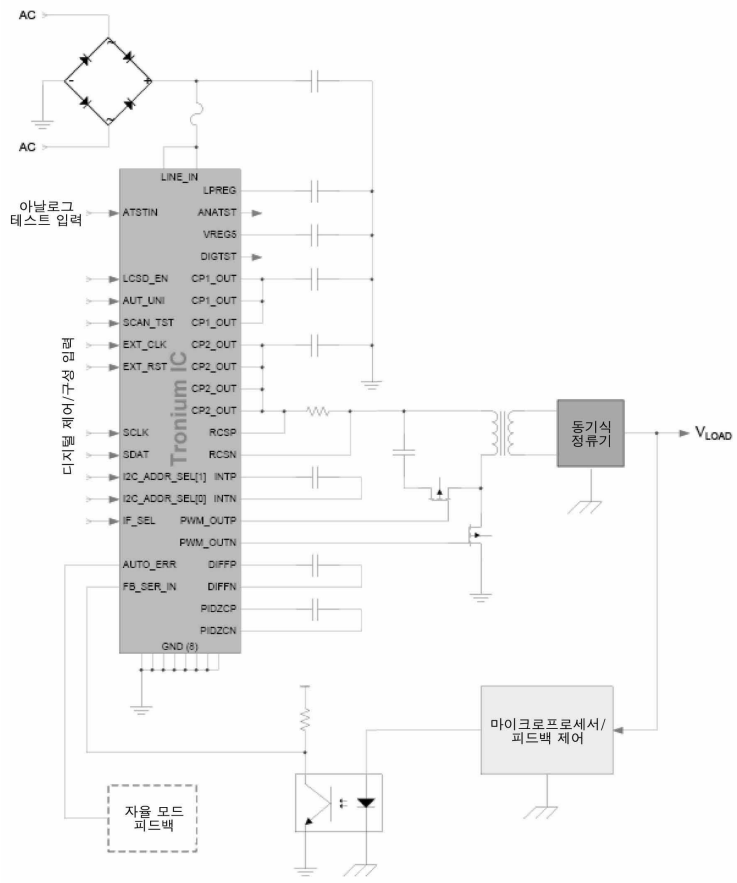
도면28


메인 입력
30
311/162
1uF 400Volt
32
접지 및 펌 프로그래밍
ASIC
106
단 1 CP 캡
10uF 100V
26
전력 모듈 자율 모드
22
아날로그 에러 전압
5 볼트 액세서리
Vout 설정
10uF
1uF
PWM_
PWM
33/37V
5.5/6.2V
펄스 전류 감지
96
4.7uH
10uF
28
부하 2
부하 1

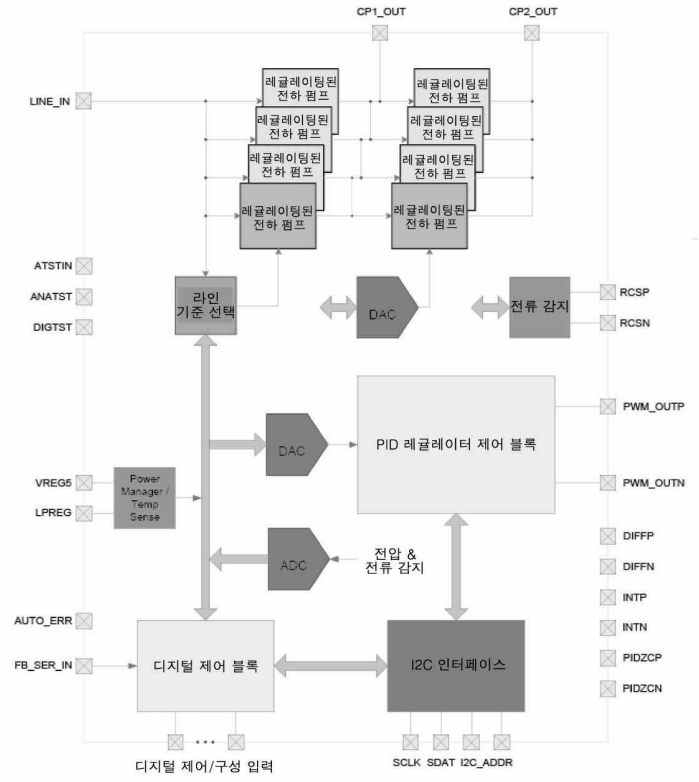
도면29


메인 입력
311/162
1uF
400볼트
30
32
점지 및 핀
프로그레밍
ASIC
106
단 1 CP 캡
10uF
100V
26
5볼트
액세서리
ASIC으로부터의
직렬 데이터
ASIC으로의 직렬 데이터
펄스 전류 감지
PWM
PWM
10uF
1uF
33/37V
5.5/6.2V
4.7uH
10uF
96
28
22
강건한 레귤레이션을
갖는 범용 모듈
동기
ADC로의
Vout
마이크로
프로세서
5V
Reset
VDD
LDO
셧오프
부하
단일 출력이 도시됨
2차 전류 감지 없을
또는 Vout>5볼트인 경우
옵토되이지는 것을 나타냄

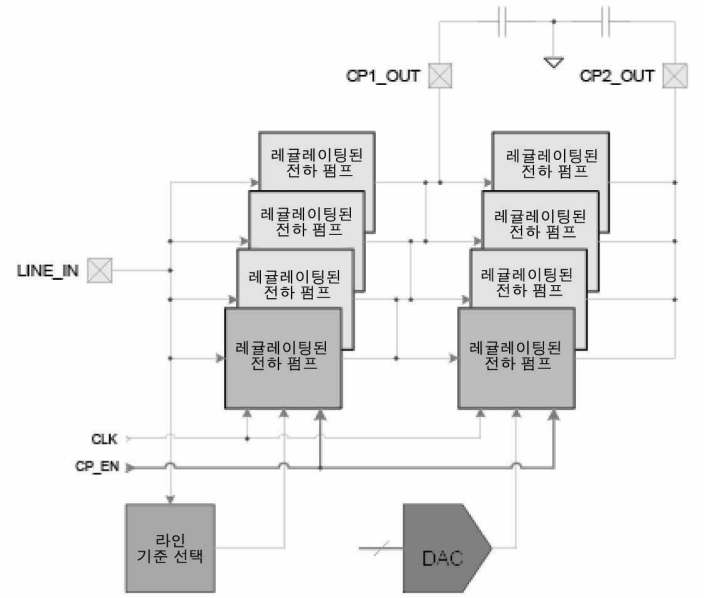
도면30


AC
AC
LINE_IN
LPREG
아날로그
테스트 입력
ATSTIN
ANATST
VREG5
DIGTST
LCSD_EN
CP1_OUT
AUT_UNI
CP1_OUT
SCAN_TST
CP1_OUT
EXT_CLK
CP2_OUT
EXT_RST
CP2_OUT
CP2_OUT
CP2_OUT
디지털 제어/구성 입력
Tronium IC
SCLK
RCSP
SDAT
RCSN
I2C_ADDR_SEL[1]
INTP
I2C_ADDR_SEL[0]
INTN
IF_SEL
PWM_OUTP
PWM_OUTN
AUTO_ERR
DIFFP
FB_SER_IN
DIFFN
PIDZCP
PIDZCN
GND (8)
동기식
정류기
VLOAD
마이크로프로세서/
피드백 제어
자율 모드
피드백

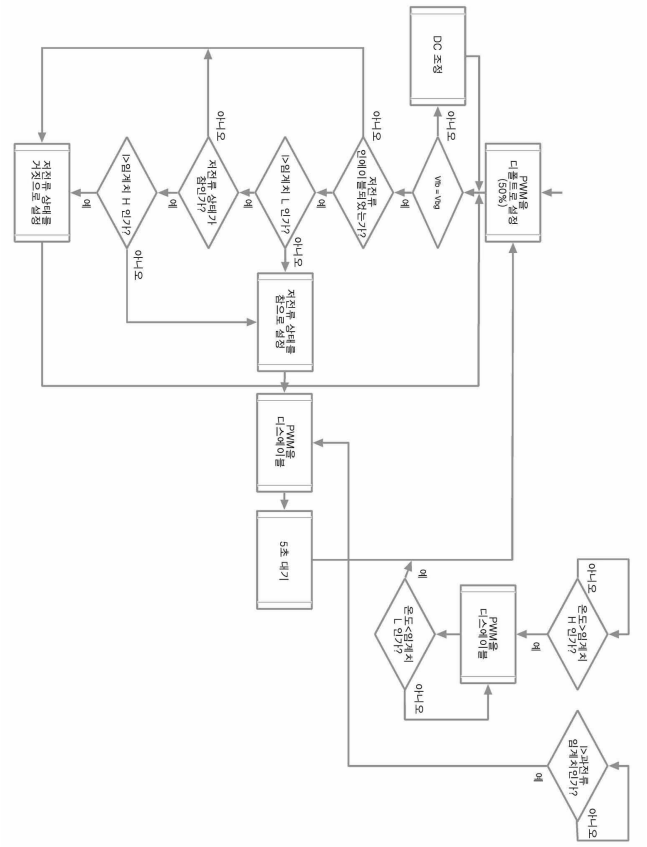
도면31


CP1_OUT
CP2_OUT
LINE_IN
레귤레이팅된 전하 펌프
ATSTIN
ANATST
DIGTST
라인 기준 선택
DAC
전류 감지
RCSP
RCSN
PWM_OUTP
PID 레귤레이터 제어 블록
PWM_OUTN
VREG5
LPREG
Power Manager / Temp Sense
ADC
전압 & 전류 감지
DIFFP
DIFFN
INTP
INTN
PIDZCP
PIDZCN
AUTO_ERR
FB_SER_IN
디지털 제어 블록
I2C 인터페이스
디지털 제어/구성 입력
SCLK SDAT I2C_ADDR

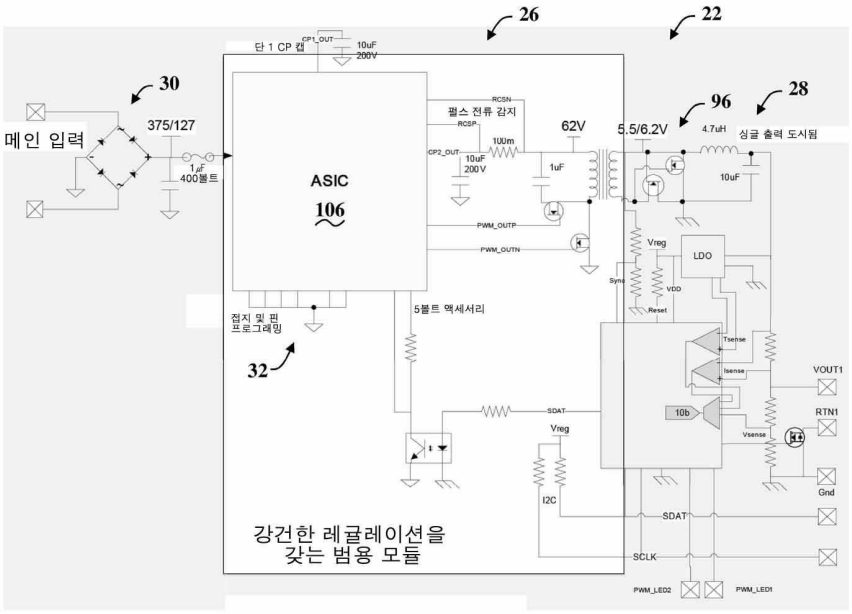
도면32


CP1_OUT
CP2_OUT
레귤레이팅된 전하 펌프
LINE_IN
CLK
CP_EN
라인 기준 선택
DAC

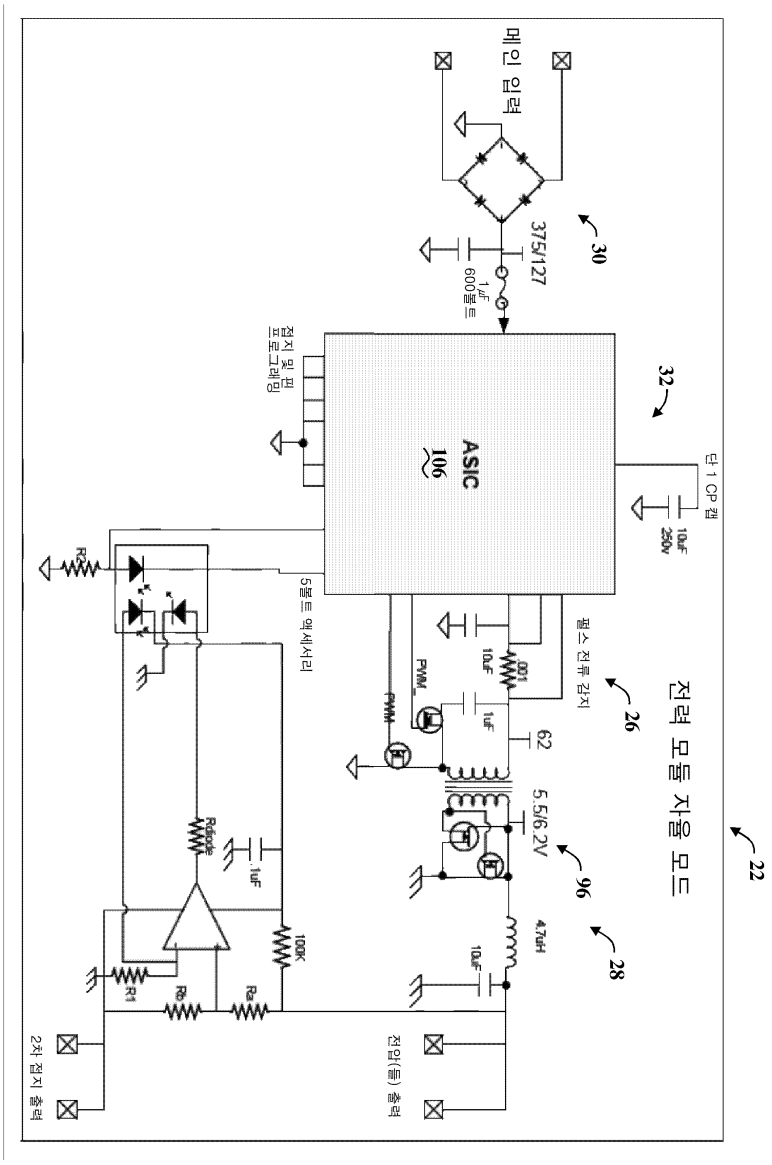
도면33


DC 조정
디폴트 PWM듀티 (50%) 설정
Vout=Vset
아이들 상태로 전환?
<임계치 L 인가?
저전류 상태가 유지되는가?
<임계치 L 인가?
저전류 상태로 설정
PWM용 디스에이블
5초 대기
>임계치 H 인가?
경고상태로 전환
>임계치 H 인가?
경고상태 유지?
예
아니오

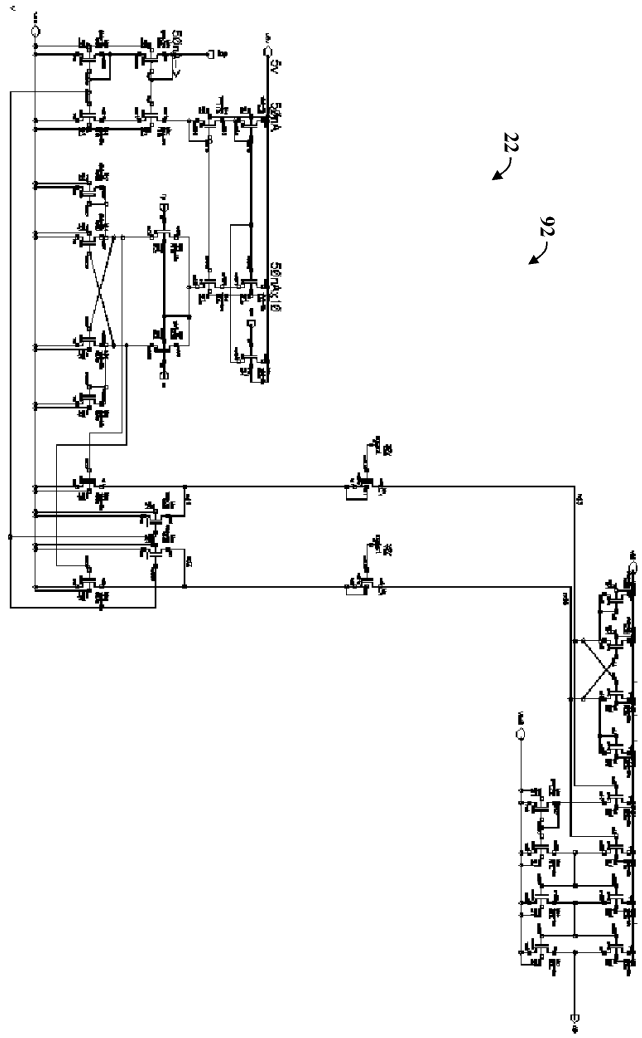
도면34


26
22
30
28
96
메인 입력
375/127
1uF 400볼트
단 1 CP 캡
CP1_OUT
10uF 200V
ASIC
106
펄스 전류 감지
RCSN
RCSP
CP2_OUT
10Um
10uF 200V
62V
1uF
5.5/6.2V
4.7uH
싱글 출력 도시됨
10uF
PWM_OUTP
PWM_OUTN
Vreg
LDO
Sync
VDD
Reset
5볼트 액세서리
접지 및 핀 프로그래밍
32
Tsense
Isense
Vsense
10b
VOUT1
RTN1
Gnd
SDAT
I2C
SCLK
PWM_LED2
PWM_LED1
강건한 레귤레이션을 갖는 범용 모듈

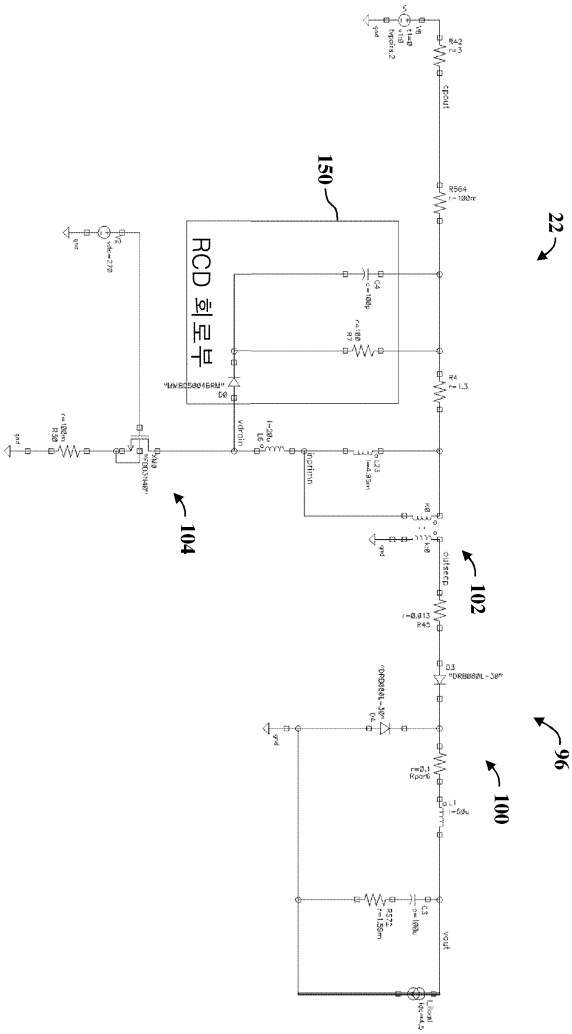
도면35


전력 모듈 자율 모드
22
메인 입력
375/127
30
1uF
600볼트
32
ASIC
106
전지 및 펌
프로그래밍
단 1 CP 캡
10uF
250v
5볼트 엑세서리
펄스 전류 감지
26
10uF
.001
PWM
1uF
62
5.5/6.2V
96
4.7uH
28
10uF
100K
Rsense
1uF
R1
R2
R3
2차 전지 출력
전압(들) 출력

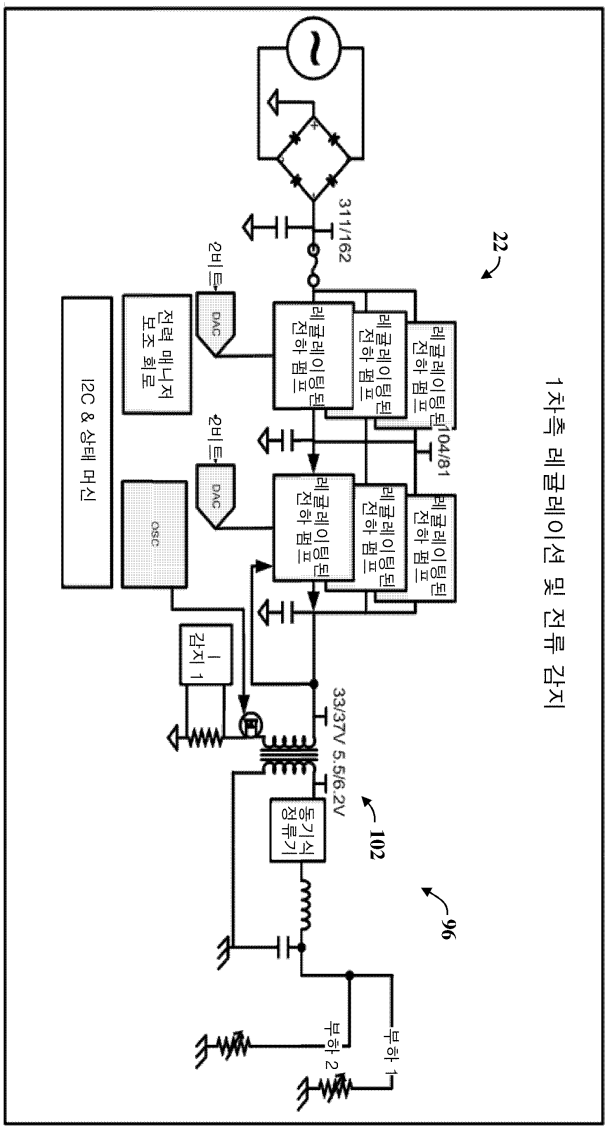
도면36



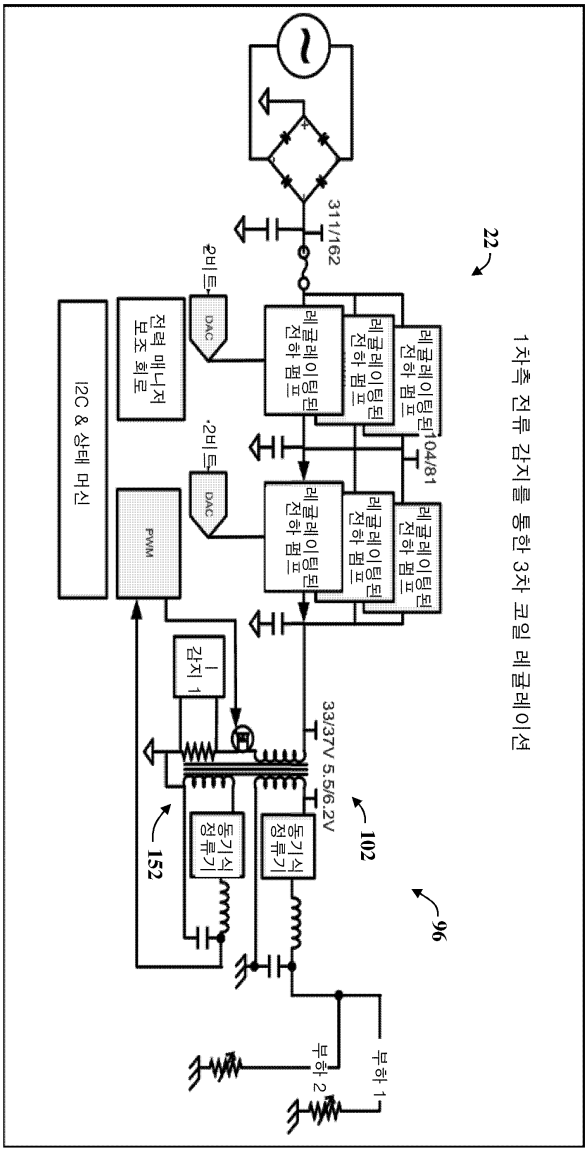
도면37



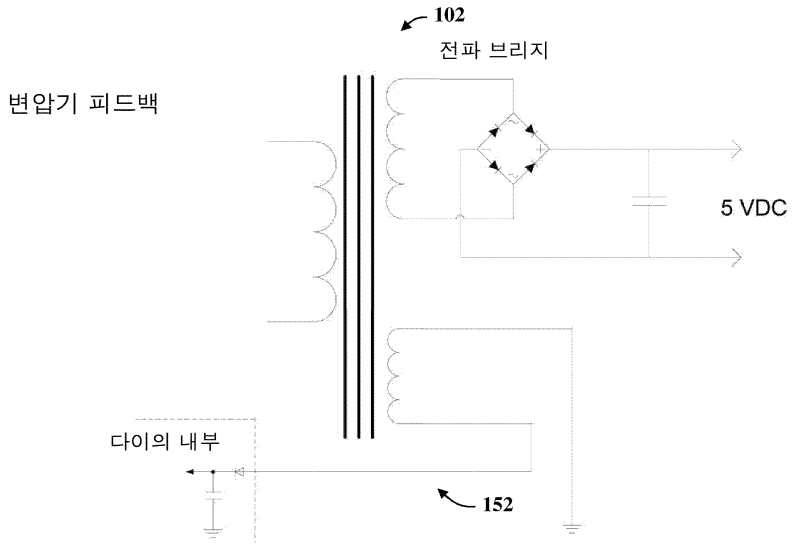
도면38


1차측 레귤레이션 및 전류 감지
22
311/162
2비트
DAC
전력 매니저 보조 회로
I2C & 상태 머신
레귤레이팅된 전하 펌프
레귤레이팅된 전하 펌프
레귤레이팅된 전하 펌프
104/81
2비트
DAC
OSC
레귤레이팅된 전하 펌프
레귤레이팅된 전하 펌프
레귤레이팅된 전하 펌프
I 감지 1
33/37V 5.5/6.2V
102
동기식 정류기
96
부하 2
부하 1

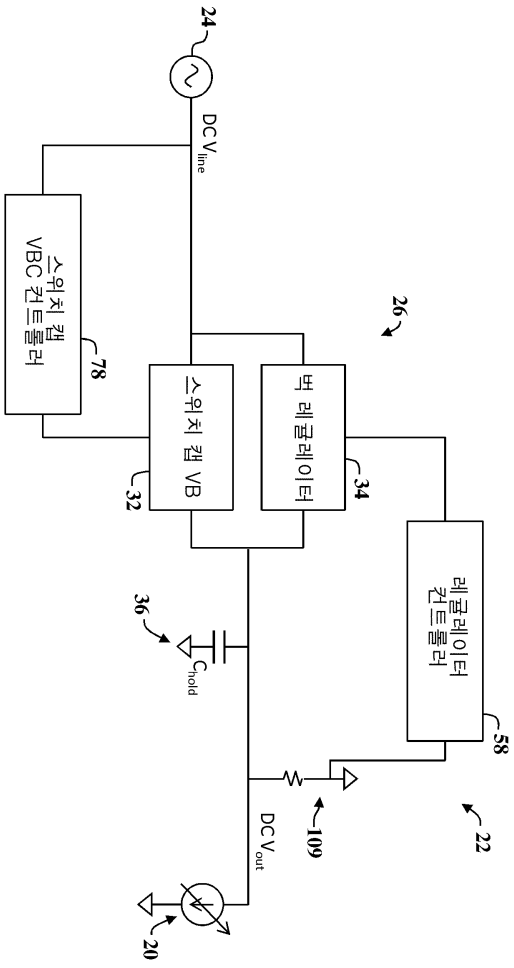
도면39


1차측 전류 감지를 통한 3차 코일 레귤레이션
22
311/162
2비트
DAC
전력 매니저 보조 회로
I2C & 상태 머신
레귤레이팅된 전하 펌프
레귤레이팅된 전하 펌프
레귤레이팅된 전하 펌프
104/81
2비트
DAC
PWM
레귤레이팅된 전하 펌프
레귤레이팅된 전하 펌프
레귤레이팅된 전하 펌프
I 감지 1
33/37V 5.5/6.2V
102
96
152
동기식 정류기
동기식 정류기
부하 2
부하 1

도면40


102
전파 브리지
변압기 피드백
5 VDC
다이의 내부
152

도면41


24
DC V line
스위치 캡 VBC 컨트롤러
78
26
스위치 캡 VB
32
벅 레귤레이터
34
레귤레이터 컨트롤러
58
36
C hold
109
22
DC V out
20