

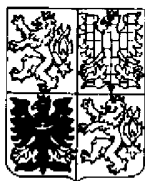
PŘIHLÁŠKA VYNÁLEZU

zveřejněná podle § 31 zákona č. 527/1990 Sb.

(21) Číslo dokumentu:

2000 - 3371

(19)
ČESKÁ
REPUBLIKA



ÚŘAD
PRŮMYSLVÉHO
VLASTNICTVÍ

(22) Přihlášeno: **08.03.1999**

(32) Datum podání prioritní přihlášky: **16.03.1998 07.04.1998
02.10.1998**

(31) Číslo prioritní přihlášky: **1998/078213 1998/057158
1998/165705**

(33) Země priority: **US US US**

(40) Datum zveřejnění přihlášky vynálezu: **16.05.2001
(Věstník č. 5/2001)**

(86) PCT číslo: **PCT/US99/05120**

(87) PCT číslo zveřejnění: **WO99/48260**

(13) Druh dokumentu: **A3**

(51) Int. Cl. ⁷:

H 04 L 25/06

H 04 L 25/02

(71) Přihlašovatel:

JAZIO, INC., Sunnyvale, CA, US;

(72) Původce:

Ejaz Ul Haq, Sunnyvale, CA, US;

(74) Zástupce:

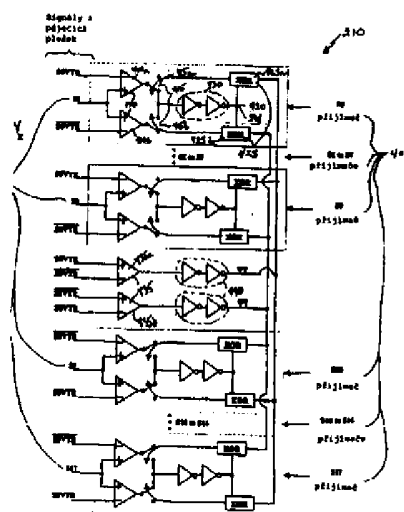
PATENTSERVIS PRAHA a.s., Jivenská 1, Praha 4,
14000;

(54) Název přihlášky vynálezu:

**Způsob a systém pro vysokorychlostní signalizaci
pro spojení LVSI CMOS obvodů rozhraním**

(57) Anotace:

Způsob a systém používá malorozkmitový diferenciální zdroj synchronního napětí a časové referenční signály (SSVTR a /SSVTR) ke srovnávání jednoduchých signálů se stejným časovým posuvem, vytvořenými ve stejnou dobu ze stejného integrovaného obvodu pro vysokofrekvenční signalizaci. SSVTR a /SSVTR signály se překlápějí pokaždé, když jsou platné signály řízeny vysílajícím integrovaným obvodem. Každý přijímač (210) signálu zahrnuje dva komparátory (410a, 410b), jeden pro srovnání signálů vůči SSVTR a druhý pro srovnání signálu vůči /SSVTR. Binární hodnota přítomného signálu určuje který komparátor (410a, 410b) je připojen k výstupu přijímače, popřípadě s použitím logiky XOR s SSVTR a /SSVTR. Připojený komparátor (410a/410b) v přijímači detekuje zdali se objevila změna v binární hodnotě signálu nebo ne dokud SSVTR a /SSVTR nezměnily svoji binární hodnotu. Těž komparátor (410a, 410b) je připojen jestliže se signál mění. Komparátor (410a, 410b) je odpojen když se neobjevuje žádná přeměna. Systém používá první sadu oscilujících referenčních signálů na první sběrnici pro detekci přeměn v řídicích informacích a druhou sadu oscilujících referenčních signálů pro detekci přeměn v datových informacích.



1,2 V) v prostředí se šumem jako je tomu u GTL, HSTL, SSTL nebo RAMBUS, musí být také proud velmi veliký (například řádově 50 až 60 miliampér na jeden řídicí obvod). Typický přijímač používá komparátor s referenčním napětovým signálem (VREF) umístěným uprostřed mezi vstupním vysokým napětím (VIH) a vstupním nízkým napětím (VIL). VREF signál je vysokoimpedanční stejnosměrné referenční napětí, které v čase volně sleduje napájecí proud, ale nemůže reagovat na mžikový šum. Vysoké výstupní napětí (VOH) a nízké výstupní napětí (VOL) konvenčně označují signály vystupující z vysílajícího zdroje a VIL a VIH označují signály přicházející na vstup přijímacího zařízení, i když se dají považovat za tentýž signál.

Obr. 1A je blokové schéma znázorňující přijímač 10 podle známého stavu techniky, který používá technologii RAMBUS. Systém 10 zahrnuje pájecí plošku (PAD) 100 připojenou signálními vedeními 103 k vnitřním vstupním přijímačům 110. VREF signál 105 je připojen ke každému vnitřnímu přijímači 110. VREF je vytvářen z proudového napájení. Stejnosměrná hodnota proudového napájení se mění obvykle o 5 %. Obr. 1B je časový diagram 125 znázorňující příklad průběhu signálu vůči vysokému referenčnímu napětí (VREFh) a nízkému referenčnímu napětí (VREFl). Hodnoty VREFh a VREFl zpravidla závisejí na kolísání proudového napájení použitého k vytváření VREF signálu. Pro spolehlivou detekci polarity signálu se požaduje velký rozkmit napětí, tj. rozdíl mezi vysokonapětovým signálem (VIH) a nízkonapětovým signálem (VIL) a stabilní úroveň signálu nad a pod VREF signálem. Rozkmit napětí u současných technologií s tzv. jednoduchým signálem je konvenčně kolem 0,8 V.

Obr. 1C je blokové schéma znázorňující schematicky přijímač 150 podle známého stavu techniky, používající technologii RAMBUS. Přijímač 150 vzorkuje úroveň vstupního signálu 167 a VREF

signálu 154 dokud signál nedosáhne stabilní úrovně a v tomto okamžiku se vypnou propustová hradla 160 a 165. Jakmile se propustová hradla 160 a 165 vypnou, aktivuje se snímací hradlo 172, aby se eliminovalo vniknutí proudu. Obr. 1D je časový diagram 175 znázorňující činnost přijímače 150 u příkladu signálu. Přijímač 150 vzorkuje vstupní referenční signál a vstupní signál dokud signál nedosáhne stabilní úrovně, např. nízkou logickou úroveň (VIL) a zatím co je vstupní signál stabilní, přijímač 150 snímá hodnotu vstupního signálu. Jak je to uvedeno výše, aby byla detekce signálu spolehlivá, musí být rozkmit napětí signálu dostatečně rychlý, aby se umožnilo to, že všechny přijímače 150 vzorkují stabilní signál s náležitým okrajem pro dobu nastavení a držení. Tento rozkmit napětí by se měl objevit během méně než 30 % minimální doby cyklu, aby se ponechal okraj pro doby časového posuvu, nastavení a výdrže signálu. Tak jak se minimální doba cyklu snižuje pod 1 nanosekundu, zmenšují se okraje pro dobu časového posuvu, nastavení a výdrže, přičemž další zátěží pro proud v řídicím obvodu je vysoká kapacitní zátěž z prostředí pracujícího s vysokou frekvencí. Nízkonapěťová diferenciální signalizace (LVDS) používaná u IEEE P1596.3 může tyto problémy překonat použitím 250 mV napěťového rozkmitu na úkor běžících komplementárních signálů. Běžící komplementární signály nevyhnutelně zvyšují počet pinů a velikost paketu.

Počítačové systémy dále zpravidla využívají sběrniceový systém u němž je ke sběrnici připojeno několik zařízení. Většina z nich používá hodiny ke kontrole platnosti datových, adresových a řídicích signálů. Obr. 21 znázorňuje systém podle známého stavu techniky 2100 pro DRDRAM, který používá hodinové vedení 2130 mající dva segmenty 2136 a 2138. Jeden segment 2136 sahá od jednoho konce datové sběrnice do bodu obratu 2137 v blízkosti druhého konce sběrnice. Druhý hodinový segment 2138 sahá od bodu

obratu 2137 zpět k prvnímu konci datové sběrnice. Signálová sběrnice 2120 přenáší datové, adresové a řídicí signály. Tato topologie zabezpečuje, že signál odeslaný na sběrnici 2120 vždy putuje současně s a ve stejném směru jako hodinový 2132 používaný zařízením k příjmu signálu. Toto pracuje dobře jestliže je odebrání všech signálů a hodinových impulsů téměř identické a hodiny 2132 se používají k vzorkování a příjmu signálu. Někdy by ale systém mohl vyžadovat dvakrát takovou šířku pásma pro data, přičemž v tomto případě vyžaduje tento typ sběrnicevého systému zdvojnásobit počet signálů i když adresové a řídicí signály jsou identické a mohly by být sdíleny.

V souladu s tím existuje potřeba nízkovýkonových řídicích obvodů a spolehlivých přijímačů pro vysokofrekvenční činnost velkého počtu jednoduchých signálů v existující technologii na nízkonákladové VLSI digitální systémy.

Podstata vynálezu

Systém podle předmětného vynálezu používá malorozkmitové synchronní napěťové a časové referenční signály z diferenciálního zdroje (Small Swing differential source synchronous Voltage and Timing Reference signals, dále zkráceně jen SSVTR a /SSVTR) k porovnání jednoduchých signálů ze stejného rozkmitu, vytvořených ze stejného integrovaného obvodu pro vysokofrekvenční signalizaci. Za výhodu bude považováno, že "/" se používá k indikaci logického NE (NOT). Všechny signály jsou zakončeny svými charakteristickými impedancemi na obou koncích přenosových vedení. SSVTR a /SSVTR se přepnou pokaždé když jsou vysílacím integrovaným obvodem vysílány platné signály. Každý přijímač signálu zahrnuje dva komparátory, jeden pro srovnání signálu s SSVTR a druhý pro srovnání signálu s /SSVTR. Přítomná binární hodnota signálu určuje který komparátor je připojen,

popřípadě použitím EXCLUSIVE-OR logiky s SSVTR a /SSVTR. Dokud SSVTR a /SSVTR nezmění svoji binární hodnotu, připojený komparátor v přijímači detekuje zdali se objevila změna v binární hodnotě signálu. Opět bude za výhodu považováno, že SSVTR a /SSVTR mění svoji binární hodnotu pokaždé, kdy může signál měnit svoji binární hodnotu. SSVTR a /SSVTR jsou s výhodou synchronizovány se signálem.

Způsob podle tohoto vynálezu zahrnuje kroky získání oscilujícího zdroje synchronního napěťového a časového referenčního a jeho komplementárního signálu (SSVTR a /SSVTR), a příjem vstupujícího jednoduchého signálu. Způsob srovnává oscilující referenční signál se vstupujícím signálem pomocí prvního komparátoru, aby se vytvořil první výsledek a srovnává komplementární signál se vstupujícím signálem druhým komparátorem, aby se vytvořil druhý výsledek. Způsob potom zvolí jeden z prvního výsledku nebo druhého výsledku jako výstupní signál založený na předchozím signálu. Krok volby jednoho z výsledků zahrnuje srovnání výstupního signálu s referenčním signálem (SSVTR) a s komplementárním signálem (/SSVTR). Krok volby dále zahrnuje manipulaci výstupního signálu z předchozího signálu k prvnímu výsledku nebo druhému výsledku podle komparátoru, který je právě připojen. Jestliže se vstupující signál změní, krok volby zahrnuje udržování připojení téhož komparátoru. Jestliže vstupní signál zůstane stejný, krok volby zahrnuje odpojení právě připojeného komparátoru a připojení druhého komparátoru. Způsob poté umožní obvodu aby se stabilizoval.

System a způsob s výhodou vylučují potřebu vysokoimpedančního VREF signálu pro srovnání malorozkmitových jednoduchých signálů. Redukuje se tak potřeba tří odlišných napěťových úrovní (výstupní vysoká úroveň, výstupní nízká úroveň a VREF úroveň) na dvě odlišné napěťové úrovně (výstupní vysoká úroveň a výstupní

nízká úroveň). Eliminace VREF snižuje potřebný napěťový rozkmit a následkem toho snižuje spotřebu proudu. Použití přijímače s dvěma komparátory umožňuje připojení přijímače ke stejnému komparátoru když se signál mění každý cyklus. Na základě okamžité binární hodnoty signálu a SSVTR je připojen jenom jeden komparátor. Systém má individuálně seřiditelné zpoždění pro každý přijímač pro připojení nebo odpojení komparátoru, čímž se sníží účinek časového posuvu během přenosu zdrojových synchronních signálů. Systém může mít vícenásobný diferenciální zdroj synchronních napěťových a časových referenčních signálů k srovnání více jednoduchých signálů ve stejném integrovaném obvodu, jako je mikroprocesor nebo řídicí jednotka systému, který má mnoho signálů. Systém a způsob zabezpečují výhody diferenciálního signalizování u jednoduchého signalizačního systému.

S použitím téže koncepce může mít systém obousměrný komplementární zdroj synchronních napěťových a časových referenčních signálů pro porovnání obousměrných jednoduchých signálů. Systém může mít řídicí obvod nebo vysílač pro řízení sledovací rychlosti signálu tak, aby to byla podstatná část celkové signální periody, čímž se sníží výstupní proud. Systém může mít obvody přizpůsobené vnitřní impedanci jako jsou zdvihací rezistory nebo uzemněný hradlový p-kanál, aby se přizpůsobila charakteristická impedance přenosového vedení na obou koncích spojení mezi CPU a vyrovnávací paměti (cache) nebo mezi CPU a řídicí jednotkou systému. Systém má obvod s dvojicí komparátorů k převodu jednoduché sběrnice se dvěma komplementárními signály určenými k tomu, aby byly přeneseny a přijmuty se srovnatelnou šumovou imunitou diferenciální sběrnice pro interní datovou sběrnici paměti, procesor nebo jiné integrované obvody širokého datového sběrnicevého typu. Systém má s výhodou měnící se velikost zařízení vysílače s pomalým

zapínáním a pomalým vypínáním, aby měl podobné sledovací rychlosti pro všechny signály v každé skupině SSVTR a /SSVTR a skupinu signálů, které jsou vysílány spolu. Dále bude považováno za výhodu, že řídicí signály a adresové signály mohou být vysílány na odlišném kanálu než datové signály. Umožňuje to provoz řídicího a adresového kanálu při odlišné frekvenci než jakou používá datový kanál a umožňuje to použití odlišných zátěží pro každý z kanálů.

Přehled obrázků na výkrese

Obr. 1A je blokové schéma znázorňující přijímač na bázi RAMBUS podle známého stavu techniky.

Obr. 1B je časový diagram znázorňující úroveň signálu u přijímače podle známého stavu techniky znázorněného na obr. 1A.

Obr. 1C je schematický diagram znázorňující jiný přijímač na bázi RAMBUS podle známého stavu techniky.

Obr. 1D je časový diagram znázorňující činnost přijímače podle známého stavu techniky z obr. 1C.

Obr. 2A je prostorový pohled na blokové schéma znázorňující systém s řídicím a podřízeným zařízením podle předmětného vynálezu.

Obr. 2B je blokové schéma znázorňující systém z obr. 2A mající přenosová vedení s impedancí odpovídající odporům na koncích.

Obr. 3A je časový diagram znázorňující diferenciální referenční signály SSVTR a /SSVTR ve vztahu k dobám snímání signálu.

Obr. 3B je časový diagram znázorňující SSVTR a /SSVTR vůči jednoduchému signálu.

Obr. 4 je vysokoúrovňové schéma znázorňující přijímače jednoduchého signálu.

Obr. 5 je vývojový diagram znázorňující způsob přenosu signálů z vysílače přes přenosové vedení do přijímače.

Obr. 6A je schéma zapojení znázorňující řídicí obvod pomalého zapínání a pomalého vypínání pro všechny signály.

Obr. 6B je schéma zapojení znázorňující řídicí obvody mající seřiditelné sledovací rychlosti signálu a časový posuvu mezi signály.

Obr. 7A je schéma zapojení přijímače jednoduchého signálu, znázorněného na obr. 4, v prvním provedení.

Obr. 7B je schéma zapojení přijímače jednoduchého signálu, znázorněného na obr. 4 v druhém provedení.

Obr. 7C je schéma zapojení přijímače jednoduchého signálu, znázorněného na obr. 4 v třetím provedení.

Obr. 7D je schéma zapojení přijímače jednoduchého signálu, znázorněného na obr. 4 ve čtvrtém provedení.

Obr. 8A je schéma zapojení znázorňující podrobnosti obvodu komparátoru SSVTR k /SSVTR podle obr. 4.

Obr. 8B je schéma zapojení znázorňující podrobnosti obvodu komparátoru SSVTR k /SSVTR podle obr. 4.

Obr. 9 je schéma zapojení znázorňující přijímače s individuálně seřiditelnými zpožděními k vyloučení časového posuvu během přenosu.

Obr. 10 znázorňuje tvary vln signálu a časový posuv mezi nimi.

Obr. 11 je prostorový pohled na hardwarové uspořádání zapojení systému podle obr. 2.

Obr. 12A je blokové schéma znázorňující systém propojení od jednoho zařízení k druhému podle předmětného vynálezu.

Obr. 12B je blokové schéma znázorňující systém propojení podle blokového schématu z obr. 12A, mající impedančně přizpůsobená hradlová p-kanálová zařízení uvnitř integrovaného obvodu.

Obr. 13A je v prostorovém pohledu blokové schéma znázorňující jednosměrný signální systém a obousměrný signální systém na jediném integrovaném obvodu.

Obr. 13B je v prostorovém pohledu blokové schéma znázorňující čtyři signální systémy na jediném integrovaném obvodu.

Obr. 14A znázorňuje pevné referenční napětí, podle známého stavu techniky, jehož hodnota je kolem středového bodu logické vysoké úrovně a logické nízké úrovně napětí.

Obr. 14B znázorňuje komplementární referenční signál, které mají stejný napěťový rozkmit jako každý jiný signál.

Obr. 15A znázorňuje diferenciální zesilovač, který zesiluje rozdíl mezi datovým signálem a referenčním.

Obr. 15B je blokové schéma znázorňující řídicí logiku.

Obr. 16 je schéma obvodu znázorňující přijímač jednoduchého signálu s diferenciálními zesilovači hradlovaný poklesem proudu nebo aktivačním signálem přijímače pro vypnutí proudu do přijímače když není používán.

Obr. 17 je časový diagram znázorňující dobu přenosu signálu u aplikace vyžadující rychlý obrat sběrnice z čtecího do zápisového stavu nebo opačně.

Obr. 18 je blokové schéma znázorňující systém spojení od jednoho zařízení k druhému.

Obr. 19 znázorňuje systém mající více sběrnic, kde jsou signály přijímány současně.

Obr. 20 je blokové schéma znázorňující systém mající tři sběrnice pro dosažení vyšší šířky pásma.

Obr. 21 znázorňuje systém podle známého stavu techniky pro DRDRAM, který používá hodinové vedení mající dva segmenty.

Příklady provedení vynálezu

Předmětný vynález poskytuje signalizační systém a způsob vysokorychlostní komunikace na multiplexních sběrnicích nebo spojích od jednoho zařízení k druhému zařízení mezi skupinou VLSI zařízení a zabezpečuje nižší spotřebu proudu oproti současné metodologii vytváření rozhraní pro jednoduché signály. Signalizační systém může být použit k spojení skupiny paměťových zařízení s multiplexní sběrnicí k řídicí jednotce paměti pro

blokový přenos datových, adresových a řídicích informací. Použitím více sběrnic mohou být zařízení jako jsou DRAMy, spínače křížových polí, procesory, široké SRAMy a řídicí jednotky systémů dána dohromady tak, aby se dosáhlo šířek pásem nad čtyři gigabyty za sekundu. Přes tuto sběrnici mohou být posílány v podstatě všechny signály potřebné pro počítač nebo jiné digitální systémy. Odborníkům v oboru bude zřejmé, že všechna zařízení, jako jsou jednotky CPU v počítačovém systému, potřebují metodologie a sběrnice struktury tohoto systému.

Obr. 2A je prostorový pohled na blokové schéma znázorňující systém 200 s řídicím zařízením (vysílači) 205 připojený přes sběrnice architekturu (přenosová vedení) 215 ke skupině podřízených zařízení (přijímačů) 210 podle tohoto vynálezu. Jak je to znázorněno, řídicí zařízení 205 je uspořádáno tak, aby komunikovalo například dvacet (20) signálů, včetně jednoduchých signálů S0 až S17, malorozkmitových synchronních napěťových a časových referenčních signálů SSVTR a /SSVTR z komplementárního zdroje, výkonových vedení (nejsou znázorněna) a uzemňujících vedení (nejsou znázorněna) rovnoběžně s přenosovými vedeními 215 ke každému podřízenému zařízení 210. Za výhodu bude považováno, že "/" je používáno k označení logického NOT (NE). Signály S0 až S17 mohou být datové, řídicí nebo adresové, buď multiplexové nebo nemultiplexové, tak jak je to definováno protokolem. Mohou existovat další signály, jako jsou hodinové nebo inicializační, pro jiné účely, požadované protokolem nebo synchronizací systému.

Tak jak je to znázorněno na obr. 3A, signály SSVTR a /SSVTR se překlápějí pokaždé když jsou platné signály řízeny řídicím zařízením 205. Za výhodu bude považováno, že podřízené zařízení 210 může zahrnovat skupinu přijímačů 405, viz obr. 4, přičemž každý přijímač 405 zahrnuje dva komparátory, jeden pro

srovnávání signálu s SSVTR a druhý pro srovnávání signálu s /SSVTR. Binární hodnota přítomného signálu určuje, který komparátor je připojen k výstupnímu terminálu 420, popřípadě použitím EXCLUSIVE-OR logiky s SSVTR a /SSVTR. Dokud se nezmění binární hodnota SSVTR a /SSVTR, tak aktivovaný komparátor v přijímači 405 detekuje, zdali se objevila změna binární hodnoty signálu.

Pro komunikaci od čipu k čipu na sběrnici nebo od zařízení k zařízení jsou všechny signály přenášeny s výhodou v podstatě současně ze stejného čipu k jinému čipu nebo skupině čipů napojených na sběrnici a s výhodou mají v podstatě stejnou zátěž, rozkmit a sledovací rychlost (když jsou signály přechodové). Pro komunikaci uvnitř čipu jsou také signály vybuzeny s výhodou v podstatě ve stejnou dobu, ze stejné oblasti nebo bloku k jiným oblastem nebo jiným blokům na stejném čipu a s výhodou mají v podstatě stejnou zátěž, rozkmit a sledovací rychlost (když jsou signály přechodové). Obr. 19 a 20, popsané níže, znázorňují systém a způsob zabezpečení toho, že jsou signály buzeny v podstatě ve stejnou dobu.

K usnadnění extrémně vysokých rychlostí přenosů dat přes tuto externí sběrnici jsou vyvolány sběrnicevé cykly když je SSVTR nízké (tj. /SSVTR je vysoké). Celý přenos bloku začne během cyklu když je SSVTR nízké a skončí když začne SSVTR klesat k usnadnění přednastavení přijímače 405 pro poslední binární hodnotu signálu. Umožňuje to shlukové přenosy sudého počtu bitů. Když je třeba, aby signály změnily směr (kvůli multiplexní povaze signálů), může být požadován jeden nebo více mrtvých cyklů k uklidnění sběrnice kvůli zpoždění v šíření nebo uklidnění SSVTR a /SSVTR, když sou obousměrné. Obr. 17 popsaný níže znázorňuje obousměrné časování pro obrat sběrnice, aby se zabránilo ztraceným mrtvým cyklům.

Obr. 2B je blokový diagram znázorňující systém 200 (obr. 2A) mající přenosová vedení 215 s externími rezistory 220 přizpůsobujícími impedanci, majícími koncový odpor rovný jejich charakteristické impedanci, která je na koncích s výhodou v rozmezí 50 až 70 ohmů. Napětí na koncích je označováno VTT a činí s výhodou kolem 1,8 V u provozního napětí 2,5 V (pro VCC činící 2,5 V a VSS činící 0 V). Jmenovitý napěťový rozkmit je s výhodou stanoven na méně než 1 V, s výhodou méně než 40 % napájecího napětí a nejvýhodněji je nastaven na 500 mV. Proto tak jak je to znázorněno na obr. 3A, výstupní vysoké napětí (VOH) je 1,8 V a výstupní nízké napětí (VOL) je 1,3 V.

Obr. 3A je časový diagram znázorňující komplementární referenční signály SSVTR a /SSVTR vůči čtecím dobám signálu. SSVTR iniciuje na VOL a /SSVTR iniciuje na VOH. V prvním cyklu řídicí zařízení 205 budí všechny nízké signály včetně /SSVTR na VOL současně a koncové odpory 220 zvedají SSVTR na VOH. Jednoduché signály, které jsou vysoké, jsou udržovány na VOH koncovými odpory. Náležitá čtecí doba, tj. doba na přečtení logické úrovně vstupního signálu, je po přechodu spojení SSVTR a /SSVTR a před stabilní dobou, tj. kdy SSVTR nebo /SSVTR dosáhne stálého stavu na VIH nebo VIL. SSVTR a /SSVTR s výhodou mají stejné doby vzestupu a poklesu, přičemž každá doba vzestupu a poklesu je přibližně polovinou doby cyklu jednoho z referenčních signálů.

Obr. 3B je časový diagram znázorňující SSVTR a /SSVTR vzhledem k jednoduchému signálu. Jednoduchý signál začíná jako rovný /SSVTR při vysokém napětí a potom se mění s /SSVTR na nízké napětí. Jednoduchý signál potom zůstane na nízkém napětí, čímž se stane rovným SSVTR, a potom se mění s SSVTR na vysoké napětí. Jednoduchý signál potom zůstane na vysokém napětí, čímž se stane rovným /SSVTR.

Obr. 4 je vysokoúrovňové schéma znázorňující jednoduchý signál podřízeného zařízení 210, majícího přijímač 405 pro každé signální vedení 215. Každý přijímač 405 signálu má dva komparátory 410, jeden komparátor 410a pro srovnávání vstupního jednoduchého signálu "SNx" s SSVTR a druhý komparátor 410b pro srovnávání SNx s /SSVTR. Oba komparátory 410 mají výstupní vývody selektivně připojeny pomocí spínačů 415 k výstupnímu terminálu 420. Za výhodu bude považováno, že výstupní signál (SN) k výstupnímu terminálu 420 je s výhodou celorozsahový signál (0 V až 2,5 V).

Jak je to uvedeno výše, SSVTR je zpočátku nastaven na VOL a /SSVTR a SNx jsou zpočátku nastaveny na VOH. SN je zpočátku nastaven na vysoké celorozsahové výstupní napětí. V souladu s tím komparátor 410a zesiluje vysoké napětí SNx minus nízké napětí SSVTR, čímž zabezpečuje vysoký výstupní signál. Komparátor 410b zesiluje vysoké napětí SNx minus vysoké napětí /SSVTR, což dává neznámý výstupní signál daný zesílením šumu. Volba spínače 415 je řízena logickými hradly 425 EXCLUSIVE-OR (XOR). Konkrétněji XOR hradlo 425a srovnává plnorozsahový zesílený SSVTR signál (VT) oproti výstupnímu signálu SN a vytváří řídicí signál pro řídicí spínač 415a. XOR hradlo 425b srovnává plnorozsahový /SSVTR (/VT) oproti výstupnímu signálu SN a vytváří řídicí signál pro řídicí spínač 415b. V tomto počátečním stavu jen SSVTR a v souladu s tím VT jsou nízké, čímž způsobují, že XOR 425a pohne spínačem 415a na uzavřeno. V souladu s tím výstup (vysoký) komparátoru 410a dosáhne na výstupní vývod 420. XOR 425 pohne spínač 415b na otevřeno, čímž se zabrání vstupu nežádoucího výstupního signálu z komparátoru 410b. Přijímač 405 je stabilní.

Podle příkladu znázorněného na obr. 3B se jednoduchý signál SNx změní na nízké napětí. Jako vždy se SSVTR a /SSVTR mění navzájem opačně. Podle toho jakmile SSVTR a /SSVTR dosáhnou předem stanovený rozdíl (s výhodou 250 mV) mezi sebou, VT a /VT se změní. Podobně jakmile se změní SSVTR a SNx na předem určený rozdíl (s výhodou 250 mV) mezi sebou, výstup komparátoru 410a se také změní (na nízké výstupní napětí). Za výhodu bude považováno, že trasa z externího signálu SNx k vytvoření výstupního signálu SN a trasa pro celorozsahový signál VT a /VT zahrnují každá jeden komparátor 410 nebo 435 a dva invertory 430 nebo 440. Každé XOR hradlo 425 obdrží tudíž nové vstupní signály založené na rychlosti srovnání komparátory 410 a 435. V tomto příkladu, jak je to zřejmé na příkladu časového diagramu dle obr. 3B, dosahuje SSVTR a /SSVTR předem stanovený rozdíl ve stejné době, kdy SSVTR a SNx dosahují stejný předem stanovený rozdíl. V souladu s tím bude XOR 425a pokračovat v příjmu diferenciálních vstupů, čímž se udržuje stejný spínač 415a uzavřený a umožňující, aby nízké výstupní napětí z komparátoru 410a procházelo do výstupního terminálu 420. Přijímač 405 je stále stabilní.

Rovněž podle příkladu dle obr. 3B jednoduchý signál SNx se nepřeměňuje. Jako vždy se SSVTR a /SSVTR mění relativně vůči sobě navzájem. V souladu s tím právě aktivovaný komparátor 410a pokračuje v buzení nízkého výstupního napětí. Když SSVTR a /SSVTR dosáhnou předem určeného rozdílu vůči sobě navzájem, ale před tím, než SSVTR dosáhne stejného napětí jako SNx (čímž se zabrání možnosti neurčitého stavu výstupního signálu) se XOR 425a vypne a XOR 425b se zapne. Za výhodu bude považováno, že od doby kdy se začne /SSVTR zvyšovat, mohl by komparátor 410b budit nízké výstupní napětí. Přijímač 405 je stále stabilní.

Každý přijímač 405 může snadno detekovat a zesilovat velmi malé signály řádově 100 až 250 mV. Jestliže se přeměna objevila v jednoduchém signálu SNx, má výstupní signál SN novou úroveň, která je opačná vůči jeho předchozí úrovni signálu. Protože se jak SSVTR (nebo /SSVTR), tak i jednoduché signály změnily, je stejný komparátor 410 stále připojen k vývodu výstupu signálu. Jestliže se jednoduché signály SNx nezměnily, potom se signální výstup SN nemění, komparátor 410 připojený na počátku přeměny se odpojí z výstupu poté, co přijímač SSVTR a /SSVTR zesílil jejich nový binární stav (VT & /VT) a druhý komparátor 410, který má opačný /SSVTR (nebo SSVTR) je připojen aby zabezpečil výstup signálu. Stará výstupní úroveň je tím obnovena.

Za výhodu bude považováno, že přijímač 405 může být zrealizován bez použití XORů. Může to být zrealizováno použitím známé polaritity SSVTR a /SSVTR v počátečním cyklu a tím, že všechny jednoduché signály začínají jako vysoké. SSVTR a /SSVTR se mění v každém cyklu. Jejich polarita v každém cyklu tak může být určována ověřováním systémových hodin v synchronním systému a definováním započetí cyklu v sudých hodinových cyklech (tj. SSVTR je nízký v sudém hodinovém cyklu a /SSVTR je vysoký). Potom je sledován jenom výstupní signál "SN" jak připojuje a odpojuje komparátory 410 na základě toho, zdali výstupní signál SN mění stav každý cyklus nebo ne. Jestliže výstupní signál SN mění stav, připojený komparátor je ponechán samotný. Jestliže se výstupní signál SN nemění, je připojený komparátor odpojen a druhý komparátor je připojen atd.

Za další výhodu bude považováno, že systém podle vynálezu umožňuje připojení všech signálů k zdrojům s nízkou impedancí, umožňuje všem signálům, aby presentovaly napěťové a šumové podmínky v podstatě diferenciálně v šumové imunitě a umožňuje snížení rozkmitu napětí ve srovnání s jinými technologiemi práce

s jednoduchými signály, jako je RAMBUS, HSTL nebo GLT. Malý rozkmit 0,5 V, zrealizovaný u tohoto příkladného provedení, umožňuje velmi vysoké rychlosti signálu s mnohem nižší spotřebou proudu ve srovnání s jinými technologiemi zpracování jednoduchých signálů. Dále je výhodou, že každý přijímač 405 zesiluje jednoduché signály SNx během přeměny signálů bez potřeby konvenčních hodin nebo jiného časového signálu kromě SSVTR, /SSVTR a jejich zesílených verzí VT a /VT.

Obr. 5 je vývojový diagram znázorňující způsob 500 sdělování signálů z řídicího zařízení 205 po přenosovém vedení 215 k přijímači 405. Způsob 500 začíná tím, že řídicí zařízení 205 v kroku 505 nastaví SSVTR na VOL a všechny jednoduché signály (/SSVTR a SNx) na VOH a tím, že v kroku 510 nastaví všechny jednoduché výstupy (SN) přijímače na plný vysoký rozsah. Přijímač 405 v kroku 515 spojí komparátor 410a, který srovnává SSVTR s každým jednoduchým signálem SNx, s výstupním vývodem 420 přijímače 405. Přijímač 405 nechá v kroku 517 usadit všechny signály na přenosových vedeních. Kroky 505 až 517 jsou uváděny jako inicializace systému.

Řídicí zařízení 205 v kroku 520 simultánně řídí SSVTR a /SSVTR do svých opačných stavů a všechny jednoduché signály SNx do svých požadovaných úrovní. Přijímač 405 v kroku 530 srovnává jednoduchý signál SNx oproti SSVTR a /SSVTR v příslušných komparátorech 410. Přijímač 405 v kroku 540 určuje zdali se jednoduchý signál přeměnil. Je-li tomu tak, potom přijímač 405 v kroku 545 předává výsledek na výstupní vývod 420 a udržuje tentýž komparátor 410 připojený k vývodu 420. Není-li tomu tak, potom přijímač 405 v kroku 550 odpojí předchozí komparátor 410, připojí druhý komparátor 410 k výstupnímu terminálu 420 a udržuje stejný výstupní signál (SN). Vysílač 405 v kroku 555

určuje zdali pokračuje signálový shluk impulsů. Je-li tomu tak, potom se způsob 500 vrátí ke kroku 520. Jinak způsob 500 skončí.

Obr. 6A je schématický diagram znázorňující pomalé zapínání a pomalé vypínání řídicího zařízení 205 pro jednoduchý signál v prvním provedení uváděném jako vysílač 600. Vysílač 600 zahrnuje stahovací NMOS zařízení 605 připojené k přenosovému vedení 610 pro přesné přizpůsobení výstupního rozkmitu k 500 mV pod VTT. Stahovací NMOS zařízení 605 zahrnuje stahovací NMOS tranzistor T1, mající svůj zdroj připojen k přenosovému vedení 610, kolektor připojený k uzemnění a své hradlo připojené k časový posuv řídicímu obvodu 620. Časový posuv řídicí obvod 620 zahrnuje CMOS invertor, zahrnující dva transistory T2 a T3, zapojené mezi dvěma rezistory, R1 a R2. Vstup do CMOS invertoru je připojen k signál řídicímu zařízení 625. Například ke generování SSVTR nebo /SSVTR může být signál řídicího zařízení 625 oscilátor. Za výhodu bude považováno, že velikost stažení může být upravena s použitím registru (není znázorněn) a sériového vývodu (není znázorněn) během inicializace tak, aby se nastavil správný napěťový rozkmit pro všechny variace způsobu a zařízení. Také mohou být použity jiné způsoby, jako je použití vazbových technik k řízení, které jsou znázorněné v publikaci Hans Schumacher a kol., "(Méně než nanosekundová výstupní vyrovnávací true-ECL paměť CMOS (CMOS Subnanosecond True-ECL Output Bufer)," J.Solid State Circuits, sv. 25(1), str. 150 až 154 (únor 1990). Udržování proudu na 20 mA a existence paralelních vývodů 50 ohmů na obou koncích přenosového vedení 610 (jak je řízeno pomocí R1 a R2) vytváří za všech podmínek 500 mV rozkmit. Aby byly pomalé doby vzestupu a poklesu na výstupu a aby se minimalizovaly odrazy, šumy z přepínání sítě při připojování a odpojování signálu, tak posuv řídicí obvod 665 řídí stahovací tranzistor T1 tak, aby se zapínal a vypínal pomalu. Upřednostňovaná sledovací rychlost je 1,6 ns/V s přechodovými časy 0,8 ns pro 500 mV.

Pro stejně se měnící jakoby rampový signál je upřednostňovaná sledovací rychlost signálů čtyřnásobkem součtu dvou zpoždění invertoru a EXCLUSIVE-OR zpoždění v dané technologii. U 0,25 μ CMOS technologie s provozním napětím 2,5 V je zpoždění invertoru 50 pikosekund a EXCLUSIVE-OR zpoždění je přibližně 120 pikosekund. Upřednostňovaná sledovací rychlost je přibližně 880 pikosekund. Pro signály přenášené nad rychlostí 600 MHz je sledovací rychlost signálu s výhodou menší než 110 % rychlosti signálu. Upřednostňovaná sledovací rychlost pro exponenciální signály je mírně rychlejší, jestliže signál dosahuje 75 % své konečné hodnoty dříve než během $\frac{1}{4}$ přechodové doby. Diferenciální signály s výhodou křižují napůl přes změnu napětí. V kolem $\frac{1}{4}$ cesty skrz změnu napětí mají signály rozdíl kolem 250 mV, což může být rychle převedeno na signál s velkým rozkmitem. Aby se zabránilo zesilování šumu a aby se zabránilo připojování signálu k výstupu přijímače po příjmu nepřechodových jednoduchých signálů, je doba přechodu mezi 75 % a konečnou hodnotou signálu s výhodou vyšší než je součet dvou zpoždění invertoru a EXCLUSIVE-OR zpoždění. Za výhodu bude považováno, že sledovací rychlost může být tak rychlá, jak nechá zesílený šum dosáhnout výstup komparátoru 410, jehož výstup je připojen k výstupnímu vývodu 420. Znamená to, že po příjmu neměnícího se signálu spínače 415 spínají stav před tím než výstup komparátoru změní stav založený na zesílení šumu. Výstup právě připojeného komparátoru 410 se blíží nedeterminovanému stavu (zesílen jen šum). Spínače 415 musí spínat stavy před tím, než začne být dostupný nedeterminovaný výstup. Za další výhodu bude považováno to, že nepřizpůsobení zařízení, výrobní tolerance a odraz signálu budou ovlivňovat rychlost při které výstup z komparátoru 410 dosáhne nedeterminovaného stavu. Tak jak se zlepšuje technologie, dají se dosáhnout zpoždění hradla, větší sledovací rychlosti a větší rychlosti signálu.

Obr. 6B je schematický diagram znázorňující řídicí zařízení 205 mající seřiditelné sledovací rychlosti signálu a časový posuv mezi signály pro jiný příklad provedení uvedený jako vysílač 650. Vysílač 650 zahrnuje NMOS stahovací zařízení 655 připojené k přenosovému vedení 610 pro přesné přizpůsobení výstupního rozkmitu k 500 mV pod VTT. NMOS stahovací zařízení 655 zahrnuje stahovací NMOS transistory 660 připojené paralelně, přičemž každý má svůj zdroj připojený k přenosovému vedení 610, svůj kolektor připojený k uzemnění a svoje hradlo připojené k obvodu 665 řídicímu časový posuv. Obvod 665 řídicí časový posuv zahrnuje CMOS invertor, zahrnující dva tranzistory T2 a T3, zapojené mezi dvě sady 670 a 675 paralelně zapojených rezistorů. Vstup do CMOS invertoru je připojen k zařízení 625 na řízení signálu. Sady 670 a 675 rezistorů ladí doby zvyšování a poklesu. Za výhodu bude považováno, že doby zvyšování a poklesu jsou s výhodou tak symetrické, jak je to možné, aby měly střední bod překřížení všech signálů a snímání všech signálů diferenciálními přijímači tak, aby se objevily souběžně. Dosažení symetrie a nastavení sledovací rychlosti a výstupního rozkmitu se dá dosáhnout během testovací fáze tavnými pojistkami (není znázorněno) nebo během inicializace na desce nastavením registru (není znázorněno).

Za výhodu bude považováno, že doby změny signálu mohou být mírně větší než rychlost signálu. U některých silně zatěžovaných sběrnic může být zvětšen rozkmit, aby se ošetřily přenosové ztráty a aby přijímač 210 přesto dostával 500 mV, aby snímání probíhalo snadno. Za další výhodu bude považováno, že jsou na základě technologie, zátěže a příjmu a rozlišovacích zpoždění přijímače možné různé sledovací rychlosti, exponenciální přechodové doby a napěťové rozkmity. I přechodové doby mírně vyšší než signální rychlost jsou možné s

přecházejícími signály dosahujícími 90 až 95 % své konečné hodnoty během shlukování. Rovněž během testování je posuv mezi jednoduchými signály a SSVTR a /SSVTR upraven s použitím velikosti NMOS stažení a rezistorů v hradlu před ním s použitím dobře známých technik jako je laserové přepálení pojistky nebo nastavení kódu registru tak, aby se dosáhlo tvaru vlny signálu tak jak je to znázorněno na obr. 10. Jak je to znázorněno na obr. 10, všechny jednoduché signály SNx by měly být koincidenční nebo méně než 50 ps před přechodem SSVTR a /SSVTR. Tento časový posuv může být upraven po testování tak, aby byl v tomto rozsahu.

Obr. 7A až 7D znázorňují alternativní provedení každého přijímače 405 signálu podle obr. 4. Za výhodu bude považováno, že komparátory 410 přijímače 405 potřebují pracovat během každého cyklu, což vyžaduje malé akviziční a rozlišovací prodlevy, neodebírající žádný vstupní proud a nedávající žádný proud zpět do signálních vedení. Běžný diferenciální zesilovač uspokojuje všechny tyto požadavky. S odkazem na obr. 7A používá přijímač 210 duální diferenciální zesilovače 702, jeden diferenciální zesilovač 702a pro srovnávání signálu SNx s SSVTR a druhý diferenciální zesilovač 702b pro srovnání signálu SNx s /SSVTR. Pro úplnost je uveden stručný přehled diferenciálních zesilovačů 702. Diferenciální zesilovač 702 je vždy aktivován. Na základě velikostí kanálů když je SSVTR napětí vyšší než SNx napětí, je přes PMOS transistor T10 vedeno více proudu, čímž se vytáhne výstupní napětí na uzlu 707 (blíží se VCC nebo 2,5 V). Když je SSVTR napětí menší než napětí SNx, je přes NMOS transistor T11 odebíráno více proudu, čímž se stahuje výstupní napětí na uzlu 707 dolů (blíží se VSS nebo 0 V). Diferenciální zesilovač převede malorozkmitový (0,5 V) vstup na velkorozkmitový výstup (0 V až 2,5 V).

Výstupy z diferenciálních zesilovačů jsou zesíleny a invertovány invertorem 704, procházejí skrz přenosová hradla CMOS 706 a jsou spolu spojeny v uzlu 708. Přenosová hradla 706 jsou selektivně provozována v závislosti na zesíleném stavu předchozího signálu (SN) podrobeny operaci EXCLUSIVE-OR se zesíleným stavem SSVTR nebo /SSVTR, tj. VT nebo /VT. EXCLUSIVE-OR je zkonstruováno tak, aby bylo stabilní bez krátkých rušivých impulsů pro malé časovací variace mezi Sn, VT a /VT dosahující svých příslušných logických úrovní.

Jsou znázorněna různá provedení. Obr. 7A znázorňuje vždy aktivované diferenciální zesilovače, přičemž jen přenosová hradla jsou selektivně aktivována pro malý počet zařízení a vyšší rychlost jako alternativní provedení 700. Obr. 7B znázorňuje diferenciální zesilovač a přenosová hradla aktivovaná nebo deaktivovaná současně jako alternativní provedení 720. Obr. 7C znázorňuje diferenciální zesilovače, které jsou aktivovány stejným EXCLUSIVE-OR pro nízký proud, rychlé deaktivování přenosových hradel během přenosu EXCLUSIVE-OR výstupu a pomalé aktivování přenosových hradel poté, co je EXCLUSIVE-OR ustáleno jako alternativní provedení 740. Obr. 7D znázorňuje P-kanálové diferenciální zesilovače s koncovým napětím 1,2 V pro aplikace s nižším proudem jako alternativní provedení 760. Všechna hradla diferenciálního zesilovače mohou být deaktivována pro snížení proudu když není zvolen přijímač nebo když není zvoleno zařízení nebo když je zařízení hluboko v nízkoproudovém režimu. Diferenciální zesilovač může být deaktivován vypnutím transistoru T11.

Použitím zakončení 1,2 V a přijímače 405 tak, jak je to znázorněno na obr. 7D může být spotřeba proudu dále snížena o dalších 33 %. Znamená to, že napěťový rozkmit bude od 1,2 V do 0,7 V, což umožňuje slušné okraje od spodního zákmitu a nižší

spotřebu proudu pro případ přenosných systémů. Provozní frekvence může být srovnatelná s menším počtem zařízení na sběrnicích, což je společné s přenosnými zařízeními pro menší faktor tvaru. Vysílač 205 může stále být NMOS stahovací T1 nebo paralelní spojení stahovacích NMOS transistorů 660. Provoz přijímače je podobný kromě toho, že se diferenciální zesilovač 706 stane zrcadlovým obrazem, čímž se zvýší kapacita hradla u signálů jdoucích do hradla P-kanálu pro srovnatelnou činnost o přibližně dvojnásobek díky zvýšené velikosti zařízení p-kanálu. Jiné konfigurace diferenciálních zesilovačů, které rychle převádějí malorozkmitové diferenciální signály na velkorozkmitové diferenciální signály mohou alternativně být použity namísto znázorněných diferenciálních zesilovačů. Odborník v oboru si bude vědom toho, že jiné provedení může použít dvě rozdílná VTT, jedno pro signály rovné 1,8 V s 500 mV rozkmitem a druhé pro oscilující referenční signály rovné 1,7 V s rozkmitem 300 mV. Všechny signály se mění současně a mají podobné doby vzestupu a poklesu. Táž dvojice vysílače a přijímače může zvládnout vícenásobný VTT systém.

Za výhodu bude považováno, že bod předpětí stejnosměrného proudu každého diferenciálního zesilovače v přijímači 405 je uspořádán tak, že výstupní napětí přijímače 405 je nad polovinou VCC když obě napětí s malým rozkmitem (jednoduchý signál SNx a SSVTR nebo /SSVTR aktivovaného diferenciálního zesilovače) jsou blízko k VIH a pod polovinou VCC když jsou obě napětí s malým rozkmitem blízko VIL. Toto stejnosměrné předpětí umožňuje vytvořit náležitý okraj a ochranu výstupního signálu SN když jednoduchý signál SNx nezmění stav a SSVTR nebo /SSVTR aktivovaného diferenciálního zesilovače uzavírá diferenciální signál před tím než je rozpojen.

Protože přijímač 405 pracuje během přeměny signálu pro malorozkmitový jednoduchý signál, koncepce nastavovací a stabilní doby ze specifikované doby poté, co úroveň signálu dosáhne VIH/VIL nebo VREF, použitá u předchozích technik zpracování signálů, se již nepoužívá. Také neexistuje VREF (referenční napětí) pro srovnání se signálním napětím. Eliminováním časování potřebného pro nastavení a držení a časování potřebného k aktivování napěťových okrajů pro snímání kolem VREF, je provozní frekvence značně zvýšena při nižší spotřebě proudu. Dále všechny přijímače 405 jsou samočasované, bez potřeby globálních hodin, což přijímačům 405 umožňuje, aby byly seřizeny individuálně pro eliminaci přenosového časového posuvu na úrovni desky nebo paketu.

Obr. 8A a 8B jsou schematické diagramy znázorňující podrobně detaily obvodů komparátorů 435 z obr. 4. Každý komparátor 435 zahrnuje diferenciální zesilovač 802 (obr. 8A) nebo 852 (obr. 8B) podobně jako u diferenciálního zesilovače 702 z obr. 7A a vícenásobných invertorů 804 (obr. 8A) nebo 854 (obr. 8B) v sérii. Celorozsahové výstupní signály komparátorů 802 a 852 (VT1, VT2, VT3, /VT1, /VT2 a /VT3) jsou přenášeny ke všem XOR hradlům 425 přijímačů jednoduchých signálů (obr. 4). Volba VT1, VT2 nebo VT3 je určována na základě testování rychlosti signálu v podstatě stejně jako volba generační trasy výstupního signálu SN přijímače 405.

Obr. 9 je schematický diagram znázorňující přijímače 405 s individuálně nastavitelnými zpožděními k eliminování časového posuvu během přenosu a převedení malého rozkvyu na velký rozkvyv pomocí komparátorů 410. Aby se vyladila provozní frekvence nebo rozkmit napětí na optimální činnost, má každý přijímač 405 registr 905 na uložení dat k aktivování dodání jednoho ze tří

VT1 a /VT1, VT2 a /VT2 nebo VT3 a /VT3 do XOR hradla 425 (obr. 4).

Obr. 11 je prostorový pohled na hardwarové uspořádání kombinovaného řídicího zařízení 1100 pro obousměrnou komunikaci signálu. Řídicí zařízení 1100 zahrnuje přijímače 405 a vratné vysílače 1105 spojené dohromady. Konkrétněji každý jednoduchý signál přijatý tak jako signál S0 je připojen k odpovídajícímu přijímači 405 jako je přijímač S0 a k odpovídajícímu vysílači 1105 jako je vysílač T0. Všechny jednoduché signály SNx mohou být s výhodou seskupeny dohromady s jedinou dvojicí referenčních signálů SSVTR a /SSVTR. Odborníkům v oboru bude ale zřejmé, že pro danou provozní frekvenci zátěž SSVTR a /SSVTR a nerovnováha signálu snižují počet signálů SNx, které mohou být spolu seskupeny. Jak je to patrné na obr. 11, uspořádání je zrealizováno tak, že kapacity, odpory a indukčnosti na SSVTR a /SSVTR a všechny jednoduché signály SNx jsou vyváženy. Protože SSVTR a /SSVTR také vedou ke všem přijímačům 405, celková zátěž na SSVTR a /SSVTR potřebuje být minimalizována.

Použitím zařízení s velmi nízkými ztrátami rozptylem proudu a fyzickým stěsnáním se dá dosáhnout toho, že sběrnice může být vytvořena co nejkratší, což zase umožňuje krátké doby šíření a vysoké rychlosti dat. Jak je to znázorněno na obr. 2B, rezistorem zakončená přenosová vedení s řízenou impedancí mohou pracovat při rychlostech signálu 1 GHz (1ns cyklus). Parametry přenosových vedení jsou silně ovlivňovány zátěží způsobenou integrovanými obvody jako jsou DRAMy, které jsou namontovány na sběrnici. Tyto integrované obvody přidávají k vedení jednorázovou kapacitu, což jak snižuje impedanci vedení, tak i snižuje rychlost přenosu. V zatíženém prostředí bude impedance sběrnice pravděpodobně řádově 25 ohmů a rychlost propagace bude 7,5 cm/ns. Je třeba dbát na to, aby sběrnice nebyla řízena ze

dvou zařízení současně, takže u sběrnic menších než kolem 12 cm je potřeba jeden mrtvý cyklus (např. 2 ns) k ustálení sběrnice pro přepnutí z jednoho řídícího zařízení na druhé řídící zařízení. U delších sběrnic může být potřeba více než jeden cyklus, aby bylo možno ustálit signály předtím než může signály řídit nový vysílač. Na rozdíl od sběrnice RAMBUS délka sběrnice nesnižuje provozní frekvenci v shlukovém režimu ze stejného zařízení.

Obr. 12A je v prostorovém pohledu blokový diagram znázorňující systém 1200 typu od bodu k bodu, který zahrnuje obousměrné řídící zařízení 1205, připojené pomocí přenosových vedení 1215 k dvousměrnému podřízenému zařízení 1210. Přenosová vedení 1215 zahrnují horní signální SNx vedení 1220, dolní signální SNx vedení 1225 a SSVTR a /SSVTR vedení 1230. Jak je to znázorněno, je na obr. 12B, prostorový pohled na blokové schéma znázorňující systém 1200 typu od bodu k bodu, zahrnující koncové odpory 1235 interně používající uzemněná hradlová P-kanálová zařízení. Toto eliminuje potřebu místa na připojení externích odporů a snižuje to náklady. Za výhodu bude považováno, že koncové odpory 1235 mohou být zrealizovány s použitím vnitřních rezistorů namísto uzemněného hradla P-kanálových zařízení. Ukončení obou konců příslušnou charakteristickou impedancí je výhodné pro obousměrné signály na sběrnici. Protože jsou vnitročipové bloky fyzicky blízké, nejsou nutné odpory upravující impedanci. Malá zvedací zařízení jsou postačující. Podobně když jsou spoje uvnitř čipu fyzicky blízké, mohou být odpory upravující impedanci nahrazeny malými zvedacími zařízeními, aby se snížily náklady a proud a aby se zachovala táž sledovací rychlost.

Za výhodu se bude považovat to, že vícenásobné sběrnice jsou žádány pro zařízení jako je SLDRAM, DDR SDRAM nebo různé DDR SRAM, kde jsou signály přenášeny a přijímány současně. Obr. 13A

je prostorový pohled na blokové schéma znázorňující kombinovaný jednosměrný a obousměrný systém 1300 pro SLDRAM na jediném integrovaném obvodu. Systém 1300 zahrnuje řídicí zařízení 1305 (např. řídicí jednotku paměti) připojené pomocí přenosových vedení 1315 k podřízeným zařízením 1310 (např. k SLDRAMů). Řídicí zařízení 1305 přenáší adresové a řídicí signály přes adresové a řídicí vedení 1320 a 1325, vysílá a přijímá datové signály přes datová vedení 1330 a 1335, přenáší na vedeních SSVTR a /SSVTR 1340 první sadu referenčních signálů SSVTR a /SSVTR (tj. SSVTR0 a /SSVTR0) pro prověření adresových a řídicích signálů a přenáší druhou sadu referenčních signálů SSVTR a /SSVTR (tj. SSVTR1 a /SSVTR1) k podřízeným zařízením 1310. Adresová a řídicí část systému 1300 organizuje jednosměrné signály potřebné jen podřízenými zařízením 1310. Datová část systému 1300 je obousměrná, založená na tom, zdali řídicí signál specifikoval operaci READ (čtení) nebo WRITE (zápis).

Pro SLDRAM je 40-bitový příkaz a adresa poslána v paketu čtyř 10-bitových slov. SSVTR0 a /SSVTR0, které mohou být uváděny jako diferenciální hodiny systému, pracují při 500 MHz. Zpětnovazební smyčka fázového závěsu (není znázorněna) se používá k zablokování frekvence hodin a časování pro různé vnitřní účely a řízení datového výstupu s SSVTR1 a /SSVTR1 na obou okrajích pro rychlost přenosu dat 1 GHz. Všechny vysokofrekvenční signály jsou zakončeny na obou koncích sběrnice svými charakteristickými impedancemi. Zakončení na konci řídicí jednotky paměti může zahrnovat externí odpory, interní odpory nebo interní uzemněná hradlová P-kanálová zařízení, protože tato řídicí jednotka paměti je obvykle řídicí zařízení a je pevné. Protože je počet komponent (SLDRAMů) 1310 (které pracují jako podřízená zařízení) variabilní, komponenty 1310 jsou s výhodou zakončeny externími rezistory na konci přenosových vedení. 18-bitová obousměrná

datová sběrnice 1330 a 1335 pracuje na stejné frekvenci jako systémové hodiny pro synchronizaci a odesílá data v osmi 18-bitových slovech ve čtyřech hodinových cyklech (8ns) hodin nebo 2,25 gigabytů/s z jediné SLDRAM. Věnuje se péče vyvážení zátěže na SSVTR0 a /SSVTR0 přidáním fiktivních hradel a vedení, aby to vypadalo srovnatelně s SSVTR1 a /SSVTR1. Toto vyvážení zátěže způsobuje, že sledovací rychlost daná zátěží je podobná a umožňuje podobné okraje pro všechny signály.

Když se vyžaduje vyšší šířka pásma, může systém 1350 použít čtyři sběrnice tak jak je to patrné na obr. 14B. Dva oddělené kanály SLDRAMů 1310 se používají s jedinou řídicí jednotkou 1305 paměti. Toto uspořádání umožňuje špičkovou šířku pásma dat 4,5 gigabytů/s. I když systém 1350 nevyžaduje synchronní hodiny pro vysílač 1305 nebo přijímač 1310, systém 1350 může použít synchronní hodiny k přenosu dat v konkrétní době a frekvenci pro usnadnění testování a použitelnost u existujících protokolů synchronních DRAMů a SRAMů. Může být žádoucí použít násobič na čipu nebo pomalé hodiny nebo oscilátor interního okruhu k přenosu dat při vysoké frekvenci bez vysokorychlostních hodin pro synchronizaci k snížení šumu a proudu systému. Za výhodu bude považováno, že odborníci v oboru mohou s využitím podstaty předmětného vynálezu dosáhnout různě velikých, synchronních nebo asynchronních velmi širokopásmových systémů.

Níže je podrobněji objasněno pět koncepcí, které dále vysvětlují vstupní a výstupní obvody 210 z obr. 4.

První koncepce se týká existence komplementárních referenčních signálů. Jak je to znázorněno na obr. 14A, systémy podle známého stavu techniky používají pevné referenční napětí "VREF", jehož hodnota je kolem středního bodu logické vysoké úrovně napětí (VOH) a logické nízké úrovně napětí (VOL). Generátor VREF (není

znázorněn) má obvykle určité stejnosměrné předpětí od kolísání v proudovém napájení použitém pro jeho vytváření, přičemž je toto kolísání znázorněno jako "VREFH" a "VREFL". Rovněž má určitý střídavý šum kvůli okamžitým kolísáním napětí proudového napájení, odrazu od uzemnění, kapacitní vazbě a indukční vazbě se sousedními signály. Diferenciální rozkmit ke komparátoru, použitý v přijímači podle známého stavu techniky, je znázorněn šipkami. Je třeba poznamenat, že diferenciální signál v nejhorším případě podle známého stavu techniky bude řádově 1/3 až 1/4 celkového napěťového rozkmitu signálu.

Jak je to patrné na obr. 14B, systémy a způsoby podle vynálezu používají komplementární referenční signál SSVTR a /SSVTR, které mají stejný napěťový rozkmit jako každý signál (např. datový nebo řídicí). U zvláště výhodného provedení je tento napěťový rozkmit 500 mV s logickým vysokým napětím (VOH) 1,8 V a logickým nízkým napětím (VOL) 1,3 V. Za výhodu se bude považovat, že průměr komplementárních referenčních napětí je kolem středu VOH a VOL v každém časovém okamžiku během činnosti tohoto signalizačního systému. Signály a komplementární referenční signál mají stejné přechodové doby a napěťové rozkmity a jsou iniciovány současně ze stejného zdroje (stejně zařízení pro inter-čipovou komunikaci nebo stejné obecné umístění pro intra-čipovou komunikaci) k tomu, aby byly odeslány do přijímače. Jinými slovy řečeno, vypadají komplementární referenční signály stejně jako každý jiný signál, ale komplementární referenční signály se překlopí pokaždé, když je potřeba přenášet jiné signály. Protože komplementární odkazy používají přívod proudu a uzemnění současně, je všechen šum společný režim. Proto variace hodnoty VREF (VREFH a VREFL) rozkmitu signálu, potřebná u známého stavu techniky, již není potřebná v systémech a u způsobů podle tohoto vynálezu. Díky binární povaze digitální signalizace bude mít vždy jeden komplementární referenční signál

opačnou polaritu než signál na počátku přeměny referenčního signálu a na konci přechodu referenčního signálu. Proto bude mít jedna přítomná referenční hodnota v určitém čase celkový rozkmit kolem 500 mV, čímž se umožňuje, aby komparátor snímal signální napětí snadněji než systém podle známého stavu techniky, který má jen 1/3 až 1/4 celkového rozkmitu signálu. Doba přeměny signálu a referenčního signálu může být polovinou doby přeměny potřebné podle známého stavu techniky k dosažení stejného diferenciálního signálu během změny signálu. Odborníkům v oboru bude zřejmé, že pro optimální činnost by měly být VOH a VOL nastaveny někam mezi několik stovek mV pod proudové napájení a několik set mV nad uzemnění, s rozdílem mezi nimi 500 mV. Rozdíl může být dále snížena na 200 mV až 300 mV, jestliže se sníží nepříznivost zařízení a signály mají jen malé nebo žádné odrazy, zejména u intrachipové komunikace.

Druhá koncepce se týká existence dvou komparátorů pro každý vstupující signál. Opět s odkazem na obr. 4, protože je signál srovnáván s oběma komplementárními referenčními signály, má každý přijímač 210 dva komparátory. Jeden srovnává signál SNx s SSVTR a druhý srovnává signál SNx s /SSVTR. Na začátku shlukové přeměny je komparátor s plným diferenciálním signálem na svém vstupu spojen s výstupem přijímače 210 a druhý komparátor, který nemá žádný diferenciální signál, je odpojen od výstupu přijímače 210. Provádí se to inicializací. Jestliže se signál SNx a připojený referenční signál změní, potom komparátor rychle snímá signál jako diferenciální zesilovač, rychle zesilující signál a řídící výstup do opačného stavu. Jestliže se signál SNx nemění (tj. mění se jen referenční signál) potom se diferenciální vstup do komparátoru, který je připojen na začátku přeměny referenčního signálu, bude v průběhu doby přeměny trvale snižovat, eventuálně dokud není poskytnut žádný diferenciální vstup. Diferenciální vstup do komparátoru, který je odpojen na

začátku přeměny referenčního signálu, se bude v průběhu doby přeměny trvale zvyšovat, eventuálně dokud není zabezpečen plný diferenciální signál. Původně napojený komparátor bez diferenciálního signálu na konci přeměny je odpojen a původně odpojený komparátor s plným diferenciálním signálem na konci přeměny je napojen. Předmětný vynález používá dva komparátory pro snímání jednoho signálu. Dále binární povaha digitálních signálů zabezpečuje plný rozkmit signálu na jednom z komparátorů na začátku každé možné platné přeměny.

Třetí koncepce se týká inicializace. Protože je najednou připojen jenom jeden komparátor k výstupu přijímače, je pro řádný provoz důležité mít komparátor s plným diferenciálním vstupním signálem připojený k výstupu přijímače 210 na začátku shluku impulsů. Proto jsou všechny signály S0x až SNx inicializovány na logickou horní úroveň VOH. Vypnutím všech řídicích zařízení, inicializací SSVTR na VOL, inicializací /SSVTR na VOH a připojením signálů ke koncovým rezistorům nebo p-kanálovým zvedacím zařízením, majícím svá hradla zapnuta, a se zdrojem připojeným k VTT (VTT je 1,8 V) se sníží spotřeba proudu. Výstupy přijímače 210 pro S0 až SN jsou předepjaty vysoko na VCC s použitím p-kanálového zařízení 1615 dle obr. 16 k zabezpečení toho, aby řídicí logika (vysvětleno níže) připojila komparátor s plným diferenciálním signálem k výstupu přijímače 210.

Čtvrtá koncepce se týká diskriminace změny signálu. Jak je to známé odborníkům v oboru, diferenciální zesilovač se vyznačuje tím, že zesiluje malé rozdíly napětí na velké rozdíly napětí. Napěťové zesílení je zpravidla 3- až 5-násobné, vztaženo na velikost zařízení a odpovídá tranzistoru. Invertor umístěný za diferenciálním zesilovačem zabezpečuje další zesílení, aby se dosáhlo téměř plného rozkmitu, vztaženo na volbu velikosti

zařízení. Rychlost diferenciálního zesilovače a invertoru při dosahování plného rozkmitu závisí na diferenciálním signálu dostupném na jeho vstupu. Jak je to znázorněno na obr. 15A, diferenciální zesilovač (a invertor) 1501 může zesilovat přeměnu jak u SNx, tak i u SSVTR 1500 velmi rychle, ale když se SNx nemění, signál do diferenciálního zesilovače se sníží jen na šum a rychlost je mnohem menší (vztaženo na nepřizpůsobení a na šum). Přeměňující se signál SN' (výstup diferenciálního zesilovače a invertoru) je znázorněn jako tečkovaná čára 1503. Oblast 1502 nalevo od přeměňujícího se signálu 1503 je označena "Změna (Change)." Oblast napravo od přeměňujícího se signálu SN' 1503 je označena "Žádná změna (No Change)." Jak je to uvedeno výše, když se signál nemění, zesilovač 1501 se omezuje jenom na zesílení šumu, což je označeno jako neurčitá oblast 1506. Časové období před tím, než zesilovač dosáhne neurčitou oblast 1506, se označuje jako oblast 1504 dočasné prodlevy. Předmětný vynález má výhodu co se týče časové prodlevy v tom, že umožňuje aby řídicí logika popsaná níže propouštěla měnící se signál k výstupu přijímače a aby zabránila v průchodu neurčitému signálu. Zvolením správných velikostí zařízení a dob přeměn lze učinit časovou prodlevu postačující k tomu, aby se řídicí logika provozovala tak, že "změna signálu" projde, ale neprojde "žádná změna signálu" a výsledný neurčitý napěťový signál neprojde. Za výhodu bude považováno, že některá neurčitá úroveň napětí může procházet tak dlouho, pokud je menší než je logický práh hradla XOR za ním a druhý komparátor může rychle obnovit úroveň napětí. Za další výhodu bude považováno, že časová prodleva závisí na rozkmitu signálu, době přeměny referenčního signálu, procesním nepřizpůsobení, odrazu signálu atd.

Pátá koncepce se týká řídicí logiky. S odkazem na obr. 15B obvod 1550 řídicí logiky připojuje příslušný komparátor 1555 k výstupu 1560 přijímače a je založen na časování generovaném

diferenciálním zesilovačem používajícím SSVTR, /SSVTR a přítomný výstup přijímače 1553. Řídící logika 1550 používá SSVTR, /SSVTR a přítomný výstupní signál přijímače 1553. Jak je to patrné z obr. 4, inicializace vstupních signálů S0x až SNx na VOH, referenčního signálu /SSVTR na VOH, referenčního signálu SSVTR na VOL a výstupních signálů přijímače S0 až SN na VCC připojuje příslušné komparátory 410 k výstupu 420 přijímače před zahájením shluku impulsů. U přeměňujícího se signálu řídící logika 1550 neprovádí změnu, protože řídící logika XOR 1565 zvolí příslušný zesílený referenční signál a výstup přijímače signálu. Protože jak zesílený referenční signál SSVTR, tak i SNx přeměna a zpožďovací trasy pro zesílený referenční signál SSVTR a pro SNx na XOR 1565 jsou identické, XOR 1565 nespíná. Alternativně jestliže se vstupní signál nepřeměňuje, předchozí komparátor 1555, který byl připojen, je odpojen a druhý komparátor 1555, který nebyl připojen je nyní připojen. Výstup přijímače signálu se nemění a je aktivně řízen připojeným komparátorem 1555 tak, aby se obnovila výstupní úroveň, je-li to žádoucí. Řídící logika 1550 je zkonstruována tak, aby se objevila během časové prodlevy 1504 mezi změnou signálu 1502 a žádnou změnou signálu 1506 tak, jak to bylo vysvětleno výše.

Řídící logika se provádí s použitím individuálního EXCLUSIVE-OR lokálně pro každý komparátor pro vyšší rychlost, lepší přizpůsobení doby segmentování a pro zlepšení okrajů nebo seřízení pro časové posuvy a nepřizpůsobení. Rovněž by bylo možné mít všechny komparátory odpojené od svých výstupů přijímačů s použitím SSVTR a /SSVTR časování a jeden řídící signál pro všechny přijímače signálů jednoho sběrníkového kanálu tak, že se objevuje v době segmentování během časové prodlevy, aby se snížil počet zařízení v přijímačích. Omezilo by to provozní šířku pásma, protože řádný komparátor musí být připojen k výstupu přijímače před zahájením další přeměny.

Když jsou všechny tyto prvky zkombinovány dohromady, celý signální systém pracuje s celým signálem $S0x$ až SNx a /SSVTR, přičemž začíná na VOH, celý výstup přijímače signálu je předem nabit na VCC a SSVTR začíná na VOL. Před inicializací shluku impulzů signálu přeměnou komplementárních referenčních signálů jsou všechny komparátory s diferenciálním signálem na nich (SNx a SSVTR) připojeny k výstupům přijímače. Pro přeměnu signálů umožňuje řídicí logika signálům to, aby řídily výstup k opačnému okraji rozsahu napětí. U signálů, které se nemění, řídicí logika odpojí signály ze současného komparátoru na jiný komparátor, aby se podržel anebo obnovil výstup přijímače. Další přeměna je zřetězena tak, aby pokračovala s překryvem přeměn s řídicí logikou až zpoždění řídicí logiky omezí šířku pásma nebo časový interval tak, aby se umožnila následující přeměna.

Jak je to znázorněno na obr. 16, přijímač jednoduchého signálu má diferenciální zesilovače s hradlem ovládaným signálem poklesu proudu nebo signálem aktivujícím přijímač pro vypnutí proudu do přijímače když není používán. Oproti obr. 7A byly invertory nahrazeny hradly NAND 1610 připojenými k signálu poklesu proudu nebo signálu k aktivaci přijímače. Dále byl zvedací tranzistor 1615 připojen k uzlu 708 na jeho kolektor, k VCC na jeho zdroj a k signálu poklesu proudu nebo signálu aktivování přijímače na jeho hradlu aby se na SN vytvořilo předpětí VCC. Hradlo NAND 1615 za diferenciálními zesilovači také dosahuje správnou polaritu na SN k inicializaci shlukového cyklu. Požadovaný počáteční stav je přednastavit SNx vysoko, s SNx vytaženým nahoru koncovým odporem nebo vytahovacím zařízením na signálním vedení a stáhnout SSVTR dolů a /SSVTR nahoru. Zbytek činnosti přijímače je již popsán. Zařízení P-kanálu na společném uzlu výstupu přenosových hradel je určeno k tomu, aby rychle vytvořilo vysoké předpětí na uzlu 708, je-li to nutné, během

vzestupu proudu nebo když výstupy EXCLUSIVE-OR nedosáhly stabilních úrovní.

Použitím zařízení s velmi nízkými ztrátami rozptylem proudu a velkým fyzickým natěsnáním může být sběrnice provedena co nejkratší, což zase umožňuje krátké doby šíření a vysoké rychlosti dat. Přenosová vedení zakončená řízenou impedancí, tak jak je to znázorněno na obr. 12, mohou pracovat při rychlostech signálu 1 GHz (1ns) nebo vyšší. Parametry přenosových vedení jsou silně ovlivněny zátěží způsobenou integrovanými obvody, jako jsou RAMy, namontovanými na sběrnici. Tyto integrované obvody přidávají vedením jednorázové kapacity, což snižuje impedanci vedení a snižuje rychlost přenosu. V prostředí se zátěží bude impedance sběrnice pravděpodobně řádově 25 ohmů a rychlost šíření bude 7,5 cm/ns. U aplikace požadující rychlý obrat sběrnice z načítání na zápis a opačně, jak je to znázorněno na obr. 17, je doba přeměny signálu zvolena tak, aby byla kolem 25 až 30 % rychlosti signálu (polovina doby cyklu). Zesílení je iniciováno v dalších 25 až 30 % rychlosti signálu. Řídící obvod se vypne, aby se signály ustálily zhruba v dalších 25 až 30 % rychlosti signálu. Za výhodu bude považováno, že další cyklus, kdy se směr signálu nebo dat obrátí, může být prováděn beze ztráty účinnosti sběrnice, kde jsou zařízení u sebe blízko a doba ustálení sběrnice je menší než polovina rychlosti signálu.

Obr. 18 znázorňuje v prostorovém znázornění spojení od bodů jednoho zařízení k bodům druhého zařízení. Zabudováním koncových odporů interně s použitím uzemněných hradlových P-kanálových zařízení se dají postavit velmi výkonné systémy spojující body jednoho zařízení s body druhého zařízení tak, jak je to znázorněno na obr. 13B. Interní zabudování koncových odporů vylučuje potřebu prostoru k spojení externích odporů a snižuje



náklady. Rovněž je možné sepnout hradlo P-kanálových zařízení na vysílací straně k snížení proudu potřebného při vybíjení signálních vedení na požadované napětí. Jak CPU, tak i řídicí jednotka paměti mají P-kanálová koncová zařízení, jejichž velikosti mohou být zvoleny tak, aby se rovnaly charakteristické impedanci vedení když jsou jejich hradla na uzemňovacím potenciálu. Hradla P-kanálových zařízení používají signál, který je komplementem aktivace přijímače k deaktivování konce přijímače a vysílacího konce. Toto přepínání se dá provést zatímco je přijímač přednastaven na vysokou hodnotu a před inicializací shluku impulzů na signálních vedeních. Interní odpory se také dají použít namísto uzemněných hradlových P-kanálových zařízení. Použitím více sběrnic tak, jak je to popsáno v další sekci, se dá zmenšit šířka sběrnice k řídicí jednotce paměti na 32 (36) z 64 (72) nebo může být značně zvýšena šířka pásma. Spojení na zadní straně vyrovnávací paměti ke cache paměti u CPU jednotek se dá také zrychlit, dá se snížit počet pinů na CPU a paměti PBSRAM mohou být změněny z X36 na X18, čímž se sníží velikost a náklady.

Obr. 19 znázorňuje systém 1900, mající skupinu sběrnic pro zařízení jako jsou SLDRAM, DDR SDRAM nebo DDR SRAM, kde jsou signály přijímány současně. Sběrnice 1920 systémových hodin začíná od zdroje hodinových signálů 1915 na konci opačném vůči řídicí jednotce paměti 1905, je připojena ke všem zařízením 1910, jejichž datové výstupy jsou připojeny ke sběrnici 1920 a končí na řídicí jednotce 1905 paměti. Zátěž na hodinovém signálu je přizpůsobena zátěži na datovém výstupu a referenčních signálech SSVTR1 a /SSVTR1. Za výhodou bude považováno, že hodinové impulsy mohou být diferenciální (s výhodou) nebo jednoduché v závislosti na frekvenci hodin a požadavcích systému. Rozkmit napětí hodin může být podobný jako SSVTR a /SSVTR, aby měl podobný přijímač. Aby bylo zpoždění stejné,



délka trasy sběrnice 1920 hodin je přizpůsobena délce trasy referenčních signálů SSVTR1 a /SSVTR1. Zdroj hodin 1915 zavádí SSVTR1, /SSVTR1 a data z DDRDRAMů v různých dobách v závislosti na jejich umístění na sběrnici 1920, takže data, SSVTR1 a /SSVTR1 dojdou na řídicí jednotku 1905 zhruba současně bez ohledu na to která DDRDRAM data řídí. Každá DDRDRAM by mohla popřípadě používat DLL (Delay Lock Loop, tj. zpoždění blokující obvod), aby se snížilo zpoždění hodin 1915 vůči datům, je-li to potřeba pro synchronizaci na řídicí jednotce 1905. Aby se mohl odstranit další pin v systému s hodinovými impulsy, kde je přenos dat předvídatelný, dá se použít DLL k vytváření /SSVTR1, majícího stejné časovací a napěťové parametry, ale opačnou polaritu na konci přijímače. DLL by reprodukovala hodiny ve všech složkách (včetně řídicí jednotky 1905 a DDRDRAMů 1910). Řídicí jednotka 1905 by si byla vědoma cyklu, ve kterém je předvídan příchod dat a referenčního signálu SSVTR1. Po inicializaci cyklu zápisu adresovými a příkazovými signály by měla DDRDRAM znát cyklus ve kterém budou vstupní data přicházet. DLL propustí signál /SSVTR1 jenom když je signál zapotřebí pro konkrétní komponentu. Adresová a příkazová vedení mohou být seskupena s SSVTR0 a /SSVTR0. Adresová a řídicí sběrnice jednosměrně přenáší vstupní signály z řídicí jednotky 1905 paměti do DDRDRAMů 1910. 10-bitový příkaz a adresa je zaslána dovnitř jako 2-bitový příkaz a 8-bitová adresa. 2-bitový příkaz je proveden s použitím /CE a /RAS na jednom signálu na dvou okrajích SSVTR0 a /SSVTR0 a druhý signál pro /CAS a /WE. 8-bitová adresa na dvou okrajích dává až 16 bitů řádkové adresy objevující se s /CE a /RAS nebo až 16 bitů sloupcové a blokové adresy objevující se s /CE a /CAS pro čtecí cyklus. Zápisový cyklus je proveden s 16 bity sloupcové a blokové adresy s /CE, /CAS a /WE. SSVTR0 a /SSVTR0 mohou být deriváty systémových hodin (diferenciální) a pracovat na stejné nebo násobné frekvenci systémových hodin. Jak to bylo vysvětleno výše, DLL

může být použit k zablokování frekvence hodin v řídicí jednotce 1905 paměti pro různé vnitřní účely, aby se řídily příkazové a adresové signály během požadavku na čtení a aby se řídil vstup dat, SSVTR1 a /SSVTR1 pro zápisové požadavky.

Vynález se dále odlišuje od práce se signály u RAMBUS použitím odlišných referenčních signálů pro vstupy dat (SSVTR1 a /SSVTR1) a pro adresu a řízení (SSVTR0 a /SSVTR0). U RAMBUS jsou všechny signály, které přicházejí do RDRAM, snímány na základě jediných hodin, zatímco u předmětného vynálezu jsou řídicí signály a adresové signály na odlišném kanálu než datové signály. Umožňuje to, aby běžel kanál řídicích a adresových signálů při jiné frekvenci než datový kanál. Všechny jednosměrné vysokofrekvenční signály (adresové a řídicí signály) jsou zakončeny svojí charakteristickou impedancí na konci sběrnice směrem od řídicí jednotky 1905. Protože je řídicí jednotka 1905 obvykle řídicím zařízením a je obvykle upevněna, všechny obousměrné signály (datové signály) jsou zakončeny na konci u řídicí jednotky externím nebo interním odporem nebo interním uzemněným hradlem P-kanálového zařízení. Za výhodu bude považováno, že se aby se snížil proud, končící P-kanálové zařízení může být vypnuto během cyklu zápisu dat. Ukončení na straně řídicí jednotky je popřípadě možné a může to být vysoký odpor kolem 10-násobku charakteristické impedance. Protože počet komponent paměti, tj. podřízených zařízení, je variabilní, jsou komponenty paměti s výhodou zakončeny externím rezistorem na konci přenosového vedení. 18-bitová obousměrná datová sběrnice s výhodou pracuje na stejné frekvenci jako systémové hodiny pro synchronizaci a s výhodou vysílá data z jediné DDRDRAM ve čtyřech 18-bitových slovech ve dvou hodinových cyklech (4 ns) nebo 2,25 gigabytů/s. Je věnována péče přizpůsobení zátěže na SSVTR0 a /SSVTR0 přidáním fiktivních hradel a vedení tak, aby to vypadalo jako srovnatelné s SSVTR1 a /SSVTR1. Toto přizpůsobení zátěže činí

sledovací rychlosti podobné a umožňuje to podobné okraje pro všechny signály. Když se vyžaduje vyšší šířka pásma, dají se použít tři sběrnice tak jak je to znázorněno na obr. 20. Dva oddělené kanály DDRDRAMů se používají s jedinou řídicí jednotkou paměti. Tato konfigurace umožňuje šířku pásma dat ve špičce 4.5 gigabytů/s. Adresové a příkazové signály mohou být sdíleny mezi dvěma kanály na SSVTR0 a /SSVTR0. Hodiny a data jsou rozděleny tak, aby měly 36-bitovou datovou sběrnici používající SSVTR1, /SSVTR1, SSVTR2 & /SSVTR2. Tím se uspoří piny ve srovnání s dvoukanálovými RDRAMy podle známého stavu techniky.)

I když vynález nevyžaduje synchronní hodiny pro vysílač nebo přijímač, může použít synchronní hodiny k přenášení dat v konkrétním čase a frekvenci pro usnadnění testování a jsou použitelné s existujícími protokoly synchronních DRAMů a SRAMů. Může být žádoucí používat na čipu umístěný násobič pomalých hodin nebo vnitřní obvod oscilátoru, aby se přenášela data při vysoké frekvenci bez vysokorychlostních hodin pro synchronizaci, aby se snížil šum a proud v systému. Odborníci v oboru mohou postavit různé velikosti synchronních nebo asynchronních širokopásmových systémů podle výše uvedených informací.

Výše uvedený popis zvláště výhodných provedení podle předmětného vynálezu jsou jen příklady a jsou možné i jiné variace a modifikace výše popsaných provedení a způsobů ve světle výše uvedené podstaty vynálezu. Tak například i když byly systém a způsob popsány jako přenášející SSVTR a /SSVTR z řídicí jednotky 205 na přijímající jednotku 405, odborníkovi v oboru bude zřejmé, že lze vysílat jen jeden referenční signál a komplementární signál může být generován na straně přijímající jednotky 405. Alternativně se dá tato technika použít i u jiných technologií, jako je bipolární nebo galium-arzenidová, které mají podobná spínací zařízení a hradla. Komponenty dle

předmětného vynálezu mohou být zrealizovány s použitím naprogramovaného digitálního počítače pro obecné účely s použitím pro danou aplikaci specifických integrovaných obvodů nebo s použitím sítě propojených konvenčních komponent a obvodů. Zde popsaná provedení nejsou míněna jako vyčerpávající nebo vymezující celou problematiku. Předmětný vynález je vymezen pouze následujícími nároky.

PATENTOVÉ NÁROKY

1. Způsob detekování přeměny mezi přicházejícím signálem a předchozím signálem vyznačující se tím, že zahrnuje kroky
získávání oscilujícího referenčního signálu,
příjem vstupního signálu a
srovnávání oscilujícího referenčního signálu se vstupním signálem k zjišťování přeměny ve vstupním signálu vůči předchozímu signálu.
2. Způsob podle nároku 1 vyznačující se tím, že krok srovnávání zahrnuje vytváření prvního výsledku a dále zahrnuje vytváření řídicího signálu založeného na předchozím signálu pro řízení průchodu prvního výsledku jako výstupního signálu.
3. Způsob podle nároku 2 vyznačující se tím, že krok vytváření řídicího signálu zahrnuje srovnávání oscilujícího referenčního signálu a výstupního signálu.
4. Způsob podle nároku 3 vyznačující se tím, že první výsledek manipuluje výstupní signál z předchozího signálu k prvnímu výsledku a
krok vytváření řídicího signálu zahrnuje srovnávání oscilujícího referenčního signálu a výstupního signálu, zatímco je výstupní signál stále logicky roven předchozímu signálu.
5. Způsob podle nároku 3 vyznačující se tím, že první výsledek manipuluje výstupní signál z předchozího signálu k prvnímu výsledku a

krok vytváření řídicího signálu zahrnuje srovnávání oscilujícího referenčního signálu a výstupního signálu poté co se výstupní signál logicky rovná prvnímu výsledku.

6. Způsob podle nároku 1 vyznačující se tím, že vstupní signál je signál jednoduchý.
7. Způsob podle nároku 1 vyznačující se tím, že oscilující referenční signál je synchronní se vstupním signálem.
8. Způsob podle nároku 1 vyznačující se tím, že oscilující referenční signál poskytuje napěťové a časové atributy.
9. Způsob podle nároku 1 vyznačující se tím, že oscilující referenční signál je negován.
10. Způsob podle nároku 1 vyznačující se tím, že dále zahrnuje kroky
získávání oscilujícího referenčního komplementárního signálu
a
srovnávání komplementárního signálu oproti okamžitému vstupujícímu signálu a proti předchozímu signálu k detekování přeměny ve vstupním signálu relativně k předchozímu signálu.
11. Způsob podle nároku 1 vyznačující se tím, že oscilující referenční signál zahrnuje oscilující zdroj synchronního napětí a časového referenčního signálu, mající sledovací rychlost v podstatě rovnou polovině doby cyklu oscilujícího referenčního signálu.



12. Systém pro detekci přeměny mezi vstupním signálem a předchozím signálem vyznačující se tím, že zahrnuje
první vstupní terminál pro příjem oscilujícího referenčního signálu a druhý vstupní terminál pro příjem vstupního signálu,
výstupní terminál poskytující výstupní signál logicky rovný předchozímu signálu,
první komparátor připojený k prvnímu a druhému vstupnímu terminálu pro porovnávání referenčního a vstupního signálu k vytváření prvního výsledku a
první řídicí jednotku připojenou k prvnímu komparátoru pro připojení prvního výsledku k výstupnímu terminálu na základě předchozího signálu.
13. Systém podle nároku 12 vyznačující se tím, že první řídicí jednotka srovnává oscilující referenční signál a výstupní signál.
14. Systém podle nároku 13 vyznačující se tím, že
první výsledek je připojen k výstupnímu terminálu k manipulování výstupního signálu z předchozího signálu k prvnímu výsledku a
první řídicí jednotka je připojena k srovnávání oscilujícího referenčního signálu a výstupního signálu, zatímco je výstupní signál stále logicky roven předchozímu signálu.
15. Systém podle nároku 13 vyznačující se tím, že
první výsledek je připojen k výstupnímu terminálu k manipulování výstupního signálu z předchozího signálu k prvnímu výsledku a
první řídicí jednotka je připojena k srovnávání oscilujícího referenčního a výstupního signálu, poté co se výstupní signál logicky rovná prvnímu výsledku.

16. Systém podle nároku 12 vyznačující se tím, že vstupující signál je jednoduchý signál.
17. Systém podle nároku 12 vyznačující se tím, že oscilující referenční signál je synchronní se vstupním signálem.
18. Systém podle nároku 12 vyznačující se tím, že oscilující referenční signál poskytuje napěťové a časovací atributy.
19. Systém podle nároku 12 vyznačující se tím, že oscilující referenční signál je negován.
20. Systém podle nároku 12 vyznačující se tím, že oscilující referenční signál zahrnuje oscilační zdroj synchronních napěťových a časovacích referenčních signálů majících sledovací rychlost v podstatě rovnou jedné polovině doby cyklu oscilujícího referenčního signálu.
21. Systém podle nároku 12 vyznačující se tím, že dále zahrnuje
 - třetí vstupní terminál pro příjem oscilujícího referenčního komplementárního signálu,
 - druhý komparátor připojený k druhému a třetímu vstupnímu terminálu pro srovnávání komplementárního signálu a vstupujícího signálu k vytvoření druhého výsledku a
 - druhou řídicí jednotku připojenou k druhému komparátoru pro připojení druhého komparátoru k výstupnímu terminálu na základě předchozího signálu.

22. Systém pro detekci přeměny mezi vstupním signálem a předchozím signálem vyznačující se tím, že zahrnuje výstupní terminál poskytující výstupní signál logicky rovný předchozímu signálu,
první zesilovač pro zesilování rozdílu mezi vstupním signálem a oscilujícím referenčním signálem k vytvoření prvního výsledku,
druhý zesilovač pro zesilování rozdílu mezi signálem a komplementárním signálem oscilujícího referenčního signálu k vytvoření druhého výsledku,
první spínač připojený k prvnímu zesilovači pro připojení prvního výsledku k výstupnímu terminálu, založeného na prvním kritériu,
druhý spínač připojený k druhému zesilovači pro připojení druhého výsledku k výstupnímu terminálu, založeného na druhém kritériu,
první řídicí jednotku pro řízení prvního kritéria založeného na srovnání referenčního signálu a výstupního signálu a
druhou řídicí jednotku pro řízení druhého kritéria založeného na srovnání komplementárního signálu a výstupního signálu.
23. Systém podle nároku 22 vyznačující se tím, že
první spínač připojuje první zesilovač k výstupnímu vývodu k manipulaci výstupního signálu z předchozího signálu k prvnímu výsledku,
vstupní signál je logicky opačný k předchozímu signálu,
první řídicí jednotka je připojena ke srovnání referenčního signálu a výstupního signálu, zatímco výstupní signál je stále logicky roven předchozímu signálu a
druhá řídicí jednotka je připojena k srovnávání komplementárního signálu a výstupního signálu, zatímco je výstupní signál stále logicky roven předchozímu signálu.

24. Systém podle nároku 22 vyznačující se tím, že první spínač připojuje první zesilovač k výstupnímu vývodu k manipulování výstupního signálu z předchozího signálu k prvnímu výsledku, vstupní signál je logicky rovný předchozímu signálu, první řídící jednotka je připojena ke srovnání referenčního signálu a výstupního signálu, poté co se výstupní signál logicky rovná prvnímu výsledku a druhá řídící jednotka je připojena k srovnávání komplementárního signálu a výstupního signálu poté, co se výstupní signál logicky rovná prvnímu výsledku.
25. Systém podle nároku 22 vyznačující se tím, že vstupní signál je jednoduchý signál.
26. Systém podle nároku 22 vyznačující se tím, že referenční signál je synchronní se vstupním signálem.
27. Systém podle nároku 22 vyznačující se tím, že referenční signál poskytuje napěťové a časovací atributy.
28. Systém podle nároku 22 vyznačující se tím, že je referenční signál negován.
29. Systém podle nároku 22 vyznačující se tím, že referenční signál zahrnuje oscilující zdroj synchronních napěťových a časovacích referenčních signálů majících sledovací rychlost v podstatě rovnou jedné polovině doby cyklu oscilujícího referenčního signálu.
30. Komunikační systém vyznačující se tím, že zahrnuje

vysílač pro vysílání oscilujícího zdroje synchronních napětových a časových referenčních signálů a nového signálu do přijímače,

přenosová vedení připojená k vysílači pro přenášení referenčního signálu a nového signálu do přijímače a

přijímač připojený k přenosovým vedením pro získávání předchozího signálu pro příjem referenčního signálu a nového signálu a pro detekování přeměny mezi novým signálem a předchozím signálem oproti referenčnímu signálu.

31. Systém podle nároku 30, vyznačující se tím, že vysílač dále vysílá komplement oscilujícího referenčního signálu k přijímači,

přenosová vedení přenášejí komplement k přijímači a

přijímač detekuje přeměnu založenou na srovnání nového signálu a předchozího signálu oproti komplementu.

32. Systém podle nároku 30 vyznačující se tím, že přijímač zahrnuje

První a druhý vstupní vývod pro příjem, v témž pořadí, oscilujícího referenčního signálu a vstupního signálu,

výstupní vývod zabezpečující výstupní signál logicky rovný předchozímu signálu,

první komparátor připojený k prvnímu a druhému vstupnímu vývodu pro srovnávání referenčního signálu a vstupujícího signálu k vytváření prvního výsledku a

první řídicí jednotku připojenou k prvnímu komparátoru pro připojení prvního výsledku k výstupnímu terminálu na základě předchozího signálu.

33. Systém podle nároku 32 vyznačující se tím, že první řídicí jednotka srovnává oscilující referenční signál a výstupní signál.

34. Systém podle nároku 33 vyznačující se tím, že první výsledek je připojen k výstupnímu terminálu, aby se manipuloval výstupní signál z předchozího signálu k prvnímu výsledku a první řídící jednotka je připojena, aby se srovnával oscilující signál a výstupní signál, zatímco výstupní signál je stále logicky roven předchozímu signálu.
35. Systém podle nároku 33 vyznačující se tím, že první výsledek je připojen k výstupnímu terminálu, aby se manipuloval výstupní signál z předchozího signálu k prvnímu výsledku a první řídící jednotka je připojena, aby se srovnával oscilující referenční signál a výstupní signál poté co se výstupní signál logicky rovná prvnímu výsledku.
36. Systém podle nároku 32 vyznačující se tím, že vstupující signál je jednoduchý signál.
37. Systém podle nároku 32 vyznačující se tím, že oscilující referenční signál je synchronní se vstupním signálem.
38. Systém podle nároku 32 vyznačující se tím, že oscilující referenční signál poskytuje napěťové a časovací atributy.
39. Systém podle nároku 32 vyznačující se tím, že oscilující referenční signál je negován.
40. Systém podle nároku 32 vyznačující se tím, že oscilující referenční signál zahrnuje oscilující zdroj

synchronního napětového a časovacího referenčního signálu majícího sledovací rychlost v podstatě rovnou jedné polovině doby cyklu oscilujícího referenčního signálu.

41. Systém podle nároku 32 vyznačující se tím, že dále zahrnuje

třetí vstupní vývod pro příjem oscilujícího referenčního komplementárního signálu,

druhý komparátor připojený k druhému a třetímu vstupnímu vývodu pro srovnávání komplementárního signálu a vstupujícího signálu k vytváření druhého výsledku a

druhou řídicí jednotku připojenou k druhému komparátoru pro připojení druhého komparátoru k výstupnímu terminálu na základě předchozího signálu.

42. Systém podle nároku 30 vyznačující se tím, že vysílač zahrnuje řídicí jednotku paměti a přijímač zahrnuje paměť.

43. Systém podle nároku 30 vyznačující se tím, že vysílač zahrnuje mikroprocesor a přijímač zahrnuje řídicí jednotku systému.

44. Systém podle nároku 43 vyznačující se tím, že řídicí jednotka systému zahrnuje řídicí jednotku paměti.

45. Systém přijímače signálu pro detekování přeměny z předchozího signálu na následující signál vyznačující se tím, že zahrnuje výstupní vývod poskytující výstupní signál logicky rovný předchozímu signálu, první přijímač zahrnující

první komparátor pro srovnávání oscilujícího referenčního signálu vůči následnému signálu k vytváření prvního výsledku,

první spínač připojený k prvnímu komparátoru pro připojení prvního výsledku k výstupnímu vývodu a

první řídicí jednotku připojenou k prvnímu spínači pro srovnávání oscilujícího referenčního signálu vůči výstupnímu signálu k vytvoření řídicího signálu pro řízení prvního spínače a

druhý přijímač zapojený paralelně k prvnímu přijímači, zahrnující

druhý komparátor pro srovnávání oscilujícího referenčního komplementárního signálu vůči následujícímu signálu, aby se vytvořil druhý výsledek,

druhý spínač připojený k druhému komparátoru pro připojení druhého výsledku k výstupnímu vývodu a

druhou řídicí jednotku připojenou k druhému spínači pro srovnávání oscilujícího referenčního komplementárního signálu vůči výstupnímu signálu k vytvoření řídicího signálu pro řízení druhého spínače.

46. Systém přijímače signálu podle nároku 45 vyznačující se tím, že

první výsledek je připojen k výstupnímu terminálu k manipulování výstupního signálu z předchozího signálu k prvnímu výsledku,

první řídicí jednotka je připojena ke srovnávání oscilujícího referenčního signálu a výstupního signálu, zatímco je výstupní signál stále logicky roven předchozímu signálu a

druhá řídicí jednotka je připojena k srovnávání komplementárního signálu a výstupního signálu, zatímco je výstupní signál stále logicky roven předchozímu signálu.

47. Systém podle nároku 45 vyznačující se tím, že
 první výsledek je připojen k výstupnímu terminálu k
 manipulování výstupního signálu z předchozího signálu k
 prvnímu výsledku,
 první řídící jednotka je připojena ke srovnání oscilujícího
 referenčního signálu a výstupního signálu poté, co se
 výstupní signál logicky rovná prvnímu výsledku a
 druhá řídící jednotka je připojena k srovnání
 komplementárního signálu a výstupního signálu poté, co se
 výstupní signál logicky rovná prvnímu výsledku.
48. Přenosový systém vyznačující se tím, že zahrnuje
 generátor pro vytvoření oscilujícího zdroje synchronního
 napětí a časovací reference mající sledovací rychlost kolem
 jedné poloviny periody cyklu oscilujícího referenčního
 signálu a
 vysílač připojený ke generátoru pro vysílání signálu a
 oscilujícího referenčního signálu do přijímače.
49. Způsob srovnávání přicházejícího signálu s předchozím
 signálem vyznačující se tím, že zahrnuje kroky
 získání oscilujícího referenčního signálu a jeho
 komplementárního signálu,
 příjem vstupujícího signálu,
 srovnávání oscilujícího referenčního signálu se vstupujícím
 signálem v prvním komparátoru k vytváření prvního výsledku,
 srovnávání komplementárního signálu se vstupujícím signálem v
 druhém komparátoru k vytváření druhého výsledku,
 použití řídícího signálu založeného na předchozím signálu k
 řízení toho, zdali projde jako výstupní signál první výsledek
 nebo druhý výsledek.
50. Způsob podle nároku 49 vyznačující se tím, že

předchozí signál předtím prošel jako výstupní signál přes první komparátor,
vstupní signál je logicky týž jako předchozí signál a
řídící signál umožňuje, aby druhý výsledek prošel jako výstupní signál.

51. Způsob podle nároku 49 vyznačující se tím, že
předchozí signál předtím prošel jako výstupní signál přes první komparátor,
vstupní signál je logicky opačný než předchozí signál a
řídící signál umožňuje, aby první výsledek prošel jako výstupní signál.

52. Způsob vysílání a příjmu skupiny malorozkmitových jednoduchých signálů vyznačující se tím, že zahrnuje vysílání skupiny malorozkmitových jednoduchých signálů ze zdroje k přijímači,
vysílání v podstatě souběžně ze zdroje k přijímači dvojice komplementárních, oscilujících referenčních signálů majících v podstatě stejnou sledovací rychlost když se jednoduché signály přeměňují,
příjmem skupiny signálů a oscilujících referenčních signálů v přijímači,
vytváření výstupu srovnáváním signálů oscilujících referenčních signálů,
připojení výstupu k vývodu výstupu přijímače když se signál přeměňuje a
odpojení výstupu od vývodu výstupu přijímače když se signál nepřeměňuje.

53. Způsob podle nároku 52 vyznačující se tím, že zdroj je připojen k přijímači prostřednictvím přenosového vedení na

sběrnici, která je zakončena na obou koncích charakteristickou impedancí přenosového vedení.

54. Způsob podle nároku 52 vyznačující se tím, že zdroj je připojen k přijímači spojením od jednoho zařízení k druhému zařízení, které je zakončeno na obou koncích uvnitř.
55. Způsob podle nároku 52 vyznačující se tím, že zdroj zahrnuje blok zařízení a přijímač zahrnuje další blok téhož zařízení s p-kanálovými zvedacími vývody uvnitř zařízení.
56. Způsob podle nároku 52 vyznačující se tím, že signál má malý rozkmit menší než 1 V.
57. Způsob podle nároku 52 vyznačující se tím, že signál má malý rozkmit menší než 40 % napájecího napětí.
58. Způsob podle nároku 52 vyznačující se tím, že signál má sledovací rychlost menší než 110 % rychlosti signálu pro signály přenášené nad rychlostí 600 MHz.
59. Způsob podle nároku 52 vyznačující se tím, že oscilující referenční signály mají v podstatě stejný rozkmit.
60. Způsob podle nároku 52 vyznačující se tím, že oscilující referenční signály mají v podstatě stejnou zátěž.
61. Způsob vysílání a příjmu skupiny malorozkmitových jednoduchých signálů vyznačující se tím, že zahrnuje kroky
vysílání skupiny malorozkmitových jednoduchých signálů ze zdroje do přijímače, zahrnujícího dva komparátory a výstupní terminál,

vysílání v podstatě souběžně ze zdroje k přijímači dvojice komplementárních, oscilujících, referenčních signálů, majících v podstatě stejnou sledovací rychlost když se jednoduché signály přeměňují, přijímání skupiny signálů a oscilujících referenčních signálů v přijímači, připojování jen jednoho z komparátorů k výstupnímu vývodu na základě okamžité logické hodnoty na výstupním vývodu a okamžité hodnoty z jednoho oscilujícího, referenčního signálu a odpojení druhého komparátoru.

62. Způsob podle nároku 61 vyznačující se tím, že krok připojování zahrnuje připojování jen jednoho komparátoru k výstupnímu terminálu když se jednoduchý signál mění.
63. Způsob podle nároku 61 vyznačující se tím, že krok připojování zahrnuje odpojování jen jednoho komparátoru a připojování druhého komparátoru když se jednoduchý signál nemění
64. Způsob podle nároku 63 vyznačující se tím, že druhý komparátor zabezpečuje výstupní signál, který obnovuje okamžitou logickou hodnotu na výstupním terminálu.
65. Způsob podle nároku 61 vyznačující se tím, že komparátory srovnávají jednoduché signály s oscilujícími referenčními signály k vytvoření výstupních signálů.
66. Způsob podle nároku 64 vyznačující se tím, že jen jeden komparátor snímá jednoduché signály v diferenciálním režimu se stejnou šumovou imunitou, jako diferenciální signály když se jednoduché signály mění.

67. Způsob podle nároku 64 vyznačující se tím, že druhý komparátor snímá jednoduché signály v diferenciálním režimu se stejnou šumovou imunitou, jako diferenciální signály když se jednoduché signály nemění.
68. Způsob podle nároku 52 vyznačující se tím, že zdroj zahrnuje blok zařízení a přijímač zahrnuje další blok s p-kanálovými zvedacími vývody uvnitř zařízení.
69. Systém vyznačující se tím, že zahrnuje
 řídící sběrnici mající konec u řídícího zařízení a konec u podřízeného zařízení,
 první referenční sběrnici mající konec u řídícího zařízení a konec u podřízeného zařízení,
 vysílač prvního referenčního signálu připojený ke konci u řídícího zařízení sběrnice prvního referenčního signálu pro přenos oscilujícího referenčního signálu,
 datovou sběrnici mající konec u řídícího zařízení a konec u podřízeného zařízení,
 sběrnici druhého referenčního signálu mající konec u řídícího zařízení a konec u podřízeného zařízení,
 vysílač druhého referenčního signálu připojený ke konci u řídícího zařízení sběrnice druhého referenčního signálu pro přenos oscilujícího referenčního signálu na něj,
 vysílač třetího referenčního signálu připojený ke konci u podřízeného zařízení sběrnice druhého referenčního signálu pro přenos oscilujícího referenčního signálu na něj,
 řídící zařízení připojené ke konci u řídícího zařízení řídící sběrnice pro přenos řídícího signálu na řídící sběrnici připojenou ke konci u řídícího zařízení datové sběrnice pro přenášení prvního datového signálu přidruženého k řídicímu signálu do datové sběrnice a pro příjem druhého datového

signálu v odezvu na řídicí signál z datové sběrnice a připojený ke konci u řídicího zařízení sběrnice druhého referenčního signálu pro příjem a použití oscilujícího referenčního signálu ze vysílače třetího referenčního signálu k zjištění přeměny v druhém datovém signálu a podřízené zařízení připojené ke konci u podřízeného zařízení řídicí sběrnice pro příjem řídicího signálu z řídicího zařízení, připojeného ke konci u podřízeného zařízení sběrnice prvního referenčního signálu pro příjem a použití oscilujícího referenčního signálu z vysílače prvního referenčního signálu k zjištění přeměny v řídicím signálu, připojeného ke konci u podřízeného zařízení datové sběrnice pro příjem prvního datového signálu přidruženého k řídicímu signálu z řídicího zařízení a pro přenos druhého datového signálu odpovídajícího na řídicí signál k řídicímu zařízení a připojeného ke konci u podřízeného zařízení sběrnice druhého referenčního signálu pro příjem a použití oscilujícího referenčního signálu z vysílače druhého referenčního signálu k zjištění přeměny v prvním datovém signálu.

70. Systém podle nároku 69 vyznačující se tím, že řídicí sběrnice má první zátěž a datová sběrnice má druhou zátěž.
71. Systém podle nároku 70 vyznačující se tím, že se první zátěž rovná druhé zátěži.
72. Systém podle nároku 70 vyznačující se tím, že první zátěž je odlišná od druhé zátěže.
73. Systém podle nároku 69 vyznačující se tím, že dále zahrnuje druhou datovou sběrnici pro přenos třetího datového signálu sdruženého s řídicím signálem.

74. Systém podle nároku 69 vyznačující se tím, že každá řídící sběrnice, sběrnice prvního referenčního signálu, datová sběrnice a sběrnice druhého referenčního signálu má koncový odpor interně na konci u řídícího zařízení a koncový odpor externě na konci u podřízeného zařízení.
75. Systém podle nároku 69 vyznačující se tím, že dále zahrnuje druhé podřízené zařízení připojené k řídící sběrnici pro příjem řídícího signálu z řídícího zařízení, připojeného k sběrnici prvního referenčního signálu pro příjem oscilujícího referenčního signálu z vysílače prvního referenčního signálu připojeného k datové sběrnici pro příjem datových signálů z řídícího zařízení a přenášející datové signály k řídícímu zařízení a připojené k sběrnici druhého referenčního signálu pro příjem oscilujícího referenčního signálu z vysílače druhého referenčního signálu.
76. Systém podle nároku 75 vyznačující se tím, že dále zahrnuje sběrnici hodin připojující první podřízené zařízení k druhému podřízenému zařízení a zase k řídícímu zařízení a zdroj hodin pro vytváření hodinového signálu na sběrnici hodin k aktivování v podstatě současného příjmu signálů z prvního a druhého podřízeného zařízení do řídícího zařízení.
77. Způsob vyznačující se tím, že zahrnuje použití řídícího zařízení k přenosu řídícího signálu pomocí řídící sběrnice k prvnímu podřízenému zařízení, přenášení prvního oscilujícího referenčního signálu pro detekování přeměn v řídícím signálu prostřednictvím sběrnice prvního referenčního signálu k prvnímu podřízenému zařízení,

použití řídicího zařízení k přenosu prvního datového signálu spojeného s řídicím signálem prostřednictvím datové sběrnice prvních datových signálů k prvnímu podřízenému zařízení a přenášení druhého oscilujícího referenčního signálu pro detekování přeměn v prvním datovém signálu přes sběrnici druhého referenčního signálu k prvnímu podřízenému zařízení.

78. Způsob podle nároku 77 vyznačující se tím, že dále zahrnuje použití první zátěže na řídicí sběrnici a použití druhé zátěže na první datové sběrnici.

79. Způsob podle nároku 78 vyznačující se tím, že se první zátěž rovná druhé zátěži.

80. Způsob podle nároku 78 vyznačující se tím, že první zátěž je odlišná od druhé zátěže.

81. Způsob podle nároku 77 vyznačující se tím, že dále zahrnuje použití řídicího zařízení k přenosu druhého datového signálu sdruženého s řídicím signálem prostřednictvím sběrnice druhých datových signálů k prvnímu podřízenému zařízení.

82. Způsob podle nároku 77 vyznačující se tím, že dále zahrnuje zakončení každé z řídicích sběrnic, tj. sběrnice prvních referenčních signálů, sběrnice prvních datových signálů a sběrnice druhých referenčních signálů, koncovým odporem uvnitř na jednom konci a externě na druhém konci.

83. Způsob podle nároku 77 vyznačující se tím, že dále zahrnuje poskytnutí druhého podřízeného zařízení mezi řídicím zařízením a prvním podřízeným zařízením,

vytváření hodinového signálu na sběrnici hodin k umožnění v podstatě simultánního příjmu signálů z prvního a druhého podřízeného zařízení na řídicí zařízení.

92. Způsob vyznačující se tím, že zahrnuje
příjem řídicího signálu prostřednictvím řídicí sběrnice z řídicího zařízení,
příjem prvního oscilujícího referenčního signálu pro detekování přeměn v řídicím signálu prostřednictvím sběrnice prvního referenčního signálu,
přenášení datového signálu odpovídajícího na řídicí signál prostřednictvím datové sběrnice na řídicí zařízení a
přenášení druhého oscilujícího referenčního signálu pro detekování přeměn v datovém signálu prostřednictvím sběrnice druhého referenčního signálu k řídicímu zařízení.
93. Systém vyznačující se tím, že zahrnuje
port řídicí sběrnice,
port sběrnice prvního referenčního signálu,
vysílač prvního referenčního signálu připojený k portu sběrnice prvního referenčního signálu pro přenášení oscilujícího referenčního signálu,
port sběrnice prvních datových signálů,
port sběrnice druhého referenčního signálu,
vysílač druhého referenčního signálu připojený k portu sběrnice druhých referenčních signálů pro přenos oscilujících referenčních signálů a
řídicí zařízení připojené k portu řídicí sběrnice pro přenášení řídicích signálů k portu řídicí sběrnice, připojenému k portu sběrnice prvního datového signálu pro přenášení prvního datového signálu, sdruženého s řídicím signálem k portu sběrnice prvních datových signálů a pro příjem druhých datových signálů odpovídajících na řídicí

signál z portu sběrnice prvního datového signálu a připojeného k portu sběrnice druhých referenčních signálů pro příjem a použití vstupních oscilujících referenčních signálů z portu sběrnice druhých referenčních signálů k detekování přeměny v druhém datovém signálu.

94. Systém podle nároku 93 vyznačující se tím, že port řídicí sběrnice má první zátěž a port datové sběrnice má druhou zátěž.
95. Systém podle nároku 94 vyznačující se tím, že první zátěž je rovna druhé zátěži.
96. Systém podle nároku 94 vyznačující se tím, že první zátěž je odlišná od druhé zátěže.
97. Systém podle nároku 93 vyznačující se tím, že dále zahrnuje port sběrnice druhého datového signálu připojený k řídicímu zařízení, přičemž řídicí zařízení přenáší třetí datový signál sdružený s řídicím signálem k portu sběrnice druhého datového signálu a přijímá čtvrtý datový signál odpovídající na řídicí signál z portu sběrnice druhého datového signálu.
98. Systém podle nároku 93 vyznačující se tím, že každý z portů řídicí sběrnice, tj. port sběrnice prvního referenčního signálu, port datové sběrnice a port sběrnice druhého referenčního signálu, má vnitřní koncový odpor.
99. Systém podle nároku 92 vyznačující se tím, že dále zahrnuje podřízené zařízení připojené k portu řídicí sběrnice pro příjem řídicího signálu z řídicího zařízení, připojeného k portu sběrnice prvního referenčního signálu pro příjem

prvního oscilujícího referenčního signálu z vysílače prvního referenčního signálu, připojeného k portu sběrnice prvního datového signálu pro příjem prvního datového signálu z, a pro přenášející druhého datového signálu do řídicího zařízení a připojený k portu sběrnice druhého referenčního signálu pro příjem druhého oscilujícího referenčního signálu z druhého referenčního vysílače.

100. Systém podle nároku 99 vyznačující se tím, že dále zahrnuje port sběrnice hodin pro příjem hodinového signálu prostřednictvím portu sběrnice hodin z podřízeného zařízení.

101. Systém vyznačující se tím, že zahrnuje
port řídicí sběrnice,
port sběrnice prvního referenčního signálu,
port sběrnice datového signálu,
port sběrnice druhého referenčního signálu,
vysílač prvního referenčního signálu připojený k portu sběrnice druhého referenčního signálu pro přenášení oscilujícího referenčního signálu k portu sběrnice druhého referenčního signálu a
první podřízené zařízení připojené k portu řídicí sběrnice pro příjem řídicího signálu z portu řídicí sběrnice, připojeného k portu sběrnice prvního referenčního signálu pro příjem a použití oscilujícího referenčního signálu z portu sběrnice prvního referenčního signálu pro detekci přeměny v řídicím signálu, připojeném k portu datové sběrnice pro příjem prvního datového signálu sdruženého s řídicím signálem z portu datové sběrnice a pro přenos druhého datového signálu reagujícího na řídicí signál do portu datové sběrnice a připojeného k portu sběrnice druhého referenčního signálu pro příjem a použití oscilujícího

referenčního signálu z portu sběrnice druhého referenčního signálu k detekování přeměny v datovém signálu.

102. Systém podle nároku 101 vyznačující se tím, že port řídicí sběrnice má první zátěž a port datové sběrnice má druhou zátěž.
103. Systém podle nároku 102 vyznačující se tím, že se první zátěž rovná druhé zátěži.
104. Systém podle nároku 102 vyznačující se tím, že první zátěž se liší od druhé zátěže.
105. Systém podle nároku 101 vyznačující se tím, že dále zahrnuje port sběrnice druhého signálu, připojený k prvnímu podřízenému zařízení pro příjem třetího datového signálu sdruženého s řídicím signálem a pro vysílání čtvrtého datového signálu odpovídajícího řídicímu signálu.
106. Systém podle nároku 101 vyznačující se tím, že každý z portů řídicí sběrnice, port sběrnice prvního referenčního signálu, port datové sběrnice a port sběrnice druhého referenčního signálu má externí odpor na vývodu.
107. Systém podle nároku 101 vyznačující se tím, že dále zahrnuje port sběrnice hodin a hodinový zdroj pro vytváření hodinového signálu z portu sběrnice hodin k řídicímu zařízení.
108. Systém vyznačující se tím, že zahrnuje prostředek pro vysílání řídicího signálu přes řídicí sběrnici k prvnímu podřízenému zařízení,

prostředek pro vysílání prvního oscilujícího referenčního signálu pro detekování přeměn v řídícím signálu přes sběrnici prvního referenčního signálu k prvnímu podřízenému zařízení,

prostředek pro vysílání prvního datového signálu sdruženého s řídícím signálem prostřednictvím první datové sběrnice k prvnímu podřízenému zařízení a

prostředek pro vysílání druhého oscilujícího referenčního signálu pro detekování přeměn v prvním datovém signálu přes sběrnici druhého referenčního signálu k prvnímu podřízenému zařízení.

109. Systém vyznačující se tím, že zahrnuje

prostředek pro příjem řídícího signálu přes řídící sběrnici z řídícího zařízení,

prostředek pro příjem prvního oscilujícího referenčního signálu pro detekování přeměn v řídícím signálu přes sběrnici prvního referenčního signálu,

prostředek pro příjem prvního datového signálu sdruženého s řídícím signálem přes první datovou sběrnici z řídícího zařízení a

prostředek pro příjem druhého oscilujícího referenčního signálu pro detekování přeměn v prvním datovém signálu přes sběrnici druhého referenčního signálu.

110. Systém vyznačující se tím, že zahrnuje

prostředek pro vysílání řídícího signálu přes řídící sběrnici k prvnímu podřízenému zařízení,

prostředek pro vysílání prvního oscilujícího referenčního signálu pro detekování přeměn v řídícím signálu přes sběrnici prvního referenčního signálu k prvnímu podřízenému zařízení,

prostředek pro příjem druhého oscilujícího referenčního signálu pro detekování přeměn v prvním datovém signálu přes sběrnici druhého referenčního signálu z prvního podřízeného zařízení.

- prostředek pro příjem řídicího signálu přes řídicí sběrnici
z řídicího zařízení,

prostředek pro vysílání datového signálu reagujícího na
řídící signál přes datovou sběrnici k řídícímu zařízení a

prostředek pro vysílání druhého oscilujícího referenčního signálu pro detekování přeměn v datovém signálu přes sběrnici druhého referenčního signálu k řídicímu zařízení.

Seznam vztahových značek

10	Přijímač
100	Pájecí ploška
103	Vedení signálu
105	Signál VREF (referenční napětí)
110	Vnitřní přijímač vstupu
125	Časový diagram
150	Přijímač
154	Signál VREF (referenční napětí)
160	Propustové hradlo
165	Propustové hradlo
167	Vstupní signál
172	Snímací hradlo
175	Časový diagram
200	Systém
205	Řídící zařízení
205	Řídící zařízení
210	Podřízené zařízení/přijímač
215	Přenosové vedení (Sběrníková architektura)
220	Rezistor
405	Přijímač/vysílač
410	Komparátor
415	Spínač
420	Výstupní terminál
425	Hradlo XOR (vylučovací nebo)
430	Invertor
435	Komparátor
500	Způsob
505 až 517	Krok nastavení
520	Krok nastavení
530	Krok nastavení
540	Krok nastavení
545	Krok nastavení
555	Krok nastavení
600	Vysílač
605	Stahovací zařízení
610	Přenosové vedení
620	Obvod řídicí časový posuv
625	Zařízení řídicí signál
650	Vysílač
655	Stahovací zařízení
660	NMOS tranzistor
665	Obvod řídicí časový posuv
670	Sada
675	Sada
700	Provedení
702	diferenciální zesilovač

704	Invertor
706	Přenosové hradlo CMOS
707	Uzel
708	Uzel
720	Provedení
740	Provedení
760	Provedení
802	Diferenciální zesilovač/comparator
804	Invertor
852	Komparátor
852	Diferenciální zesilovač
854	Invertor
905	Registr
1000	Řídící zařízení
1105	Vysílač
1200	System s propojením od bodu k bodu
1205	Dvousměrné řídící zařízení
1210	Dvousměrné podřízené zařízení
1215	Přenosové vedení
1220	SNx vedení
1225	SSVTR vedení
1230	SSVTR vedení (/SSVTR)
1235	Resistor
1300	System
1305	Řídící zařízení/řídící obvod paměti
1310	Podřízené zařízení
1315	Podřízené zařízení
1320	Řídící vedení
1325	Řídící vedení
1330	Datová vedení
1335	Datová vedení
1340	SSVTR vedení
1350	System
1500	SSVTR (malorozkmitový komplementární zdroj synchonního napětí a časování)
1501	Zesilovač
1502	Oblast
1503	Tečkovaně vyznačené vedení
1504	Časová prodleva
1505	Vedení
1506	Neurčitá oblast/změna signálu
1550	Řídící logický obvod
1553	Přijímač
1555	Komparátor
1560	Výstup
1565	XOR řídící logiky
1610	Hradla NAND
1615	Zvedací transistor
1905	Řídící obvod paměti

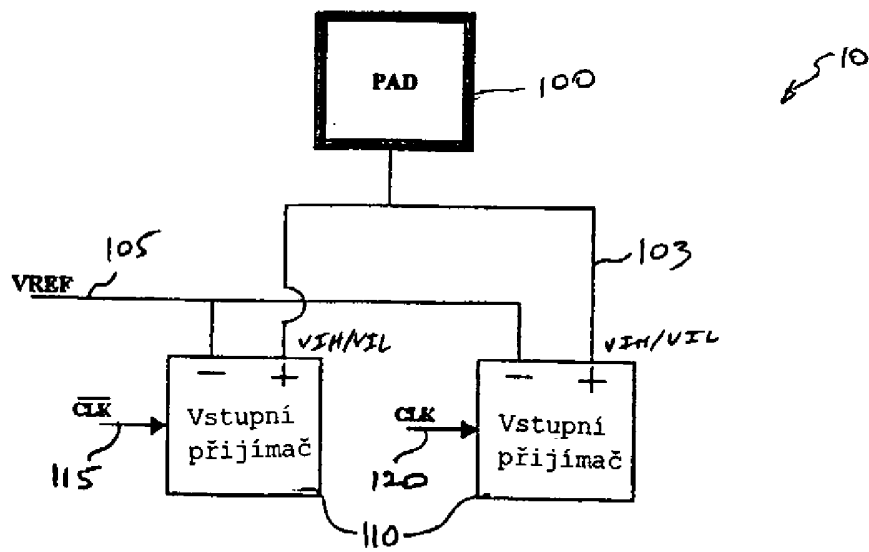
1910	Zařízení DDRDRAM
1915	Zdroj hodinových impulzů
1920	Sběrnice hodin
1920	Sběrnice hodin systému
2120	Signálová sběrnice
2130	Vedení hodin
2132	Hodiny
2136	První segment
2137	Bod změny směru přenosu
2138	Druhý segment

Překlad klíčových termínů

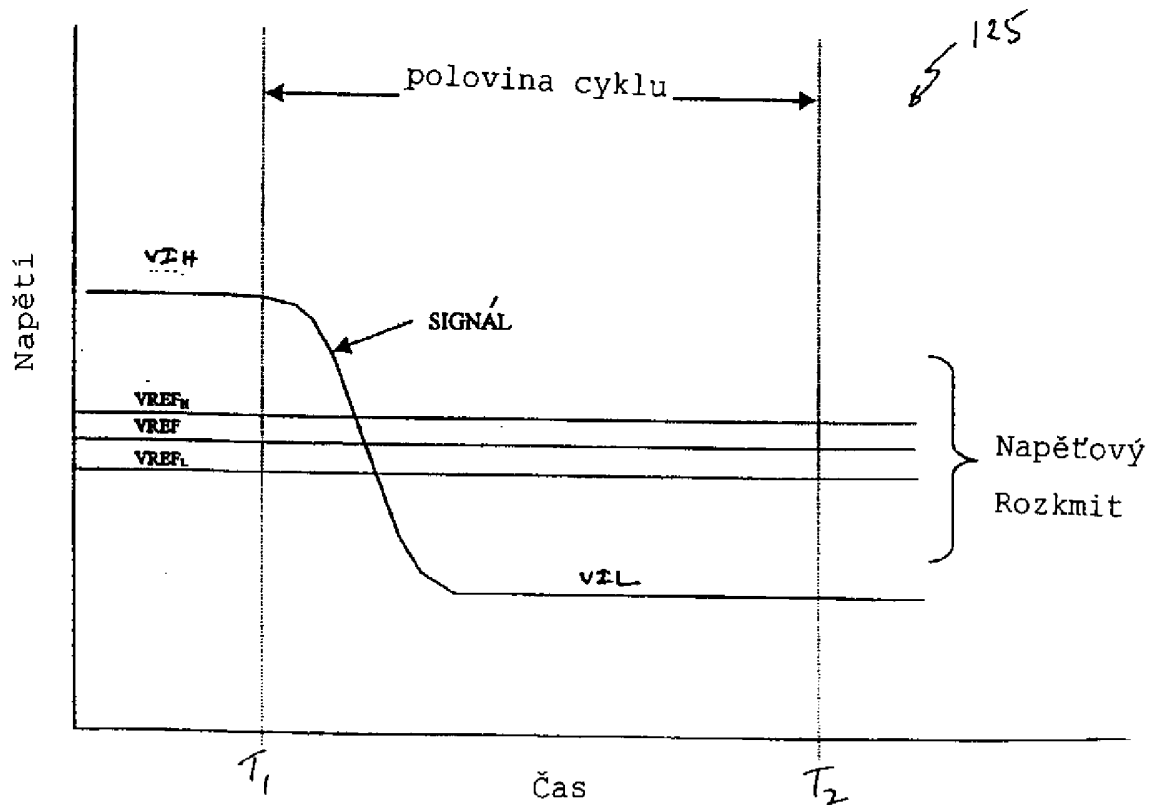
Block diagram	Blokové schéma
Block transfer of data	Přesun bloku dat
Bounce pulse	Zákmitový impuls
Burst	Shluk impulsů
Burst transfer	Shlukový přenos
Concept	Oblast řešená vynálezem
Coupled	Připojený
Current injection	Vniknutí proudu
DC value	Hodnota stejnosměrného proudu
Drain	Kolektor (transistoru)
DRDRAM (Dynamic Random ? Access	
Memory	
Drive	Řídit
Driver	Řídicí obvod
Dummy	Fiktivní
EXCLUSIVE-OR gate	Hradlo nonekvivalence
Glitch	Krátký rušivý impuls
Ground bounce	Uzemňovací zákmit
GTL (Gold Transistor Logic)	Zlato-transistorová logika
Hard wired	Pevně zapojený
High level schematic	Vysokoúrovňové schéma
HSTL (Hierarchical Sequential	Hierarchická sekvenční transistorová
Transistor Logic)	logika
IEEE Institute of Electrical and	
Electronic Engineers	
Instantaneous	Užitkový
Load	Zátěž
Logical not	Logické NE
Low power	Nízkovýkonový
LVDS (Low Voltage Differential	Diferenciální (rozdílová)
Signaling)	signalizace nízkého napětí
Margin	Okraj
Micro-strip traces	Mikropáskové stopy
Mismatch	Nepřízpůsobení
Multiplexed bus	Multiplexní sběrnice
Output load	Výstupní zátěž
Package	Paket
Phase-locked loop	Zpětnovazební smyčka (fázového
	závěsu)
Point to point connection	Spojení od bodu k bodu (mezi dvěma
	zařízeními)
Pull the voltage low	Stáhnout napětí dolů
Pulldown device	Stahovací zařízení
RAMBUS	Sběrnice paměti s přímým vstupem
Resolution delay	Rozlišovací zpoždění
Sense time	Doba snímání (signálu)
Settle	Ustálit
Signal skew	Časový posuv signálu
Signaling system	Signalizační systém
Single ended signal	Jednoduchý signál (jeden jeho vývod
	má pevný potenciál)
Skew	Časový posuv
Skew between signals	Časový posuv mezi signály
Slew rate	Sledovací rychlost
SSTL (Solid State Transistor	
Logic)	

Strip line traces	Stopy páskového vedení
Swing	Rozkmit
Swing differential	Rozkmitový diferenciál
Transfer	Přesun
Transition	Přeměna
Transition time	Doba přechodu
Transmission gate	Přenosové hradlo
Transmitting source	Vysílací zdroj
Validate	Zkontrolovat platnost (dat)
VIH (Input High Voltage)	Vysoké vstupní napětí
VIL (Input Low Voltage)	Nízké vstupní napětí
VLSI (Very Large Scale Integration)	Integrace ve velmi vysokém měřítku
Voltage swing	Rozkmit napětí
VREFh	Vysoké referenční napětí
VREFl	Nízké referenční napětí
VTT (termination voltage)	Koncové napětí
505- Setting step	Krok nastavení
517	
10 Receiver	Přijímač
100 Pad	Pájecí ploška
103 Signal line	Vedení signálu
105 VREF signal	Signál VREF (referenční napětí)
110 Internal input receiver	Vnitřní přijímač vstupu
125 Timing diagram	Časový diagram
150 Receiver	Přijímač
154 VREF signal	Signál VREF (referenční napětí)
160 Pass gate	Propuštěvé hradlo
165 Pass gate	Propuštěvé hradlo
167 Input signal	Vstupní signál
172 Sense gate	Snímací hradlo
175 Timing diagram	Časový diagram
200 System	Systém
205 Master	Řídící zařízení
205 Master device	Řídící zařízení
210 Slave (device)/receiver	Podřízené zařízení/přijímač
215 Transmission line (Bus architecture)	Přenosové vedení (Sběrníková architektura)
220 Resistor	Rezistor
405 Receiver/transmitter	Přijímač/vysílač
410 Comparator	Komparátor
415 Switch	Spínač
420 Output terminal	Výstupní terminál
425 XOR gate	Hradlo XOR (vylučovací nebo)
430 Inverter	Invertor
435 Comparator	Komparátor
500 Method	Způsob
520 Setting step	Krok nastavení
530 Setting step	Krok nastavení
540 Setting step	Krok nastavení
545 Setting step	Krok nastavení
555 Setting step	Krok nastavení
600 Transmitter	Vysílač
605 Pull down device	Stahovací zařízení
610 Transmission line	Přenosové vedení
620 Skew control circuitry	Obvod řídicí časový posuv
625 Signal control device	Zařízení řídicí signál
650 Transmitter	Vysílač
655 Pull down device	Stahovací zařízení

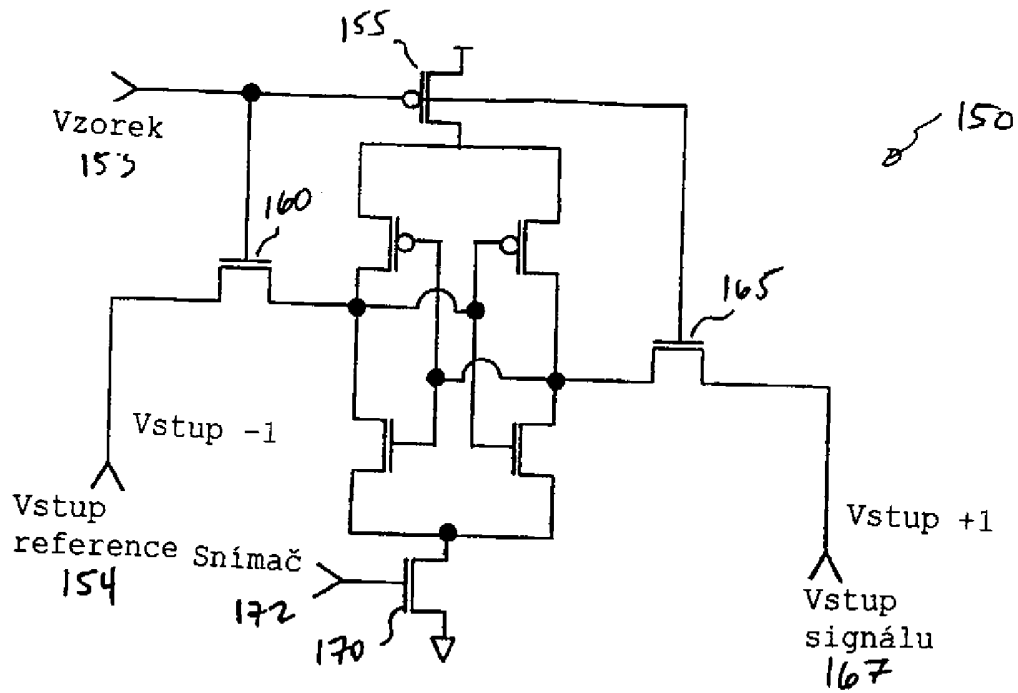
660	NMOS transistor	NMOS tranzistor
665	Skew control circuitry	Obvod řídicí časový posuv
670	Set	Sada
675	Set	Sada
700	Embodiment	Provedení
702	differential amplifier	diferenciální zesilovač
704	Inverter	Invertor
706	CMOS transmission gate	Přenosové hradlo CMOS
707	Node	Uzel
708	Node	Uzel
720	Embodiment	Provedení
740	Embodiment	Provedení
760	Embodiment	Provedení
802	Differential amplifier/comparator	Diferenciální zesilovač/comparator
804	Inverter	Invertor
852	Comparator	Komparátor
852	Differential amplifier	Diferenciální zesilovač
854	Inverter	Invertor
905	Register	Registr
1000	Master	Řídicí zařízení
1105	Transmitter	Vysílač
1200	Point-to-points system	Systém s propojením od bodu k bodu
1205	Bi-directional master	Dvousměrné řídicí zařízení
1210	Bi-directional slave	Dvousměrné podřízené zařízení
1215	Transmission line	Přenosové vedení
1220	SNx line	SNx vedení
1225	line	SSVTR vedení
1230	SSVTR line (/SSVTR!)	SSVTR vedení (/SSVTR)
1235	resistance	Resistor
1300	system	Systém
1305	Master/memory controller	Řídicí zařízení/řídicí obvod paměti
1310	slave	Podřízené zařízení
1315	slave	Podřízené zařízení
1320	Control line	Řídicí vedení
1325	Control line	Řídicí vedení
1330	Data line	Datová vedení
1335	Data line	Datová vedení
1340	SSVTR line	SSVTR vedení
1350	system	Systém
1500	SSVTR(small swing complementary source synchronous voltage and timing references)	SSVTR (malorozkmitový komplementární zdroj synchronního napětí a časování)
1501	Amplifier	Zesilovač
1502	Region	Oblast
1503	Dotted line	Tečkovaně vyznačené vedení
1504	Time gap	Časová prodleva
1505	Line	Vedení
1506	Indeterminate region/signal change	Neurčitá oblast/změna signálu
1550	Steering logic circuit	Řídicí logický obvod
1553	receiver	Přijímač
1555	comparator	Komparátor
1560	Output	Výstup
1565	Steering logic XOR	XOR řídicí logiky
1610	NAND gates	Hradla NAND
1615	Pull-up transistor	Zvedací transistor
1905	Memory controller	Řídicí obvod paměti
1910	DDRDRAM device	Zařízení DDRDRAM
1915	Clock source	Zdroj hodinových impulzů
1920	Clock bus	Sběrnice hodin



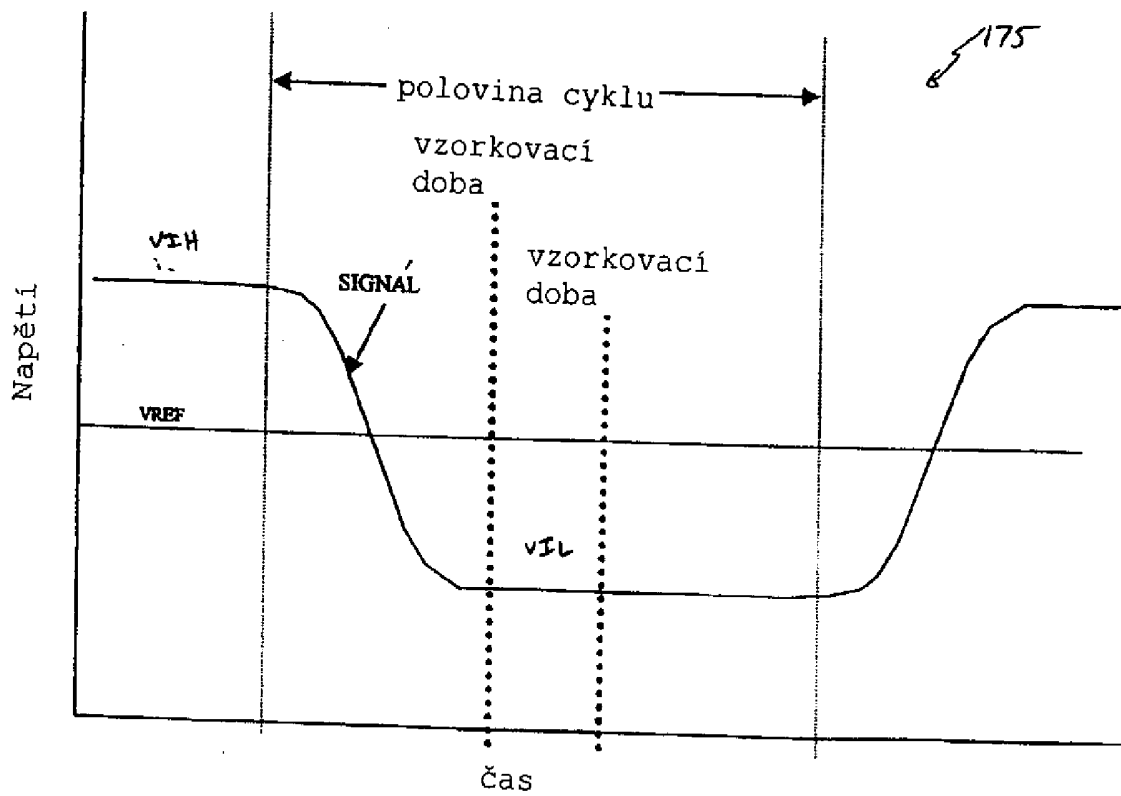
Obr. 1A



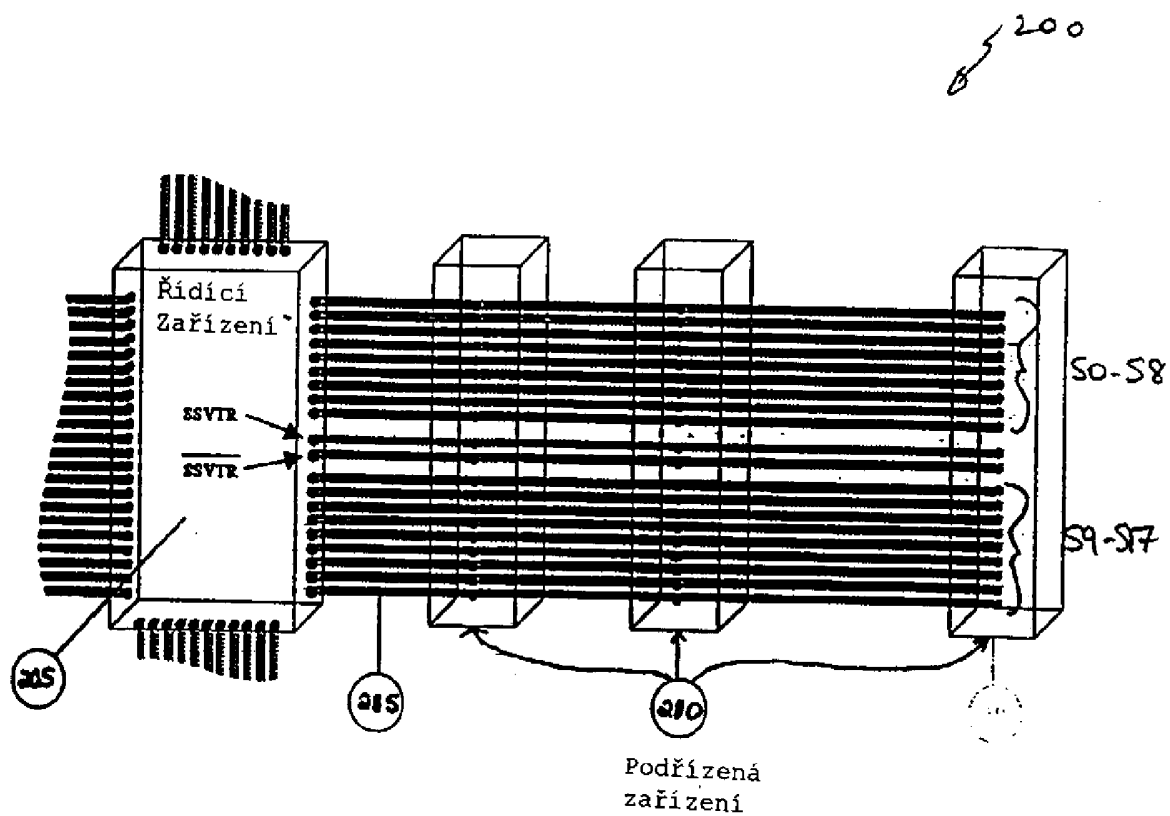
Obr. 1B



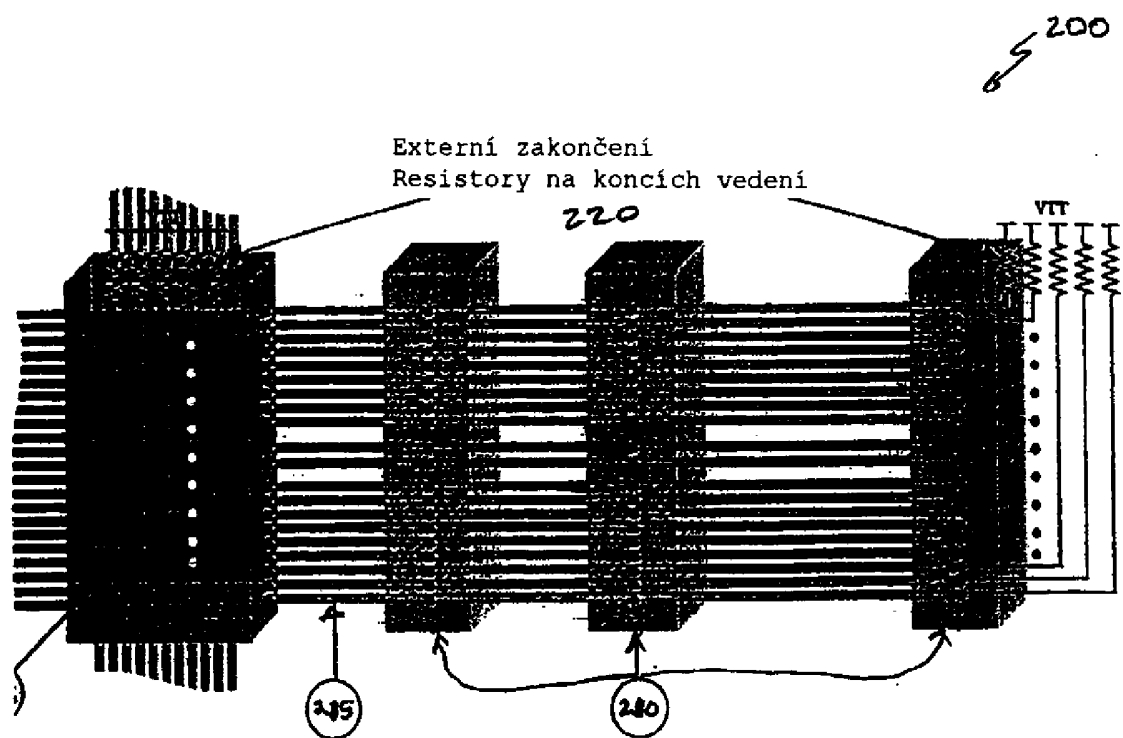
Obr. 1C



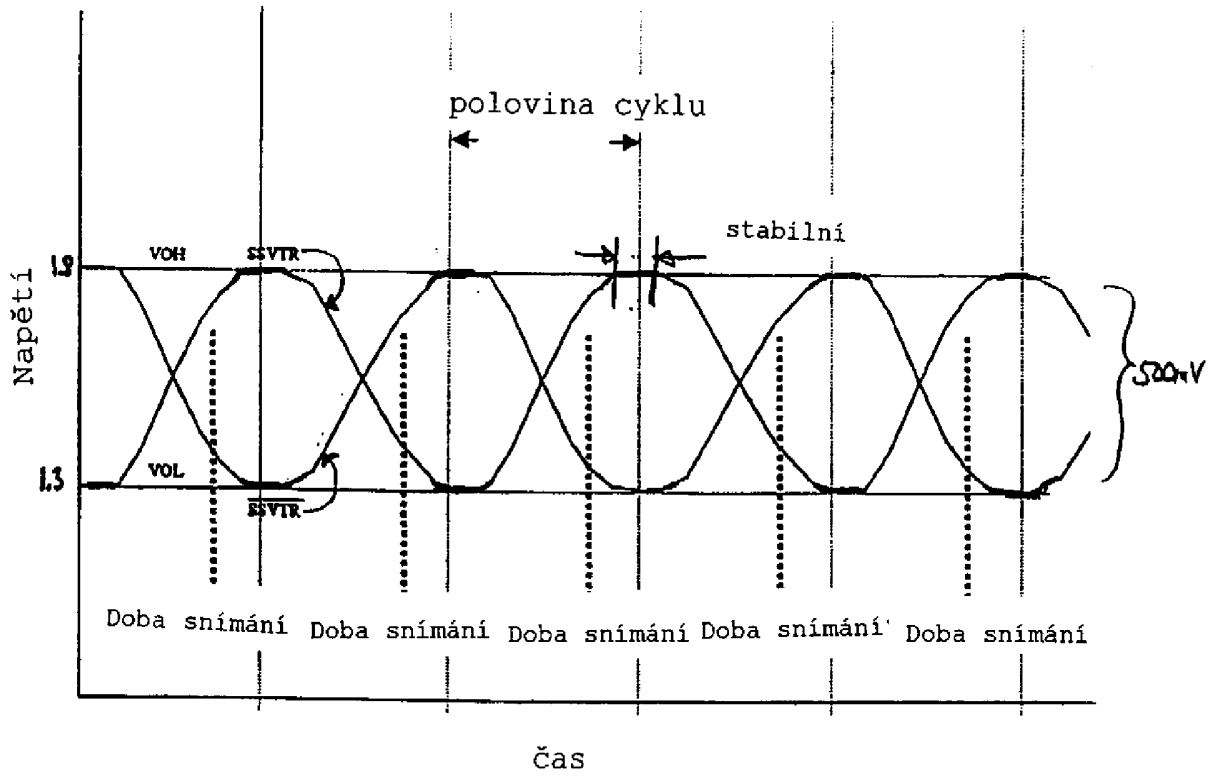
Obr. 1D



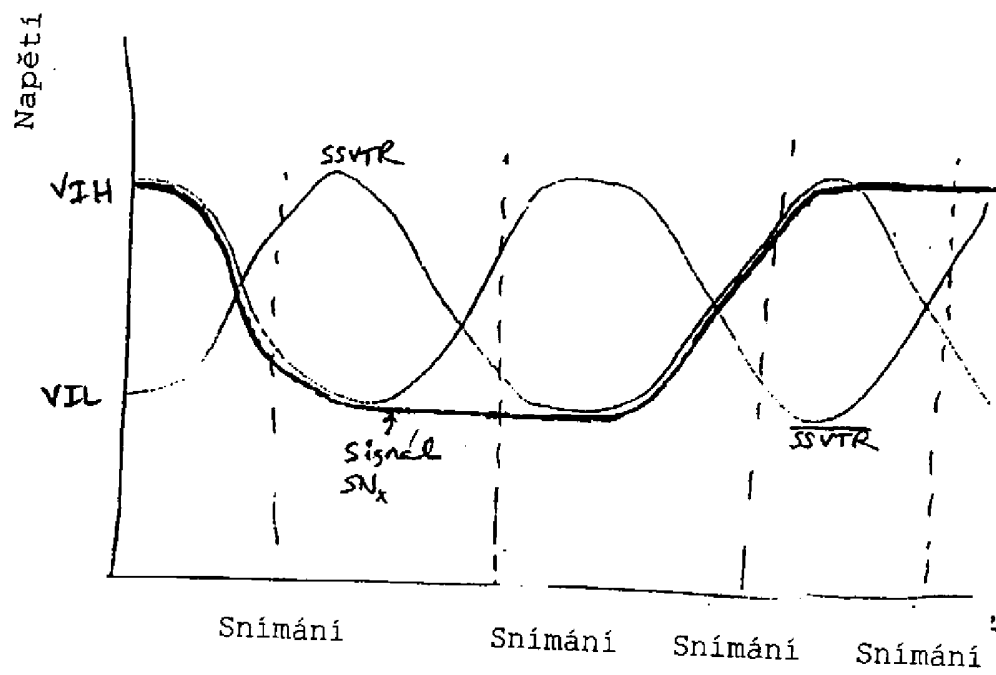
Obr. 2A



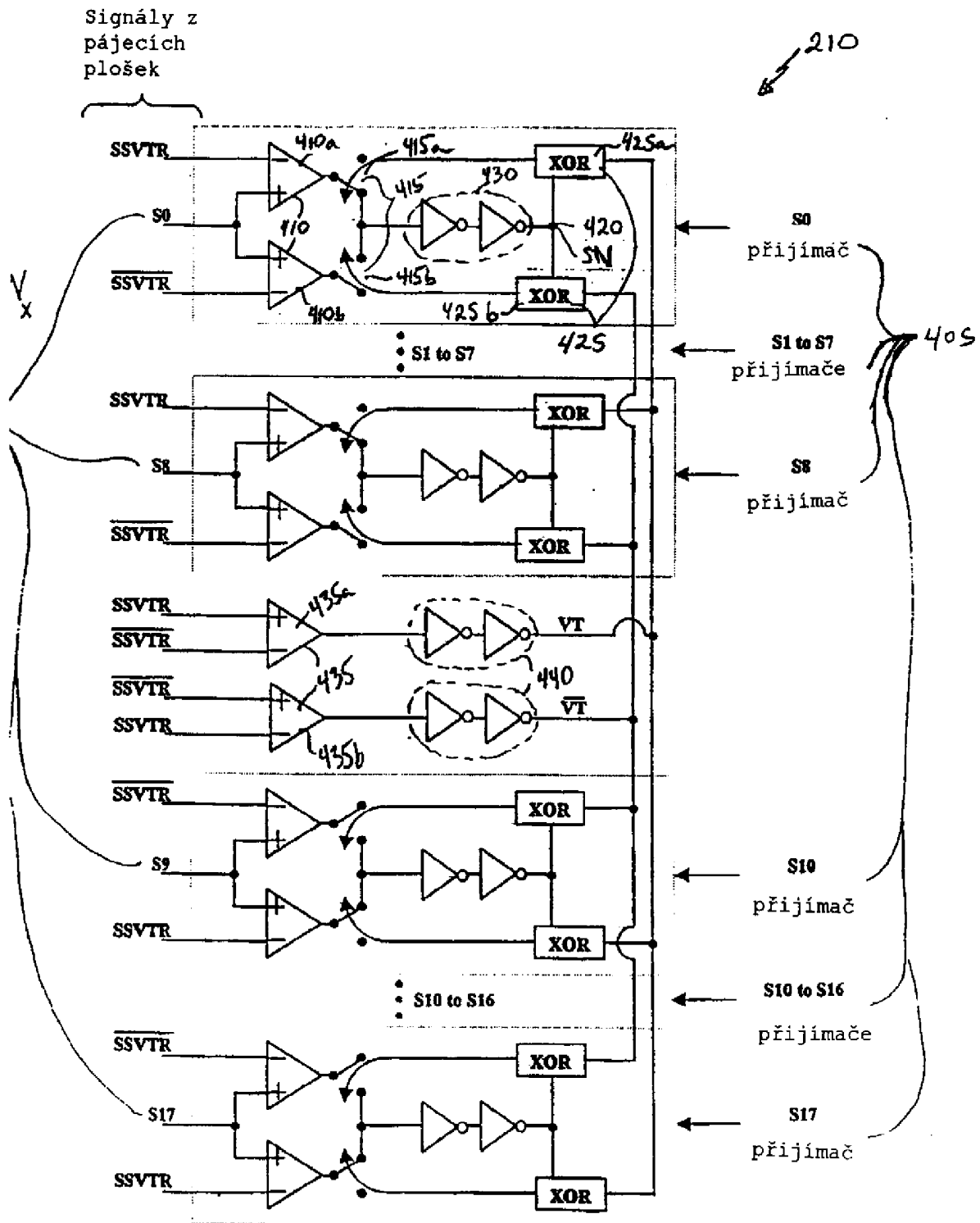
Obr. 2B



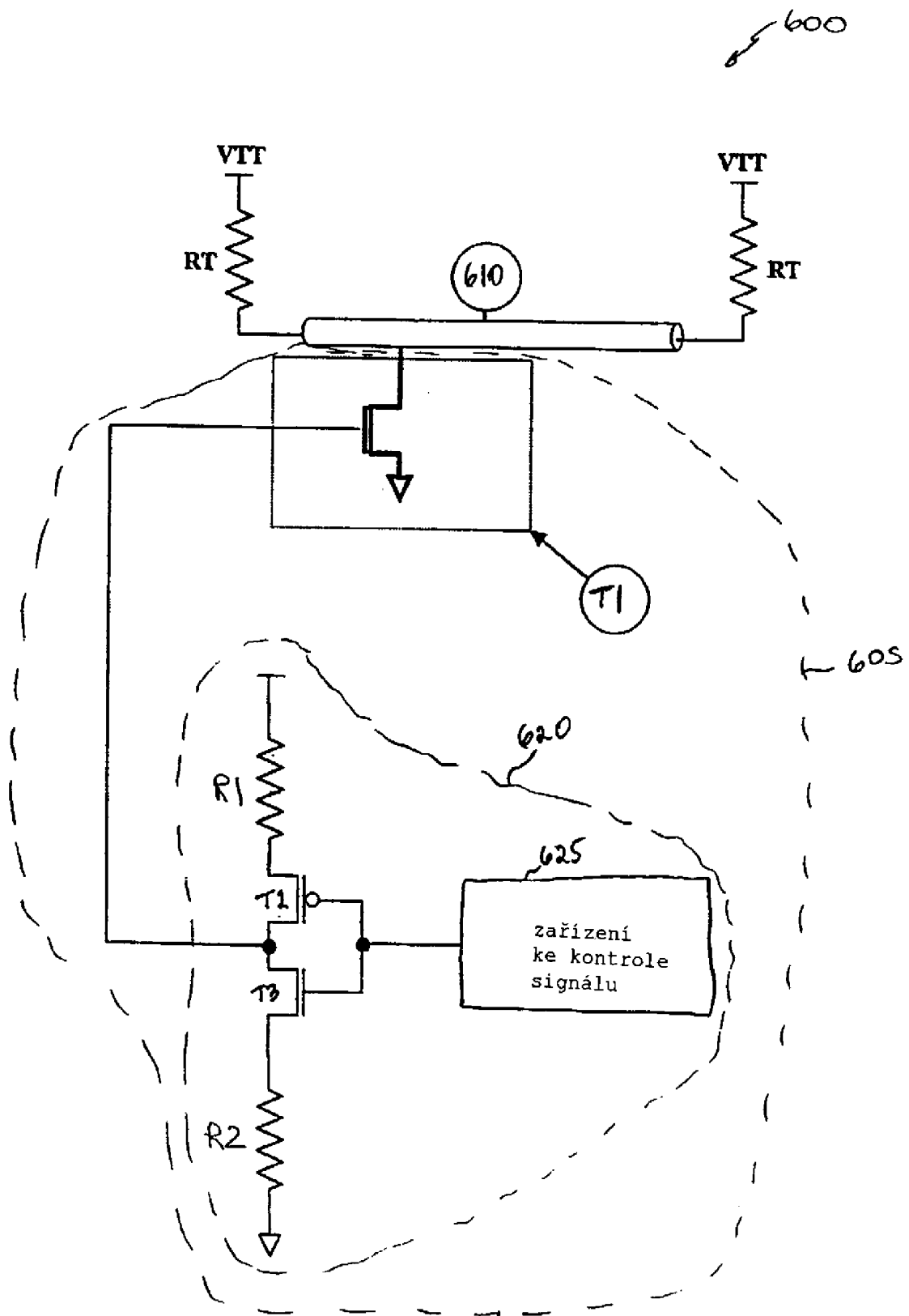
Obr. 3A



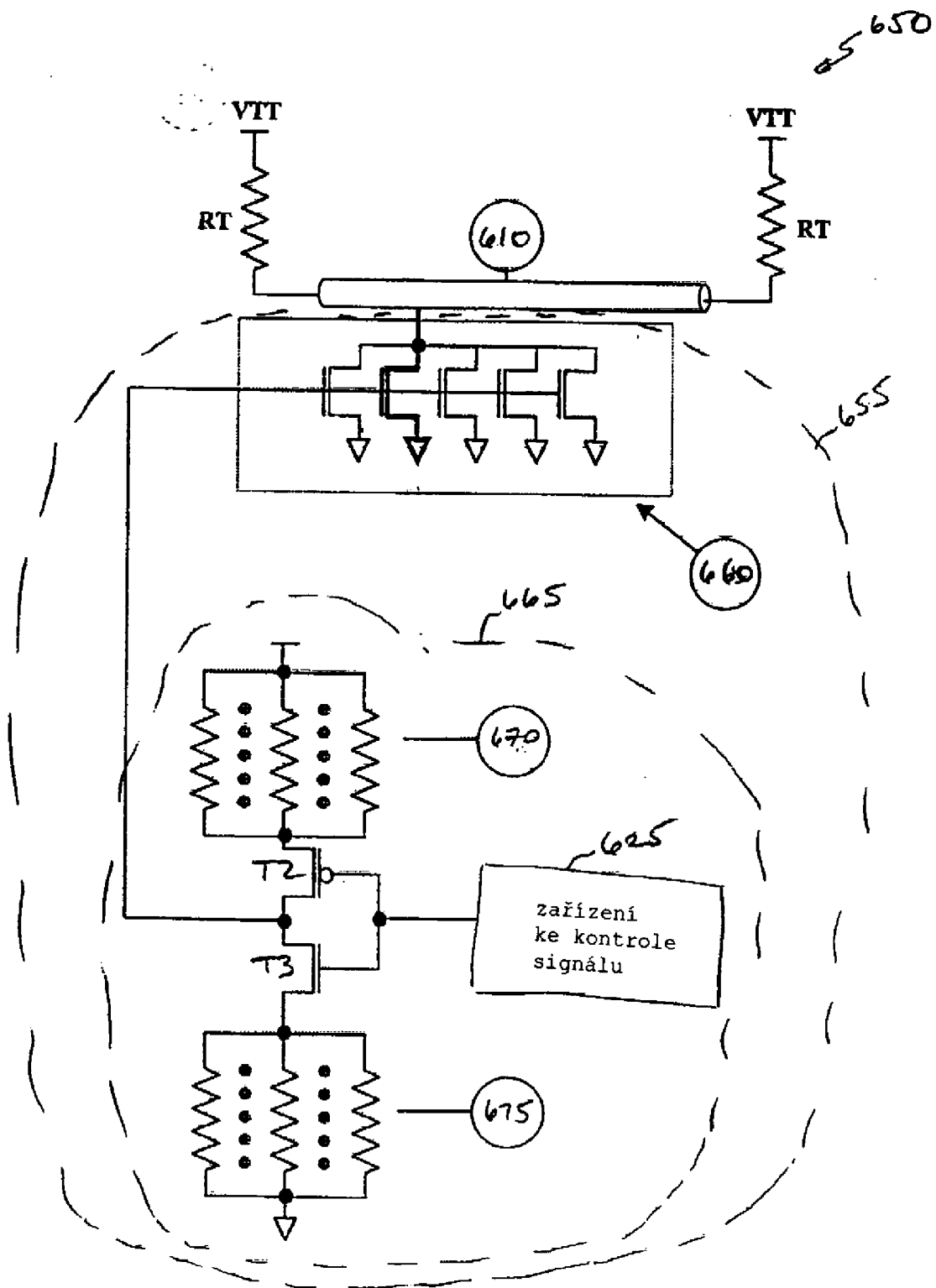
Obr. 3B



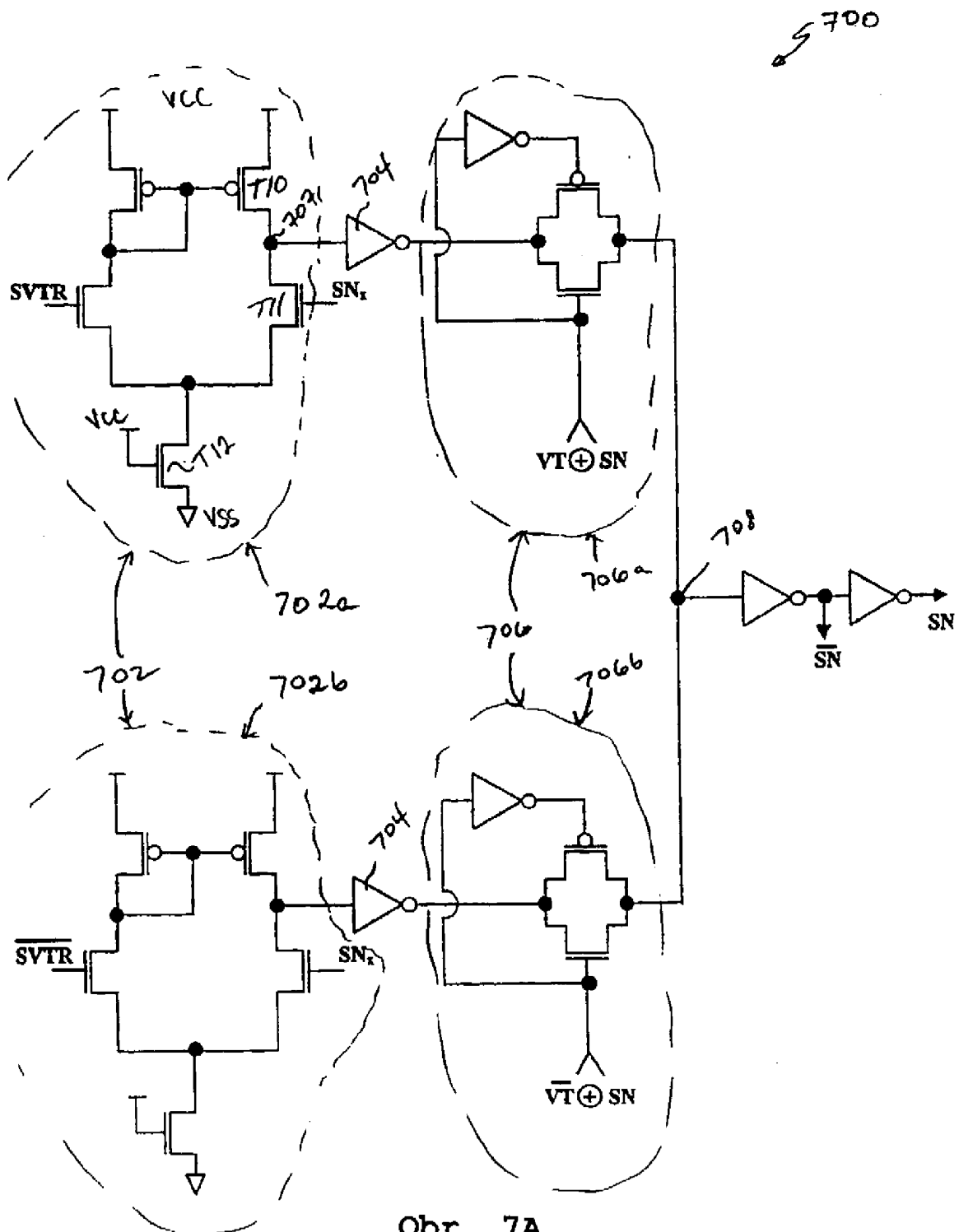
Obr. 4



Obr. 6A

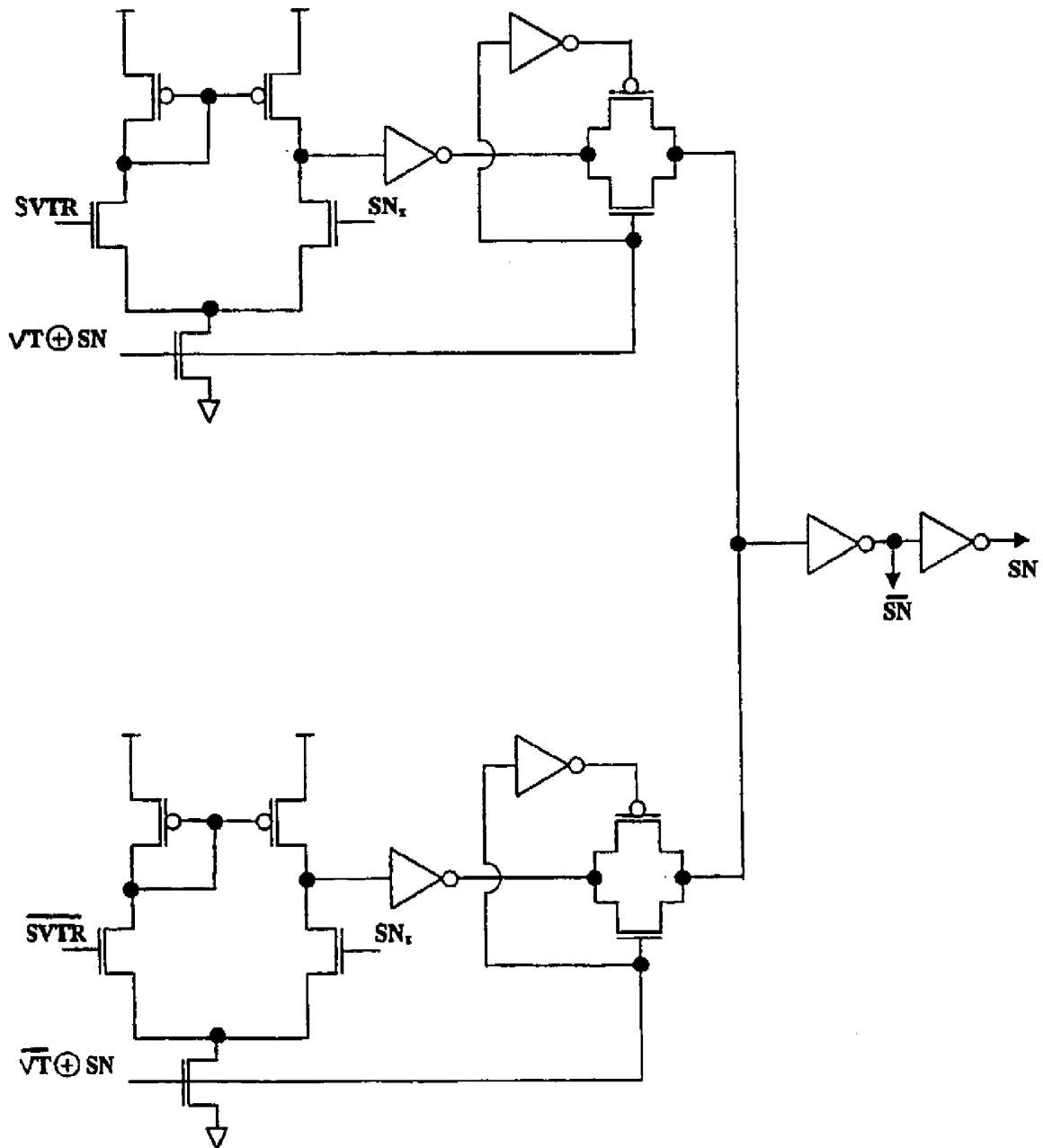


Obr. 6B



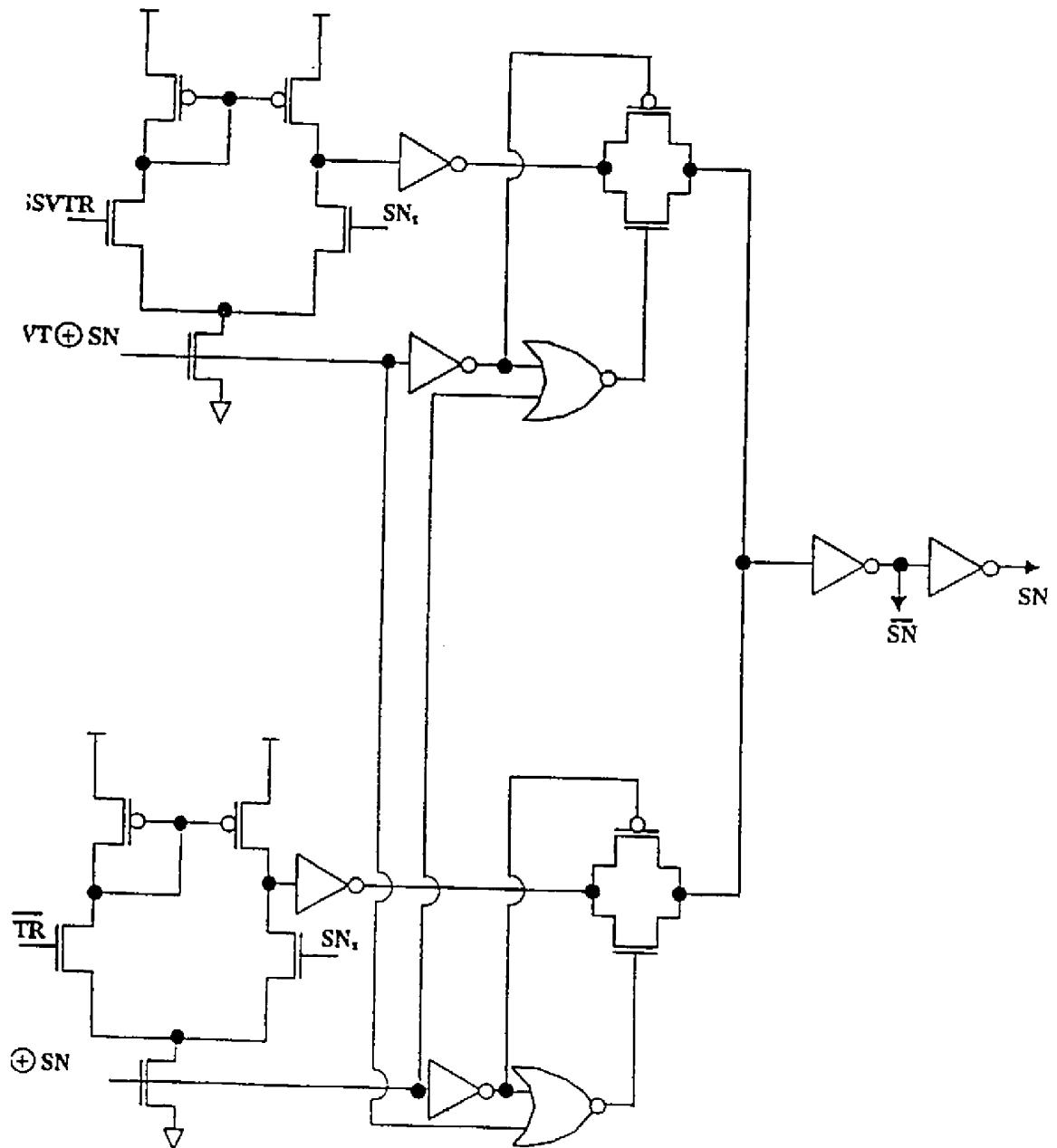
Obr. 7A

720

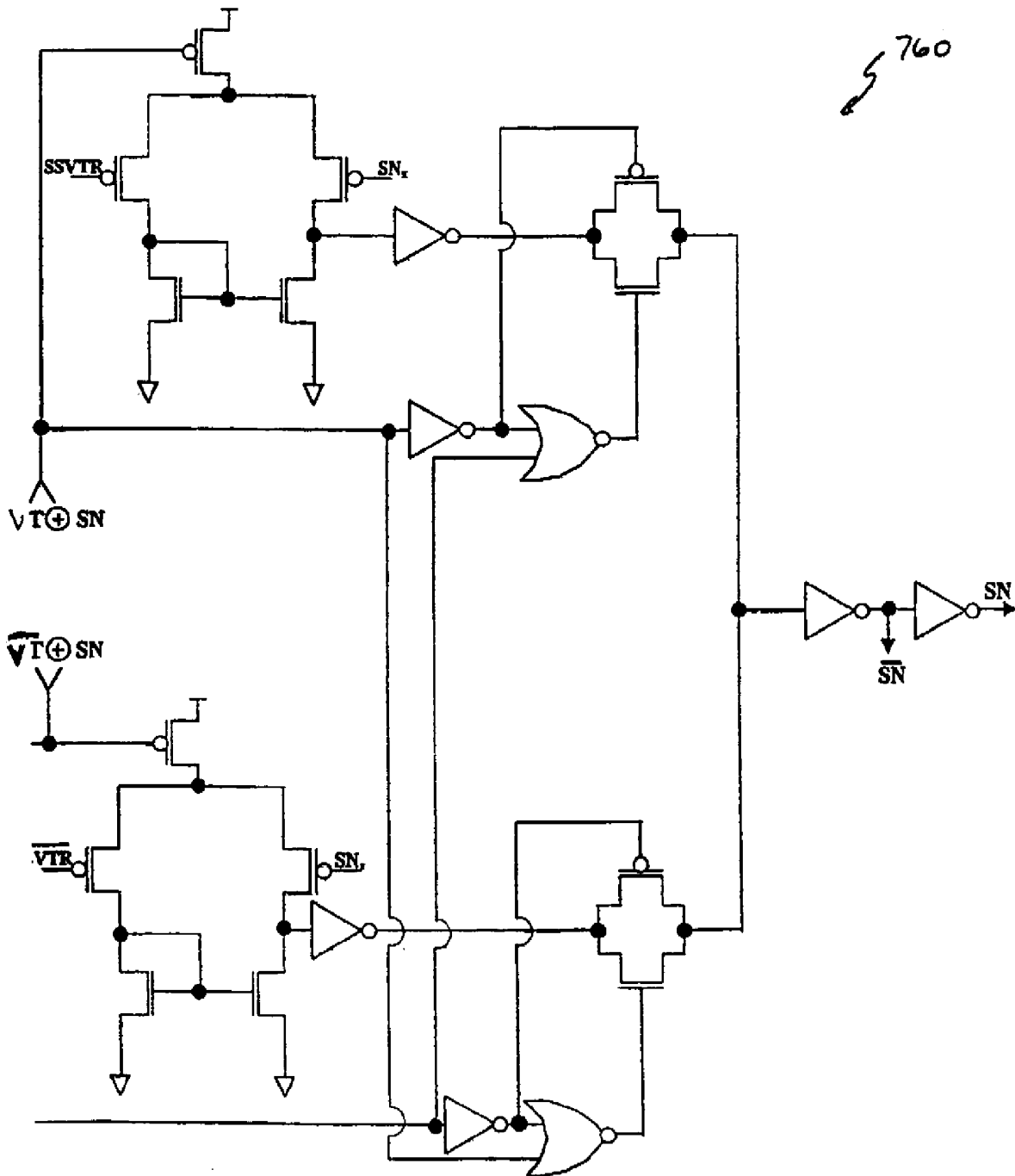


Obr. 7B

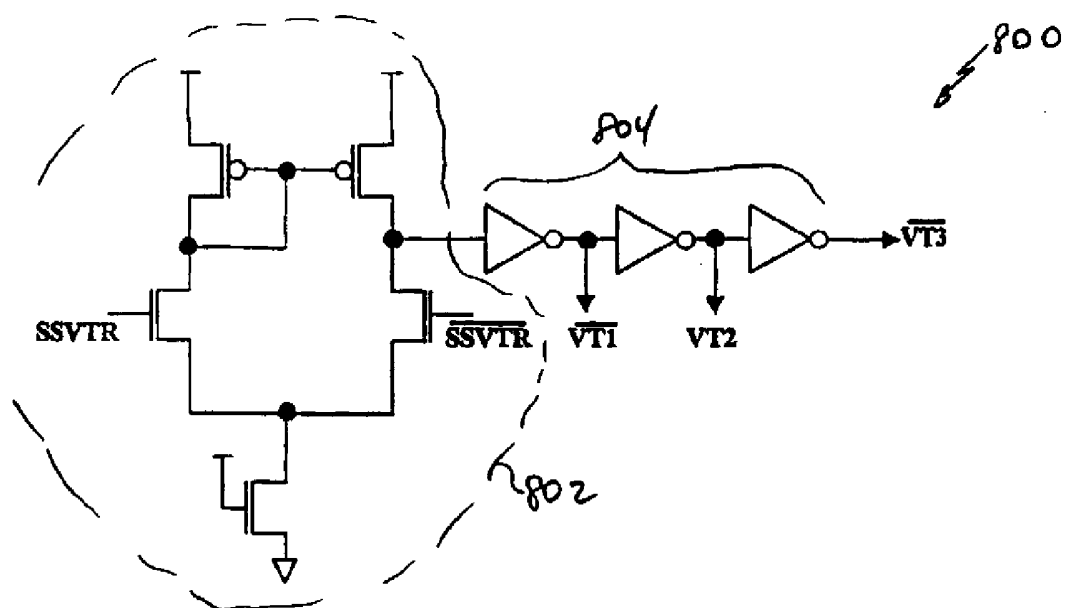
65740



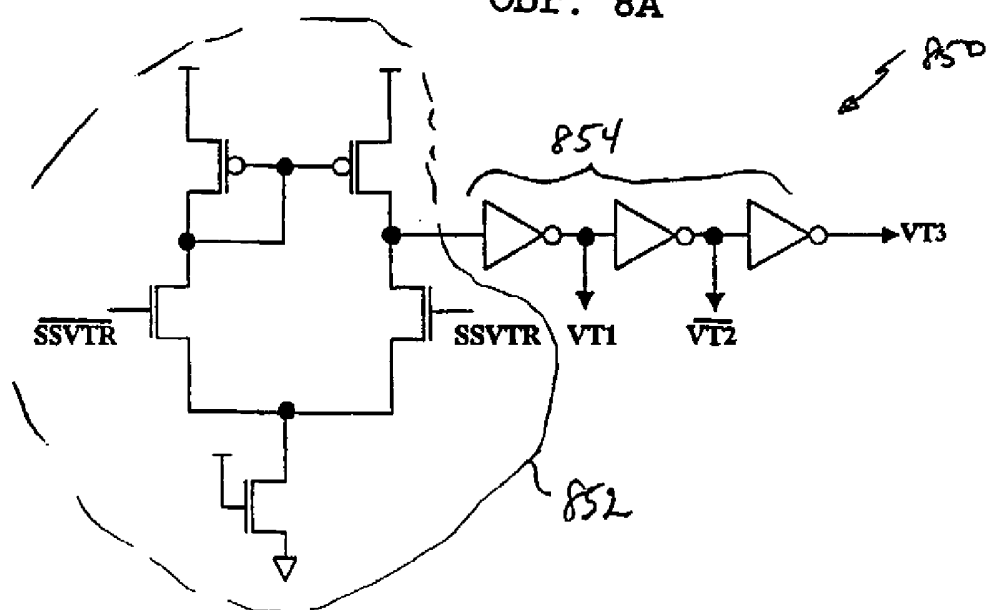
Obr. 7C



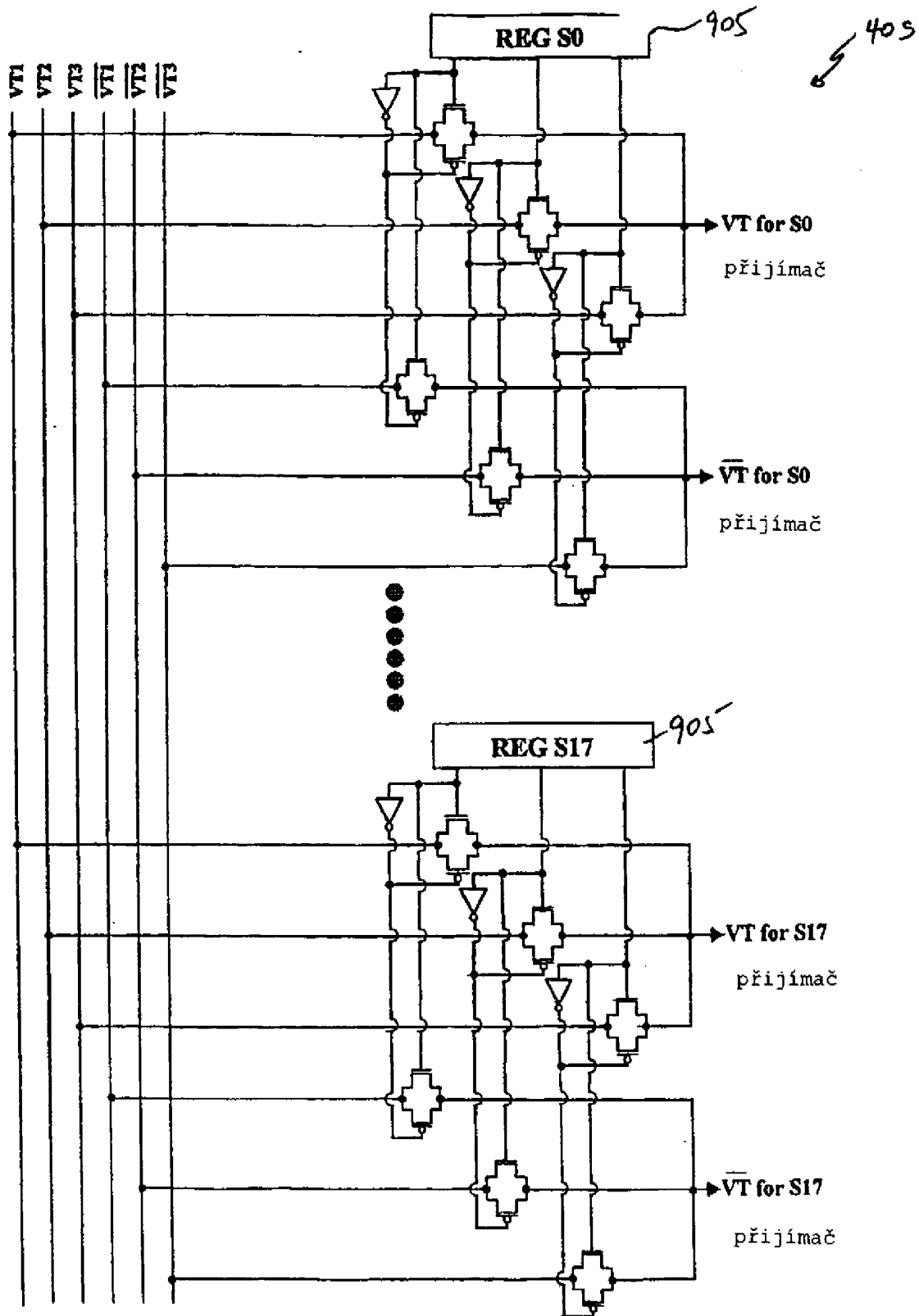
Obr. 7D



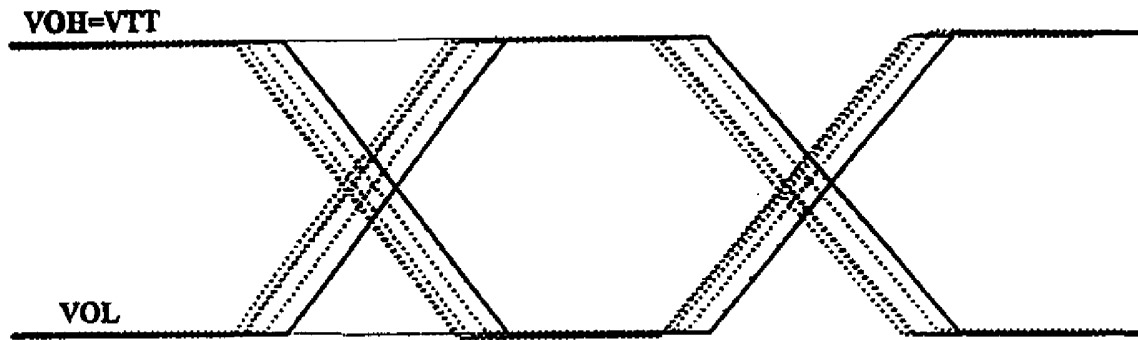
Obr. 8A



Obr. 8B



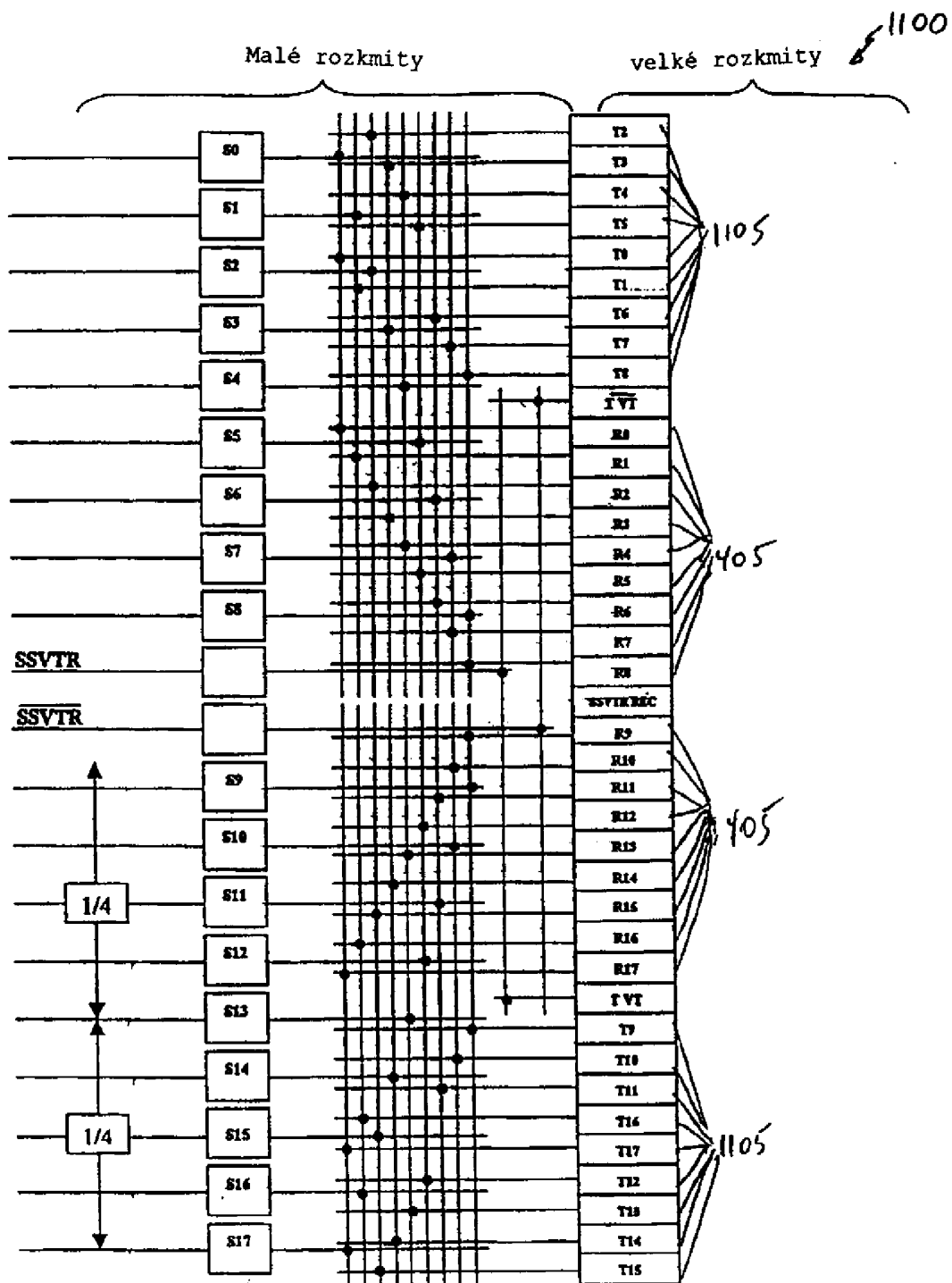
Obr. 9



— $SSVTR$ a $\overline{SSVTR}$

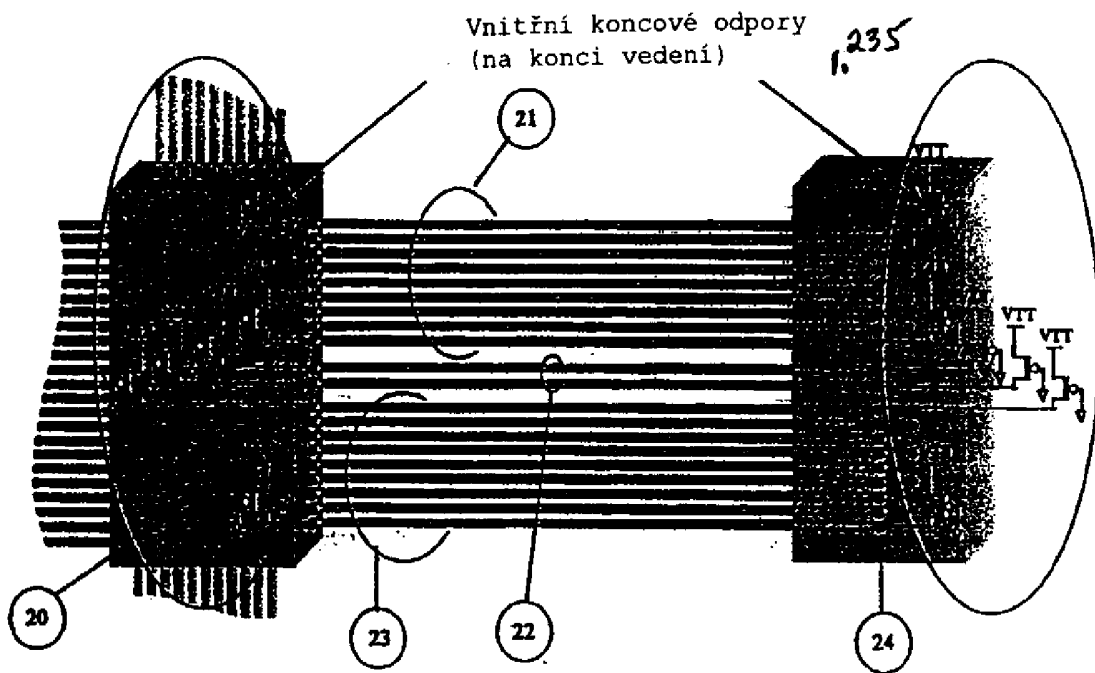
— jednoduchý signál

Obr. 10

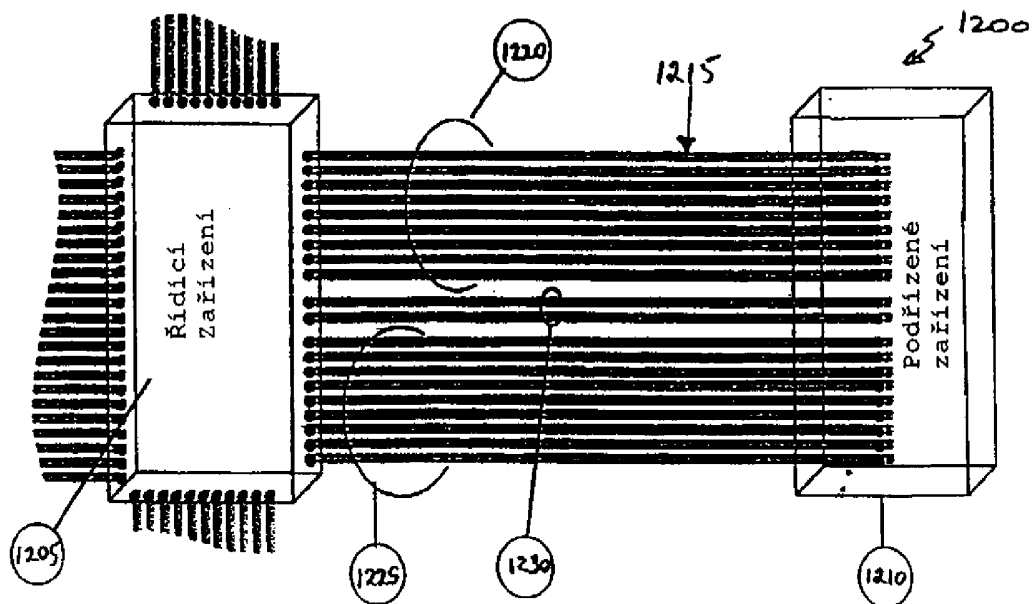


Obr. 11

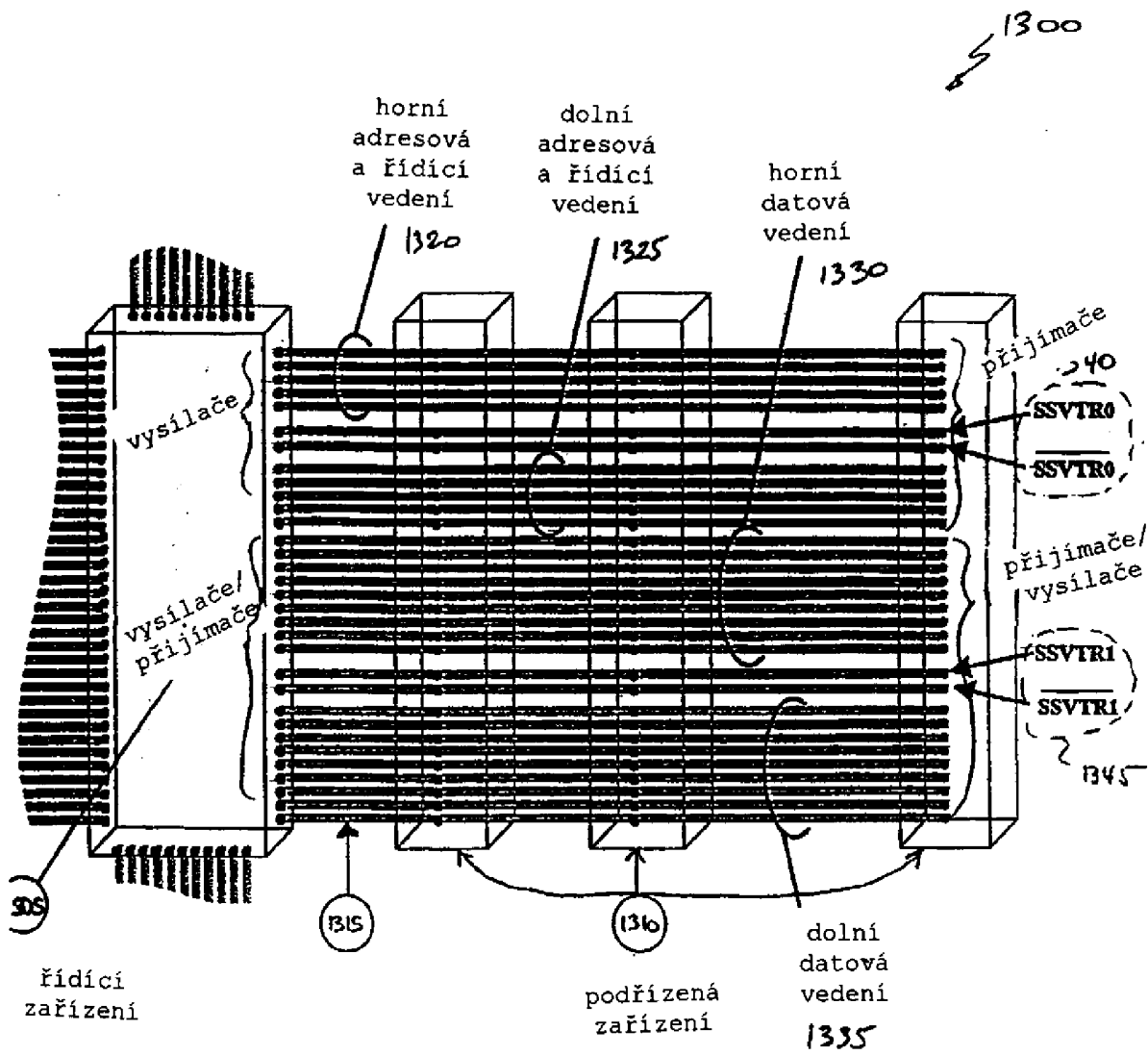
R0 → Přijímač signálu S0
T0 → Vysílač signálu S0



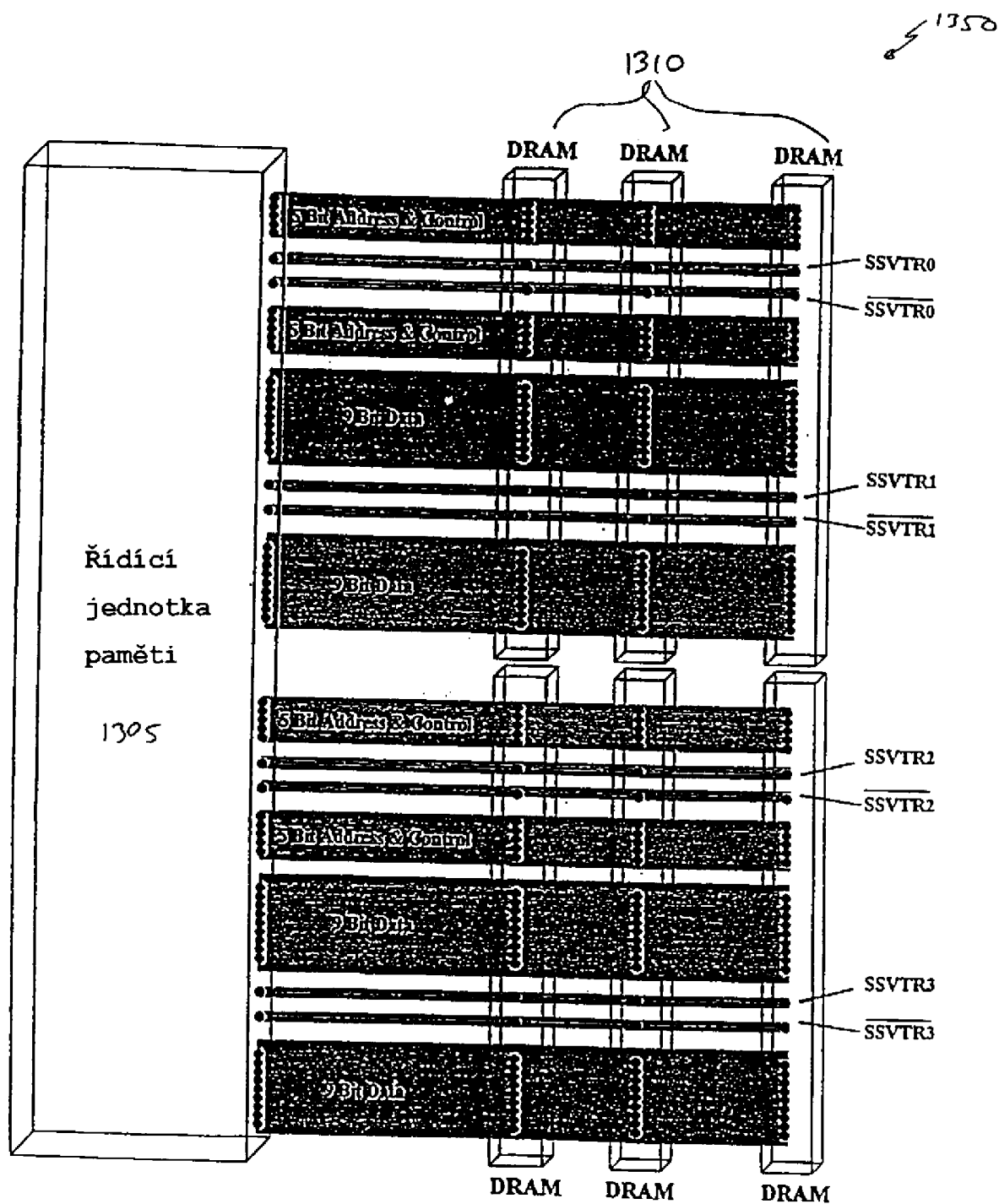
Obr. 12B



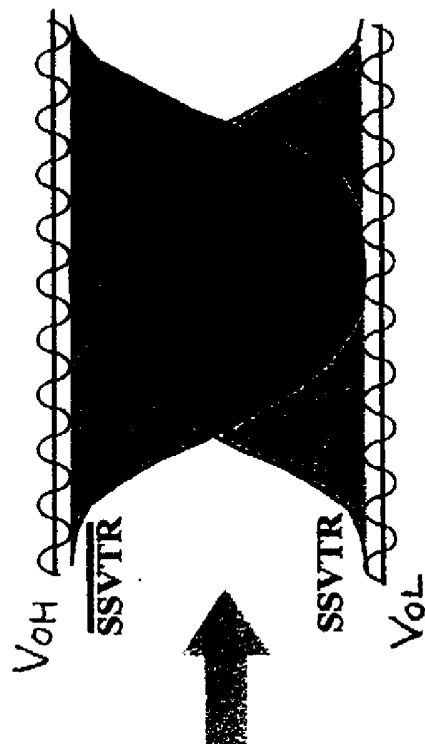
Obr. 12A



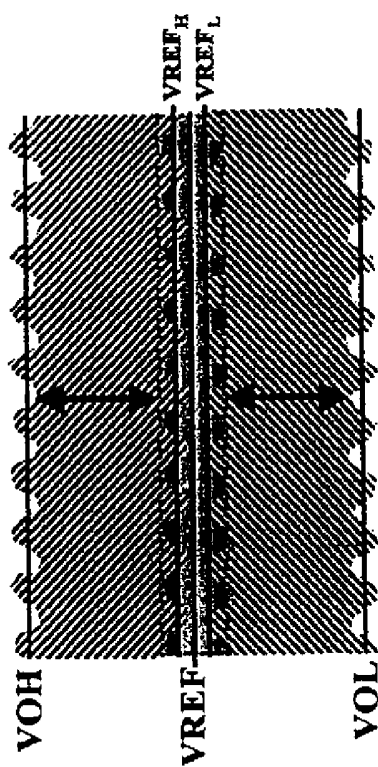
Obr. 13A



Obr. 13B



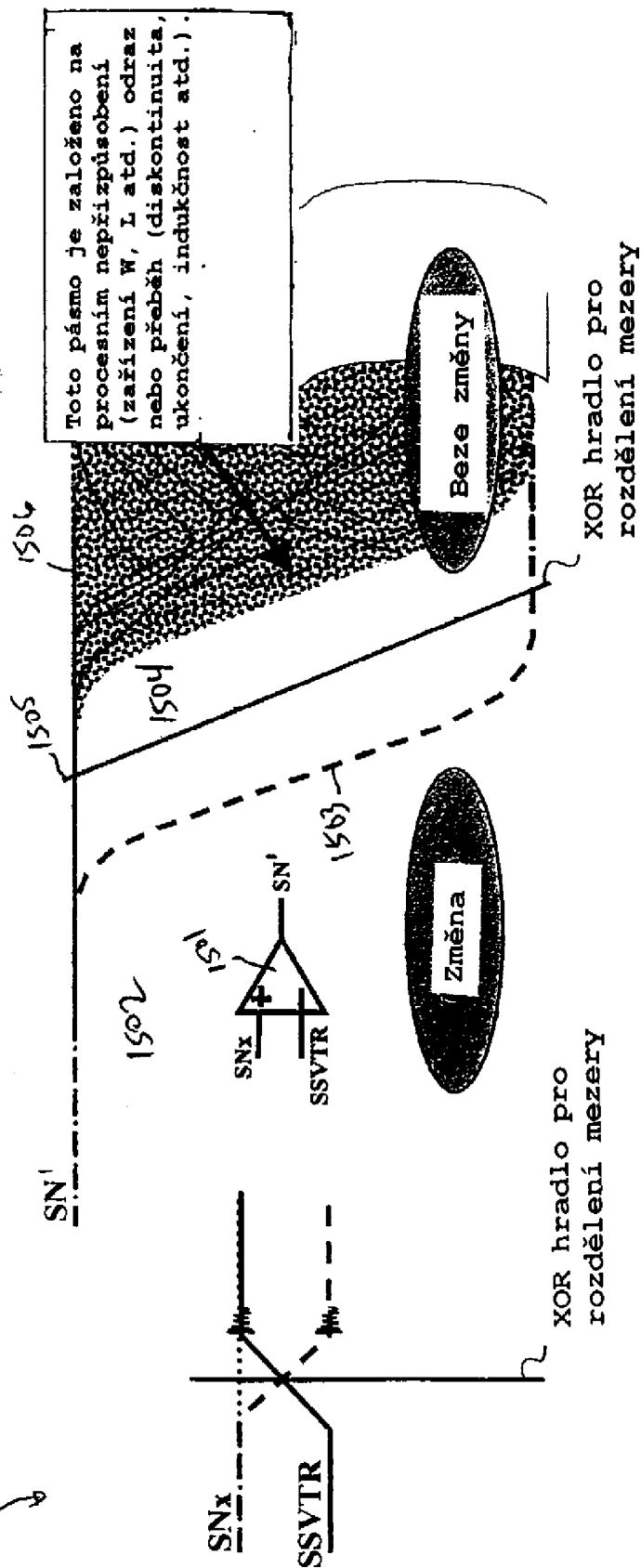
Obt. 14B



Obt. 14A

1502

Diskriminátor změny signálu



Obr. 15A

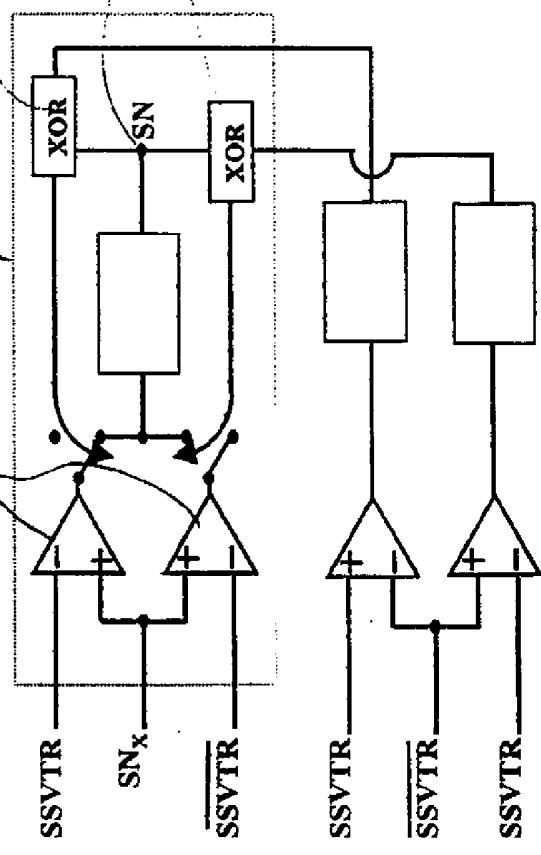
Řídící logika

1550 ↗

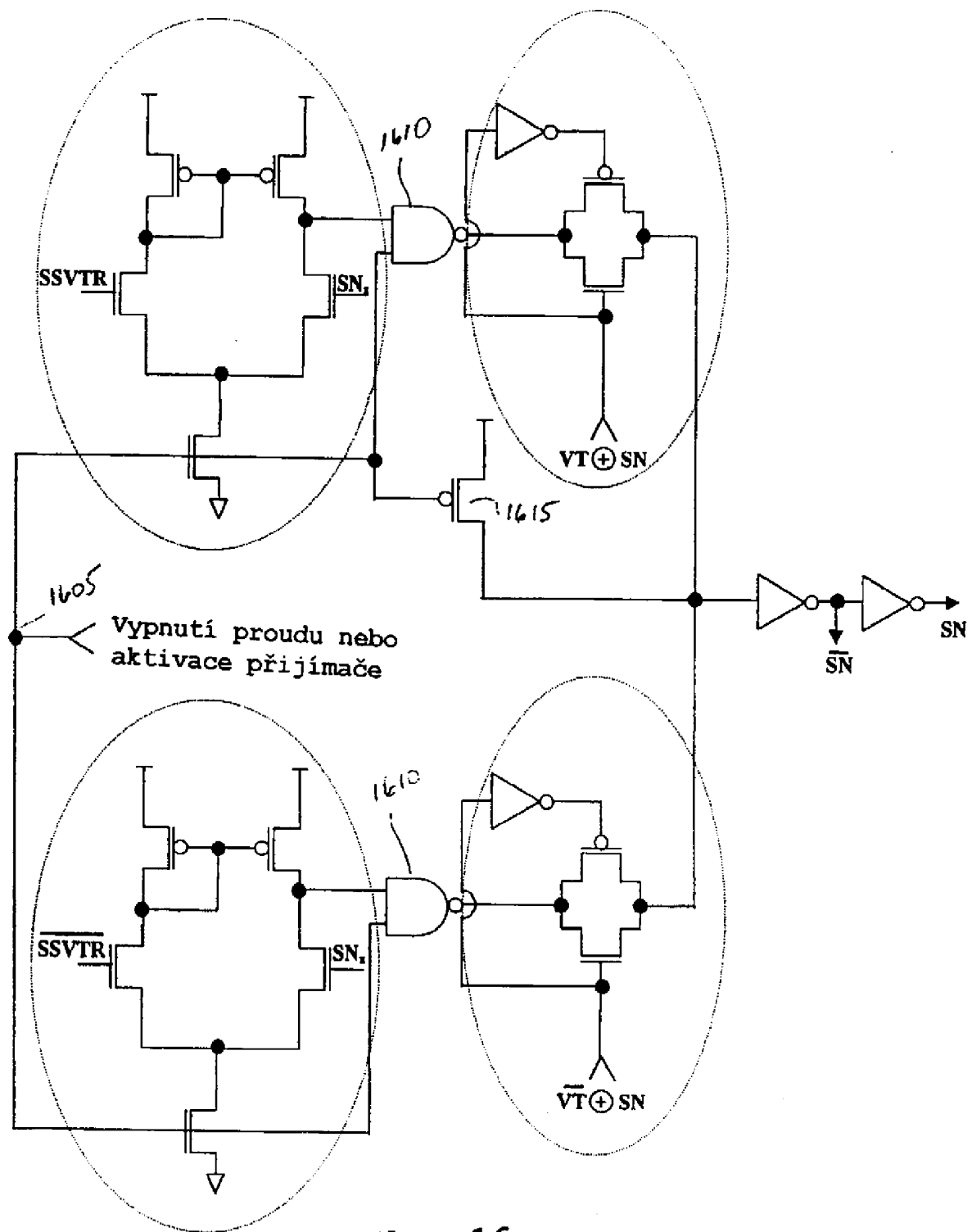
1565

1560

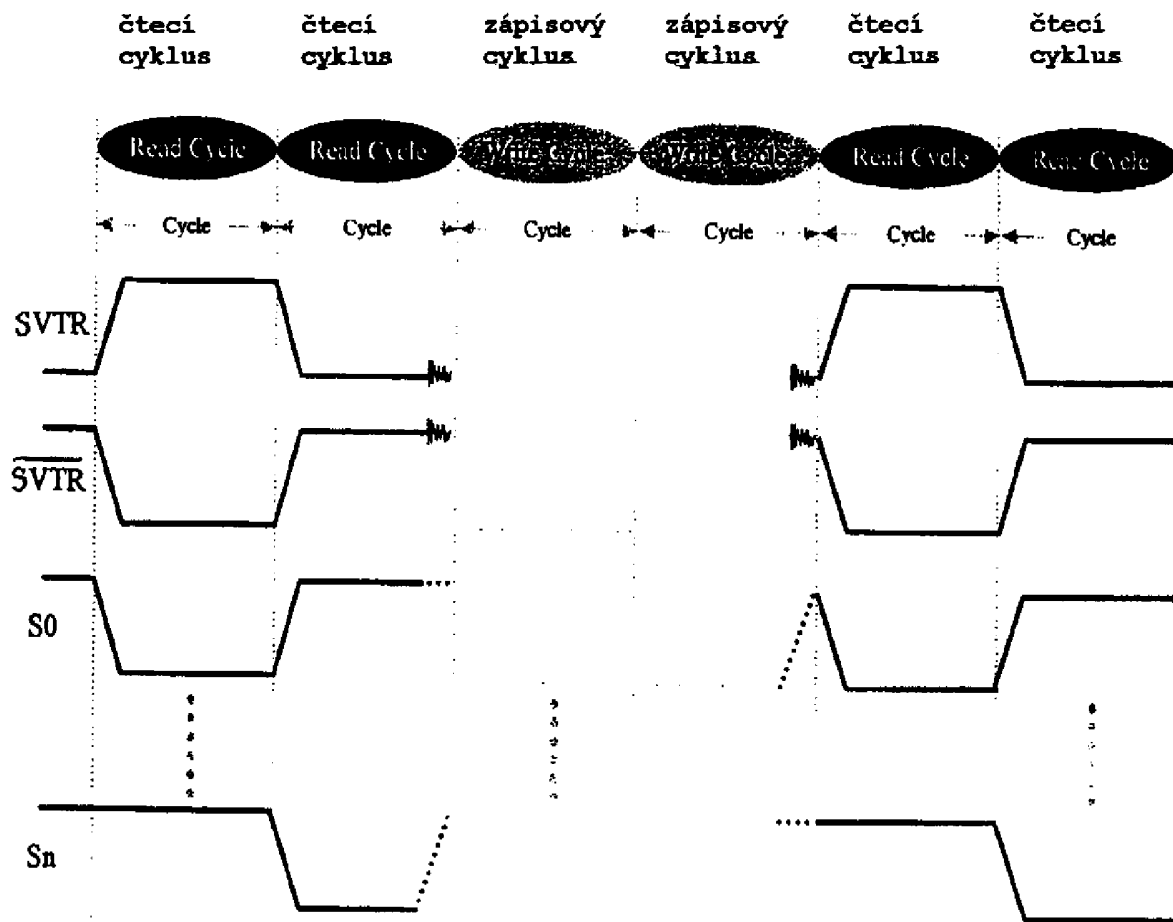
1555 1553



Obr. 15B

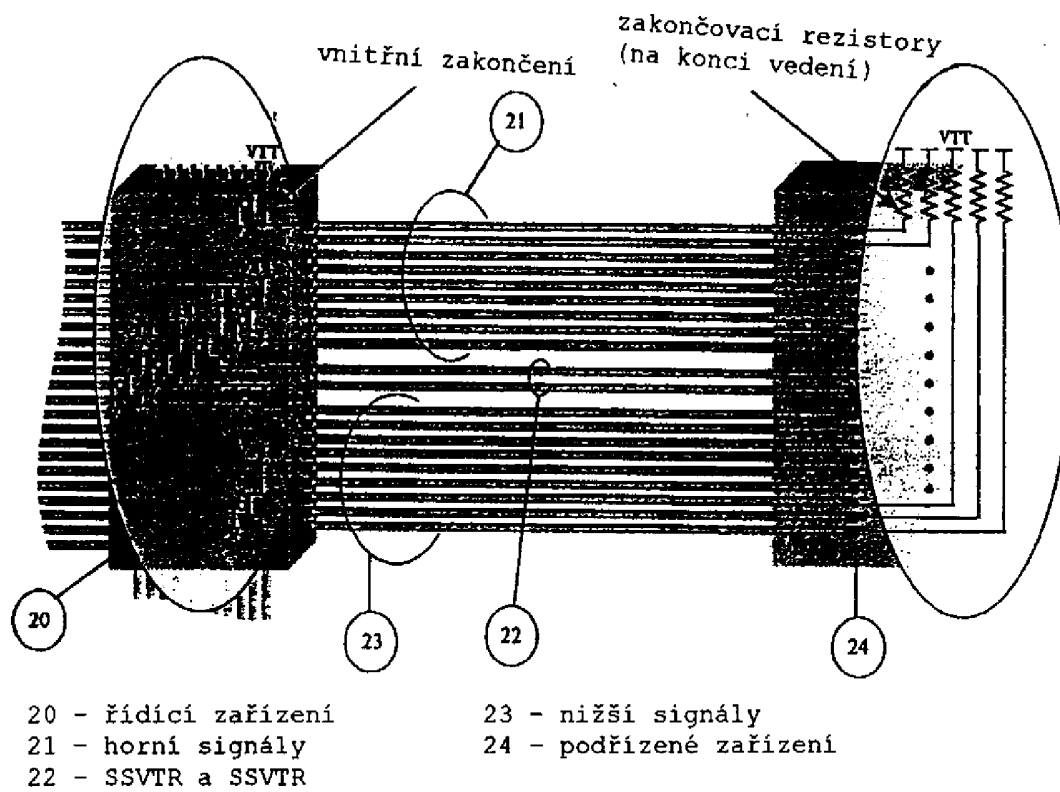


Obr. 16

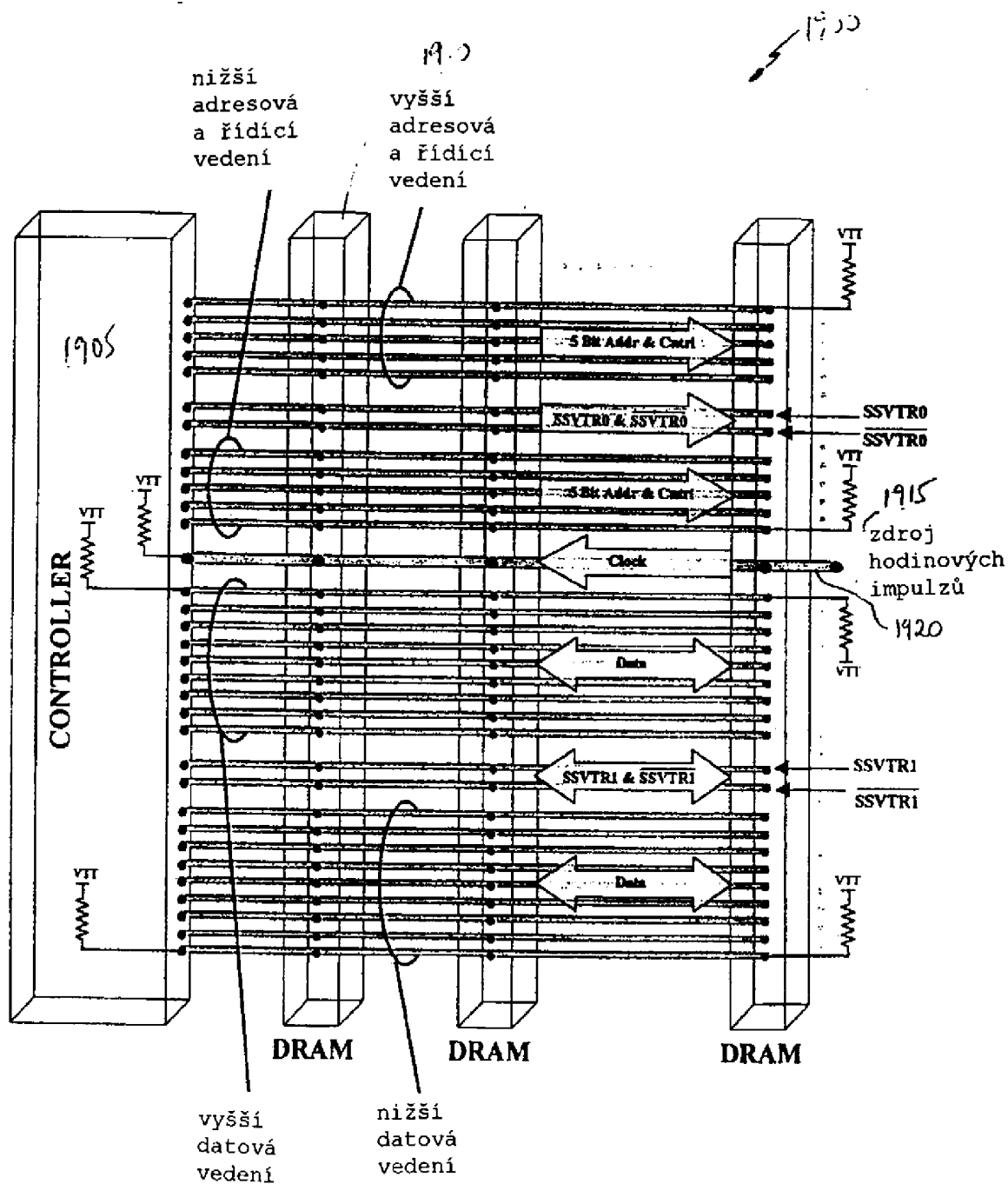


Dvousměrné časování pro obrat sběrnice

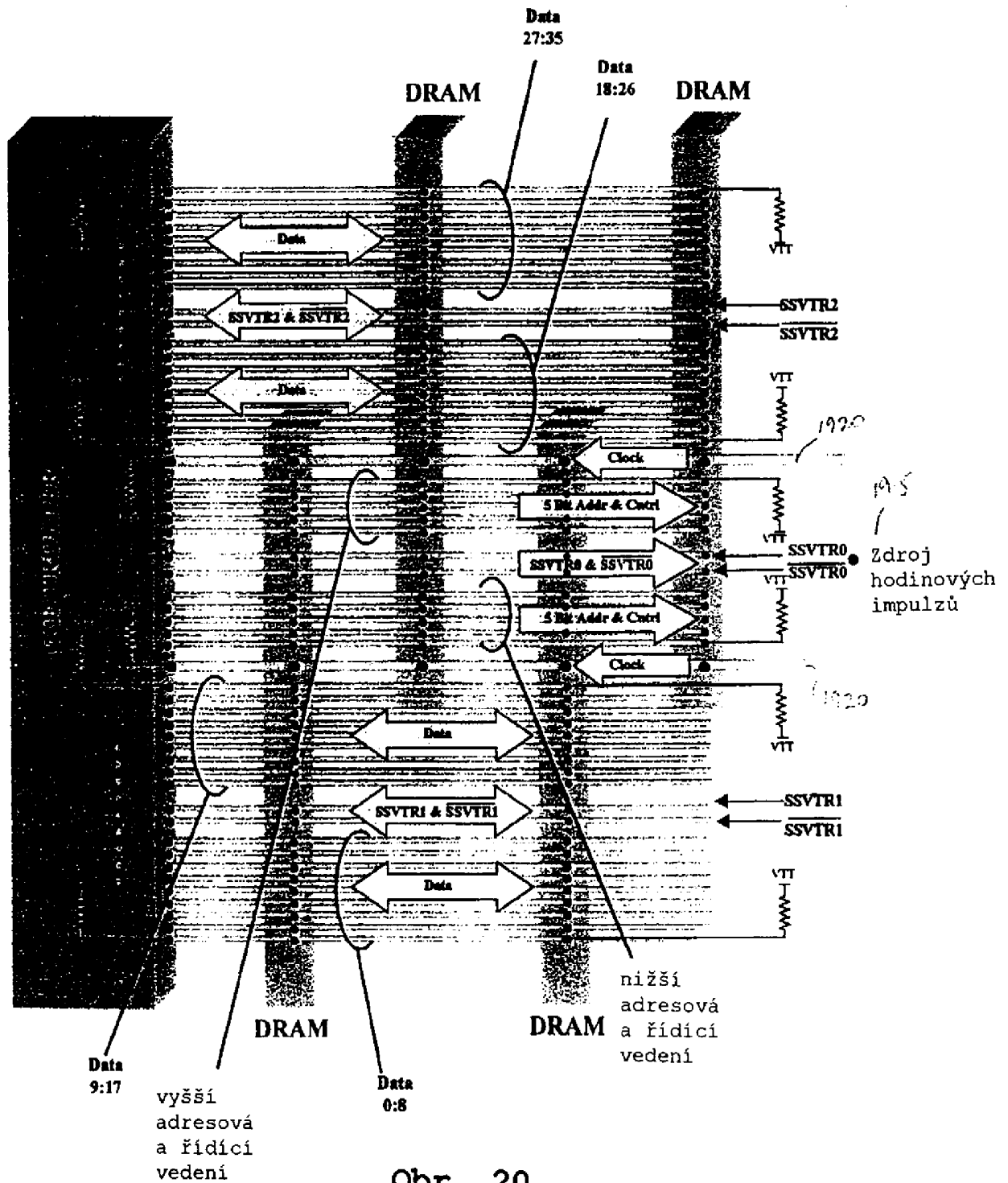
Obr. 17



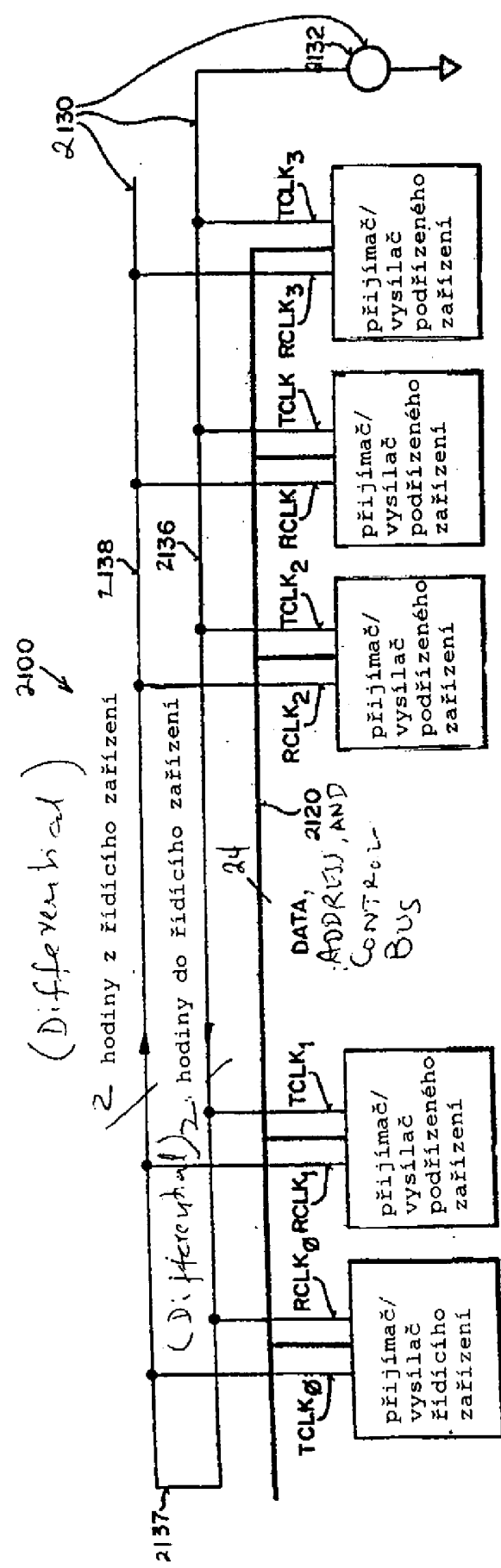
Obr. 18



Obr. 19



Obr. 20



Obr. 21