(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 115552604 A
(43)申请公布日 2022.12.30

(21)申请号 202080100676.1
(22)申请日 2020.05.14
(85)PCT国际申请进入国家阶段日
2022.11.08
(86)PCT国际申请的申请数据
PCT/JP2020/019228 2020.05.14
(87)PCT国际申请的公布数据
WO2021/229740 JA 2021.11.18
(71)申请人 株式会社索思未来
地址 日本神奈川县
(72)发明人 芹泽晴彦 千千松达夫
(74)专利代理机构 北京集佳知识产权代理有限公司 11227
专利代理师 王海奇
(51)Int.Cl.
H01L 27/092(2006.01)
H01L 21/336(2006.01)
H01L 21/8238(2006.01)
H01L 29/78(2006.01)

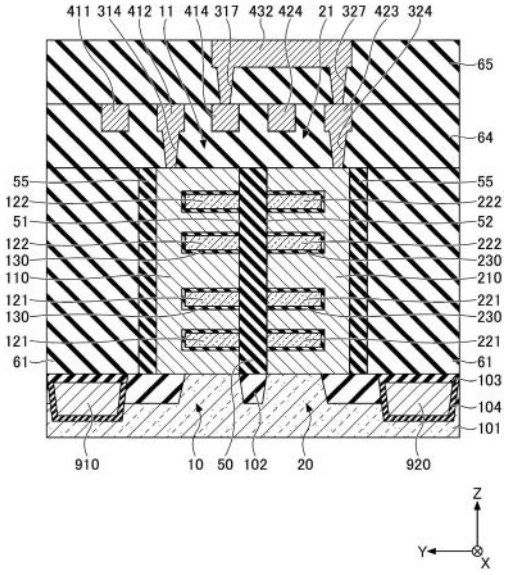
权利要求书2页 说明书10页 附图63页

(54)发明名称

半导体装置及其制造方法

(57)摘要

一种半导体装置,具有:基板;第一半导体层,其配置于上述基板之上;第一半导体区域以及第二半导体区域,其在上述基板之上,在俯视时在第一方向中,隔着上述第一半导体层配置;第二半导体层,其配置于上述第一半导体层的上方;第三半导体区域以及第四半导体区域,其分别在上述第一半导体区域以及上述第二半导体区域的上方,在上述第一方向中,隔着上述第二半导体层配置;第三半导体层,其在上述基板之上,在俯视时在与上述第一方向不同的第二方向中与上述第一半导体层并列配置;第五半导体区域以及第六半导体区域,其在上述基板之上,在俯视时在上述第一方向中,隔着上述第三半导体层配置;第四半导体层,其在上述第三半导体层的上方,在俯视时在上述第二方向中与上述第二半导体层并列配置;第七半导体区域以及第八半导体区域,其分别在上述第五半导体区域以及上述第六半导体区域的上方,在上述第一方向中,隔着上述第四半导体层配置;绝缘性的壁,其配置于上述基板之上,在上述第一方向上延伸,并且包括第一侧面和与上述第一侧面相反侧的第二侧面;第一栅极电极,其在上述第一半导体层以及上述第二半导体层之上隔着第一栅极绝缘膜配置;以及第二栅极电极,其在上述第三半导体层以及上述第四半导体层之上隔着第二栅极绝缘膜配置,上述第一侧面与上述第一半导体层以及上述第二半导体层相接,上述第二侧面与上述第三半导体层以及上述第四半导体层相接。



CN 115552604 A

1.一种半导体装置,具有:

基板;

第一半导体层,其配置于上述基板之上;

第一半导体区域以及第二半导体区域,其在上述基板之上,在俯视时在第一方向中,隔着上述第一半导体层配置;

第二半导体层,其配置于上述第一半导体层的上方;

第三半导体区域以及第四半导体区域,其分别在上述第一半导体区域以及上述第二半导体区域的上方,在上述第一方向中,隔着上述第二半导体层配置;

第三半导体层,其在上述基板之上,在俯视时在与上述第一方向不同的第二方向中与上述第一半导体层排列配置;

第五半导体区域以及第六半导体区域,其在上述基板之上,在俯视时在上述第一方向中,隔着上述第三半导体层配置;

第四半导体层,其在上述第三半导体层的上方,在俯视时在上述第二方向中与上述第二半导体层排列配置;

第七半导体区域以及第八半导体区域,其分别在上述第五半导体区域以及上述第六半导体区域的上方,在上述第一方向中,隔着上述第四半导体层配置;

绝缘性的壁,其配置于上述基板之上,在上述第一方向上延伸,并且包括第一侧面和与上述第一侧面相反侧的第二侧面;

第一栅极电极,其在上述第一半导体层以及上述第二半导体层之上隔着第一栅极绝缘膜配置;以及

第二栅极电极,其在上述第三半导体层以及上述第四半导体层之上隔着第二栅极绝缘膜配置,

上述第一侧面与上述第一半导体层以及上述第二半导体层相接,

上述第二侧面与上述第三半导体层以及上述第四半导体层相接。

2.根据权利要求1所述的半导体装置,其中,

上述第一半导体区域以及上述第二半导体区域的导电型为第一导电型,

上述第三半导体区域以及上述第四半导体区域的导电型为与上述第一导电型不同的第二导电型。

3.根据权利要求2所述的半导体装置,其中,

上述第二半导体区域与上述第四半导体区域电连接。

4.根据权利要求3所述的半导体装置,其中,

上述第二半导体区域以及上述第四半导体区域与上述第二栅极电极电连接。

5.根据权利要求2至4中任一项所述的半导体装置,其中,

上述第五半导体区域以及上述第六半导体区域的导电型为上述第二导电型,

上述第七半导体区域以及上述第八半导体区域的导电型为上述第一导电型。

6.根据权利要求5所述的半导体装置,其中,

上述第六半导体区域与上述第八半导体区域电连接。

7.根据权利要求1至6中任一项所述的半导体装置,其中,

具有与上述第一半导体区域电连接的第一电源线以及与上述第五半导体区域电连接

的第二电源线。

8.根据权利要求7所述的半导体装置,其中,

上述第一电源线以及上述第二电源线埋入上述基板中。

9.一种半导体装置的制造方法,具有:

在基板的上方形成第一半导体材料层的工序;

在上述第一半导体材料层的上方形成第二半导体材料层的工序;

通过对包括上述第一半导体材料层以及上述第二半导体材料层的层叠进行蚀刻,形成在俯视时在第一方向延伸且在与上述第一方向不同的第二方向中排列的第一鳍片以及第二鳍片的工序,上述第一鳍片包括由上述第一半导体材料层获得的第一半导体层以及由上述第二半导体材料层获得的第二半导体层,上述第二鳍片包括由上述第一半导体材料层获得的第三半导体层以及由上述第二半导体材料层获得的第四半导体层;

在上述第一鳍片和上述第二鳍片之间,形成具有与上述第一半导体层和上述第二半导体层相接的第一侧面以及与上述第三半导体层和上述第四半导体层相接的第二侧面的绝缘性的壁的工序;

在上述第一方向中,隔着上述第一半导体层形成第一半导体区域以及第二半导体区域的工序;

在上述第一方向中,隔着上述第二半导体层形成第三半导体区域以及第四半导体区域的工序;

在上述第一方向中,隔着上述第三半导体层形成第五半导体区域以及第六半导体区域的工序;

在上述第一方向中,隔着上述第四半导体层形成第七半导体区域以及第八半导体区域的工序;

在上述第一半导体层以及上述第二半导体层之上隔着第一栅极绝缘膜形成第一栅极电极的工序;以及

在上述第三半导体层以及上述第四半导体层之上隔着第二栅极绝缘膜形成第二栅极电极的工序。

半导体装置及其制造方法

技术领域

[0001] 本发明涉及半导体装置及其制造方法。

背景技术

[0002] 公知有被称为互补场效应晶体管(Complementary Field Effect Transistor:CFET)的元件。在CFET中,n沟道FET和p沟道FET在基板之上层叠。CFET适用于半导体装置的微细化。

[0003] 还公知有被称为叉片晶体管(forksheet transistor)的元件。在叉片晶体管中,以在中间隔着壁状的绝缘膜的方式配置纳米线或纳米片的沟道。叉片晶体管也适用于半导体装置的微细化。

[0004] <现有技术文献>

[0005] <专利文献>

[0006] 专利文献1:专利文献1:日本国特开2017-139631号公报

[0007] 专利文献2:美国专利第9837414号说明书

[0008] 专利文献3:美国专利申请公开第2017/0040321号说明书

[0009] 专利文献4:美国专利第9129829号说明书

[0010] <非专利文献>

[0011] 非专利文献1:IEDM17-505,2-6Dec.2017

[0012] 非专利文献2:IEDM19-871,7-11Dec.2019

发明内容

[0013] <发明要解决的问题>

[0014] 至今为止,对于能够进一步微细化的具体的构成,未进行详细的探讨。

[0015] 本发明的目的在于,提供一种能够进一步微细化的半导体装置及其制造方法。

[0016] <用于解决问题的方法>

[0017] 公开的技术的半导体装置具有:基板;第一半导体层,其配置于上述基板之上;第一半导体区域以及第二半导体区域,其在上述基板之上,在俯视时在第一方向中,隔着上述第一半导体层配置;第二半导体层,其配置于上述第一半导体层的上方;第三半导体区域以及第四半导体区域,其分别在上述第一半导体区域以及上述第二半导体区域的上方,在上述第一方向中,隔着上述第二半导体层配置;第三半导体层,其在上述基板之上,在俯视时在与上述第一方向不同的第二方向中与上述第一半导体层并列配置;第五半导体区域以及第六半导体区域,其在上述基板之上,在俯视时在上述第一方向中,隔着上述第三半导体层配置;第四半导体层,其在上述第三半导体层的上方,在俯视时在上述第二方向中与上述第二半导体层并列配置;第七半导体区域以及第八半导体区域,其分别在上述第五半导体区域以及上述第六半导体区域的上方,在上述第一方向中,隔着上述第四半导体层配置;绝缘性的壁,其配置于上述基板之上,在上述第一方向上延伸,并且包括第一侧面和与上述第一

侧面相反侧的第二侧面;第一栅极电极,其在上述第一半导体层以及上述第二半导体层之上隔着第一栅极绝缘膜配置;以及第二栅极电极,其在上述第三半导体层以及上述第四半导体层之上隔着第二栅极绝缘膜配置,上述第一侧面与上述第一半导体层以及上述第二半导体层相接,上述第二侧面与上述第三半导体层以及上述第四半导体层相接。

[0018] 〈发明的效果〉

[0019] 根据公开的技术,能够实现包括CFET那样的构造的电阻元件。

附图说明

[0020] 图1是示出实施方式的半导体装置中包含的电路的构成的图。

[0021] 图2是示出缓冲器的俯视构成的示意图(其1)。

[0022] 图3是示出缓冲器的俯视构成的示意图(其2)。

[0023] 图4是示出缓冲器的剖视图(其1)。

[0024] 图5是示出缓冲器的剖视图(其2)。

[0025] 图6是示出缓冲器的剖视图(其3)。

[0026] 图7是示出缓冲器的剖视图(其4)。

[0027] 图8是示出缓冲器的剖视图(其5)。

[0028] 图9是示出实施方式的半导体装置的制造方法的俯视图(其1)。

[0029] 图10是示出实施方式的半导体装置的制造方法的俯视图(其2)。

[0030] 图11是示出实施方式的半导体装置的制造方法的俯视图(其3)。

[0031] 图12是示出实施方式的半导体装置的制造方法的俯视图(其4)。

[0032] 图13是示出实施方式的半导体装置的制造方法的俯视图(其5)。

[0033] 图14是示出实施方式的半导体装置的制造方法的俯视图(其6)。

[0034] 图15是示出实施方式的半导体装置的制造方法的俯视图(其7)。

[0035] 图16是示出实施方式的半导体装置的制造方法的俯视图(其8)。

[0036] 图17是示出实施方式的半导体装置的制造方法的俯视图(其9)。

[0037] 图18是示出实施方式的半导体装置的制造方法的俯视图(其10)。

[0038] 图19是示出实施方式的半导体装置的制造方法的俯视图(其11)。

[0039] 图20是示出实施方式的半导体装置的制造方法的俯视图(其12)。

[0040] 图21是示出实施方式的半导体装置的制造方法的俯视图(其13)。

[0041] 图22是示出实施方式的半导体装置的制造方法的俯视图(其14)。

[0042] 图23是示出实施方式的半导体装置的制造方法的俯视图(其15)。

[0043] 图24是示出实施方式的半导体装置的制造方法的俯视图(其16)。

[0044] 图25是示出实施方式的半导体装置的制造方法的剖视图(其1)。

[0045] 图26是示出实施方式的半导体装置的制造方法的剖视图(其2)。

[0046] 图27是示出实施方式的半导体装置的制造方法的剖视图(其3)。

[0047] 图28是示出实施方式的半导体装置的制造方法的剖视图(其4)。

[0048] 图29是示出实施方式的半导体装置的制造方法的剖视图(其5)。

[0049] 图30是示出实施方式的半导体装置的制造方法的剖视图(其6)。

[0050] 图31是示出实施方式的半导体装置的制造方法的剖视图(其7)。

[0051] 图32是示出实施方式的半导体装置的制造方法的剖视图(其8)。

[0052] 图33是示出实施方式的半导体装置的制造方法的剖视图(其9)。

[0053] 图34是示出实施方式的半导体装置的制造方法的剖视图(其10)。

[0054] 图35是示出实施方式的半导体装置的制造方法的剖视图(其11)。

[0055] 图36是示出实施方式的半导体装置的制造方法的剖视图(其12)。

[0056] 图37是示出实施方式的半导体装置的制造方法的剖视图(其13)。

[0057] 图38是示出实施方式的半导体装置的制造方法的剖视图(其14)。

[0058] 图39是示出实施方式的半导体装置的制造方法的剖视图(其15)。

[0059] 图40是示出实施方式的半导体装置的制造方法的剖视图(其16)。

[0060] 图41是示出实施方式的半导体装置的制造方法的剖视图(其17)。

[0061] 图42是示出实施方式的半导体装置的制造方法的剖视图(其18)。

[0062] 图43是示出实施方式的半导体装置的制造方法的剖视图(其19)。

[0063] 图44是示出实施方式的半导体装置的制造方法的剖视图(其20)。

[0064] 图45是示出实施方式的半导体装置的制造方法的剖视图(其21)。

[0065] 图46是示出实施方式的半导体装置的制造方法的剖视图(其22)。

[0066] 图47是示出实施方式的半导体装置的制造方法的剖视图(其23)。

[0067] 图48是示出实施方式的半导体装置的制造方法的剖视图(其24)。

[0068] 图49是示出实施方式的半导体装置的制造方法的剖视图(其25)。

[0069] 图50是示出实施方式的半导体装置的制造方法的剖视图(其26)。

[0070] 图51是示出实施方式的半导体装置的制造方法的剖视图(其27)。

[0071] 图52是示出实施方式的半导体装置的制造方法的剖视图(其28)。

[0072] 图53是示出实施方式的半导体装置的制造方法的剖视图(其29)。

[0073] 图54是示出实施方式的半导体装置的制造方法的剖视图(其30)。

[0074] 图55是示出实施方式的半导体装置的制造方法的剖视图(其31)。

[0075] 图56是示出实施方式的半导体装置的制造方法的剖视图(其32)。

[0076] 图57是示出实施方式的半导体装置的制造方法的剖视图(其33)。

[0077] 图58是示出实施方式的半导体装置的制造方法的剖视图(其34)。

[0078] 图59是示出实施方式的半导体装置的制造方法的剖视图(其35)。

[0079] 图60是示出实施方式的半导体装置的制造方法的剖视图(其36)。

[0080] 图61是示出实施方式的半导体装置的制造方法的剖视图(其37)。

[0081] 图62是示出实施方式的半导体装置的制造方法的剖视图(其38)。

[0082] 图63是示出实施方式的半导体装置的制造方法的剖视图(其39)。

具体实施方式

[0083] 以下,参照附图对实施方式进行具体说明。需要说明的是,在本说明书以及附图中,对于具有实质相同的功能构成的构成元件,有时通过赋予相同的附图标记而省略重复的说明。另外,在以下的说明中,将与基板的表面平行且彼此正交的两个方向设定为X方向、Y方向,将与基板的表面垂直的方向设定为Z方向。有时将n沟道场效应晶体管称为nFET,将p沟道场效应晶体管称为pFET。另外,本发明中的配置的一致是指,并不严密排除起因于制造

上的偏差的不一致,即使在因制造上的偏差而产生配置错位的情况下,也可以视为配置一致。

[0084] (半导体装置中包含的电路)

[0085] 对于实施方式的半导体装置中包含的电路进行说明。图1是示出实施方式的半导体装置中包含的电路的构成的图。

[0086] 如图1所示,实施方式的半导体装置100具有缓冲器BU、供给VDD的电源电位的VDD布线、以及供给VSS的电源电位的VSS布线。VDD布线有时也被称为电源布线。VSS的电源电位例如是接地电位,VSS布线有时也被称为接地布线。缓冲器BU具有反相器1和反相器2。输入信号IN被输入反相器1,反相器1的输出被输入反相器2,自反相器2输出输出信号OUT。反相器1具有p沟道场效应晶体管(pFET)1P和n沟道场效应晶体管(nFET)1N,反相器2具有pFET2P和nFET2N。

[0087] (缓冲器的构成)

[0088] 接下来,对于缓冲器BU的构成进行说明。图2以及图3是示出缓冲器BU的俯视构成的示意图。图2主要示出了nFET1N以及pFET2P的布局。图3主要示出了pFET1P以及nFET2N的布局。除了在图2以及图3这两者中示出的构造之外,图3所示构造物位于图2所示构造物的上方。图4、图5、图6、图7以及图8是示出缓冲器BU的剖视图。图4相当于沿图2以及图3中的IV-IV线的剖视图。图5相当于沿图2以及图3中的V-V线的剖视图。图6相当于沿图2以及图3中的VI-VI线的剖视图。图7相当于沿图2以及图3中的VII-VII线的剖视图。图8相当于沿图2以及图3中的VIII-VIII线的剖视图。

[0089] 如图2～图8所示,在基板101的表面形成有元件隔离膜102。元件隔离膜102例如通过STI(Shallow Trench Isolation)法形成。在基板101以及元件隔离膜102中形成在X方向延伸的多个槽,在这些槽内隔着绝缘膜104形成有电源线910和920。例如,电源线910和920的表面被绝缘膜103覆盖。例如,元件隔离膜102的表面以及绝缘膜103的表面与基板101的表面齐平,也可以不齐平。电源线910和920埋设于基板101中。这样的构造的电源线910和920有时被称为BPR(Buried Power Rail)。例如,电源线910相当于VDD布线,电源线920相当于VSS布线。

[0090] 通过元件隔离膜102,例如界定有在X方向排列的两个区域10和20。大致上,在区域10中形成反相器1,在区域20中形成反相器2。

[0091] 在区域10中,在基板101上形成有层叠晶体管构造11。层叠晶体管构造11包括栅极电极110、纳米片121和122、栅极绝缘膜130以及分隔件140。栅极电极110在Y方向延伸,在Z方向立起。纳米片121以及122在X方向贯通栅极电极110,并且在Y方向以及Z方向排列。栅极绝缘膜130形成于栅极电极110与纳米片121和122之间。在X方向中,栅极电极110以及栅极绝缘膜130以自纳米片121以及122的两端后退的方式形成,并且在该后退的部分形成有分隔件140。换言之,在X方向中,在后述n型半导体层161以及p型半导体层163与栅极电极110之间形成有分隔件140。

[0092] 例如,在Z方向排列的纳米片121以及122的数量分别为2,两个纳米片122配置于两个纳米片121的上方。纳米片121以及122的厚度例如为约5nm。需要说明的是,纳米片121以及122的数量可以分别为1,也可以为3以上。另外,纳米片121与纳米片122的数量可以相同,也可以不同。

[0093] 在区域10中,与纳米片121的端部相接的两个n型半导体层161以在X方向隔着栅极电极110的方式形成。与n型半导体层161相接的两个局部布线162以在X方向隔着栅极电极110的方式形成。与纳米片122的端部相接的两个p型半导体层163以在X方向隔着栅极电极110的方式形成。与p型半导体层163相接的两个局部布线164以在X方向隔着栅极电极110的方式形成。在局部布线162与局部布线164之间形成有绝缘膜31。例如,n型半导体层161是n型Si层,p型半导体层163是p型SiGe层。例如,在绝缘膜31中,可以使用硅氧化物或硅氮化物等。在局部布线162与局部布线164之间,在绝缘膜31中形成有接触孔312。局部布线164通过接触孔312内的导电体与局部布线162电连接。

[0094] 栅极电极110的一部分、纳米片121、栅极绝缘膜130的一部分以及n型半导体层161包含于nFET1N中。在nFET1N中,一个n型半导体层161作为源极区域起作用,另一个n型半导体层161作为漏极区域起作用,纳米片121作为沟道起作用。栅极电极110的一部分、纳米片122、栅极绝缘膜130的一部分以及p型半导体层163包含于pFET1P中。在pFET1P中,一个p型半导体层163作为源极区域起作用,另一个p型半导体层163作为漏极区域起作用,纳米片122作为沟道起作用。n型半导体层161与基板101可以电连接,也可以通过形成于其之间的绝缘膜而电分离。

[0095] 在区域20中,在基板101上形成有层叠晶体管构造21。层叠晶体管构造21包括栅极电极210、纳米片221和222、栅极绝缘膜230以及分隔件240。栅极电极210在Y方向延伸,并且在Z方向立起。纳米片221以及222在X方向贯通栅极电极210,并且在Y方向以及Z方向排列。栅极绝缘膜230形成于栅极电极210与纳米片221和222之间。在X方向中,栅极电极210以及栅极绝缘膜230以自纳米片221以及222的两端后退的方式形成,在该后退的部分形成有分隔件240。换言之,在X方向中,在后述p型半导体层261以及n型半导体层263与栅极电极210之间形成有分隔件240。

[0096] 例如,在Z方向中排列的纳米片221以及222的数量分别为2,两个纳米片222配置于两个纳米片221的上方。纳米片221以及222的厚度例如为10nm以下,优选为5nm以下。需要说明的是,纳米片221以及222的数量可以分别为1,也可以为3以上。另外,纳米片221与纳米片222的数量可以相同,也可以不同。

[0097] 在区域20中,与纳米片221的端部相接的两个p型半导体层261以在X方向隔着栅极电极210的方式形成。与p型半导体层261相接的两个局部布线262以在X方向隔着栅极电极210的方式形成。与纳米片222的端部相接的两个n型半导体层263以在X方向隔着栅极电极210的方式形成。与n型半导体层263相接的两个局部布线264以在X方向隔着栅极电极210的方式形成。在局部布线262与局部布线264之间形成有绝缘膜32。例如,p型半导体层261是p型SiGe层,n型半导体层263是n型Si层。例如,在绝缘膜32中,可以使用硅氧化物或硅氮化物等。在局部布线262与局部布线264之间,在绝缘膜32中形成还有接触孔322。局部布线264通过接触孔322内的导电体与局部布线262电连接。p型半导体层261与基板101可以电连接,也可以通过形成于其之间的绝缘膜而电分离。

[0098] 栅极电极210的一部分、纳米片221、栅极绝缘膜230的一部分以及p型半导体层261包含于pFET2P中。在pFET2P中,一个p型半导体层261作为源极区域起作用,另一个p型半导体层261作为漏极区域起作用,纳米片221作为沟道起作用。栅极电极210的一部分、纳米片222、栅极绝缘膜230的一部分以及n型半导体层263包含于nFET2N中。在nFET2N中,一个n型

半导体层263作为源极区域起作用,另一n型半导体层263作为漏极区域起作用,纳米片222作为沟道起作用。

[0099] 虽然省略了图示,但是在栅极电极110以及210与基板101之间形成绝缘膜,从而电分离。

[0100] 局部布线162在Y方向延伸。局部布线162延伸至电源线910的上方。在局部布线162与电源线910之间,在绝缘膜103中形成有接触孔311。局部布线162通过接触孔311内的导电体与电源线910连接。

[0101] 局部布线262在Y方向延伸。局部布线262延伸至电源线920的上方。在局部布线262与电源线920之间,在绝缘膜103中形成有接触孔321。局部布线262通过接触孔321内的导电体与电源线920连接。

[0102] 在基板101之上,在区域10与区域20之间设有绝缘性的壁50。壁50在X方向延伸,并且在Z方向立起。壁50包括侧面51和与侧面51相反侧的侧面52,侧面51与纳米片121以及122相接,侧面52与纳米片221以及222相接。壁50的宽度即侧面51与侧面52之间的距离例如为15nm以下,优选为8nm以下。

[0103] 如图4所示,以在Y方向与壁50一同将栅极电极110、210包夹在中间的方式形成还有侧壁55。在侧壁55的侧方形成有绝缘膜61。如图5所示,在绝缘膜61与局部布线164、264之间形成绝缘膜63,如图6所示,在绝缘膜61与局部布线262之间形成有绝缘膜62。

[0104] 在壁50、栅极电极110和210、分隔件140和240、局部布线164和264、侧壁55、以及绝缘膜61和63之上形成绝缘膜64,在绝缘膜64之上形成有绝缘膜65。

[0105] 在绝缘膜64、63以及31中形成有到达局部布线162的接触孔313,在绝缘膜64、63以及32中形成有到达局部布线262的接触孔323。例如,接触孔313形成于接触孔311的上方,接触孔323形成于接触孔321的上方。

[0106] 在绝缘膜64内形成有信号线411以及421。信号线411通过接触孔313内的导电体与局部布线162连接。信号线421通过接触孔323内的导电体与局部布线262连接。

[0107] 在绝缘膜64中形成有到达栅极电极110的接触孔314、到达一个局部布线164的接触孔315、以及到达另一个局部布线164的接触孔316。在绝缘膜64中形成有到达栅极电极210的接触孔324、到达一个局部布线264的接触孔325、以及到达另一个局部布线264的接触孔326。

[0108] 在绝缘膜64内形成有信号线412、413、414、422、423以及424。信号线412通过接触孔314内的导电体与栅极电极110连接。信号线413通过接触孔315内的导电体与一个局部布线164连接。信号线414通过接触孔316内的导电体与另一个局部布线164连接。信号线423通过接触孔324内的导电体与栅极电极210连接。信号线424通过接触孔325内的导电体与一个局部布线264连接。信号线422通过接触孔326内的导电体与另一个局部布线264连接。

[0109] 在绝缘膜65中形成有到达信号线414的接触孔317、到达信号线413的接触孔318、以及到达信号线411的接触孔319。在绝缘膜65中形成有到达信号线423的接触孔327、到达信号线421的接触孔328、以及到达信号线424的接触孔329。

[0110] 在绝缘膜65内形成有信号线431、432以及433。信号线431通过接触孔318内的导电体与信号线413连接,并且通过接触孔328内的导电体与信号线421连接。信号线432通过接触孔317内的导电体与信号线414连接,并且通过接触孔327内的导电体与信号线423连接。

信号线433通过接触孔319内的导电体与信号线411连接,并且通过接触孔329内的导电体与信号线424连接。

[0111] 在缓冲器BU中,输入信号IN被输入信号线412,自信号线422输出输出信号OUT。

[0112] 例如,在电源线910以及920的材料中,使用钌(Ru)、钼(Mo)、钴(Co)或钨(W)等。例如,在信号线411～414、421～424以及431～433的材料中,使用铜(Cu)、钌(Ru)、钼(Mo)或钴(Co)等。在使用铜、钴或钨的情况下,优选形成导电性的底膜(阻挡金属膜)、例如钽(Ta)膜或氮化钽(TaN)膜,但是在使用钌的情况下,可以不形成底膜。

[0113] 例如,在局部布线162、164、262以及264的材料中,使用铜(Cu)、钌(Ru)、钼(Mo)、钴(Co)或钨(W)等。在使用铜、钴或钨的情况下,优选形成导电性的底膜(阻挡金属膜)、例如钛(Ti)膜或氮化钛(TiN)膜,但是在使用钼或钌的情况下,可以不形成底膜。例如,在接触孔内的导电体(通孔)中,可以使用例如与局部布线的材料相同的材料。

[0114] 例如,在基板101中,可以使用硅(Si)等的半导体。例如,在纳米片121、122、221以及222中,可以使用硅(Si)等的半导体。在p型半导体层163以及261中,作为p型杂质可以使用包括硼(B)的、硅、碳化硅(SiC)、硅锗(SiGe)等的半导体。在n型半导体层161以及263中,作为n型杂质可以使用包括磷(P)的、硅、炭化硅、硅锗等的半导体。

[0115] 例如,在栅极电极110以及210中,可以使用钛(Ti)、氮化钛(TiN)、多晶硅(聚Si)等的导电材料。例如,在栅极绝缘膜130以及230中,可以使用铪氧化物、铝氧化物、铪和铝的氧化物等的高电介质材料。在纳米片121上形成的栅极绝缘膜130和在纳米片122上形成的栅极绝缘膜130可以分别包括不同的材料。另外,在纳米片221上形成的栅极绝缘膜230和在纳米片222上形成的栅极绝缘膜230可以分别包括不同的材料。

[0116] 例如,局部布线以及信号线与在其下部配置的接触孔一同通过双镶嵌法形成。另外,局部布线以及信号线可以与在其下部配置的接触孔分别通过单镶嵌法形成。

[0117] 例如,在侧壁55、分隔件140和240、绝缘性的壁50的材料中,可以使用硅氧化物或硅氮化物等。

[0118] (半导体装置的制造方法)

[0119] 接下来,对于实施方式的半导体装置100的制造方法进行说明。图9～图24是示出实施方式的半导体装置的制造方法的俯视图。图25～图37是示出实施方式的半导体装置的制造方法的剖视图。图25～图37示出了沿图2以及图3中的IV-IV线的剖面的变化。图38～图44是示出实施方式的半导体装置的制造方法的剖视图。图38～图44示出了沿图2以及图3中的V-V线的剖面的变化。图45～图48是示出实施方式的半导体装置的制造方法的剖视图。图45～图48示出了沿图2以及图3中的VI-VI线的剖面的变化。图49～图63是示出实施方式的半导体装置的制造方法的剖视图。图49～图63示出了沿图2以及图3中的VII-VII线的剖面的变化。在图12～图24中,省略了除栅极绝缘膜之外的绝缘膜。

[0120] 首先,如图9、图25以及图49所示,在基板101之上形成SiGe膜71、Si膜81、SiGe膜72、Si膜82、SiGe膜73、Si膜83、SiGe膜74、Si膜84以及SiGe膜75。Si膜81以及82成为纳米片121以及221,Si膜83以及84成为纳米片122以及222。Si膜81～84的厚度例如为约5nm。SiGe膜71～75的厚度例如为约5nm～8nm。SiGe膜73可以比SiGe膜71、72、74以及75厚。SiGe膜71～75以及Si膜81～84例如由外延生长法形成。

[0121] 接下来,如图10以及图26所示,接着,对SiGe膜71～75以及Si膜81～84的层叠进行

蚀刻,使其图案化为自基板101突出的板状。通过该图案化,以分别与区域10、20对应的方式形成在Y方向延伸的鳍片91、92。鳍片91以及92在X方向排列。另外,在俯视时在鳍片91以及92的侧方中,在基板101的表面形成元件隔离膜102用的槽105。

[0122] 之后,如图27所示,在槽105内形成元件隔离膜102。通过元件隔离膜102,界定例如在X方向排列的两个区域10和20。

[0123] 接下来,如图28所示,形成覆盖鳍片91以及92的上表面以及侧面且覆盖元件隔离膜102的上表面的绝缘膜106。绝缘膜106以填埋鳍片91和92之间的间隙的方式形成。

[0124] 接下来,如图11以及图29所示,以在鳍片91和92之间残存间隙的方式进行绝缘膜106的蚀刻,从而形成绝缘性的壁50。壁50具有与鳍片91相接的侧面51和与鳍片92相接的侧面52。需要说明的是,可以在元件隔离膜102的形成前形成绝缘膜106,以在鳍片91和92之间的间隙中残留的方式进行绝缘膜106的蚀刻,之后形成元件隔离膜102。在该情况下,在鳍片91和92之间的槽105内形成壁50而非元件隔离膜102。另外,可以一并进行元件隔离膜102以及绝缘膜106的形成,之后以在鳍片91和92之间的间隙中残留的方式进行绝缘膜106的蚀刻。

[0125] 之后,如图12以及图30所示,在元件隔离膜102以及基板101中形成电源线910以及920用的在X方向延伸的多个槽,并且沿这些槽的底面以及侧面形成绝缘膜104。并且,在绝缘膜104之上形成电源线910以及920,在电源线910以及920之上形成绝缘膜103。可以在壁50的形成之前进行槽的形成、绝缘膜104的形成、电源线910以及920的形成、以及绝缘膜103的形成。

[0126] 接下来,如图13、图31以及图50所示,形成牺牲栅极107以及侧壁55。牺牲栅极107例如为多晶硅膜。侧壁55例如可以通过绝缘膜的形成以及回蚀刻来形成。

[0127] 接下来,如图14、图32、图38以及图51所示,形成绝缘膜61。在绝缘膜61的形成中,例如,形成硅氧化膜,通过化学机械研磨(Chemical Mechanical Polishing:CMP),对硅氧化膜的上表面进行研磨,直至牺牲栅极107和侧壁55露出。

[0128] 之后,如图15、图39以及图52所示,在栅极电极以及局部布线的形成预定区域中,选择性除去绝缘膜61,除去鳍片91以及92的自牺牲栅极107以及侧壁55露出的部分。

[0129] 接下来,如图53所示,通过各向同性蚀刻使SiGe膜71～75的两端在X方向后退。Si膜81以及82的鳍片91内的部分成为纳米片121,Si膜81以及82的鳍片92内的部分成为纳米片221,Si膜83以及84的鳍片91内的部分成为纳米片122,Si膜83以及84的鳍片92内的部分成为纳米片222。

[0130] 接下来,如图54所示,在SiGe膜71～75后退的部分形成分隔件140。

[0131] 之后,图16以及图55所示,以覆盖纳米片122以及222的X方向的两端面的方式,形成覆盖膜108。

[0132] 接下来,如图17、图40以及图56所示,在纳米片121的侧面上使n型半导体层161外延生长,在纳米片221的侧面上使p型半导体层261外延生长。例如,在n型半导体层161中,使用膦(PH_3),作为n型杂质导入磷(P),在p型半导体层261中使用乙硼烷(B_2H_6),作为p型杂质导入硼(B)。n型半导体层161、p型半导体层261先形成哪一个均可。优选覆盖膜108也事先形成于使n型半导体层161、p型半导体层261中后形成的半导体层生长的纳米片121或221的侧面上,并且在先形成的半导体层的生长后,自使后形成的半导体层的部分除去。

[0133] 接下来,如图18、图41、图45以及图57所示,形成绝缘膜62,与n型半导体层161相接的两个局部布线162、以及与p型半导体层261相接的两个局部布线262。局部布线162以及262可以同时形成。局部布线162以及262例如可以通过导电膜的形成以及回蚀刻来形成。进一步,在局部布线162上形成绝缘膜31,在局部布线262上形成绝缘膜32。绝缘膜31以及32可以同时形成。可以在局部布线162以及262的形成前,事先在绝缘膜103中形成接触孔311以及321,一个局部布线162以与电源线910相接的方式形成,另一个局部布线262以与电源线920相接的方式形成。

[0134] 之后,如图19、图42、图46以及图58所示,除去覆盖膜108,在纳米片122的侧面上使p型半导体层163,在纳米片222的侧面上使n型半导体层263外延生长。例如,在p型半导体层163中,使用乙硼烷(B_2H_6),作为p型杂质导入硼(B),在n型半导体层263中,使用膦(PH_3),作为n型杂质导入磷(P)。p型半导体层163、n型半导体层263先形成哪一个均可。优选在覆盖膜108残留于使p型半导体层163、n型半导体层263中后形成的半导体层生长的纳米片122或222的侧面上的状态下,使先形成的半导体层生长,之后,整体进行除去。

[0135] 接下来,形成绝缘膜63,与p型半导体层163相接的局部布线164、以及与n型半导体层263相接的局部布线264。可以同时形成局部布线164以及264。局部布线164以及264例如可以通过导电膜的形成以及回蚀刻来形成。可以在局部布线164以及264的形成前,事先在绝缘膜31以及32中分别形成接触孔312以及322,一个局部布线164以与局部布线162相接的方式形成,另一个局部布线264以与局部布线262相接的方式形成。

[0136] 接下来,如图20、图33以及图59所示,除去牺牲栅极107。

[0137] 之后,如图21、图34以及图60所示,除去SiGe膜71～75。其结果,在纳米片121、122、221以及222的周围形成空间。

[0138] 接下来,如图22、图35以及图61所示,在纳米片121、122、221以及222的周围形成栅极绝缘膜130以及230。栅极绝缘膜130以及230可以通过例如化学气相沉积(chemical vapor deposition:CVD)法、原子层沉积法(atomic layer deposition:ALD)法等的沉积法来形成。栅极绝缘膜130以及230也形成于基板101的表面等,但是省略图示。

[0139] 接下来,如图23、图36、图43、图47以及图62所示,形成栅极电极110以及210,进行绝缘膜61等的研磨,直至例如壁50的上表面露出,使栅极电极110以及210的上表面平坦化。如此,在区域10中形成层叠晶体管构造11,在区域20中形成层叠晶体管构造21。

[0140] 之后,如图24、图37、图44、图48以及图63所示,形成绝缘膜64,形成接触孔313～316以及323～326,形成信号线411～414以及421～424。接下来,形成绝缘膜65,形成接触孔317～319以及327～329,形成信号线431～433。

[0141] 之后,适当形成上层布线等而完成半导体装置100。

[0142] 本发明的半导体装置中包含的电路不限于串联两个反相器的缓冲器。局部布线以及信号线的连接关系与上述实施方式不同的、例如两个反相器并联的电路可以包含于本发明的半导体装置中,彼此独立的两个反相器也可以包含于本发明的半导体装置中。

[0143] 另外,第一～第四半导体区域可以彼此为相同的导电型,第五～第八半导体区域可以彼此为相同的导电型。例如,与侧面51相接的半导体层(纳米片)所连接的半导体区域的导电型可以均为N型,与侧面52相接的半导体层(纳米片)所连接的半导体区域的导电型可以均为P型。另外,第一～第八半导体区域彼此可以为相同的导电型。

[0144] 电源线910以及920可以不埋入基板101中,例如,可以设为比绝缘膜61靠上方。

[0145] 以上,基于各实施方式进行了本发明的说明,但是本发明不限于上述实施方式所示内容。关于这些点,可以在不超出本发明的主旨的范围内进行变更,可以根据其应用方式适当决定。

[0146] 附图标记说明

[0147] 1、2:反相器

[0148] 11、21:层叠晶体管构造

[0149] 50:壁

[0150] 51、52:侧面

[0151] 91、92:鳍片

[0152] 100:半导体装置

[0153] 110、210:栅极电极

[0154] 121、122、221、222:纳米片

[0155] 130、230:栅极绝缘膜

[0156] 161、263:n型半导体层

[0157] 163、261:p型半导体层

[0158] 162、164、262、264:局部布线

[0159] 910、920:电源线。

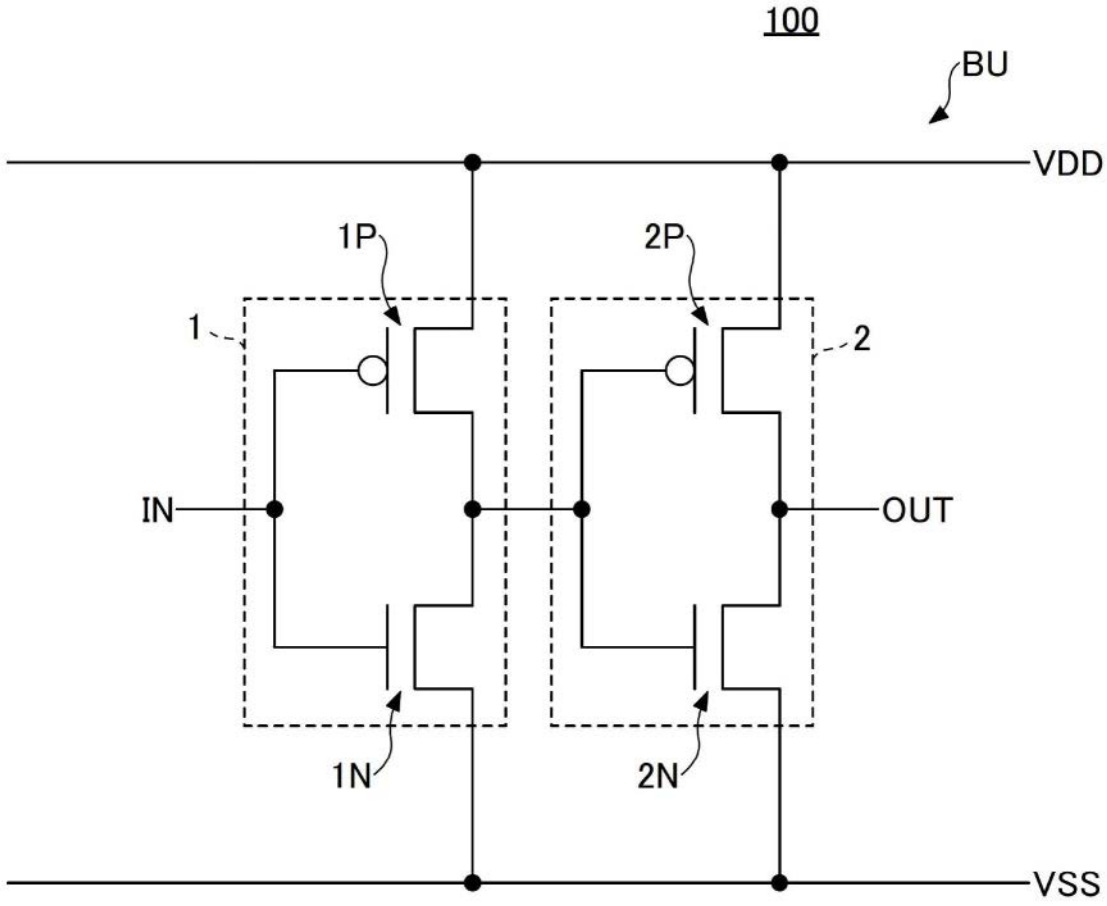


图1

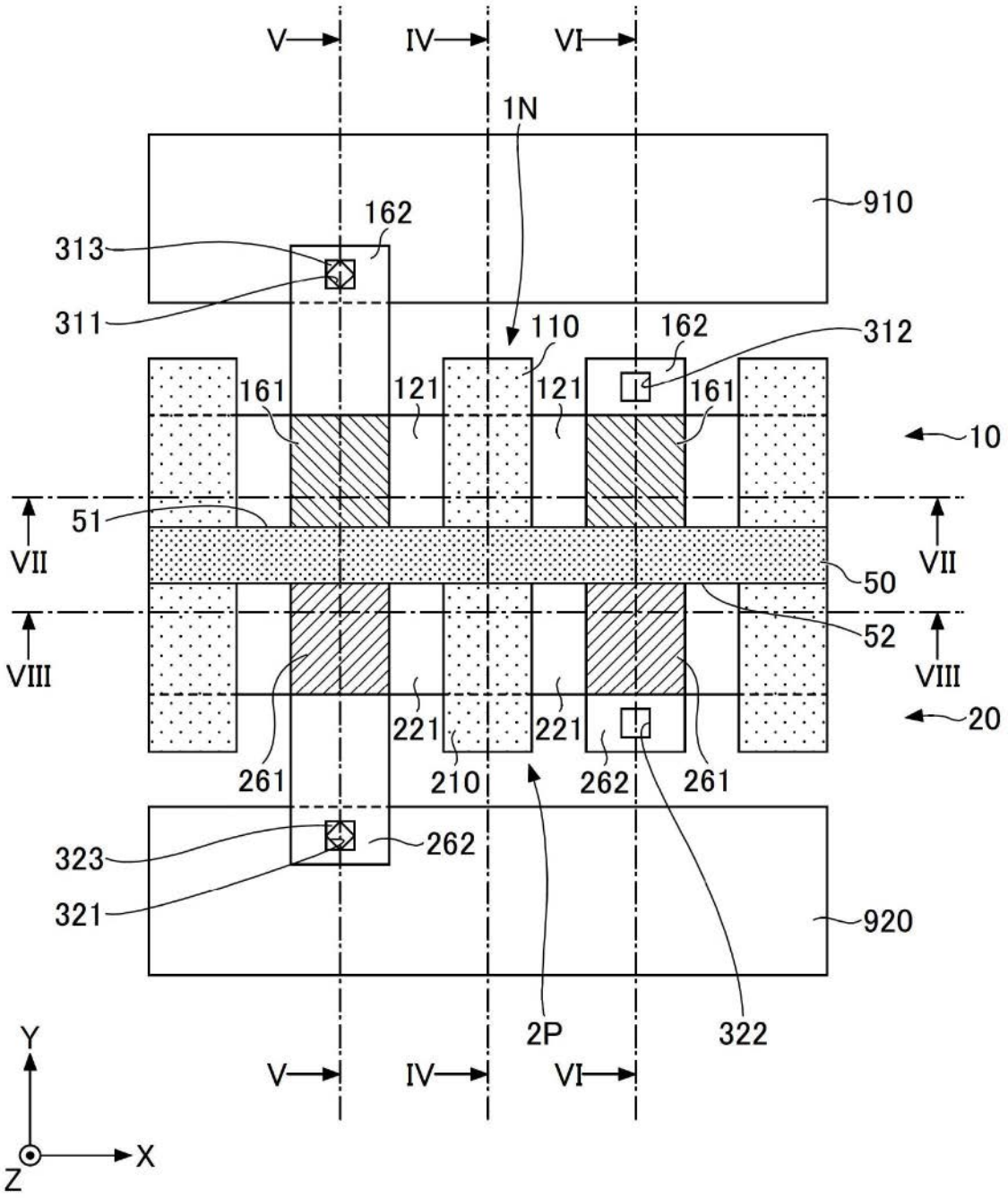

V
IV
VI
1N
910
162
313
311
110
162
312
161
121
121
161
10
51
VII
VII
50
52
VIII
VIII
20
221
221
261
210
262
261
323
262
321
920
2P
322
V
IV
VI
Y
X
Z

图2

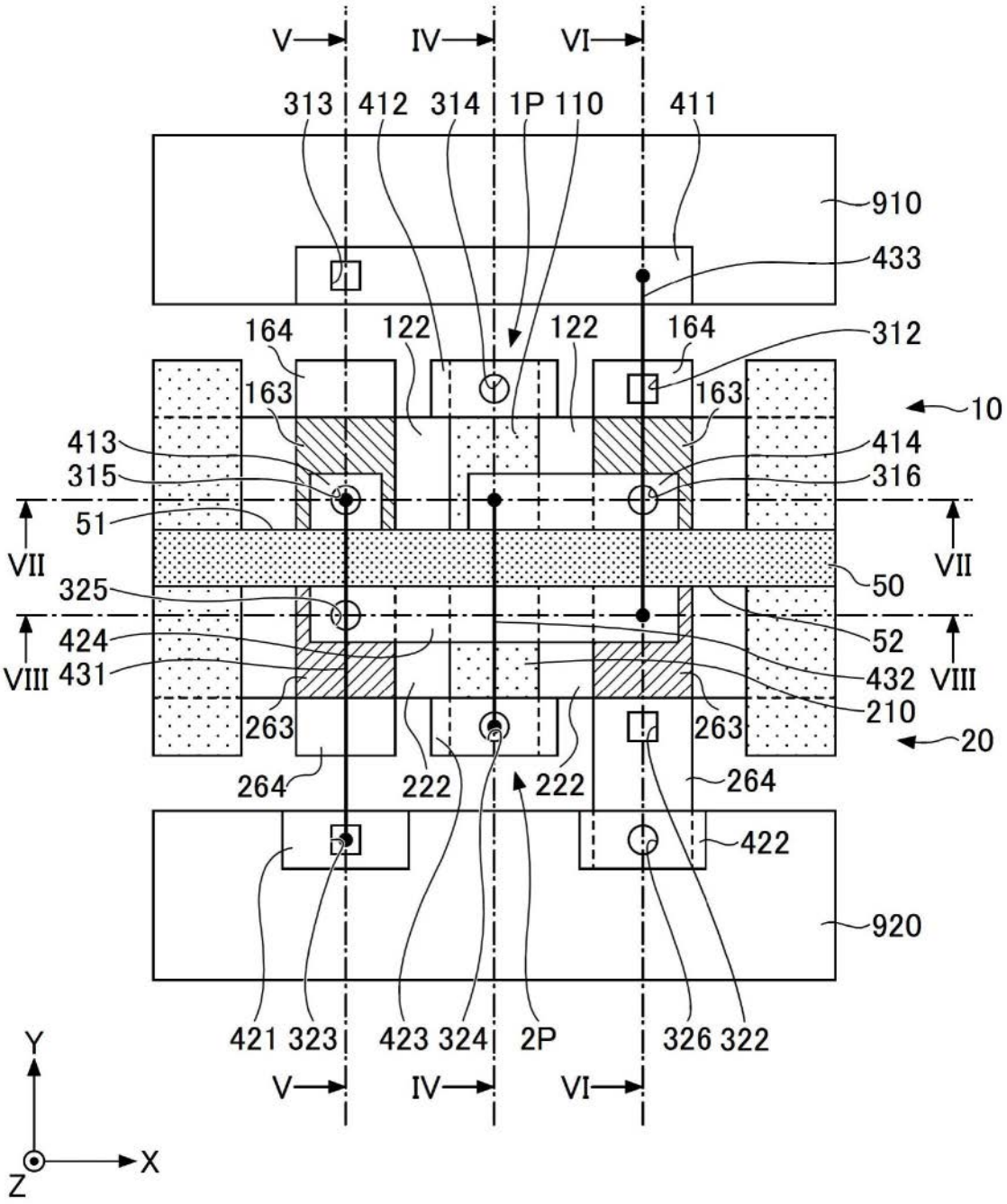

V
IV
VI
313
412
314
1P
110
411
910
433
164
122
122
164
312
163
163
10
413
414
315
316
51
VII
VII
50
325
52
424
VIII
431
432
VIII
263
263
210
20
264
222
222
264
422
920
421
323
423
324
2P
326
322
V
IV
VI
Y
X
Z

图3

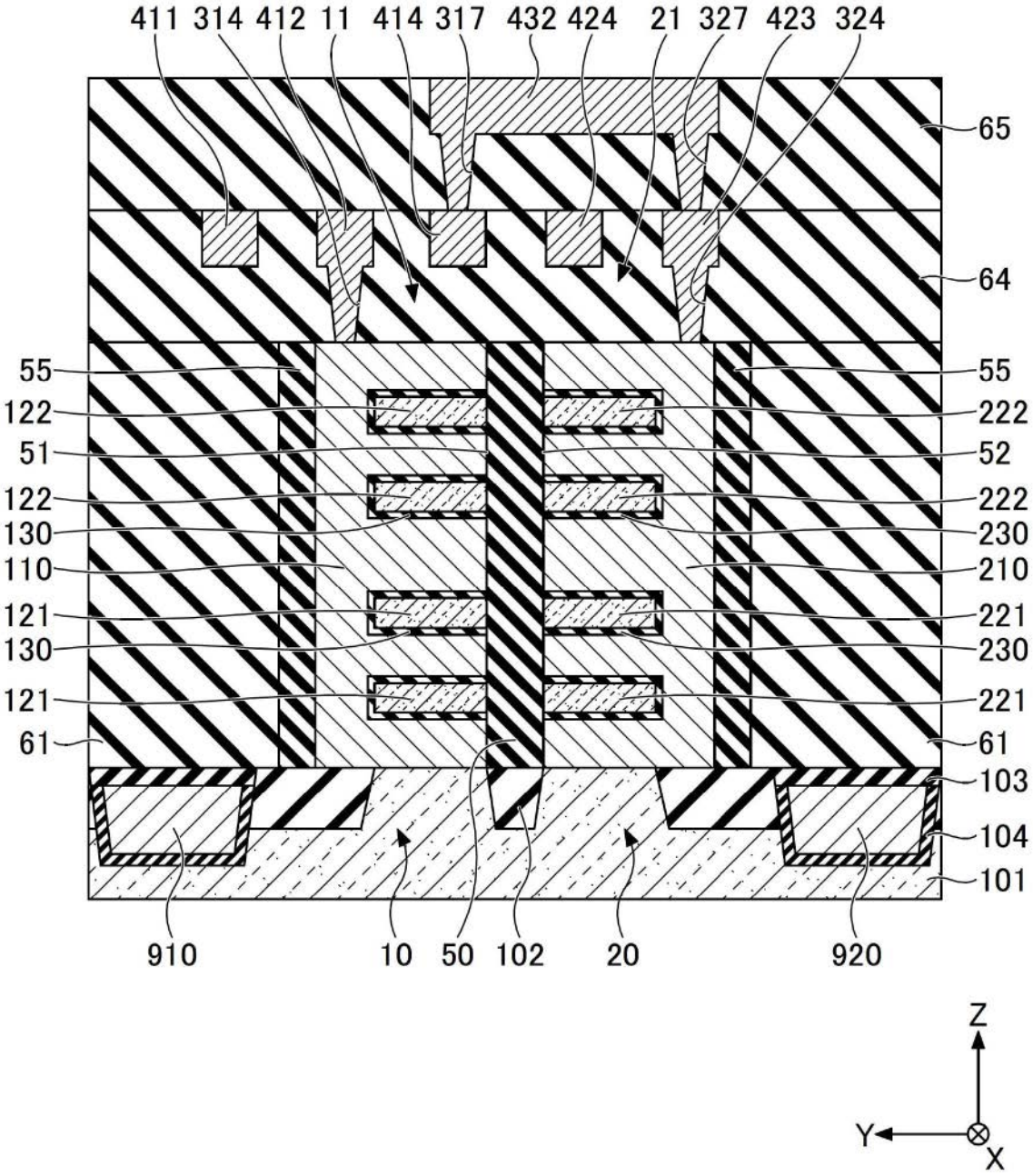

411
314
412
11
414
317
432
424
21
327
423
324
65
64
55
122
51
122
130
110
121
130
121
61
55
222
52
222
230
210
221
230
221
61
103
104
101
910
10
50
102
20
920
Z
Y
X

图4

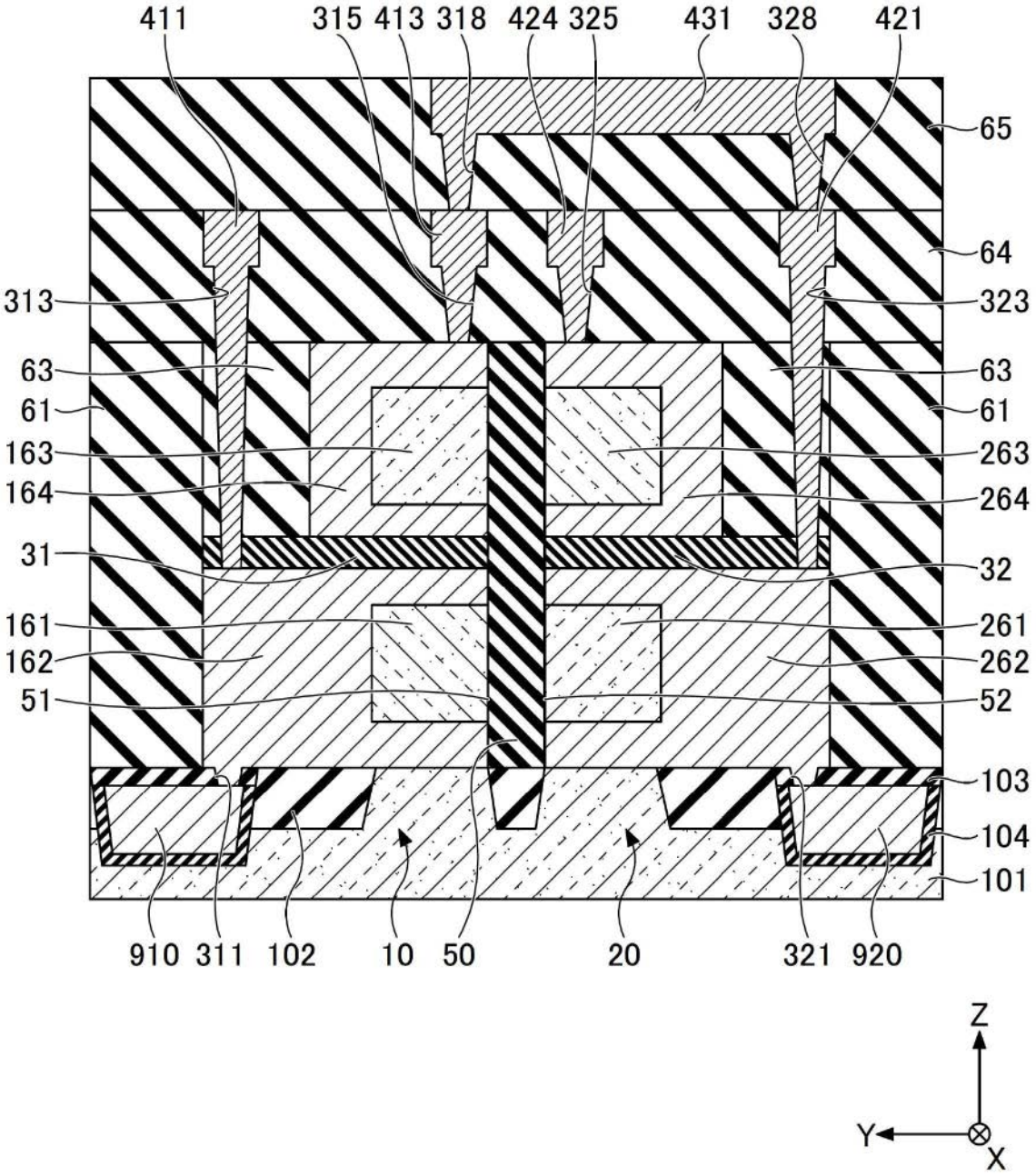

411
315
413
318
424
325
431
328
421
65
64
313
323
63
63
61
61
163
263
164
264
31
32
161
261
162
262
51
52
103
104
101
910
311
102
10
50
20
321
920
Z
Y
X

图5

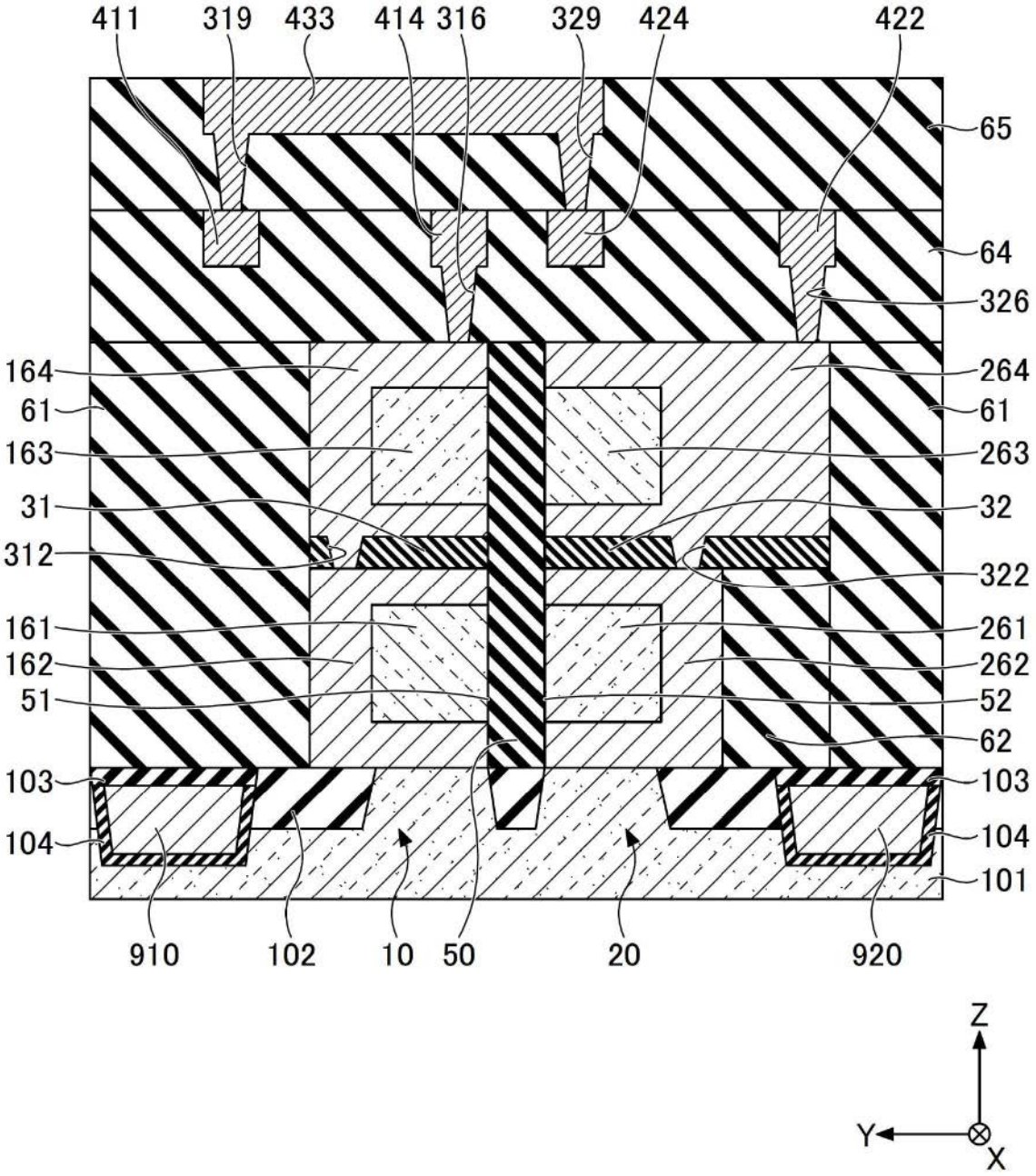

411
319
433
414
316
329
424
422
65
64
326
164
264
61
61
163
263
31
32
312
322
161
261
162
262
51
52
62
103
103
104
104
101
910
102
10
50
20
920
Z
Y
X

图6

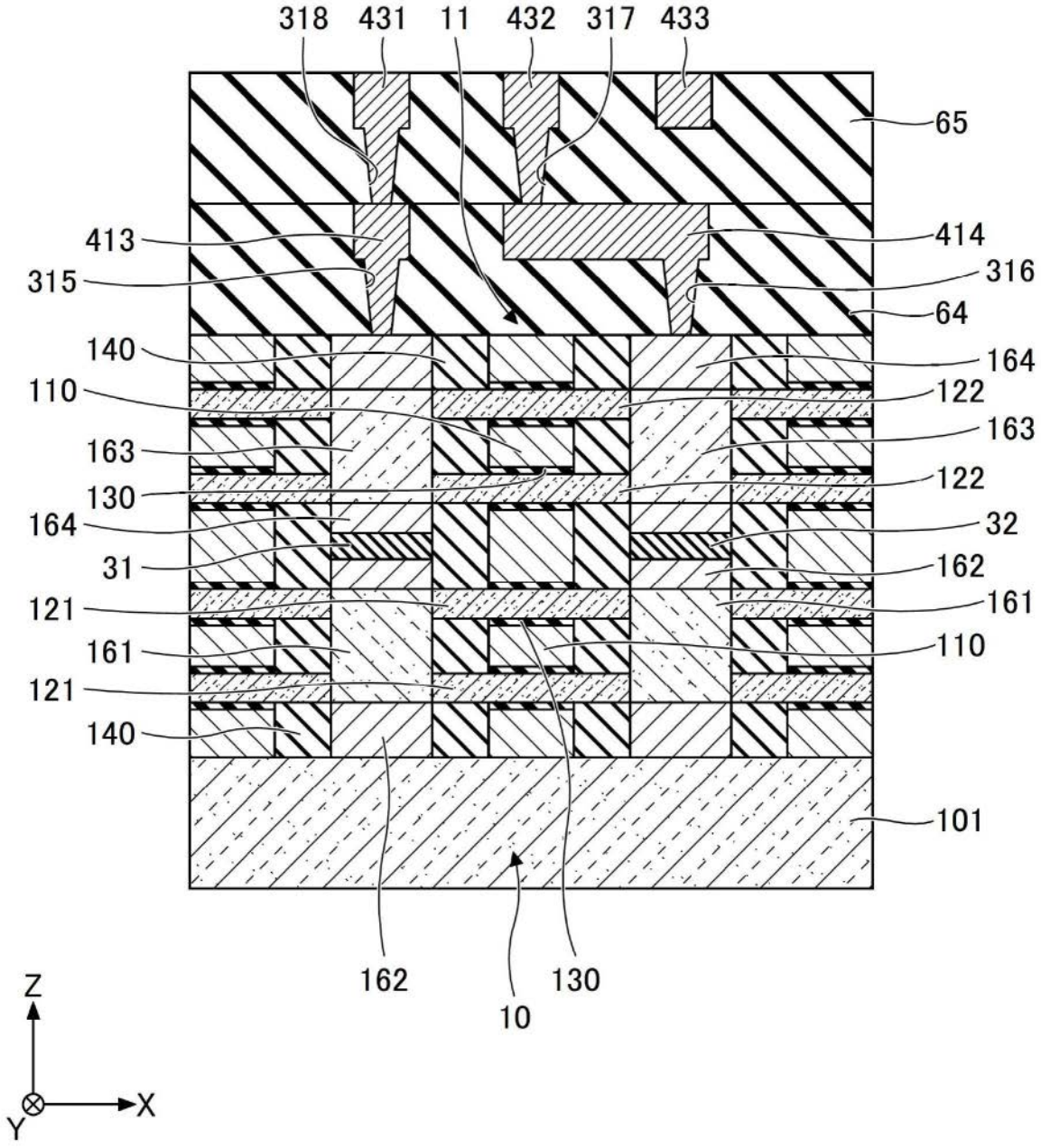

318
431
11
432
317
433
65
413
414
315
316
64
140
164
110
122
163
163
130
122
164
32
31
162
121
161
161
110
121
140
101
162
130
10
Z
X
Y

图7

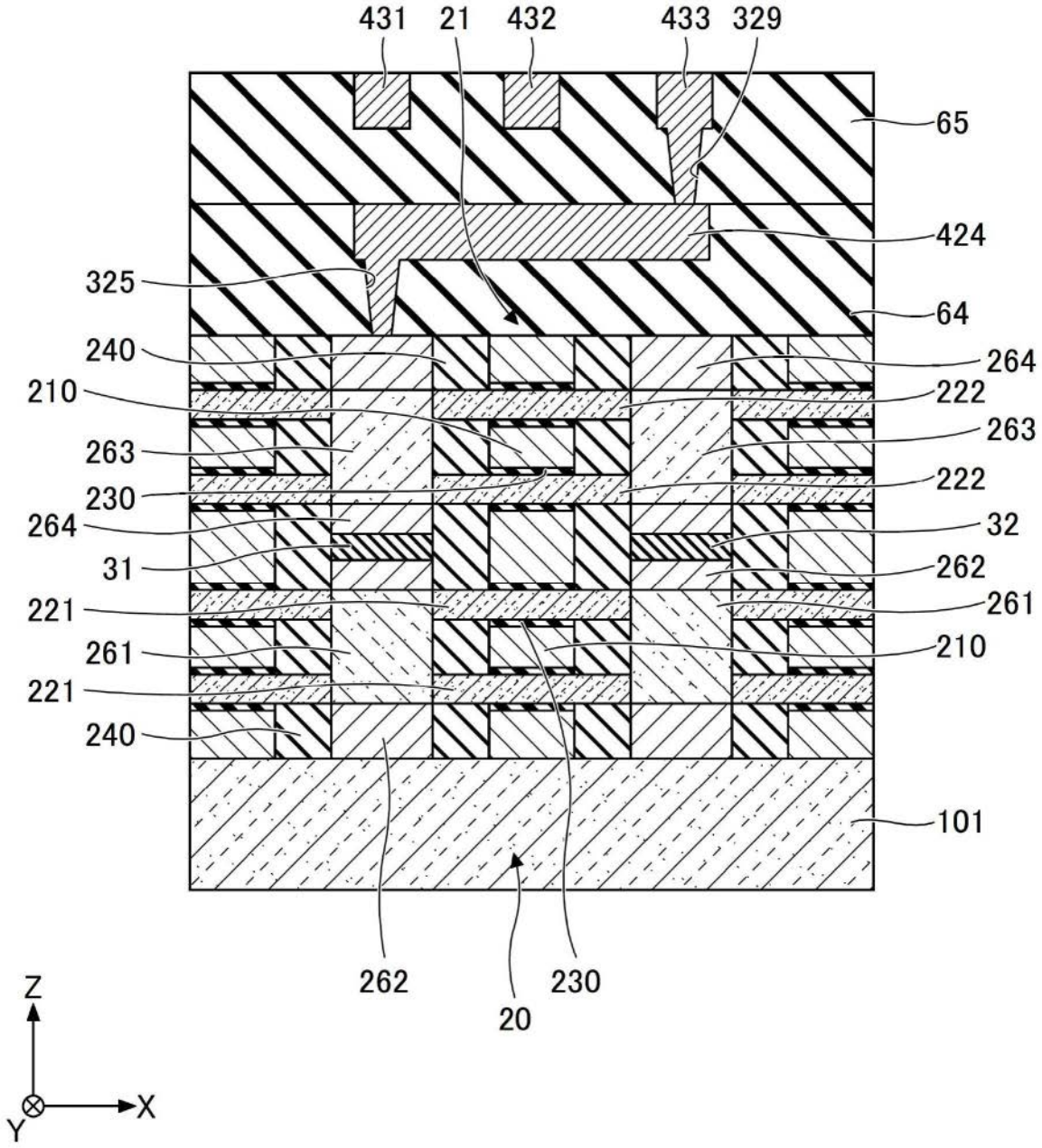

431
21
432
433
329
65
424
325
64
240
264
210
222
263
263
222
230
264
32
31
262
221
261
261
210
221
240
101
262
230
20
Z
X
Y

图8

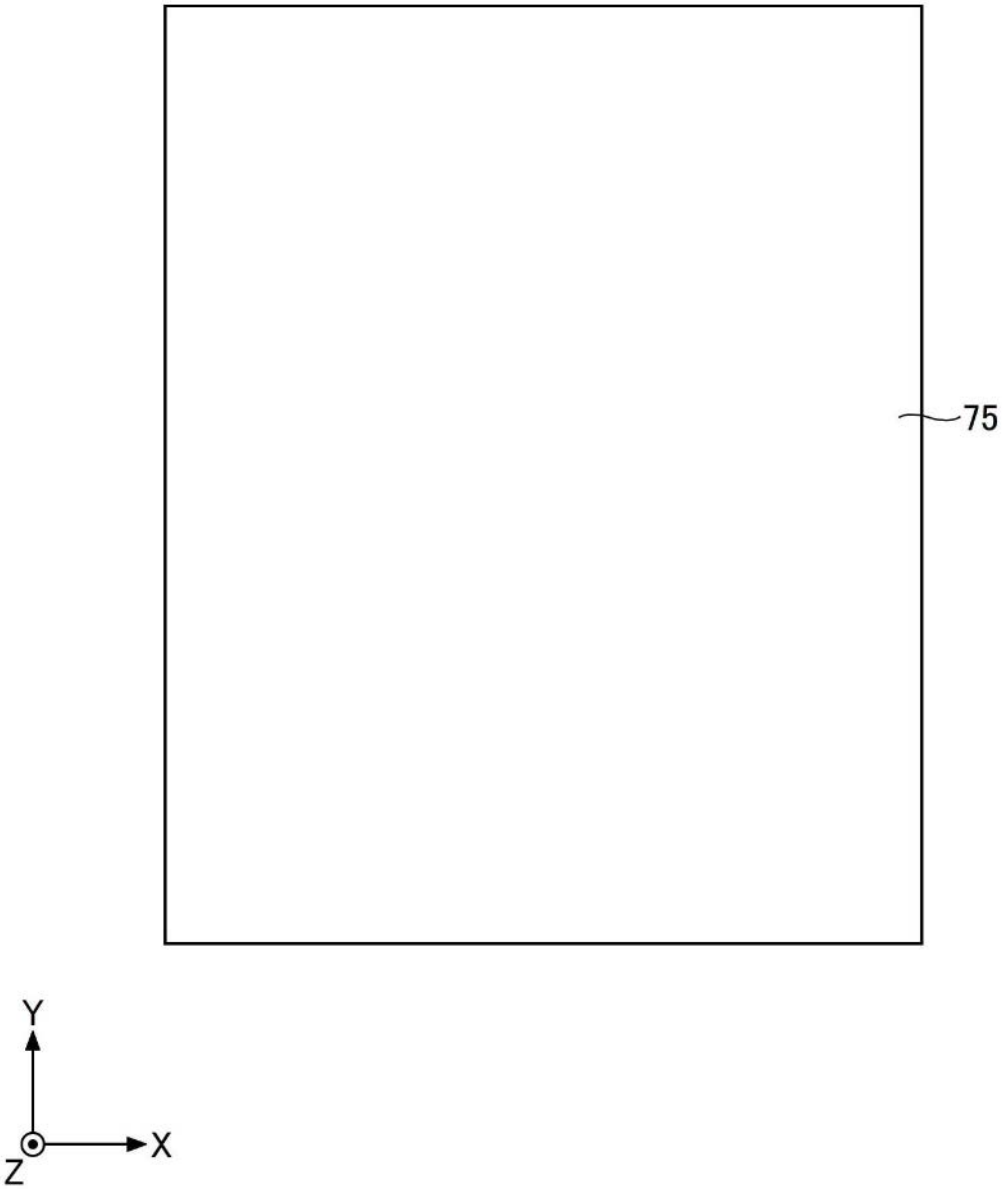


图9

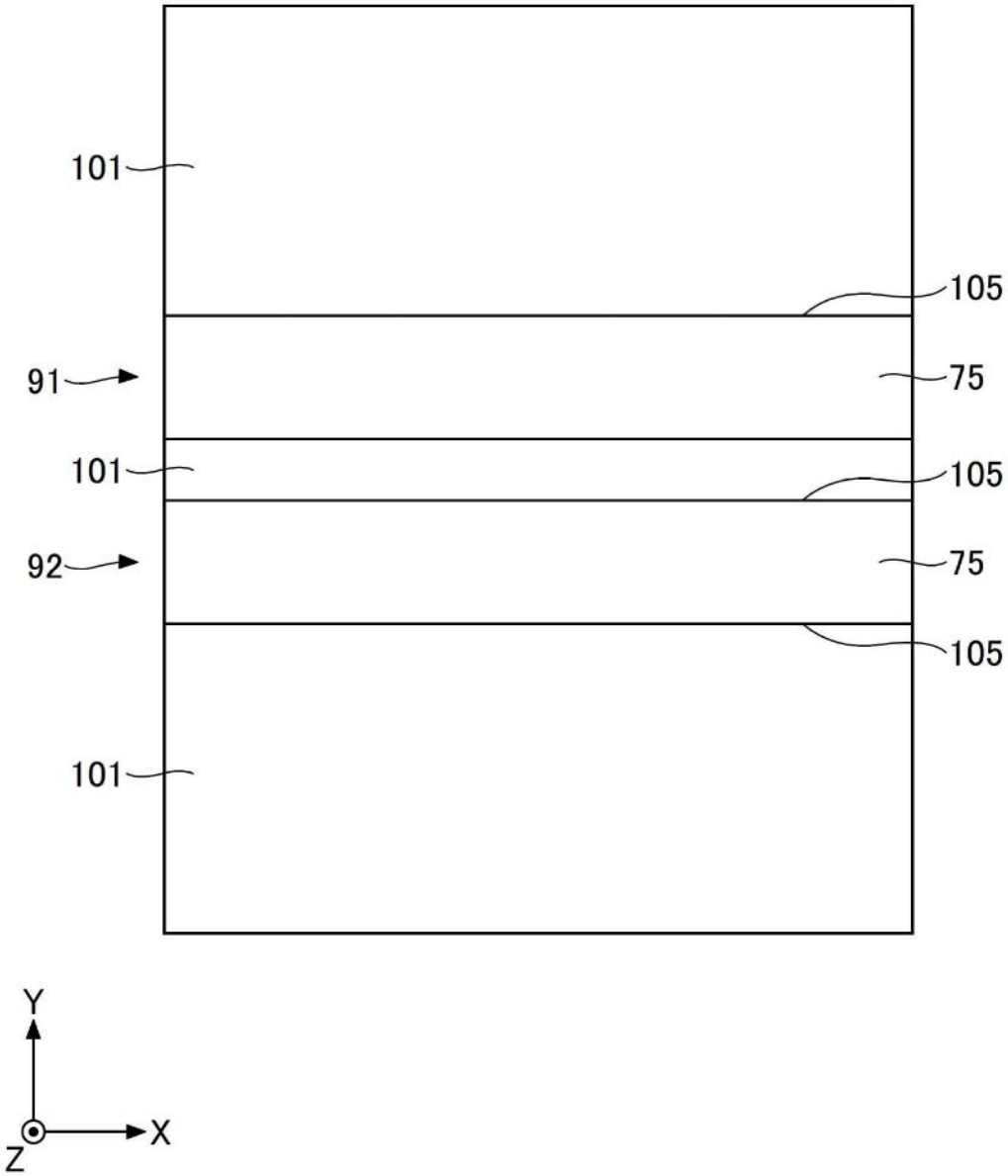


图10

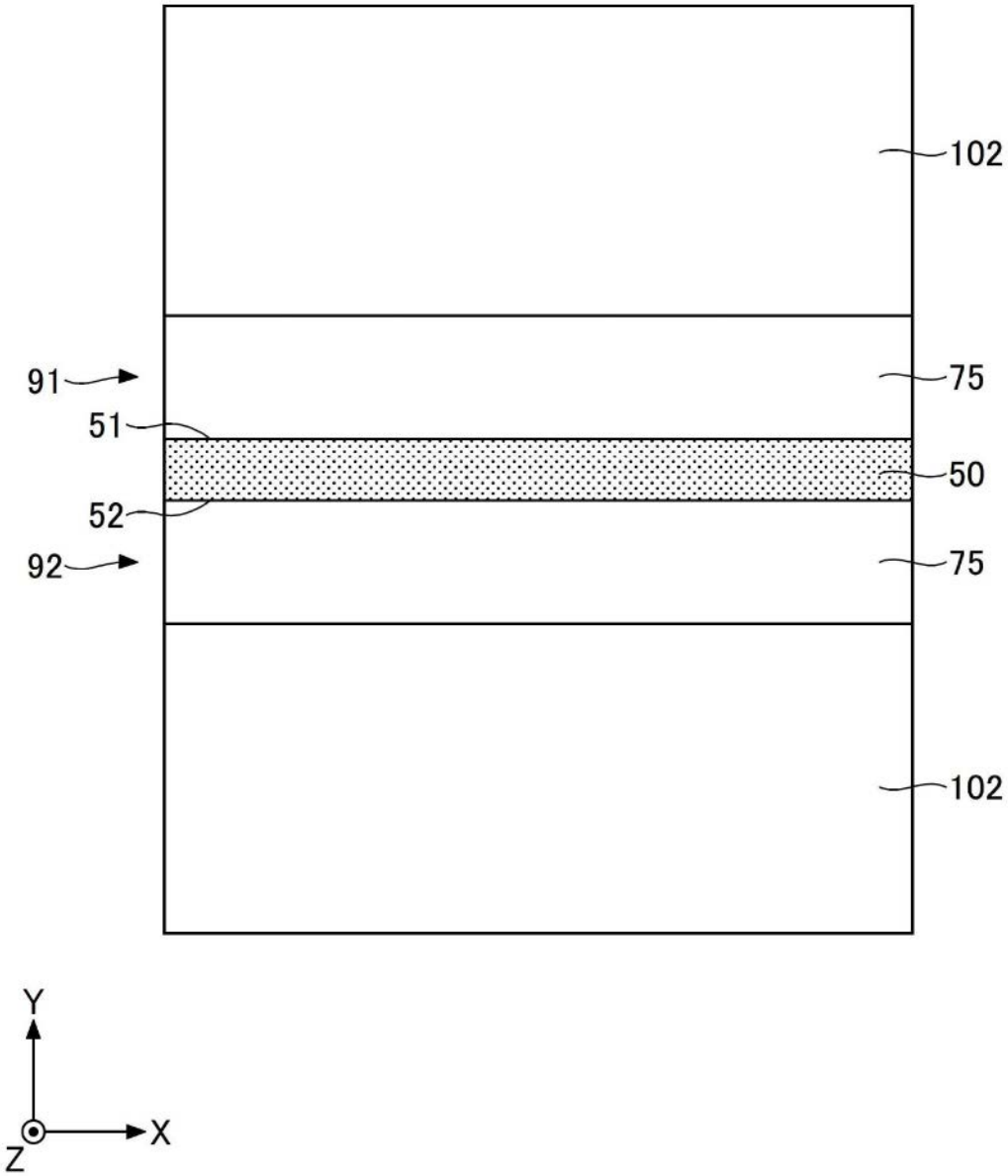


图11

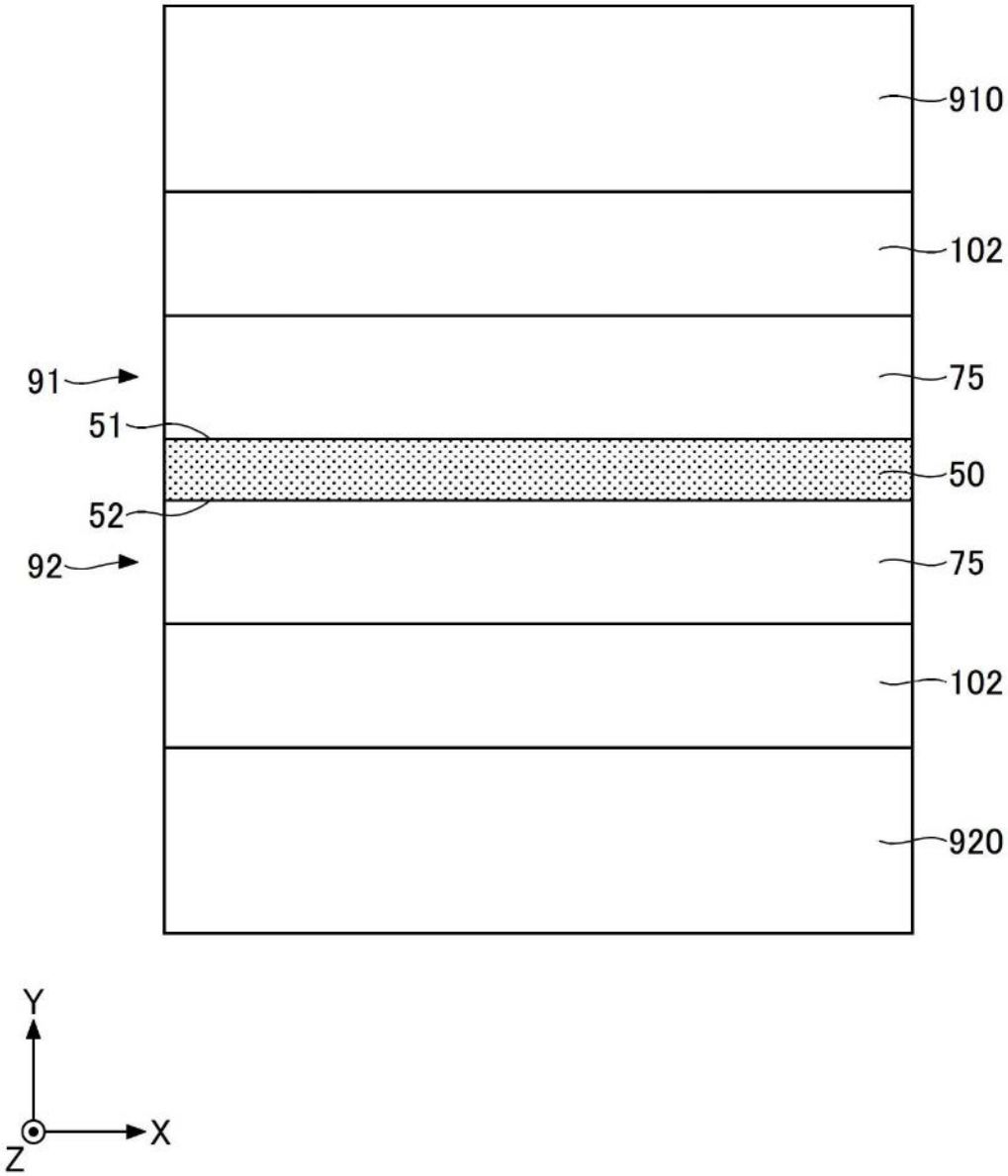


图12

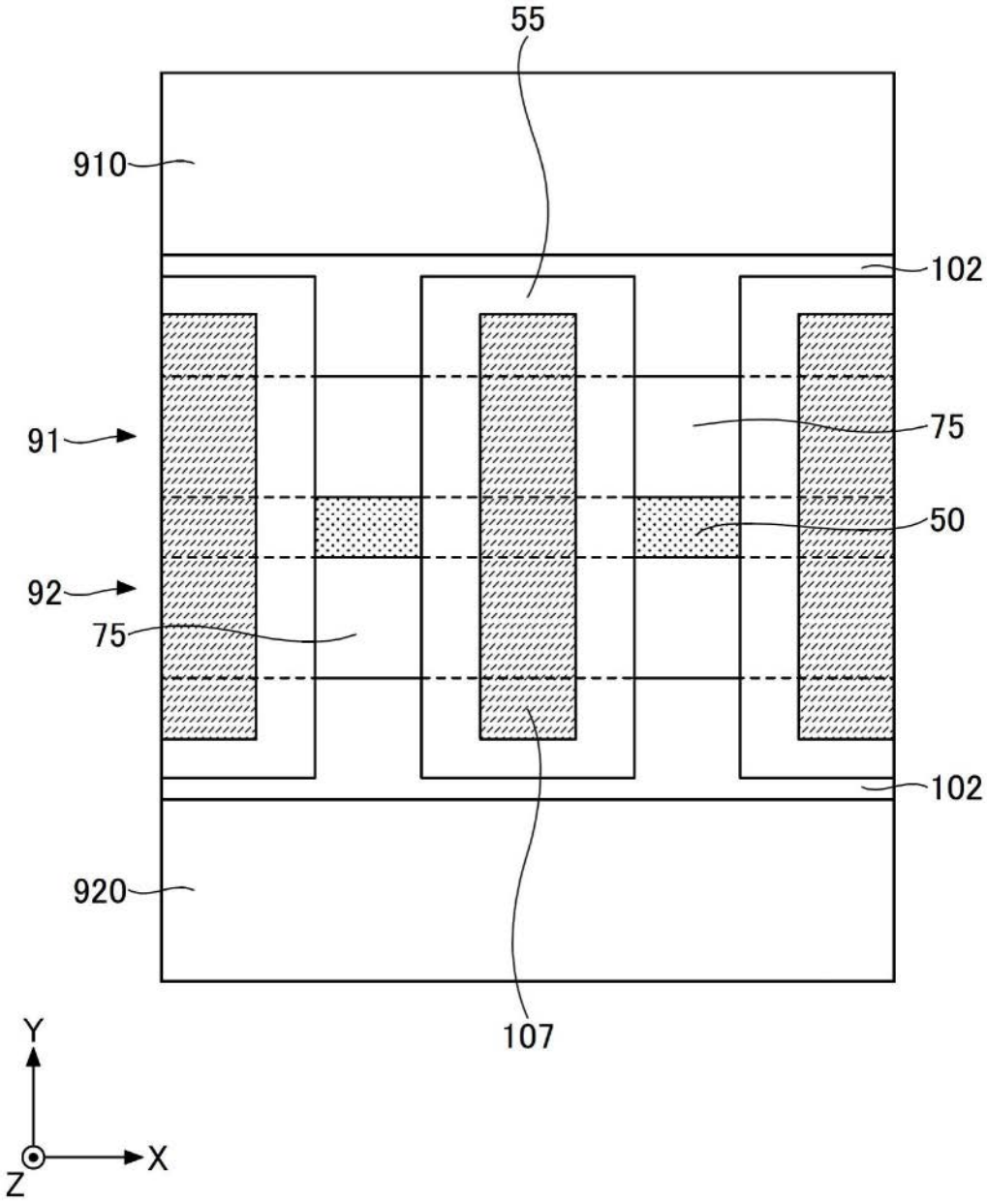


图13

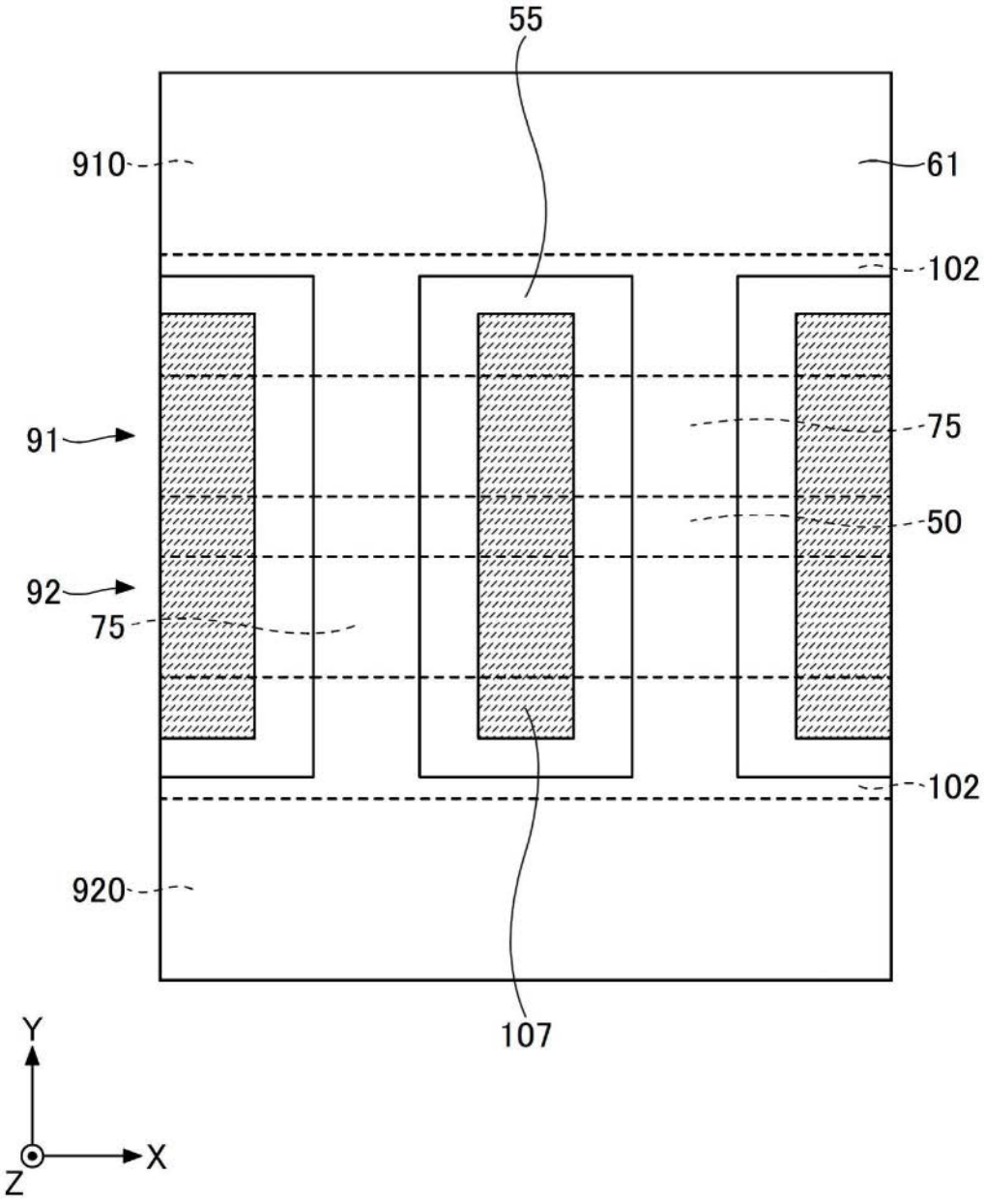


图14

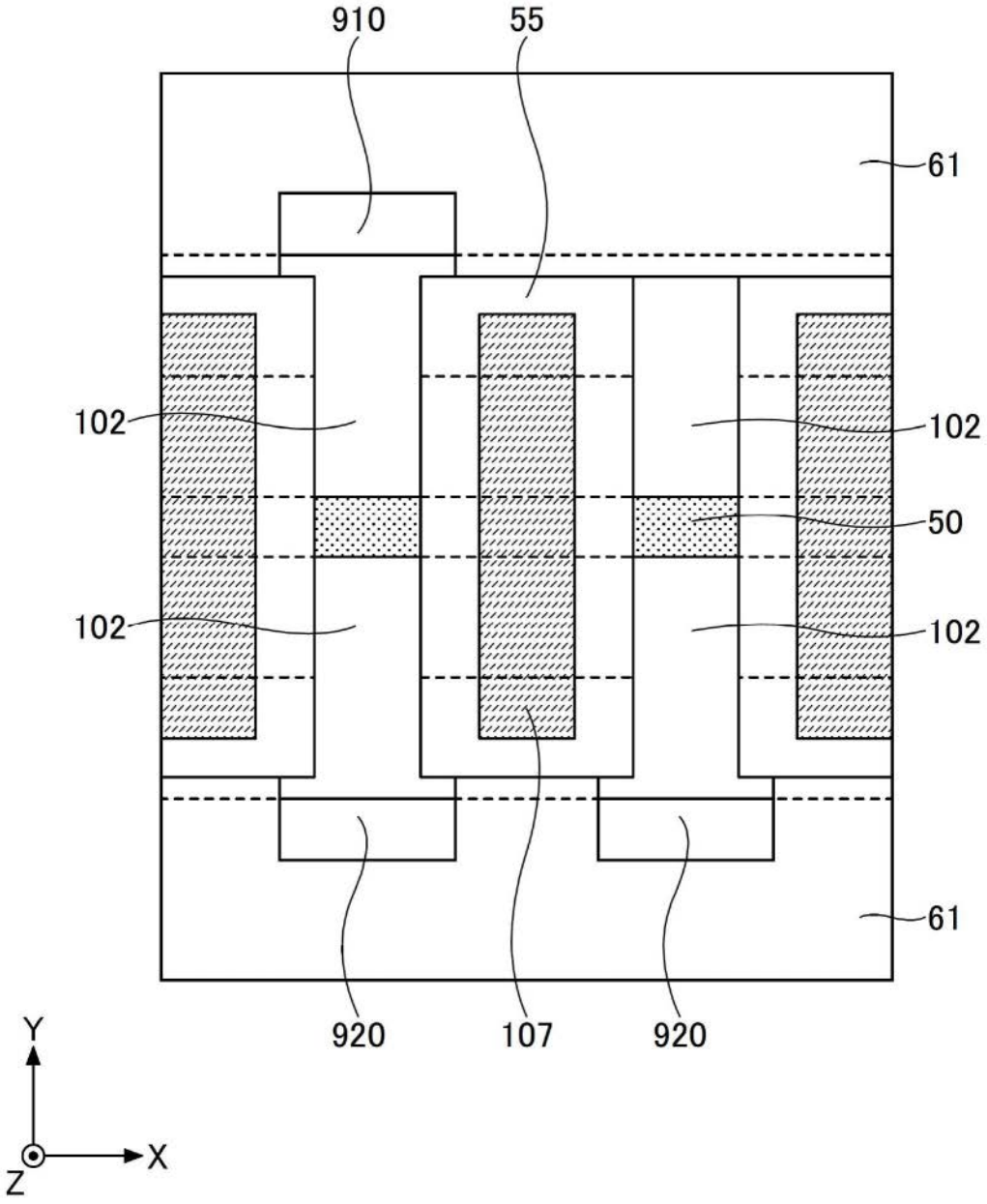


图15

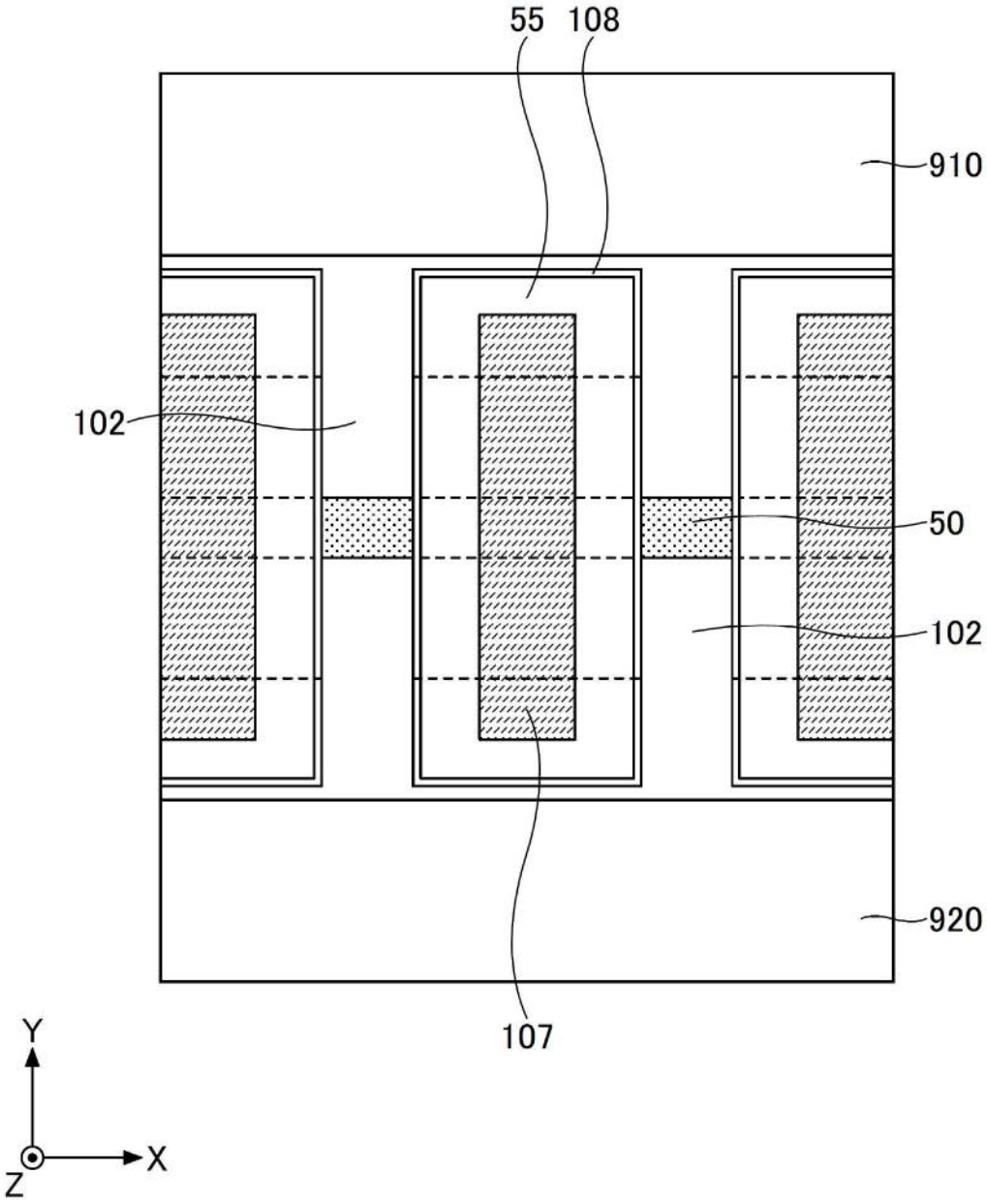


图16

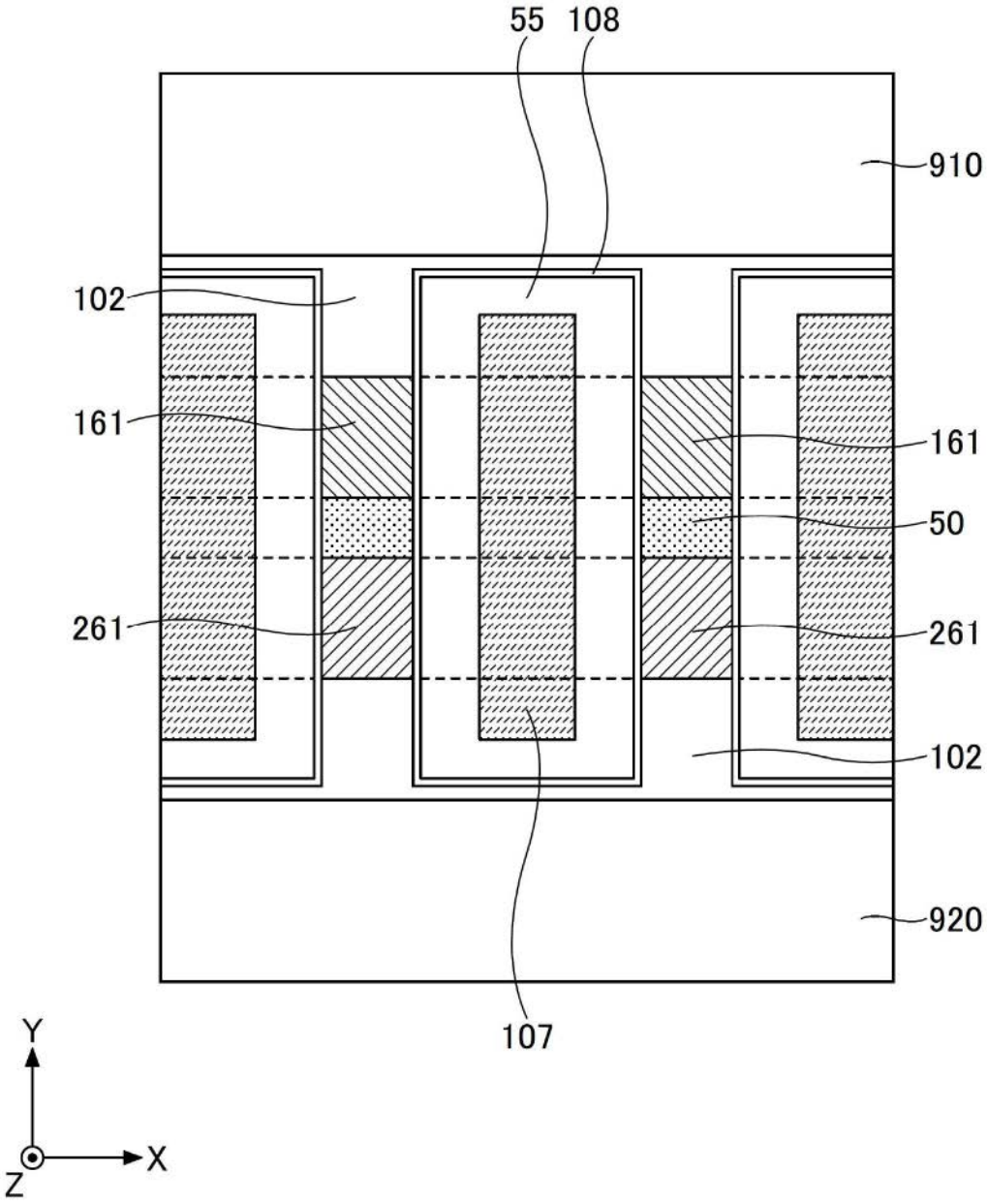


图17

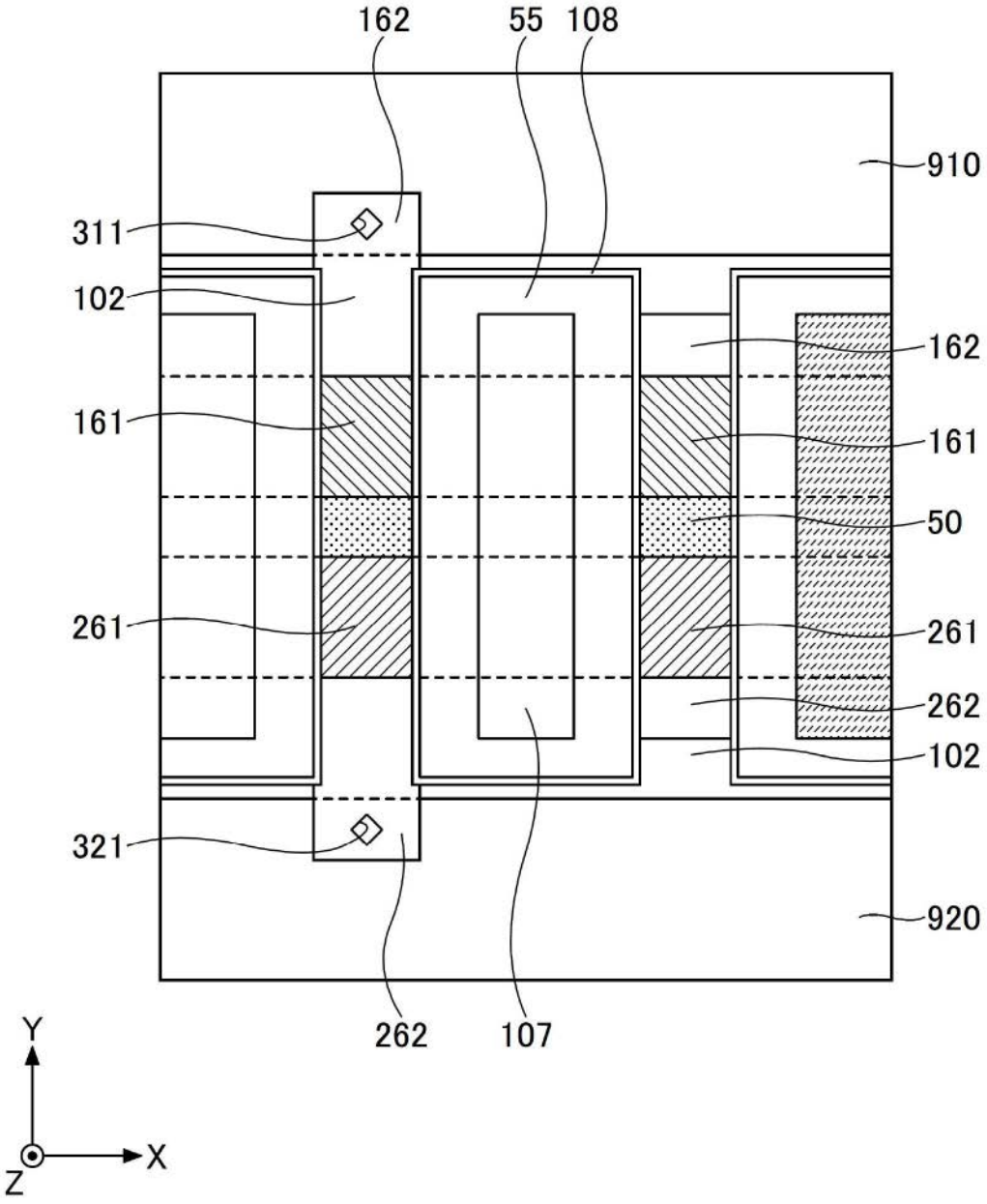

162
55
108
910
311
102
162
161
161
50
261
261
262
102
321
920
262
107
Y
X
Z

图18

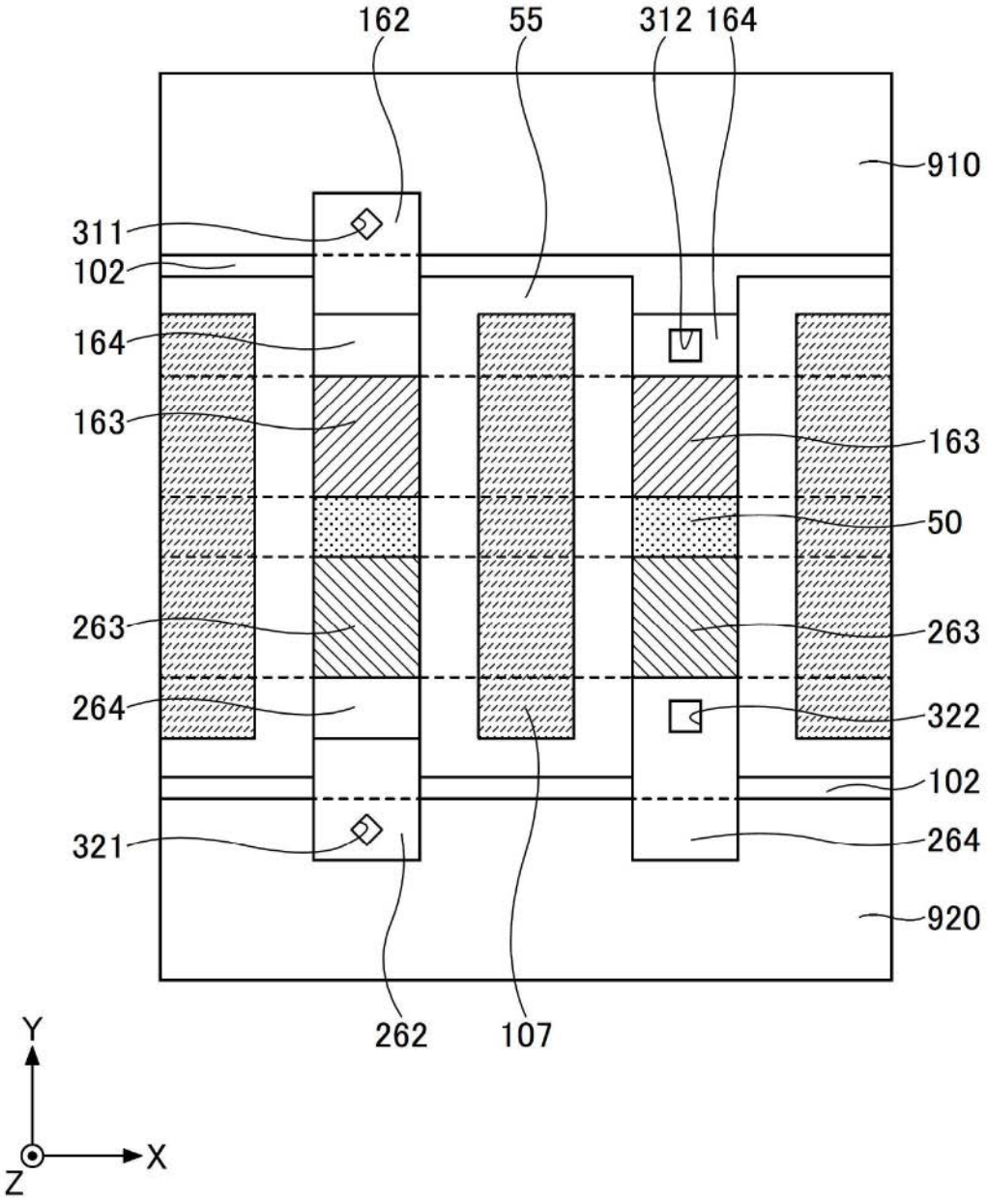

162
55
312
164
910
311
102
164
163
163
50
263
263
264
322
102
321
264
920
262
107
Y
X
Z

图19

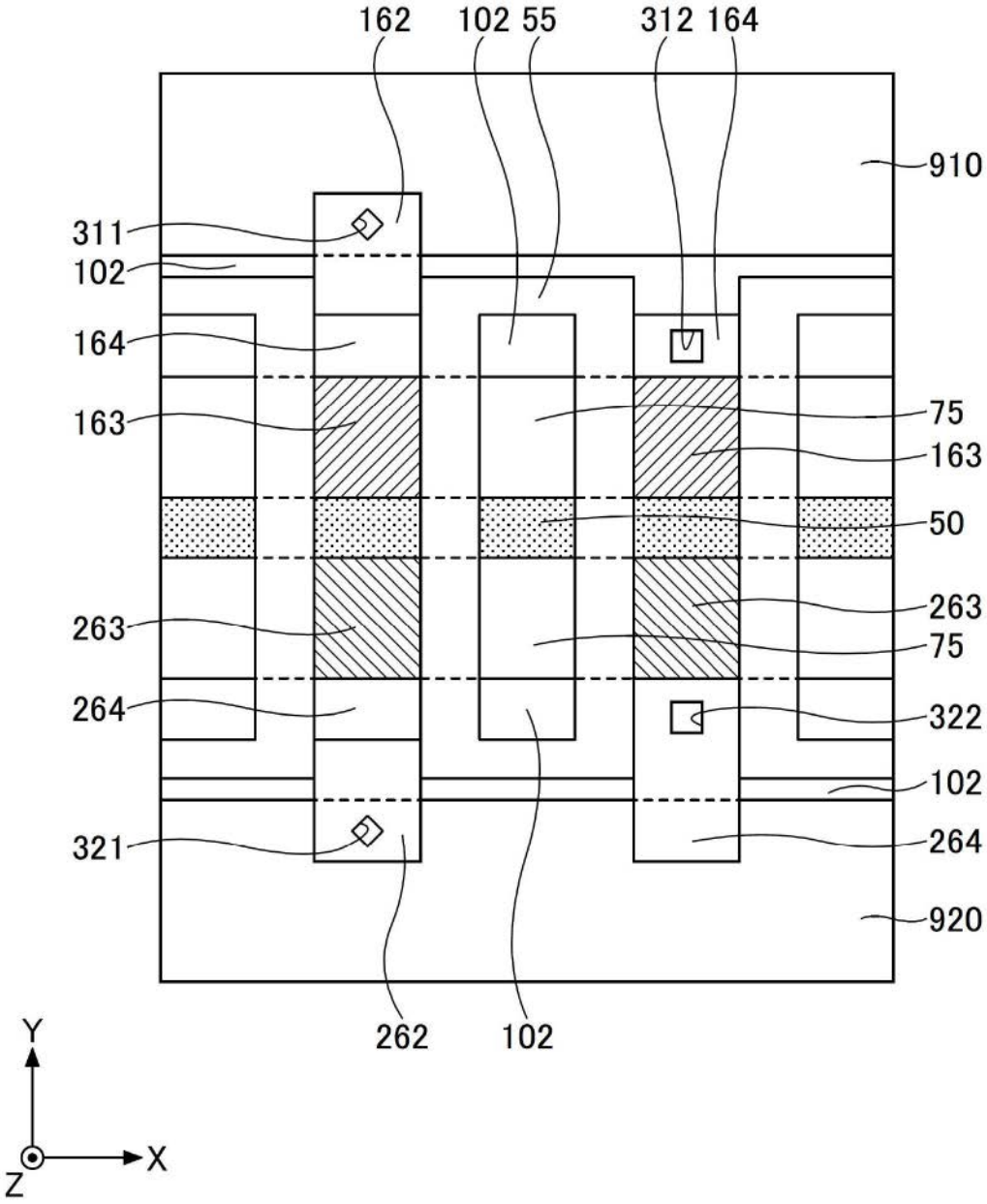

162
102 55
312 164
910
311
102
164
163
75
163
50
263
263
75
264
322
102
321
264
920
262
102
Y
X
Z

图20

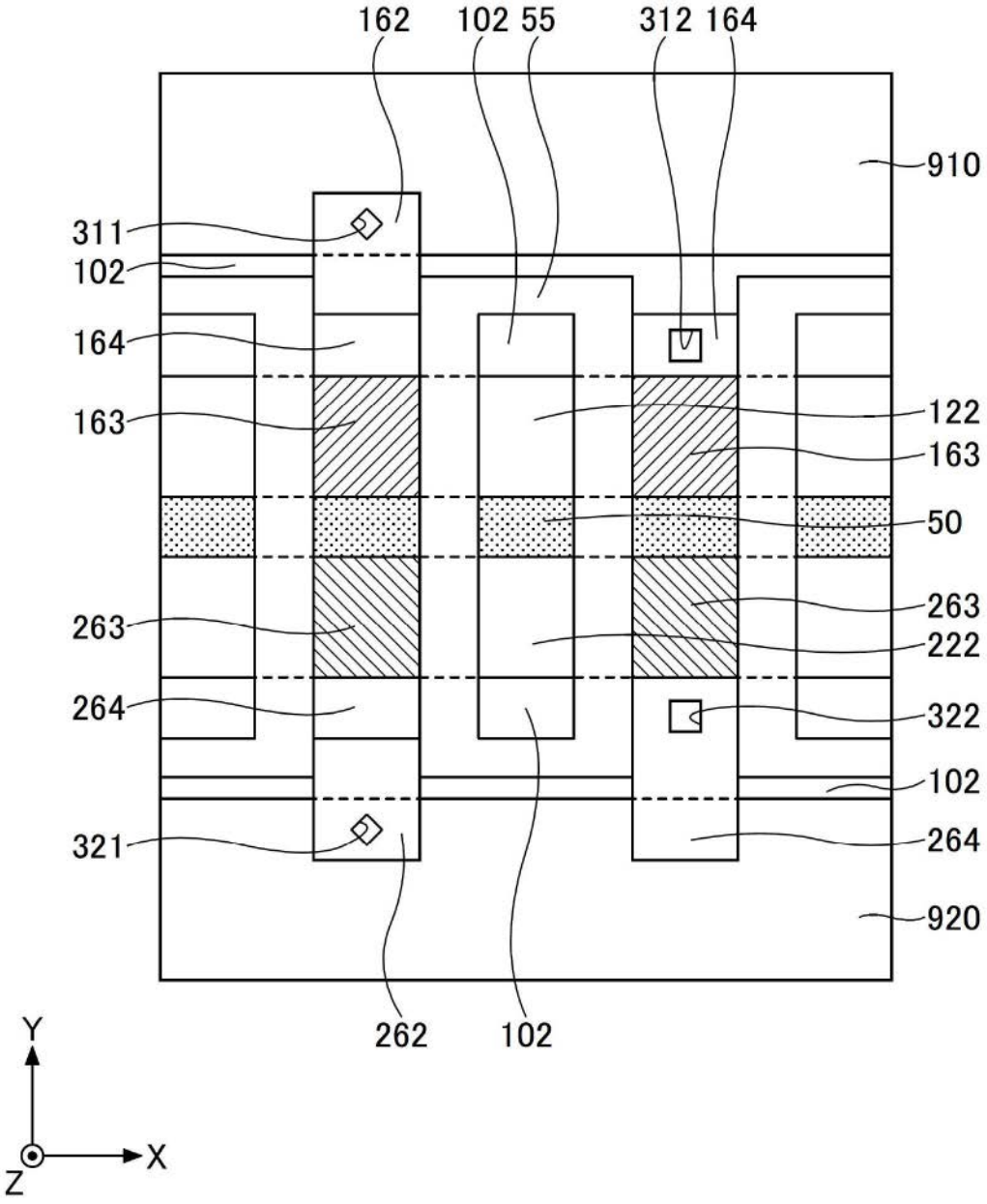

162
102 55
312 164
910
311
102
164
163
122
163
50
263
263
222
264
322
102
321
264
920
262
102
Y
X
Z

图21

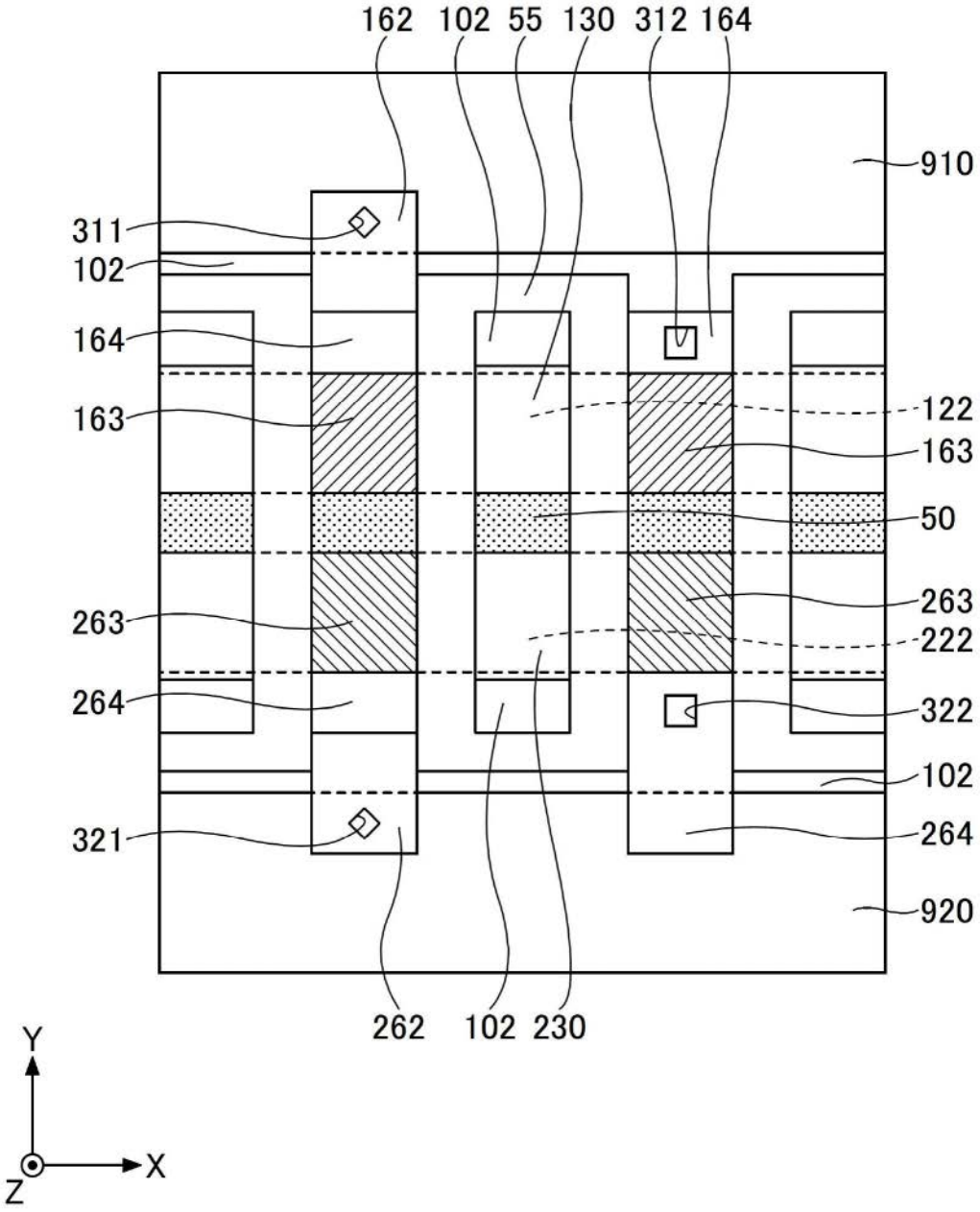

162
102
55
130
312
164
910
311
102
164
163
122
163
50
263
263
222
264
322
102
321
264
920
262
102
230
Y
X
Z

图22

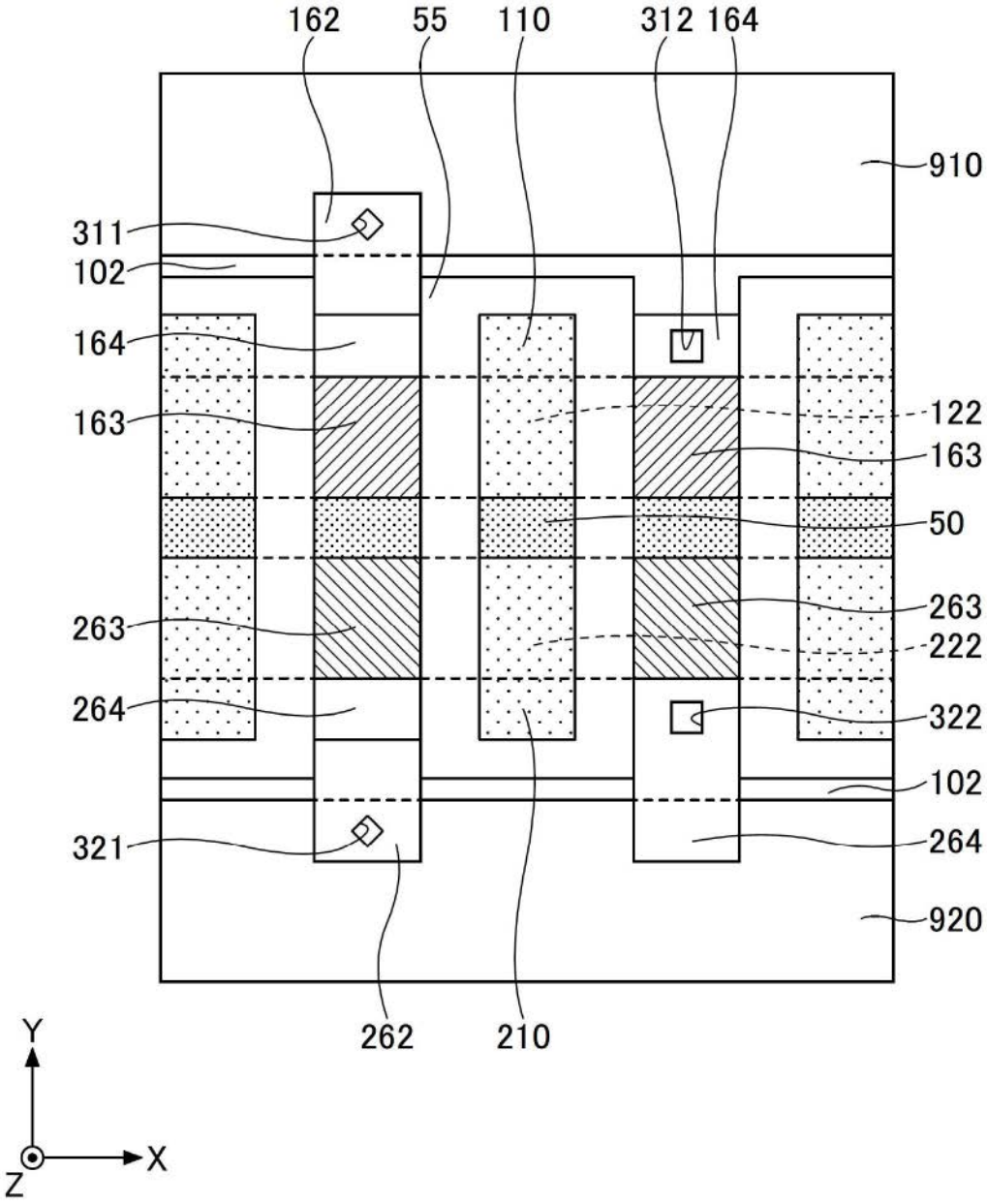

162
55
110
312
164
910
311
102
164
163
122
163
50
263
263
222
264
322
102
321
264
920
262
210
Y
X
Z

图23

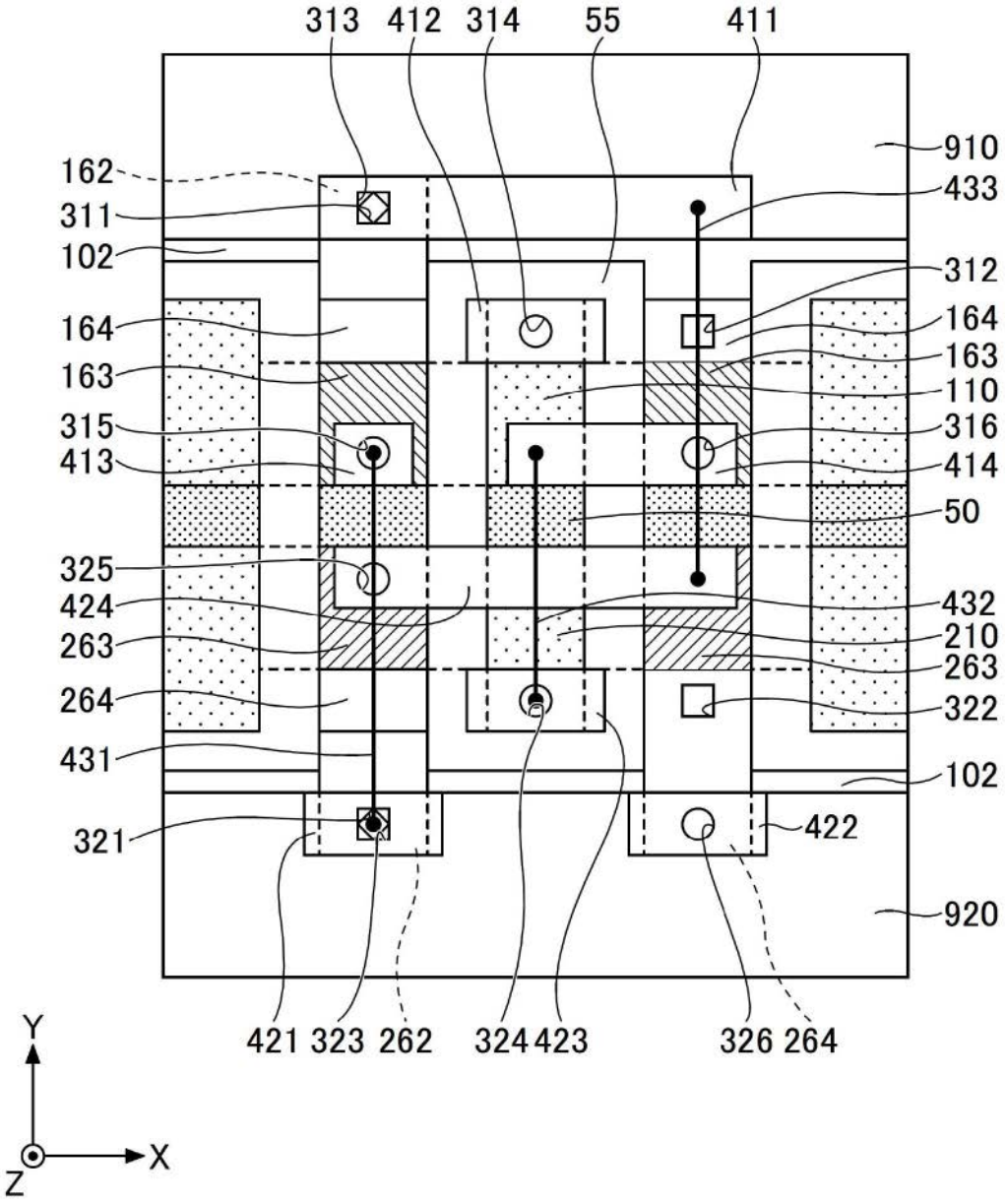

313
412
314
55
411
910
433
162
311
102
312
164
164
163
163
110
315
316
413
414
50
325
424
432
263
210
263
264
322
431
102
321
422
920
421
323
262
324
423
326
264
Y
X
Z

图24

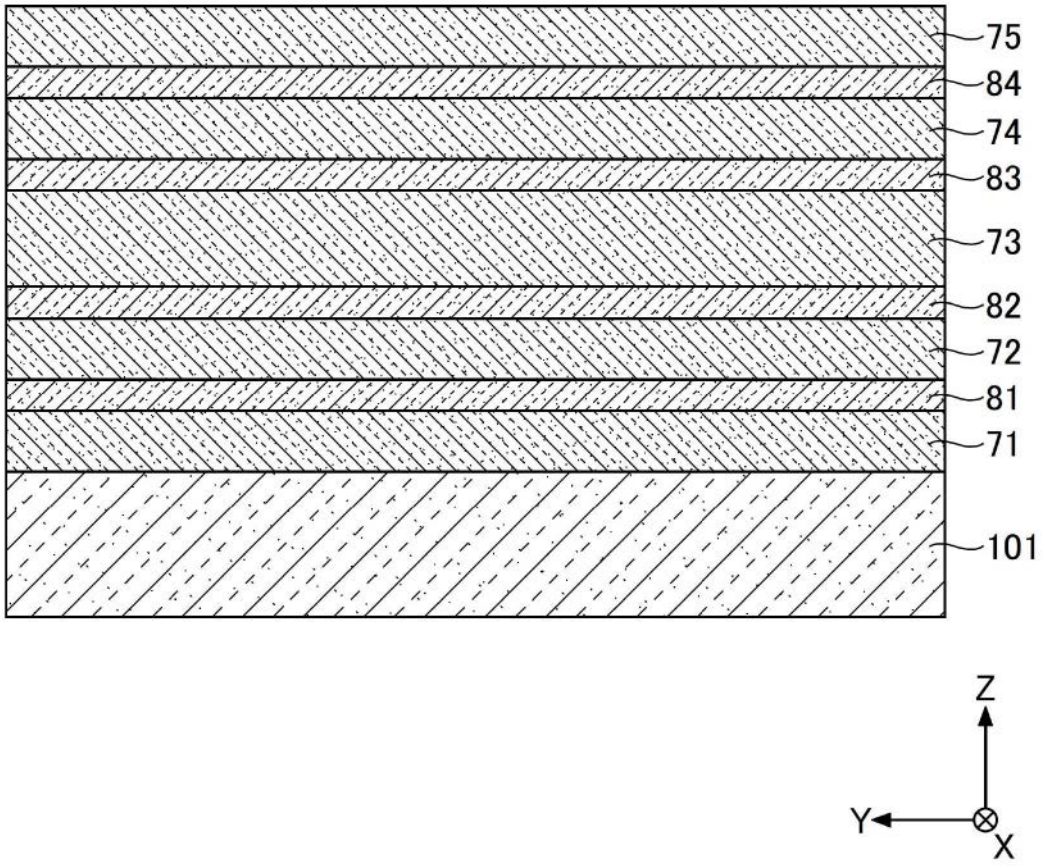


图25

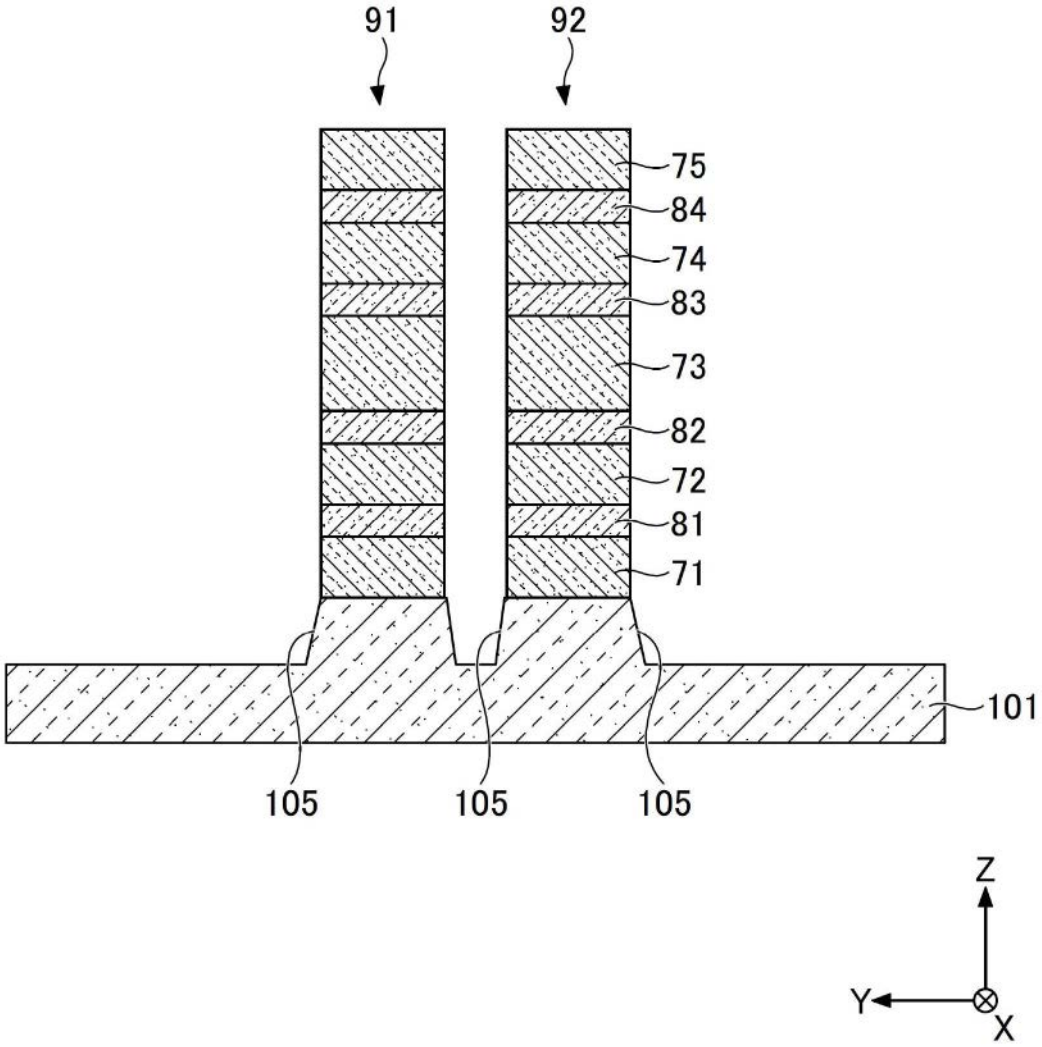


图26

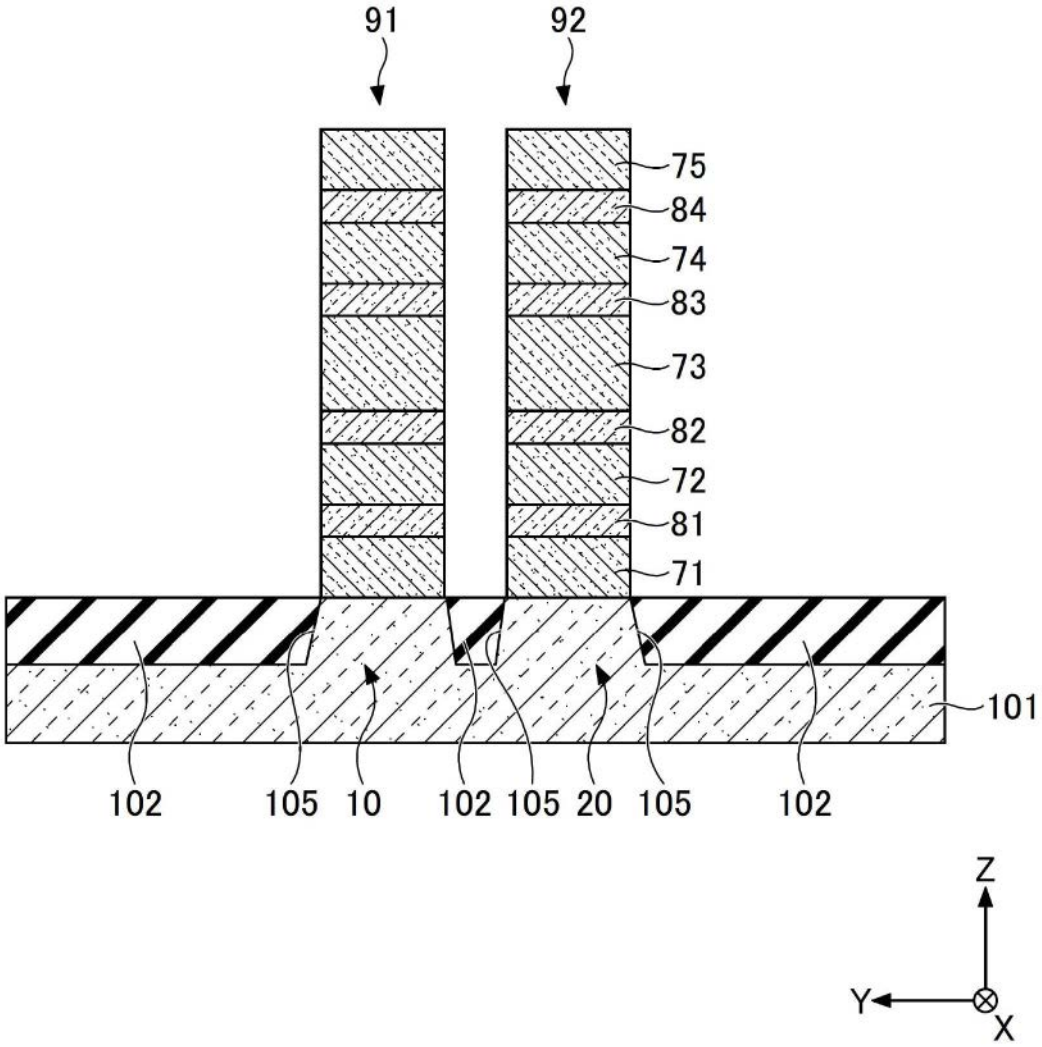

91
92
75
84
74
83
73
82
72
81
71
101
102
105
10
102
105
20
105
102
Z
Y
X

图27

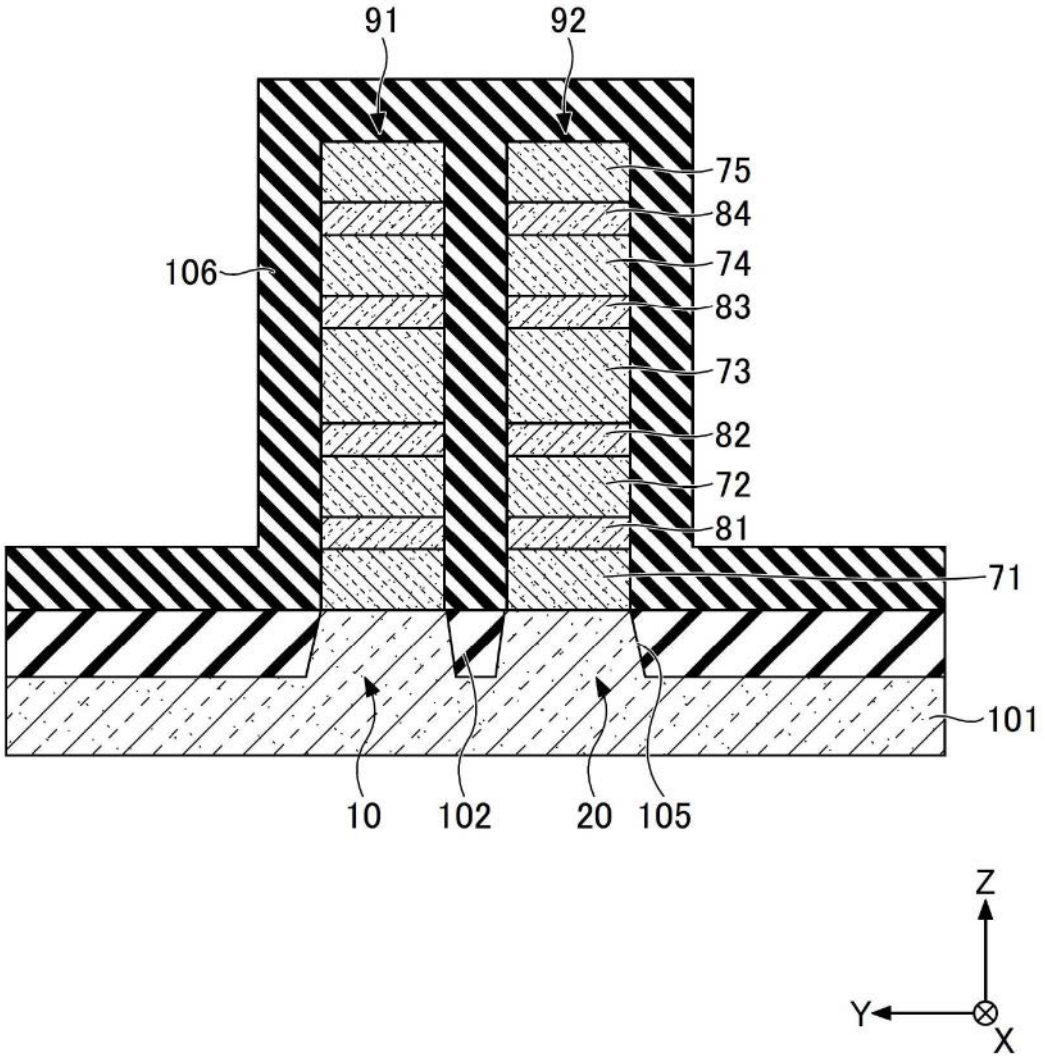


图28

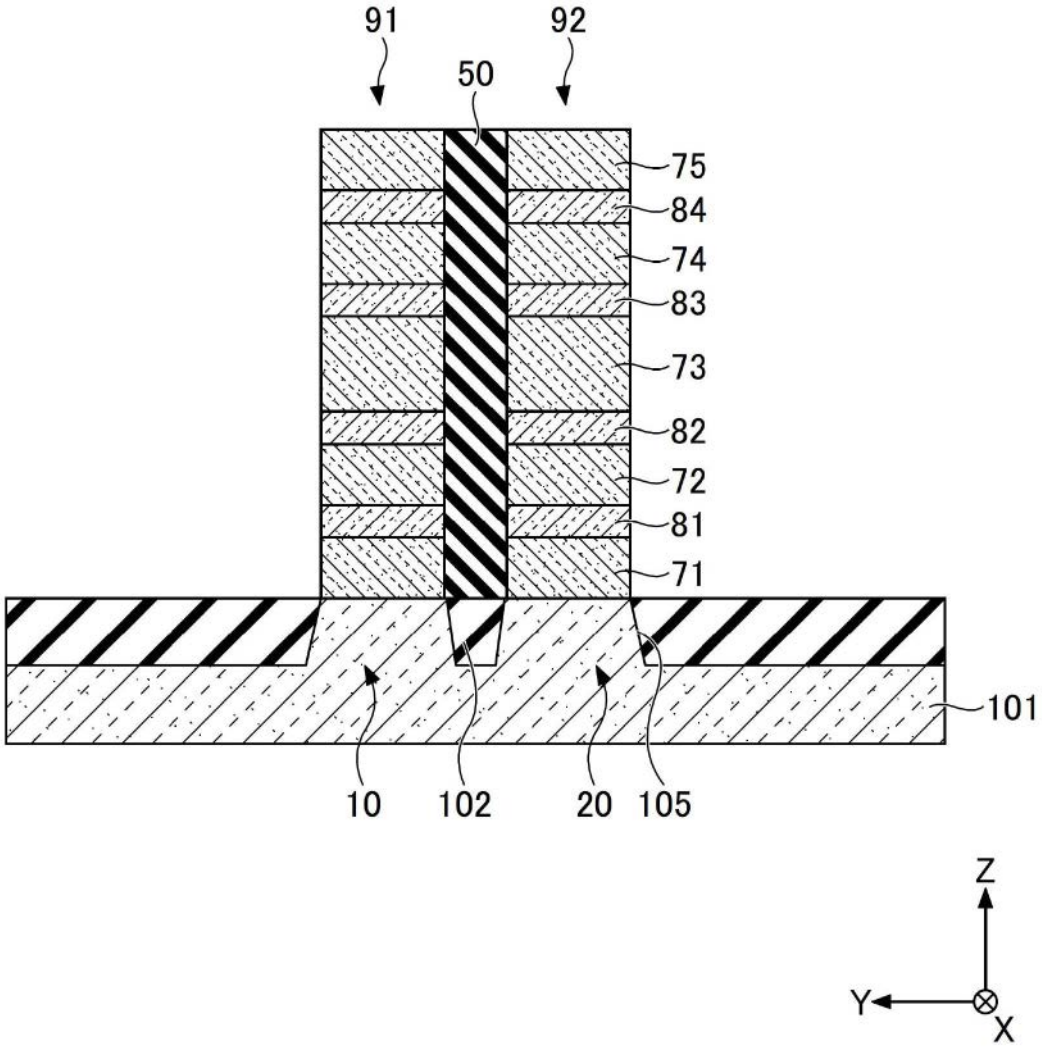


图29

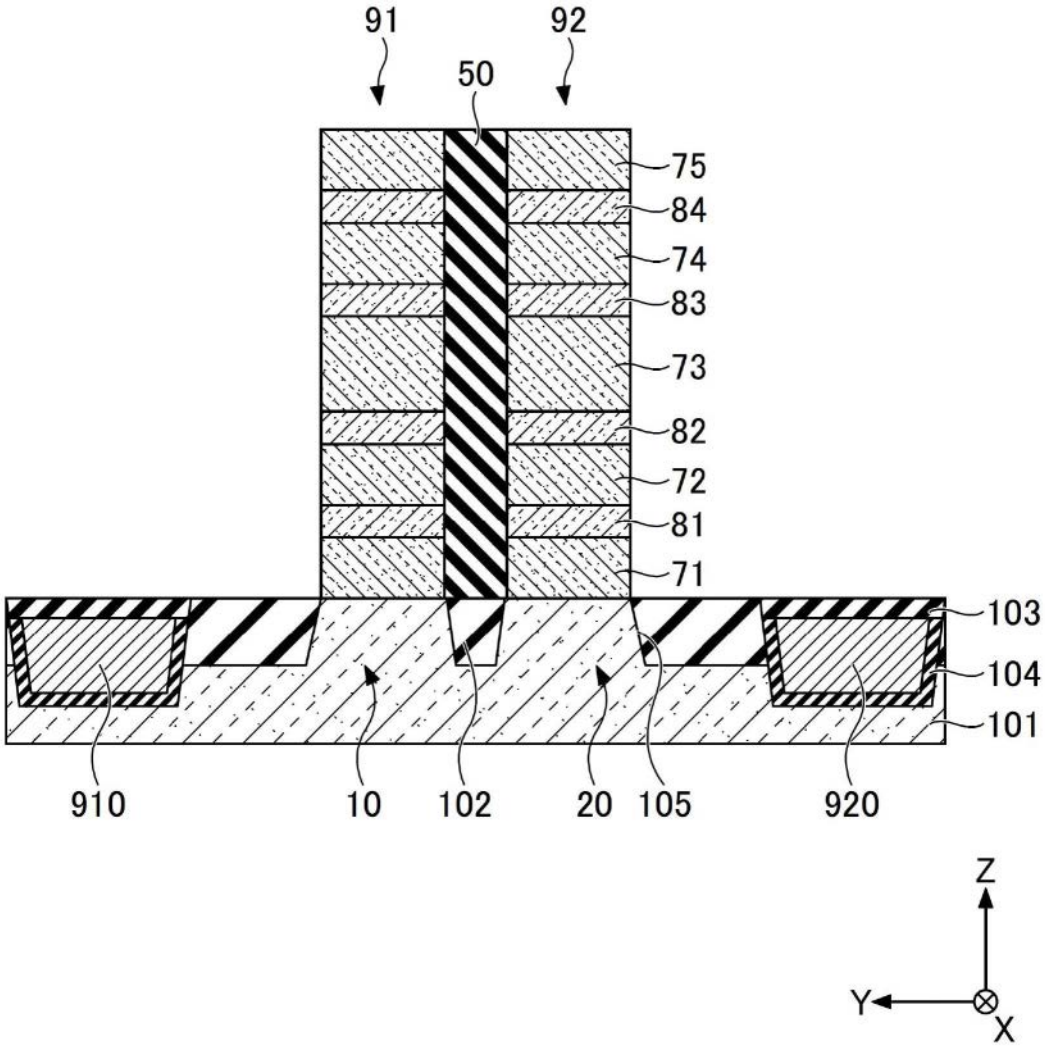

91
92
50
75
84
74
83
73
82
72
81
71
103
104
101
910
10
102
20
105
920
Z
Y
X

图30

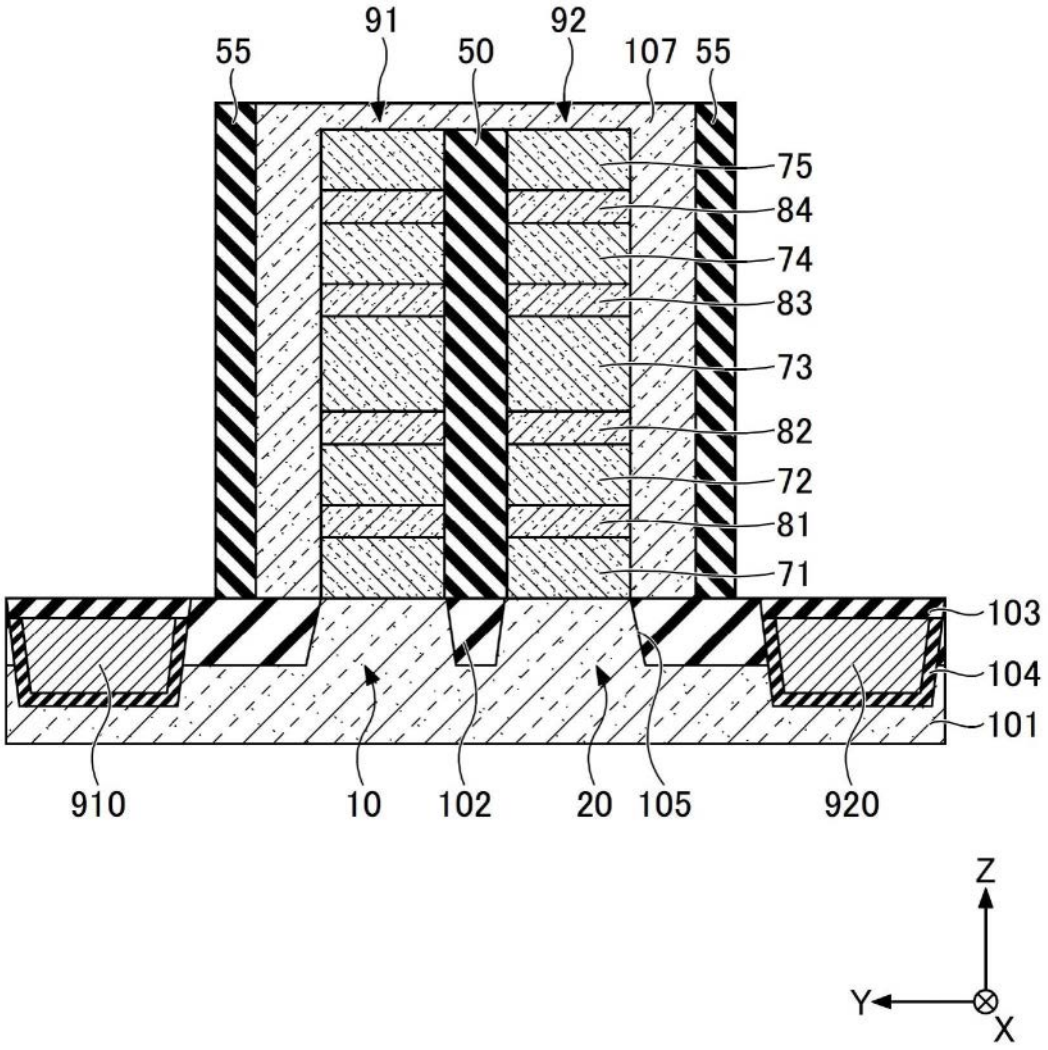

91
92
55
50
107
55
75
84
74
83
73
82
72
81
71
103
104
101
910
10
102
20
105
920
Z
Y
X

图31

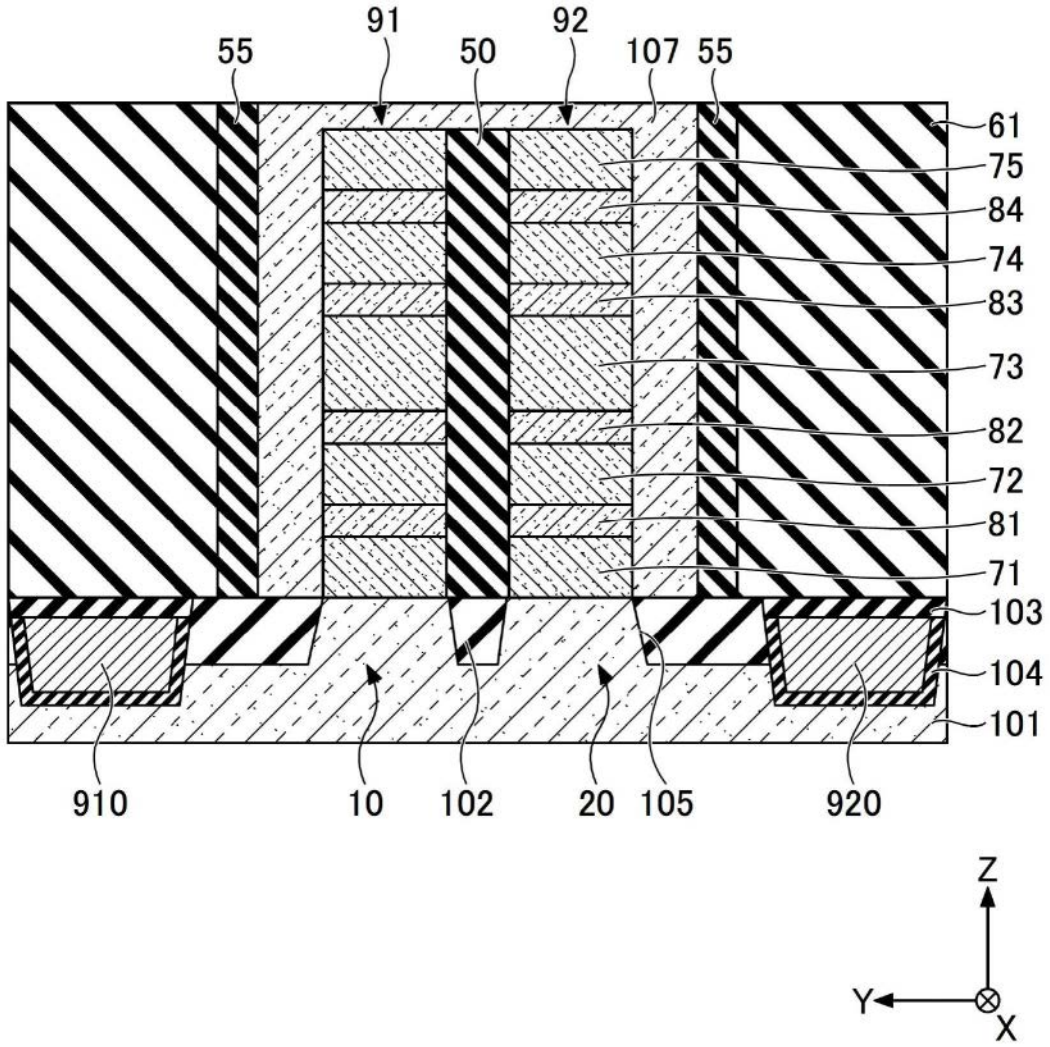

91
92
55
50
107
55
61
75
84
74
83
73
82
72
81
71
103
104
101
910
10
102
20
105
920
Z
Y
X

图32

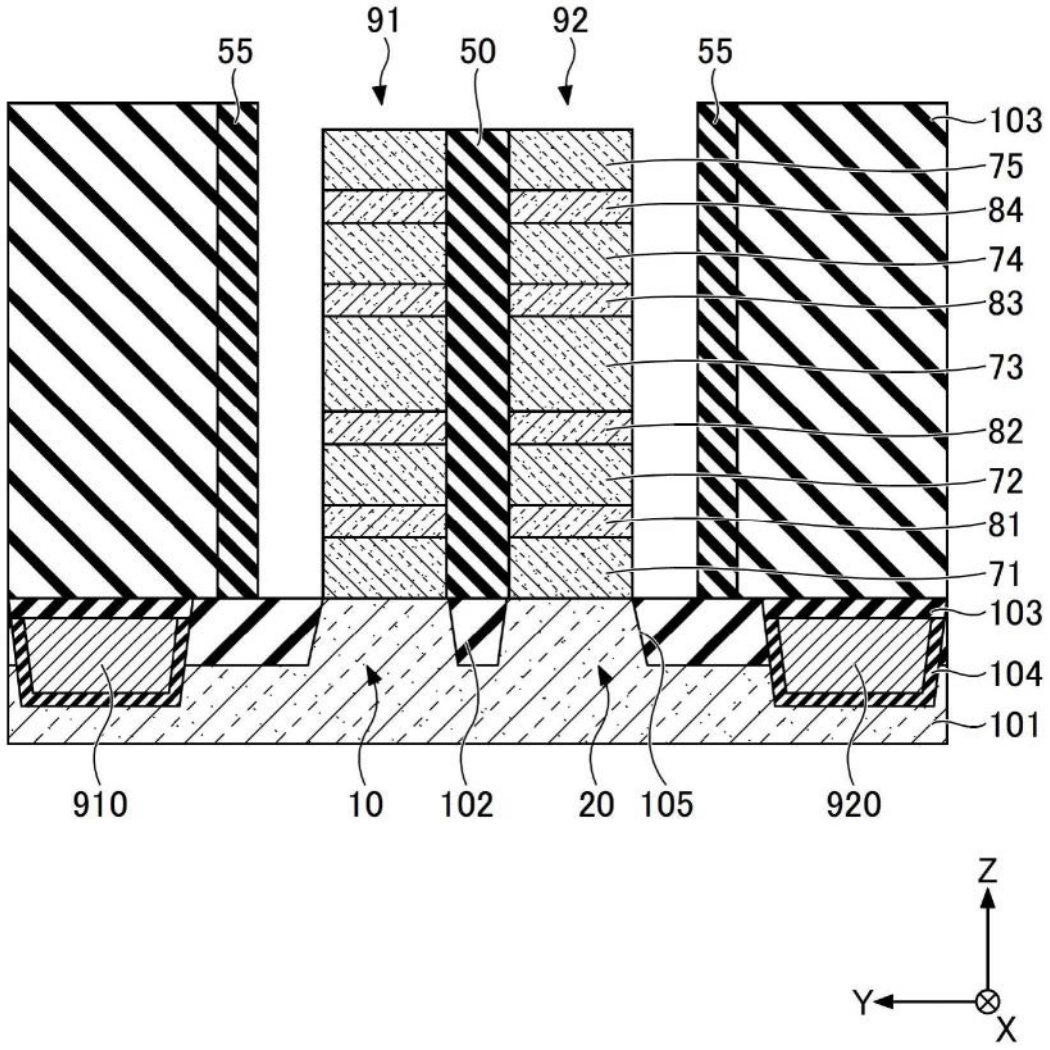

91
92
55
50
55
103
75
84
74
83
73
82
72
81
71
103
104
101
910
10
102
20
105
920
Z
Y
X

图33

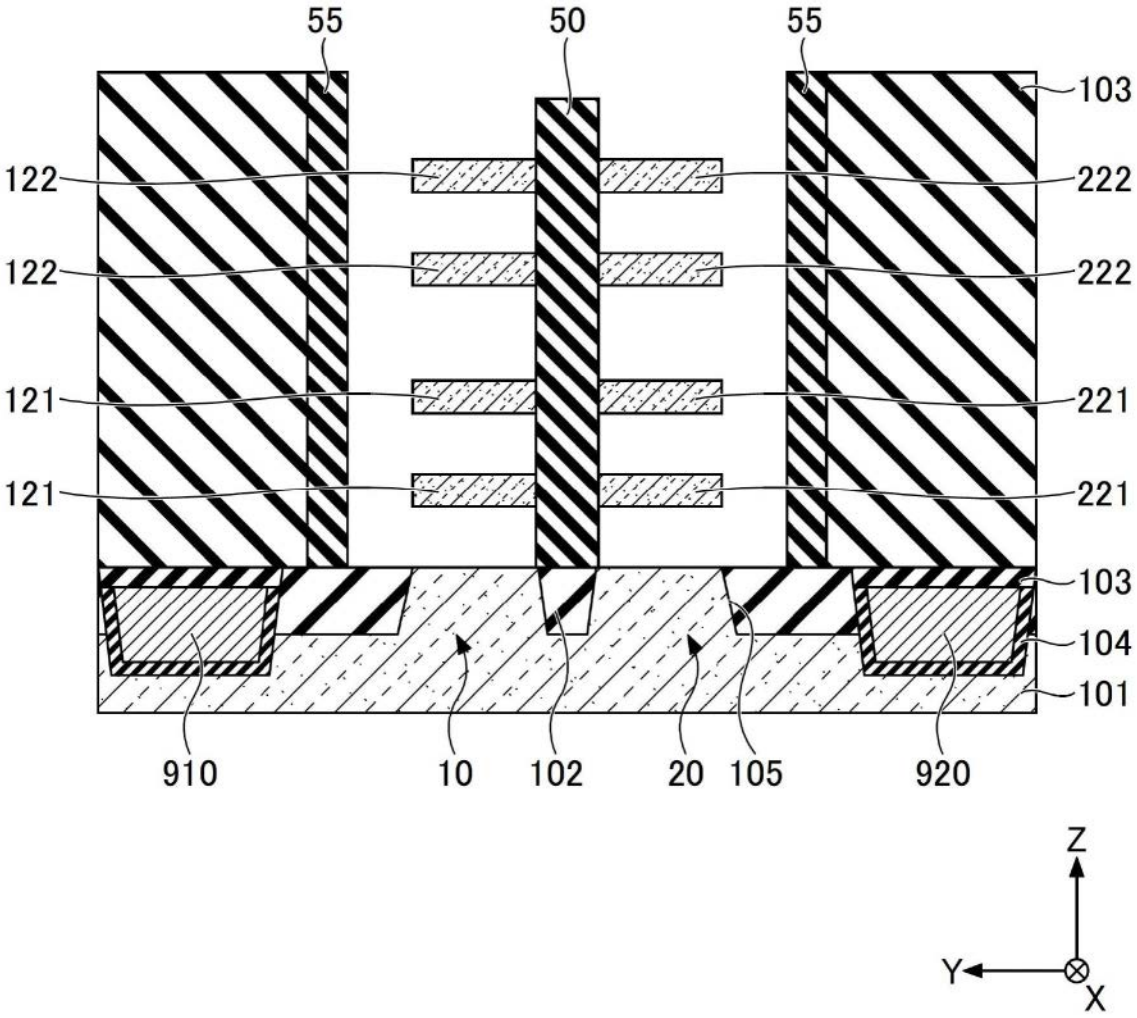

55
50
55
103
122
222
122
222
121
221
121
221
103
104
101
910
10
102
20
105
920
Z
Y
X

图34

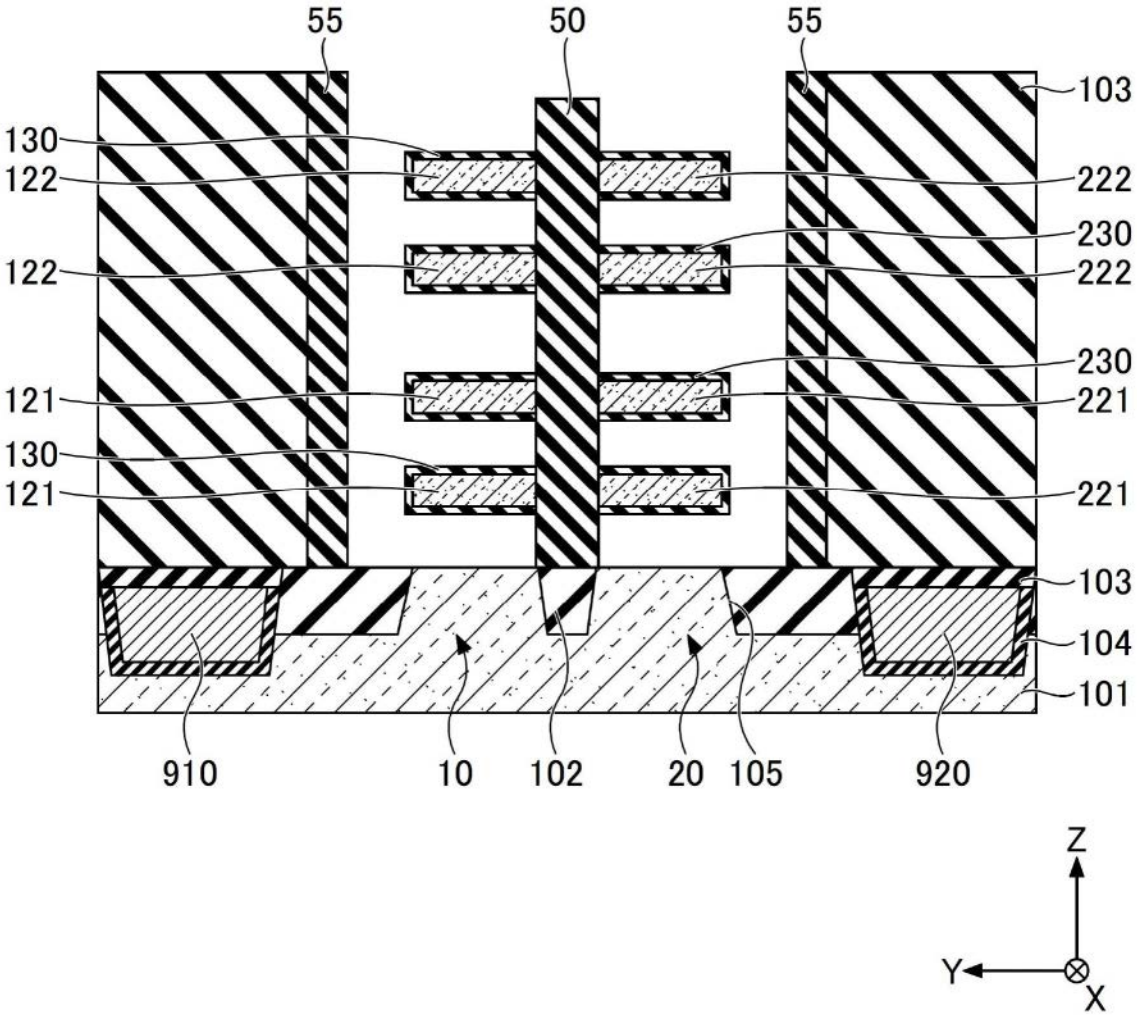

55
50
55
103
130
122
222
230
122
222
230
121
221
130
121
221
103
104
101
910
10
102
20
105
920
Z
Y
X

图35

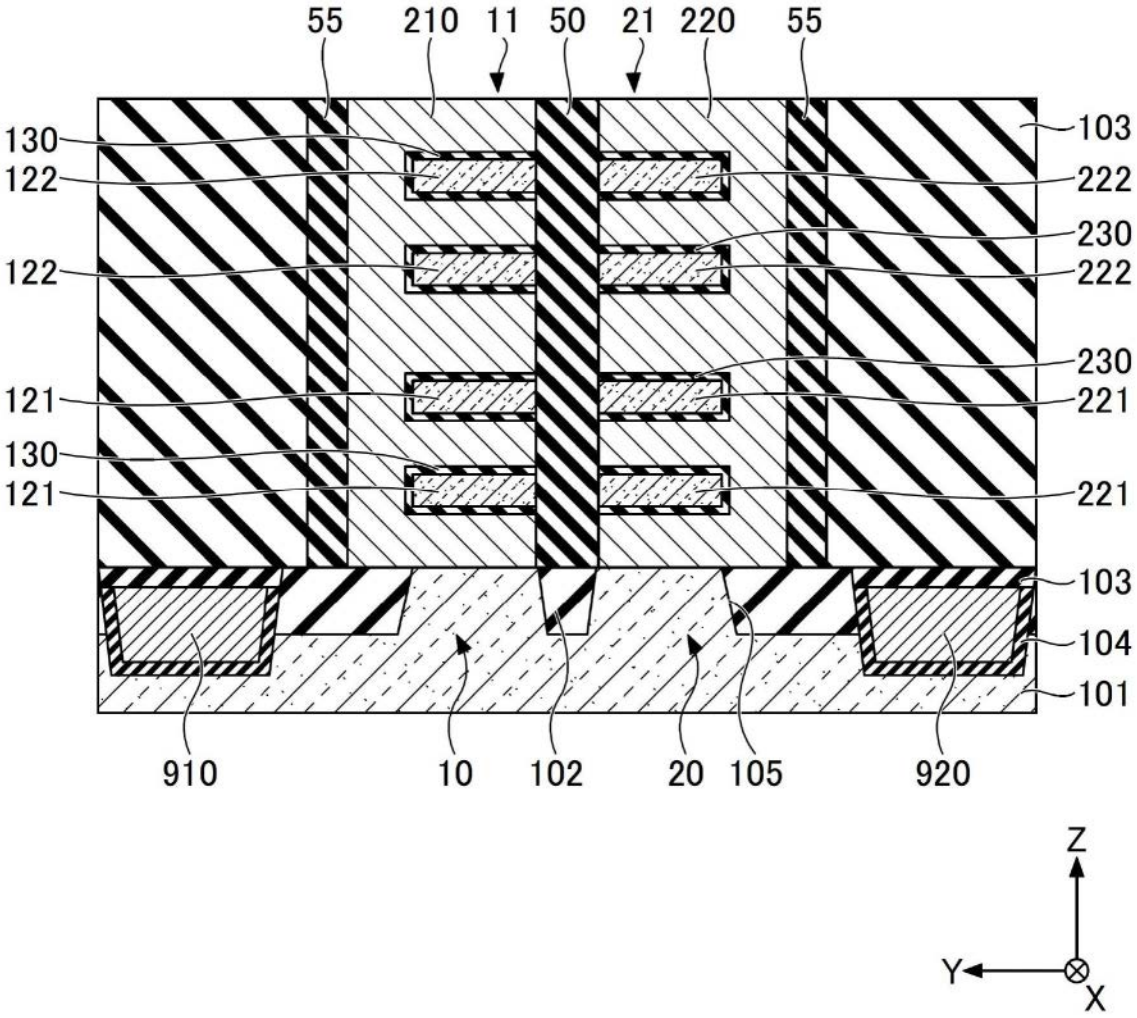

55
210
11
50
21
220
55
130
122
122
121
130
121
103
222
230
222
230
221
221
103
104
101
910
10
102
20
105
920
Z
Y
X

图36

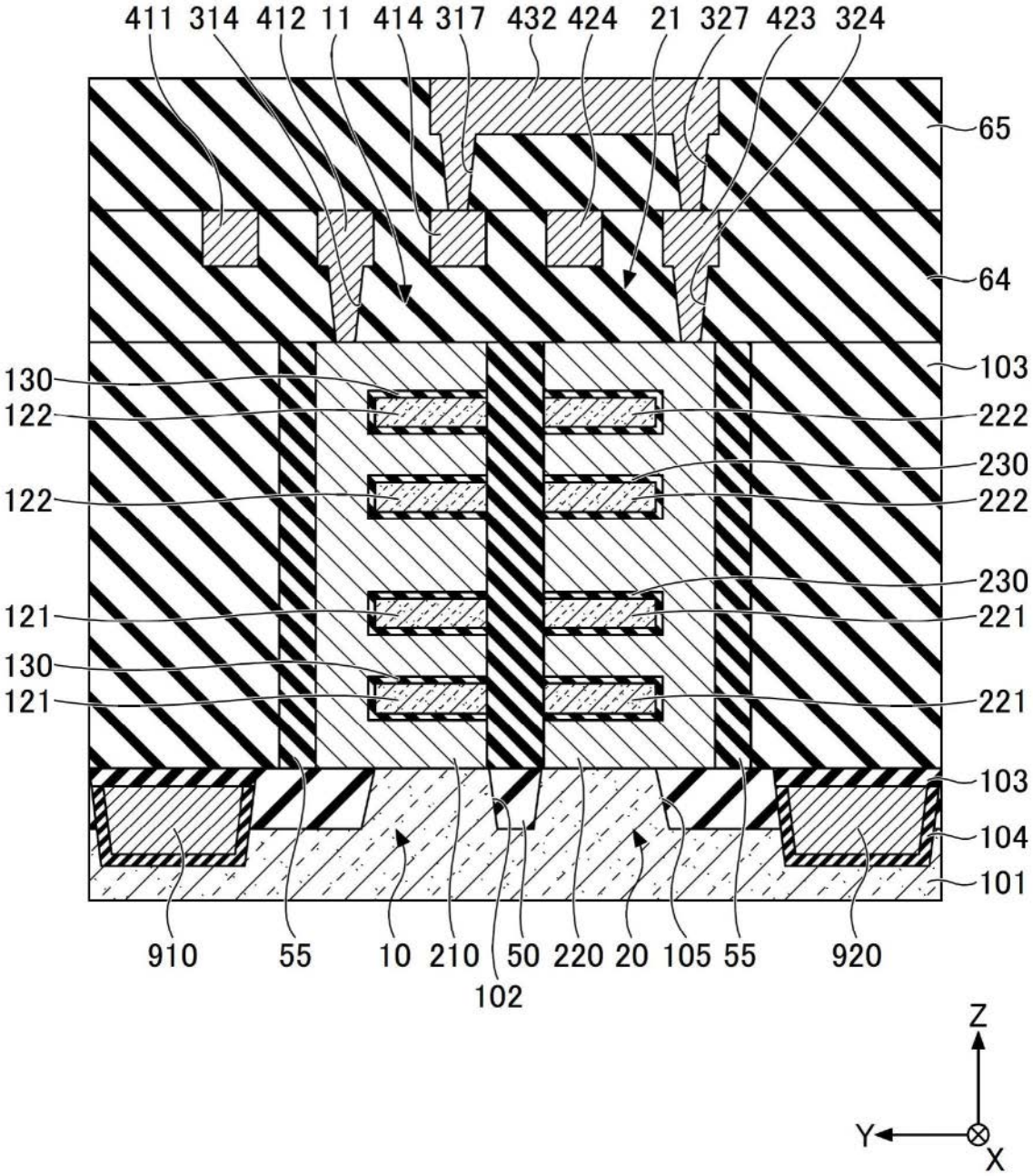

411
314
412
11
414
317
432
424
21
327
423
324
65
64
103
130
122
222
230
122
222
230
121
221
130
121
221
103
104
101
910
55
10
210
50
220
20
105
55
920
102
Z
Y
X

图37

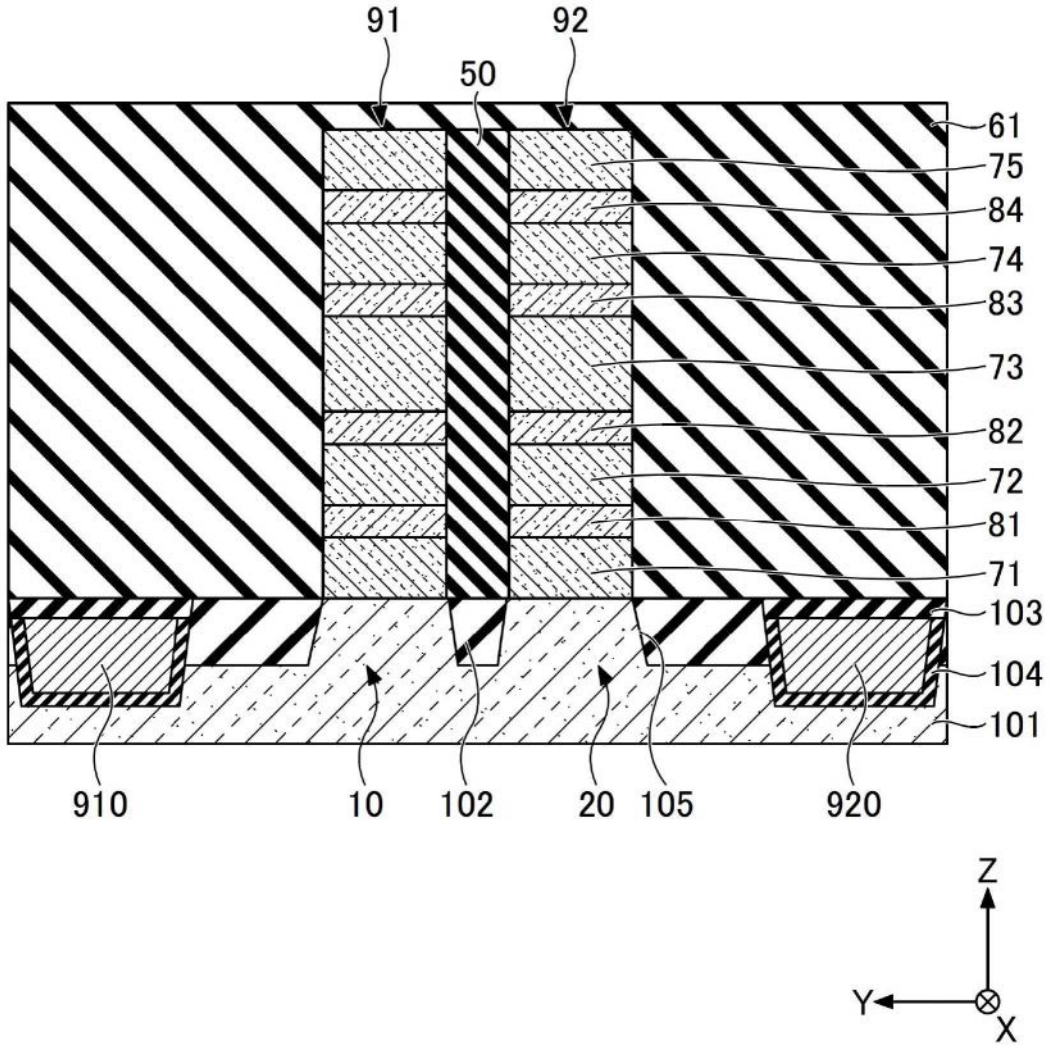

91
92
50
61
75
84
74
83
73
82
72
81
71
103
104
101
910
10
102
20
105
920
Z
Y
X

图38

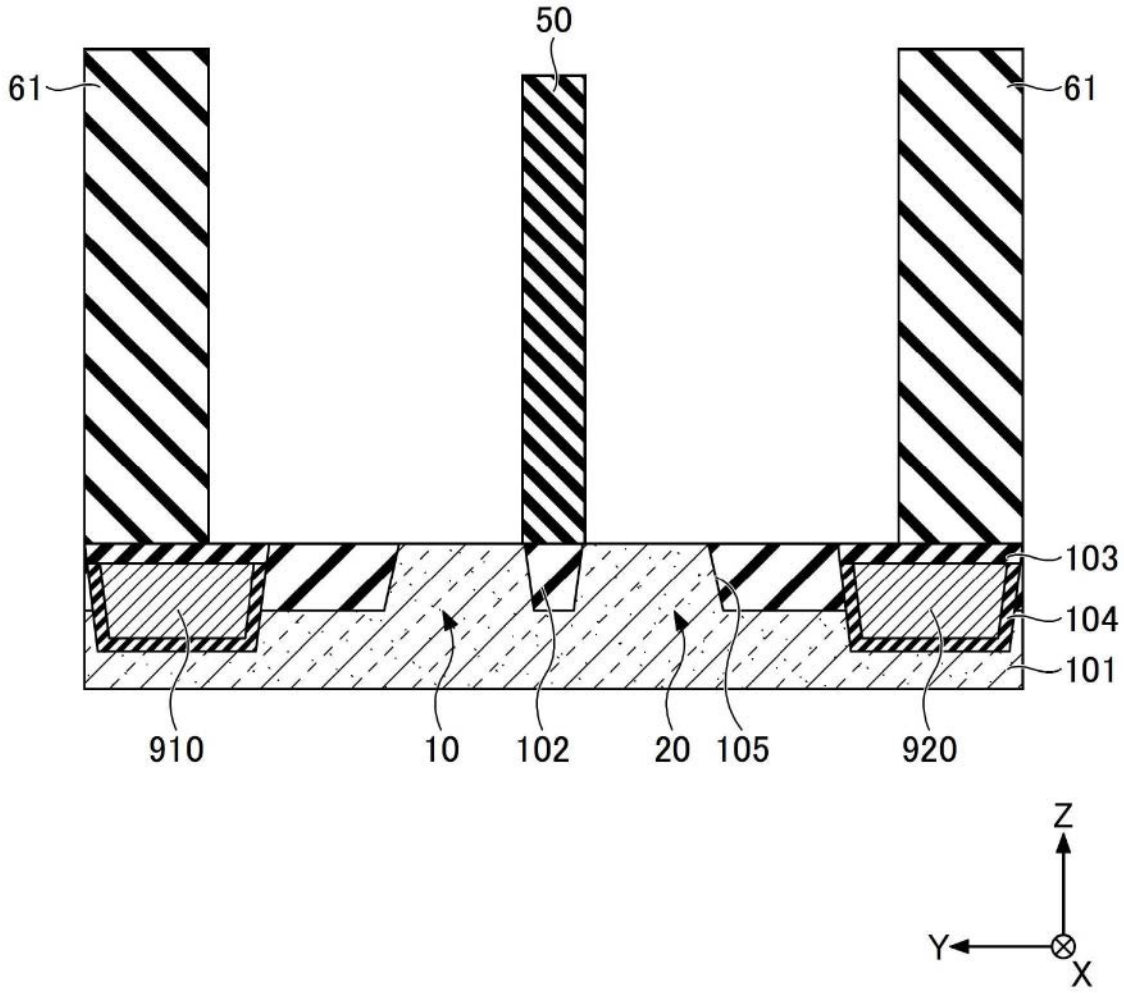


图39

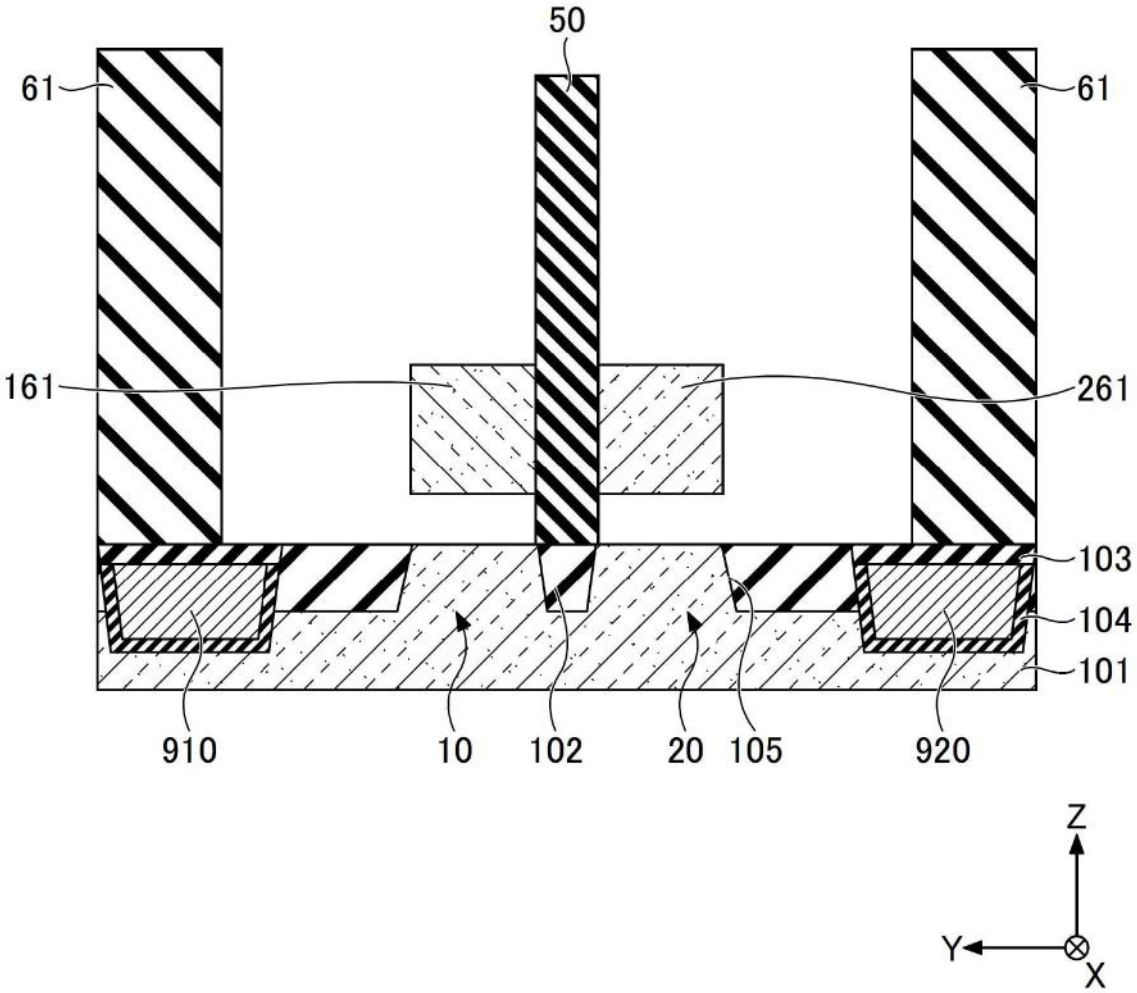


图40

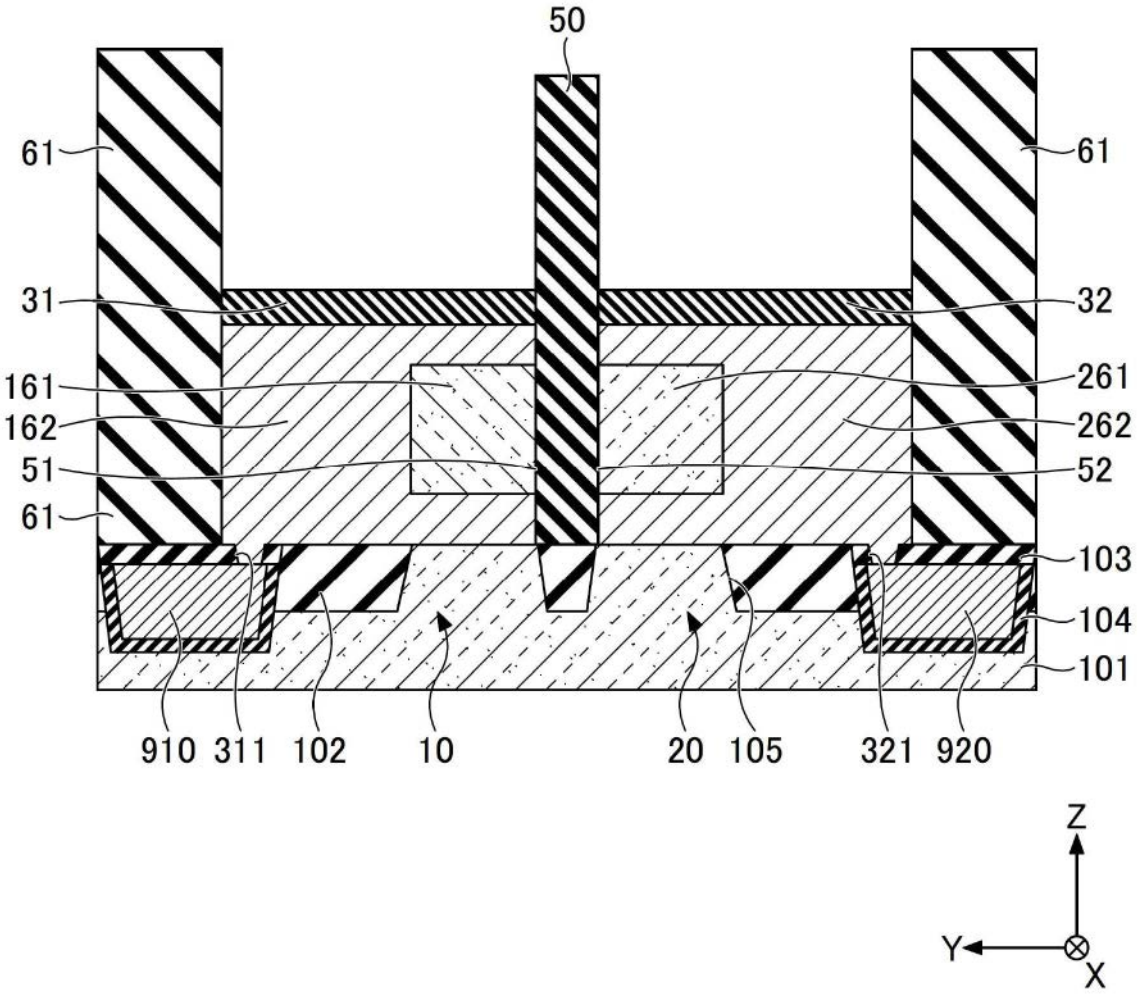

50
61
61
31
32
161
261
162
262
51
52
61
103
104
101
910
311
102
10
20
105
321
920
Z
Y
X

图41

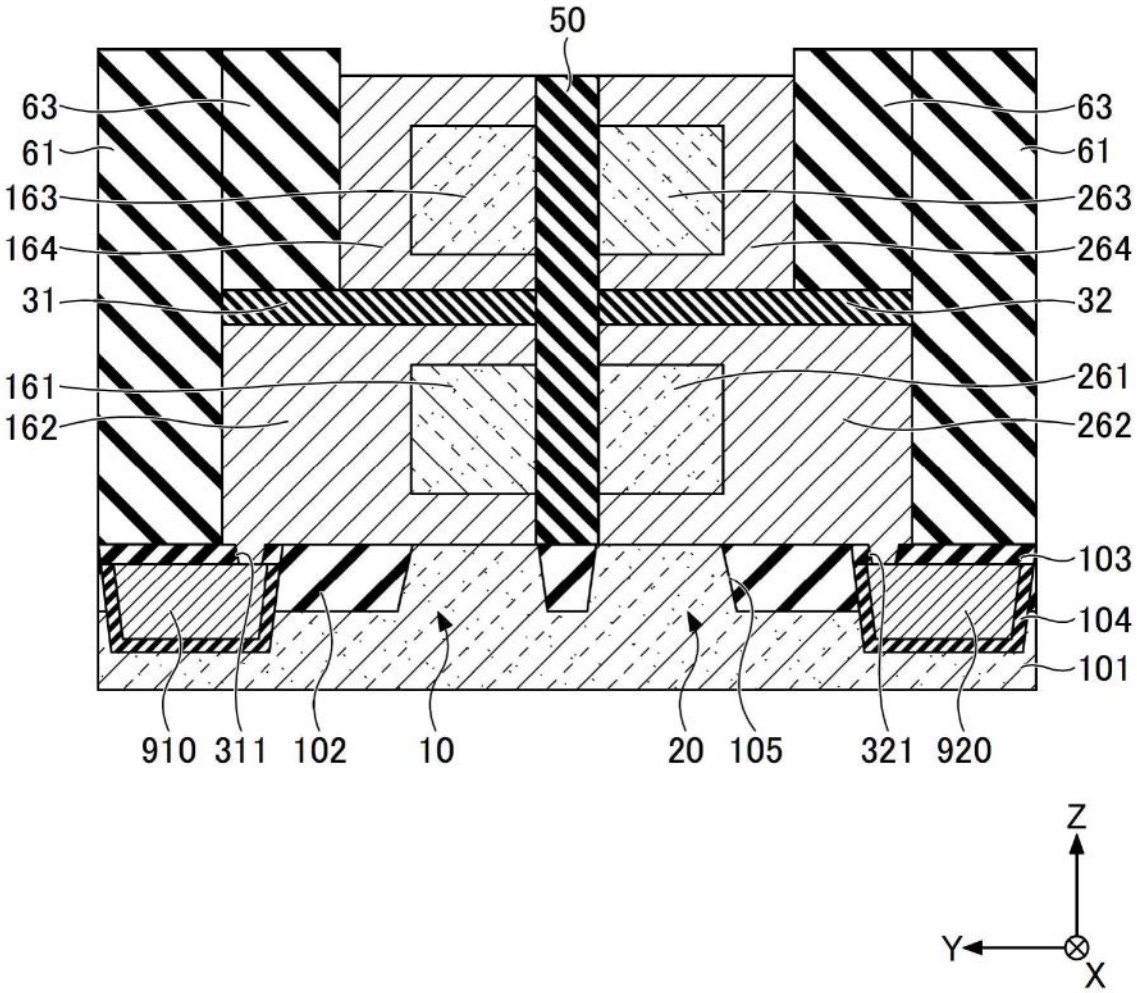

50
63
61
163
164
31
161
162
63
61
263
264
32
261
262
103
104
101
910
311
102
10
20
105
321
920
Z
Y
X

图42

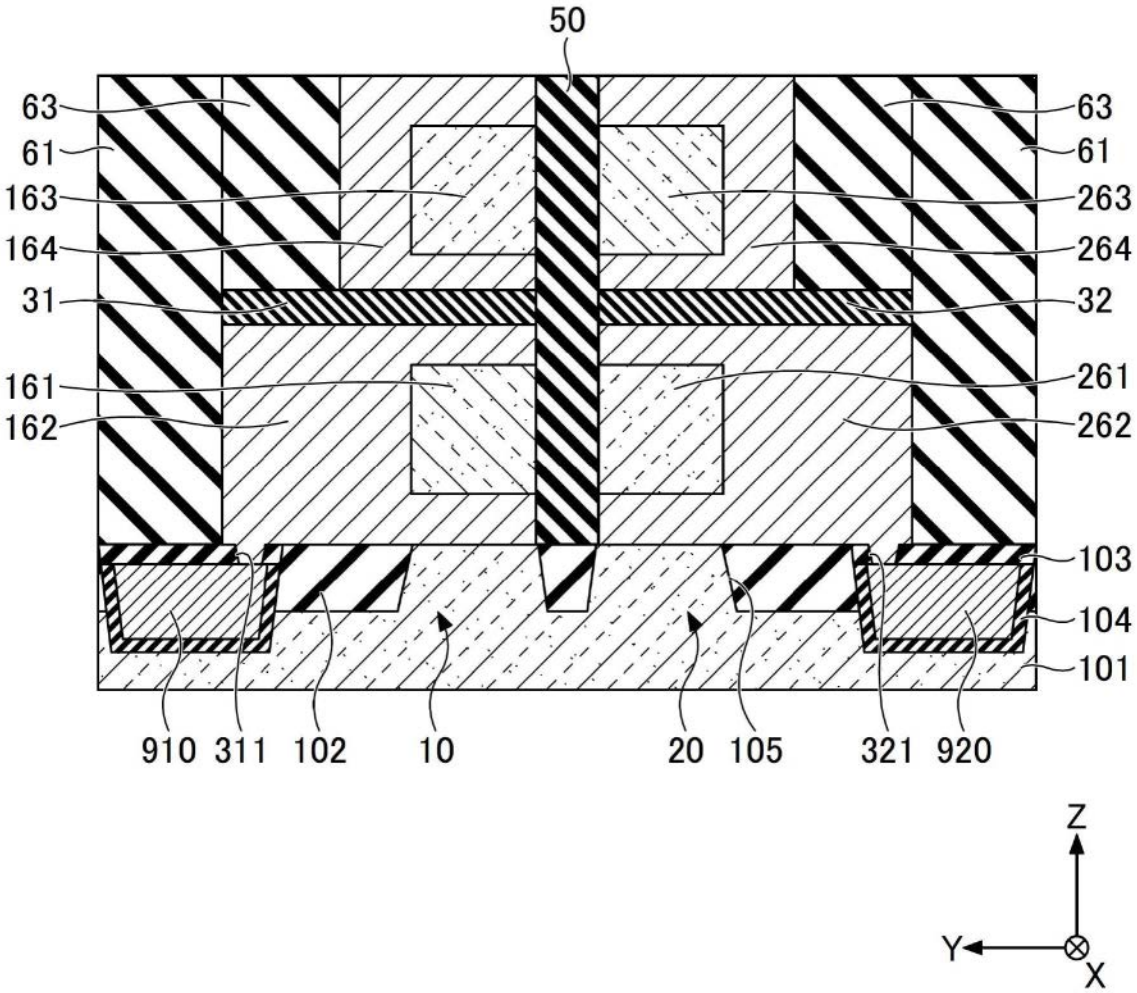

50
63
61
163
164
31
161
162
63
61
263
264
32
261
262
103
104
101
910
311
102
10
20
105
321
920
Z
Y
X

图43

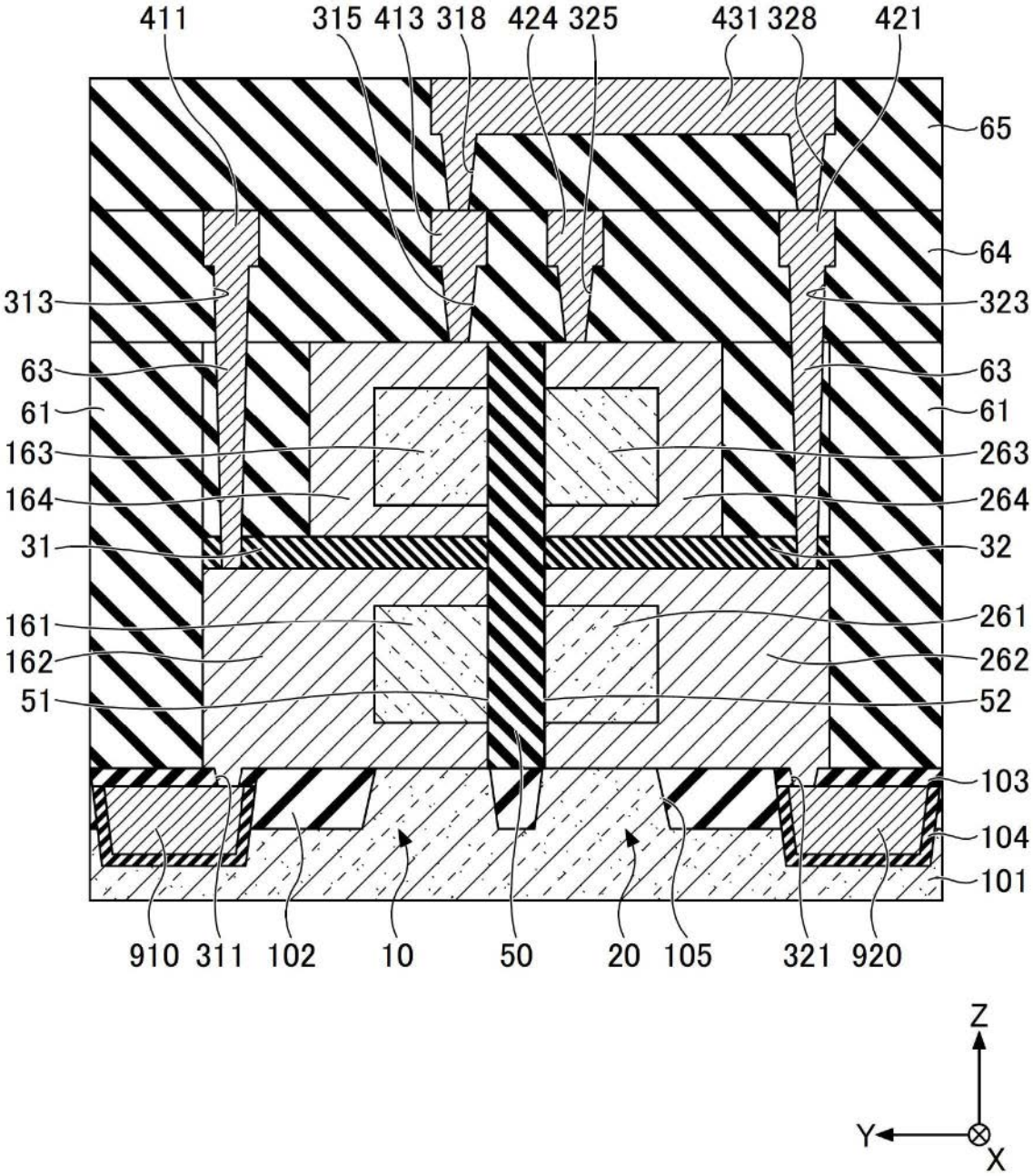

411
315
413
318
424
325
431
328
421
65
64
313
323
63
63
61
61
163
263
164
264
31
32
161
261
162
262
51
52
103
104
101
910
311
102
10
50
20
105
321
920
Z
Y
X

图44

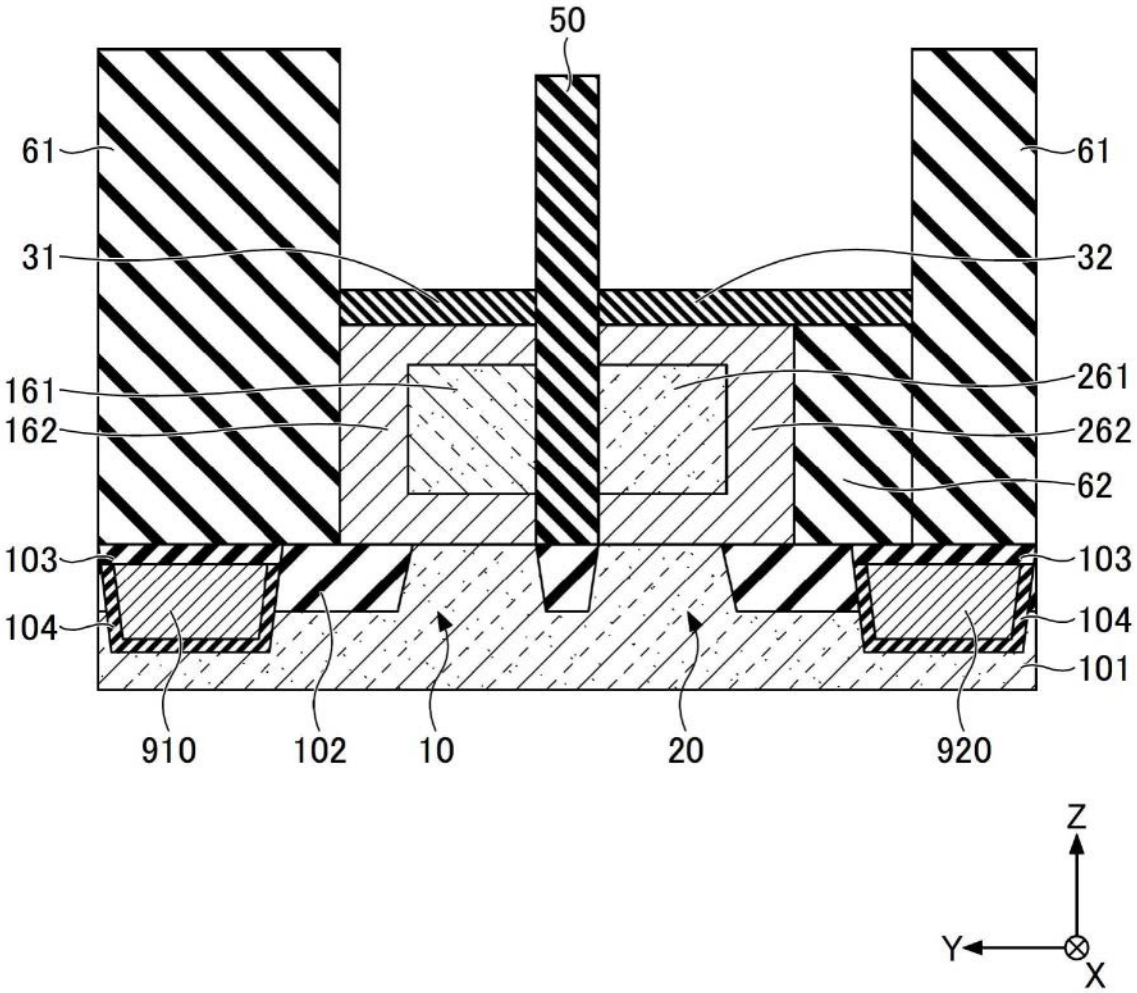

50
61
61
31
32
161
261
162
262
62
103
103
104
104
101
910
102
10
20
920
Z
Y
X

图45

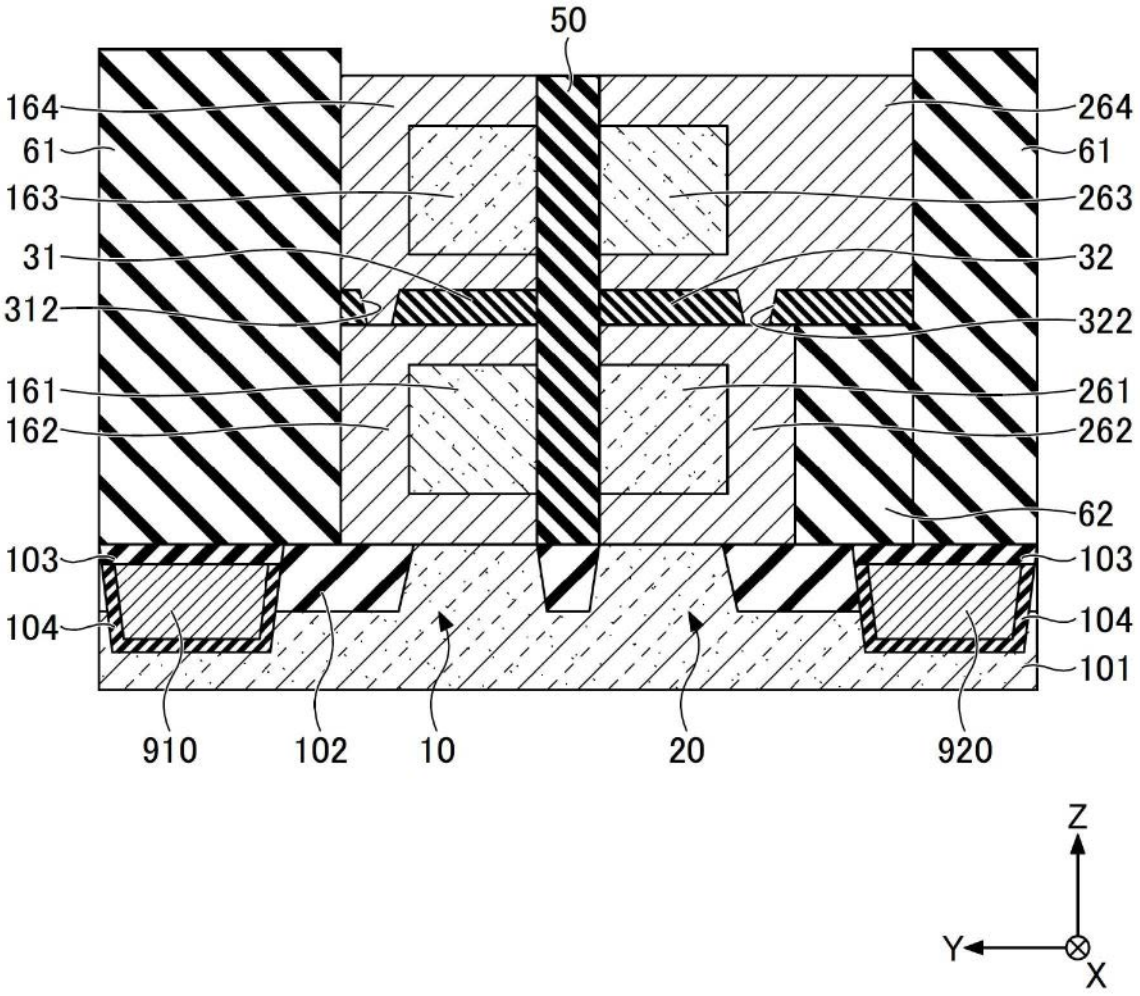

50
164
61
163
31
312
161
162
103
104
910
102
10
20
920
264
61
263
32
322
261
262
62
103
104
101
Z
Y
X

图46

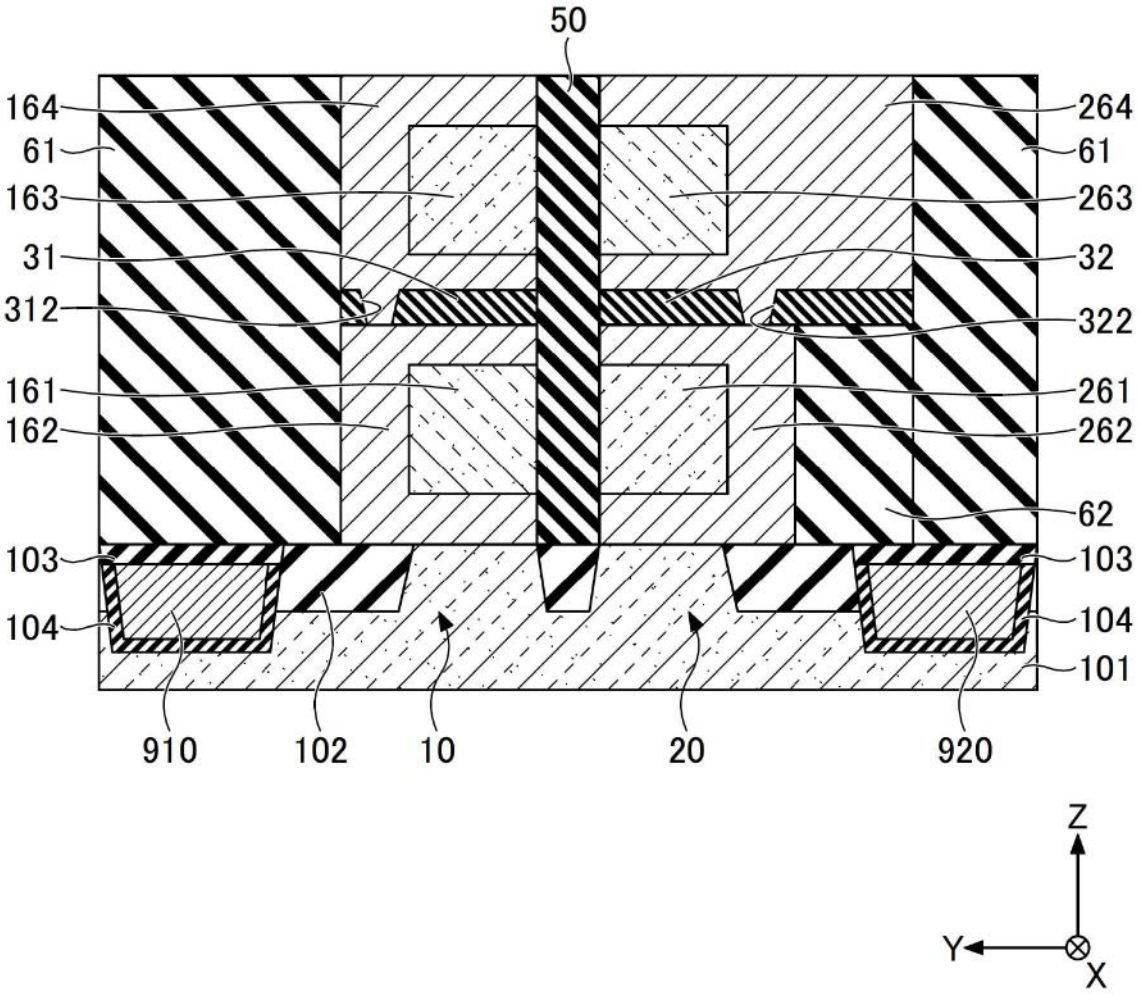

50
164
61
163
31
312
161
162
103
104
910
102
10
20
920
264
61
263
32
322
261
262
62
103
104
101
Z
Y
X

图47

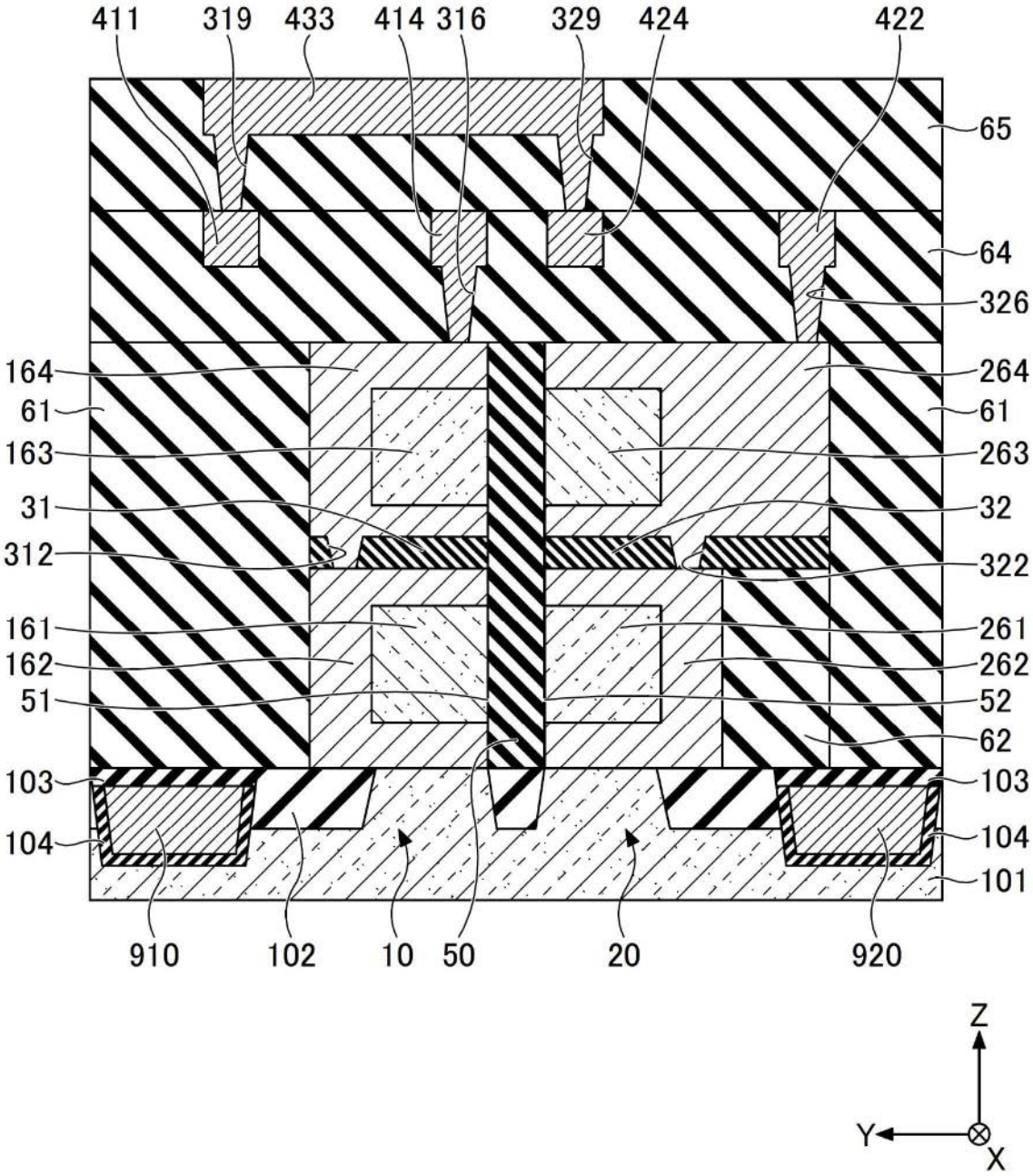

411
319
433
414
316
329
424
422
65
64
326
164
264
61
61
163
263
31
32
312
322
161
261
162
262
51
52
62
103
103
104
104
101
910
102
10
50
20
920
Z
Y
X

图48

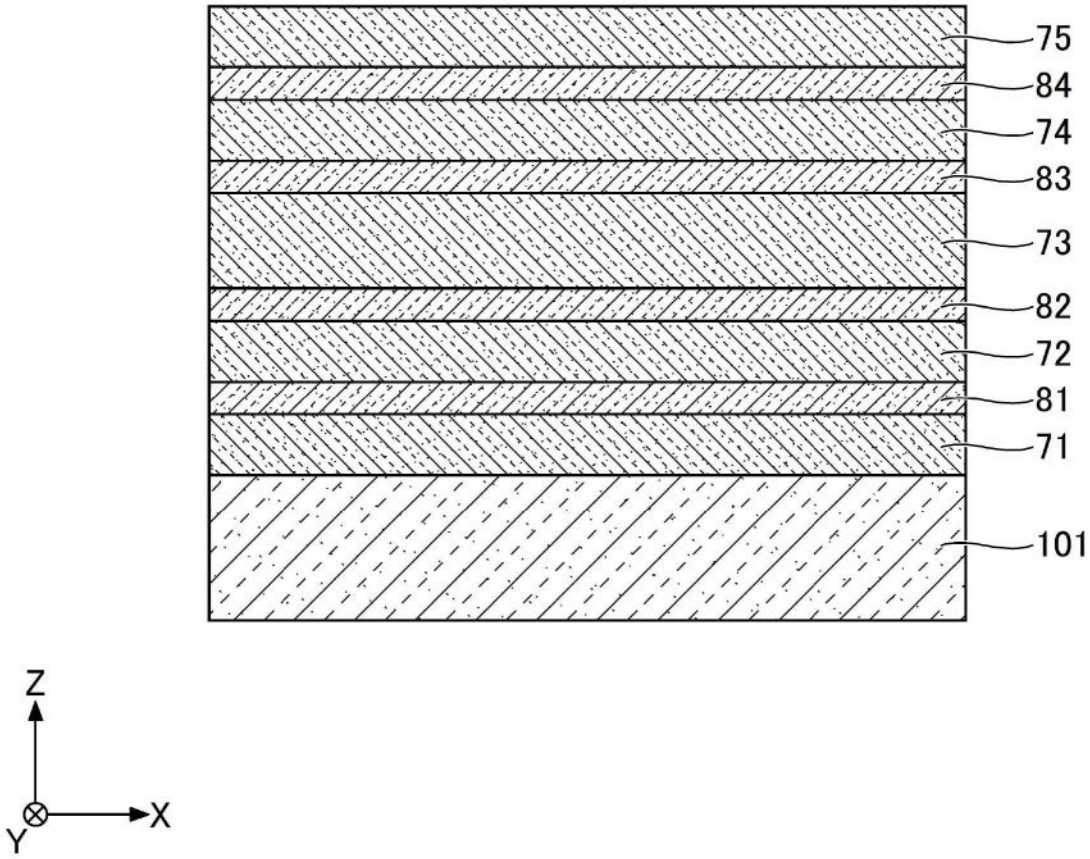


图49

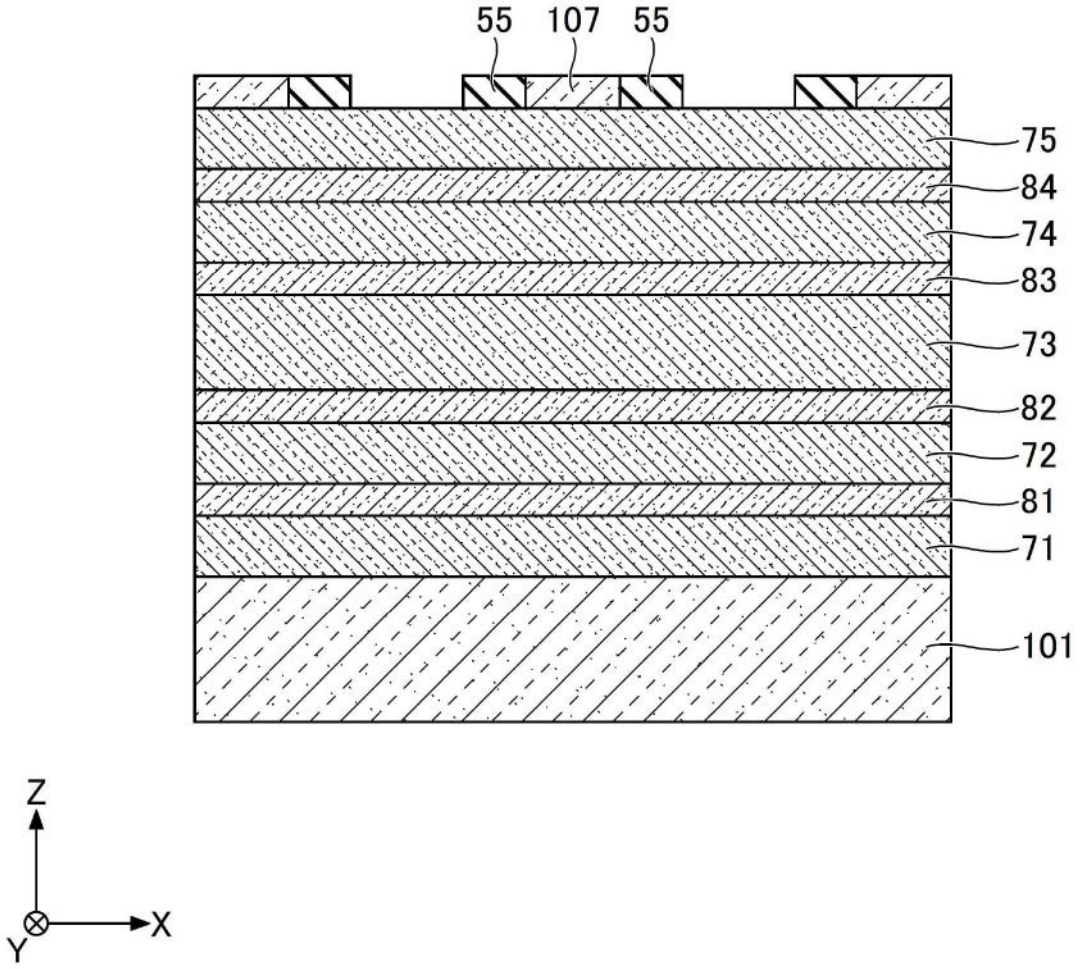


图50

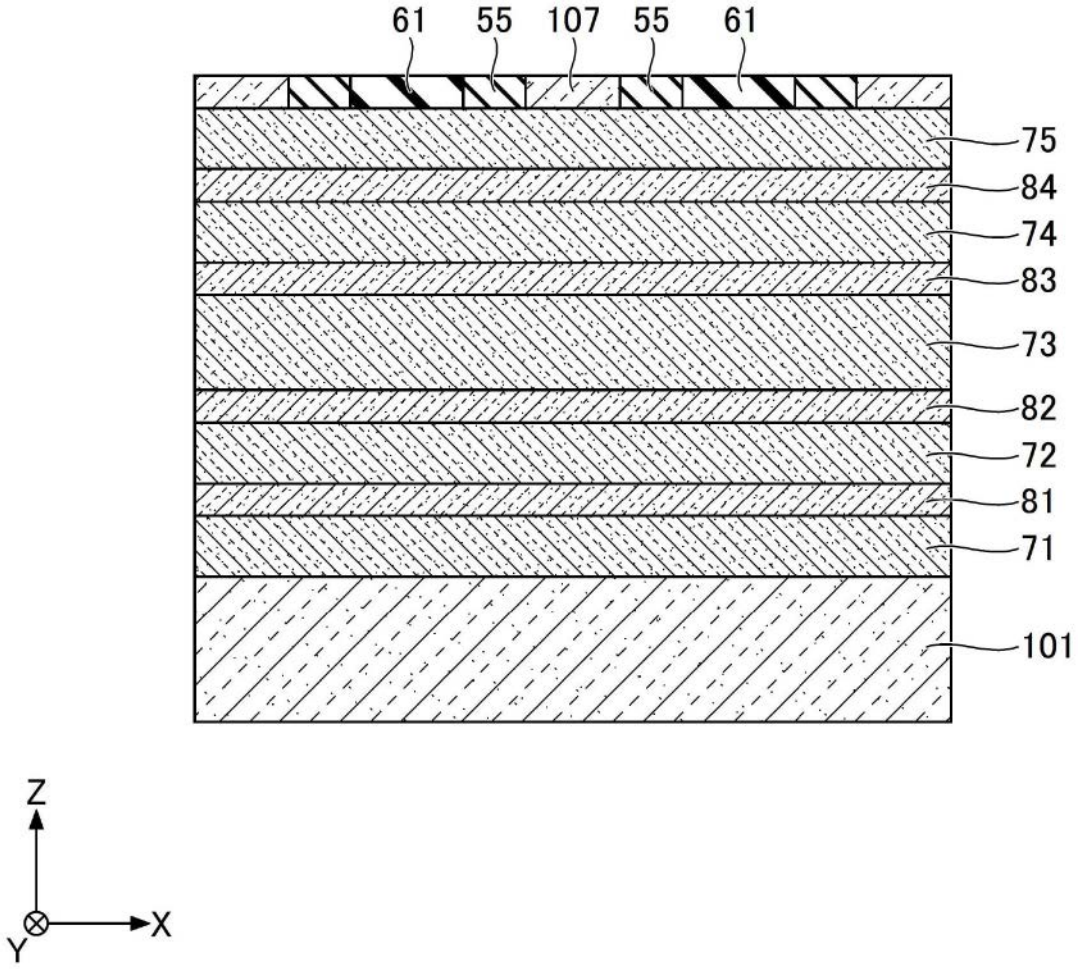


图51

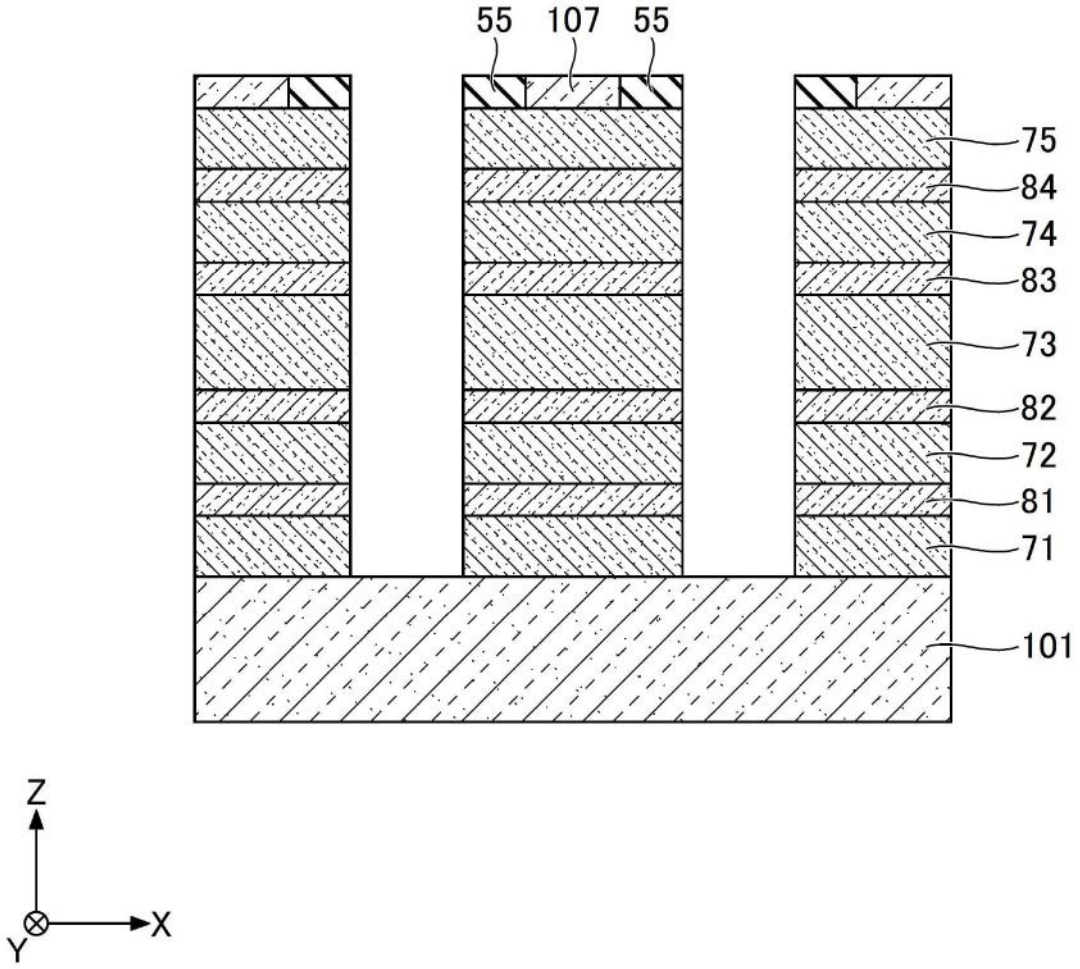


图52

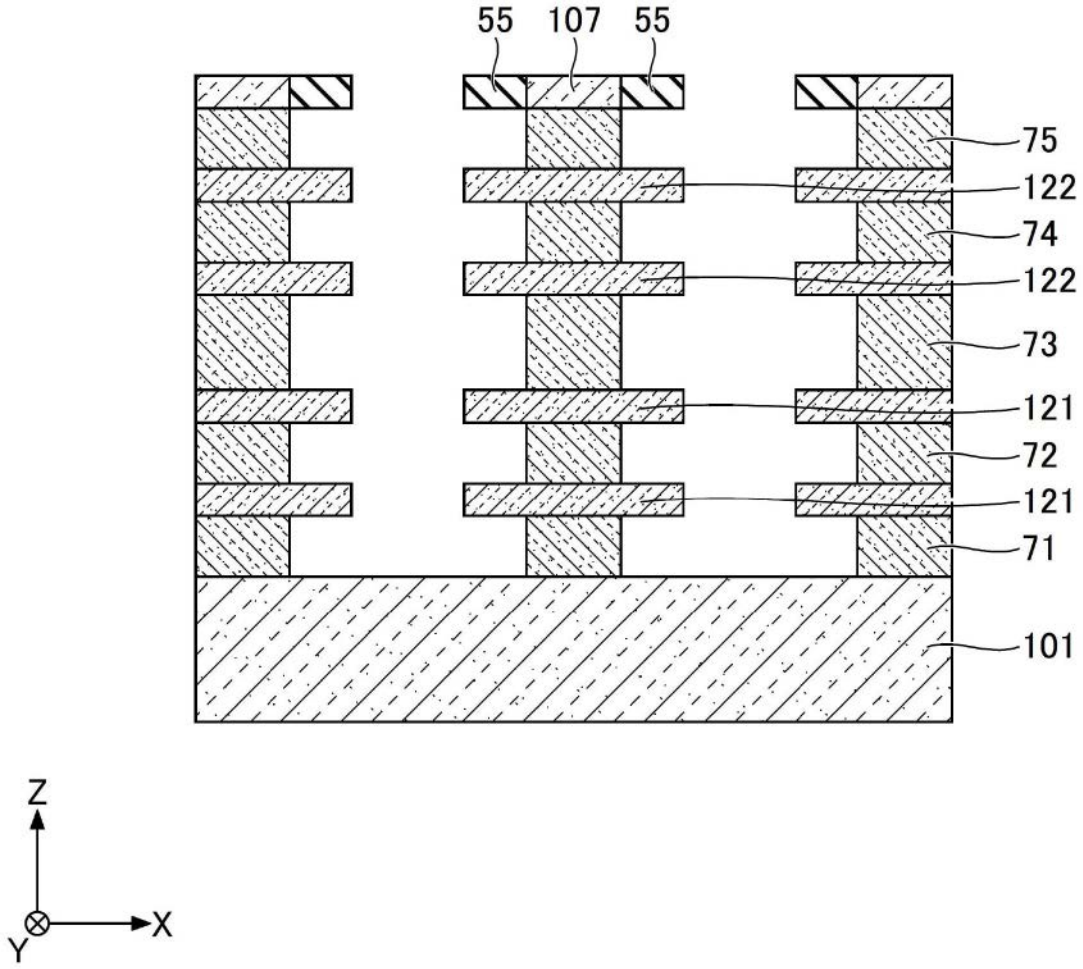


图53

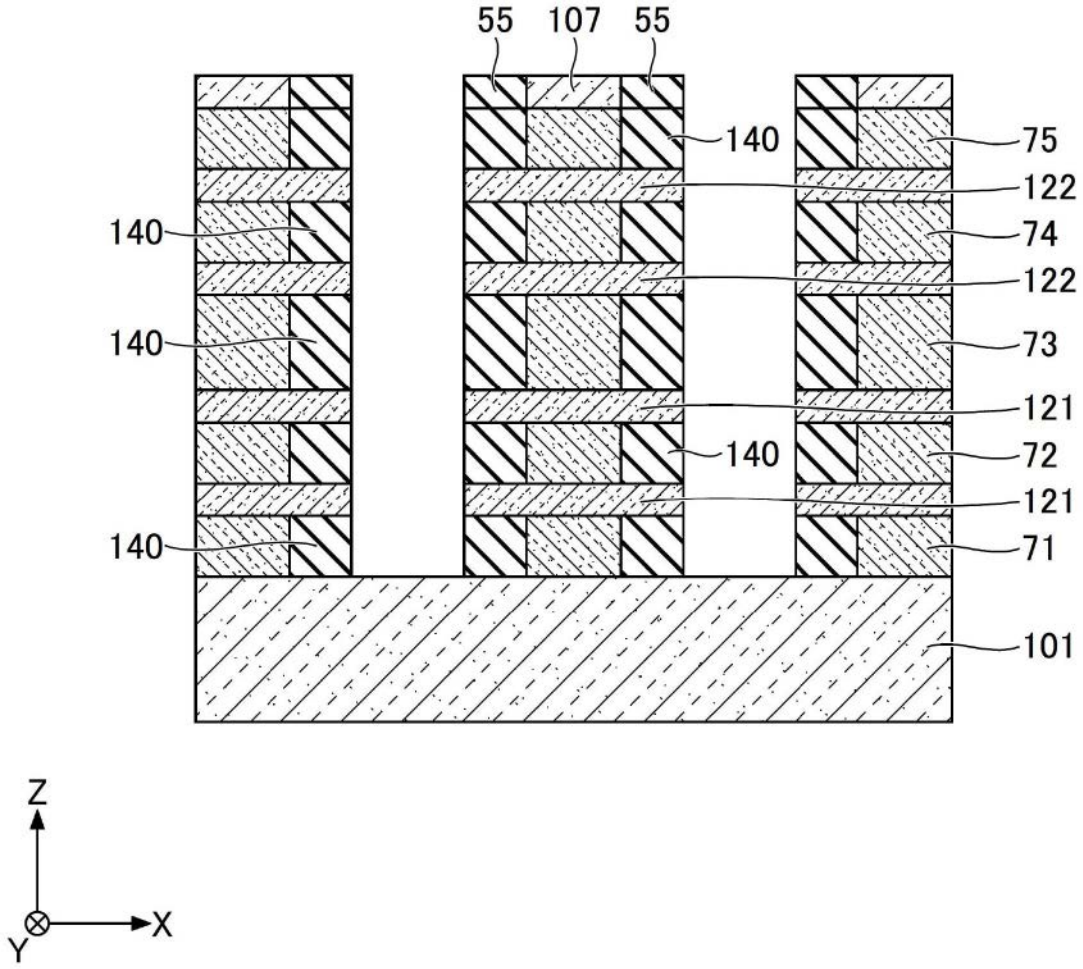

55
107
55
140
75
122
140
74
122
140
73
121
140
72
121
140
71
101
Z
X
Y

图54

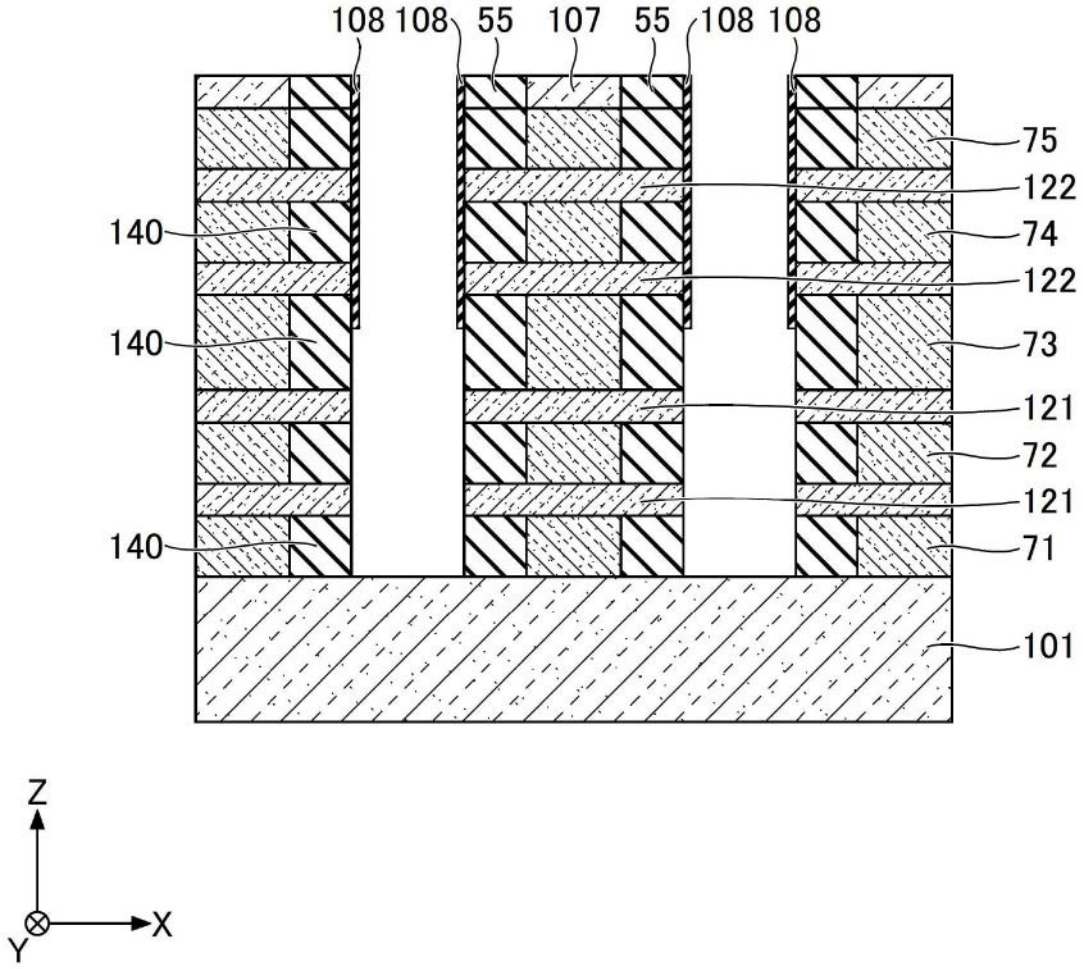

108
108
55
107
55
108
108
75
122
140
74
122
140
73
121
72
121
140
71
101
Z
X
Y

图55

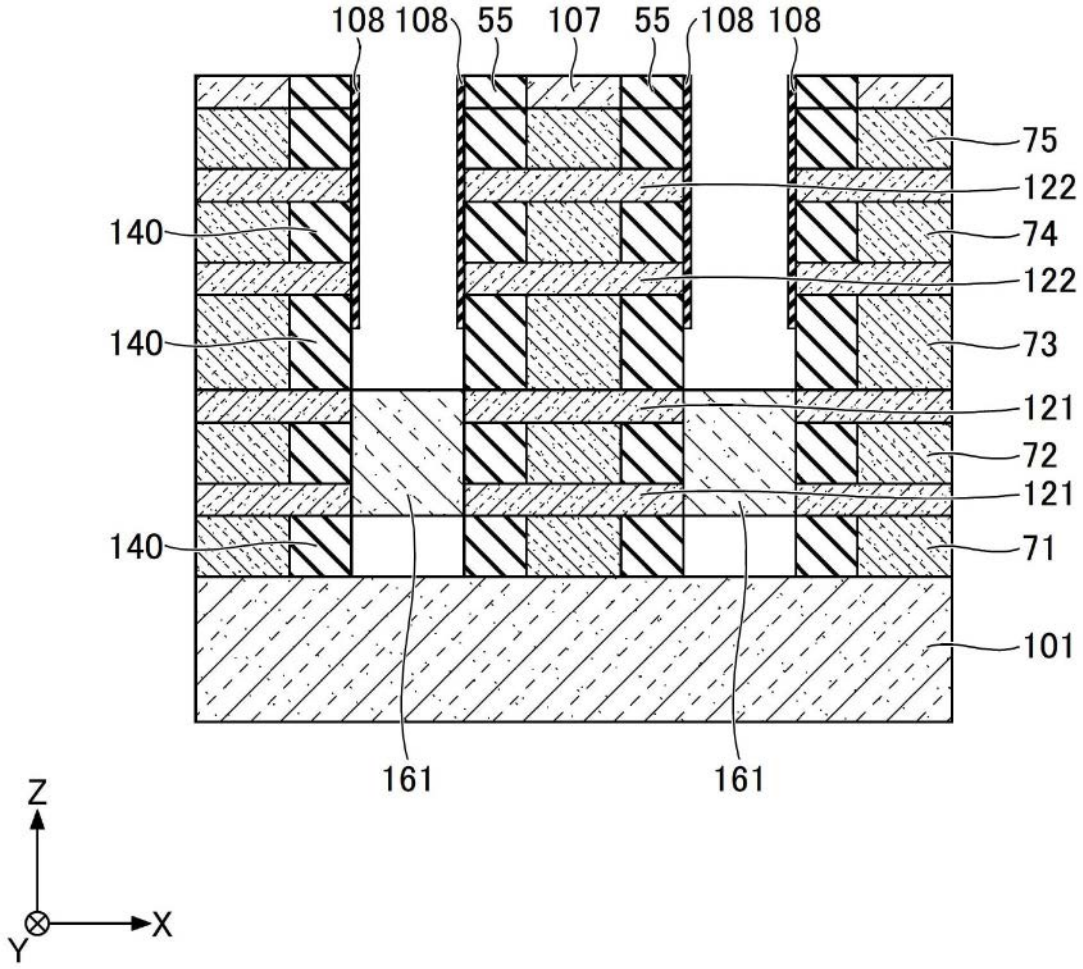

108
108
55
107
55
108
108
75
122
140
74
122
140
73
121
72
121
140
71
101
161
161
Z
X
Y

图56

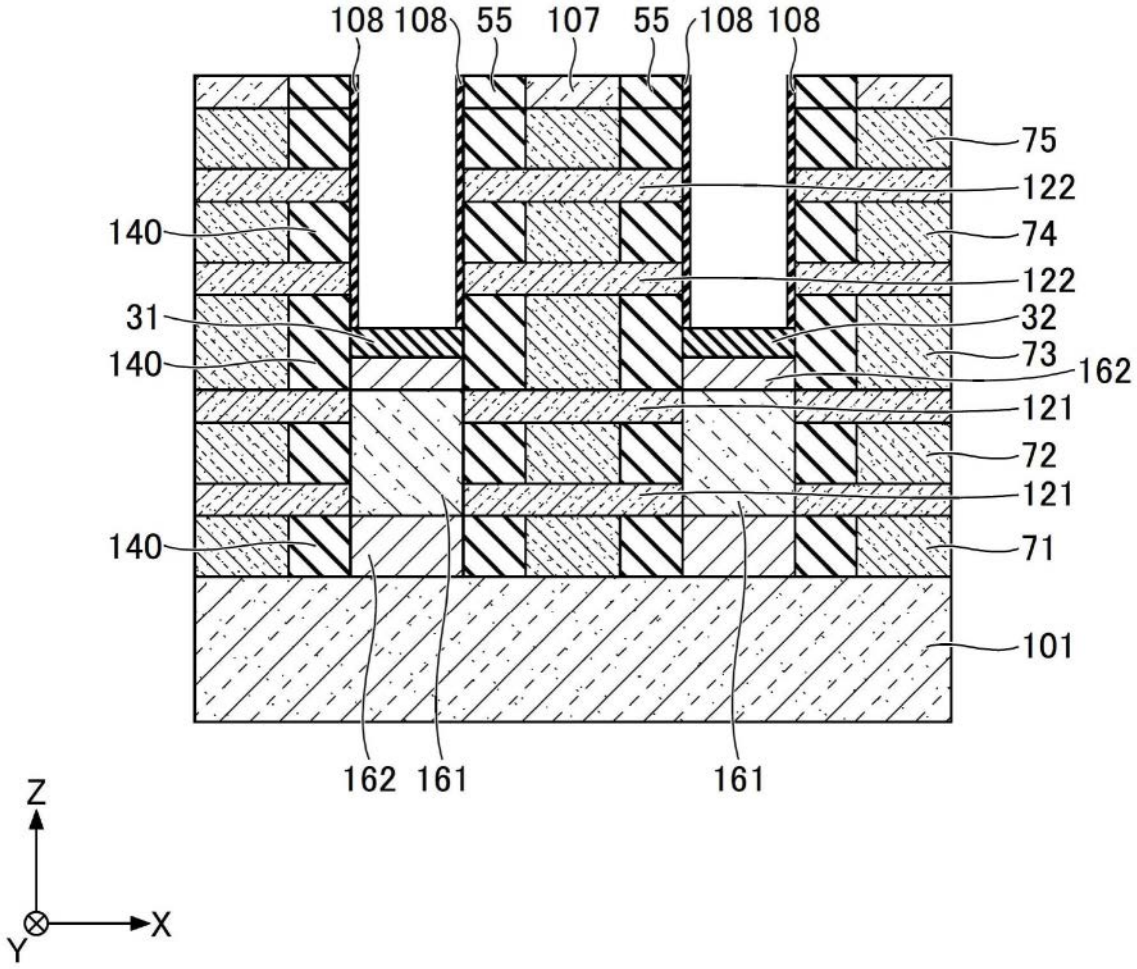

108
108
55
107
55
108
108
75
122
140
74
122
31
32
140
73
162
121
72
121
140
71
101
162
161
161
Z
X
Y

图57

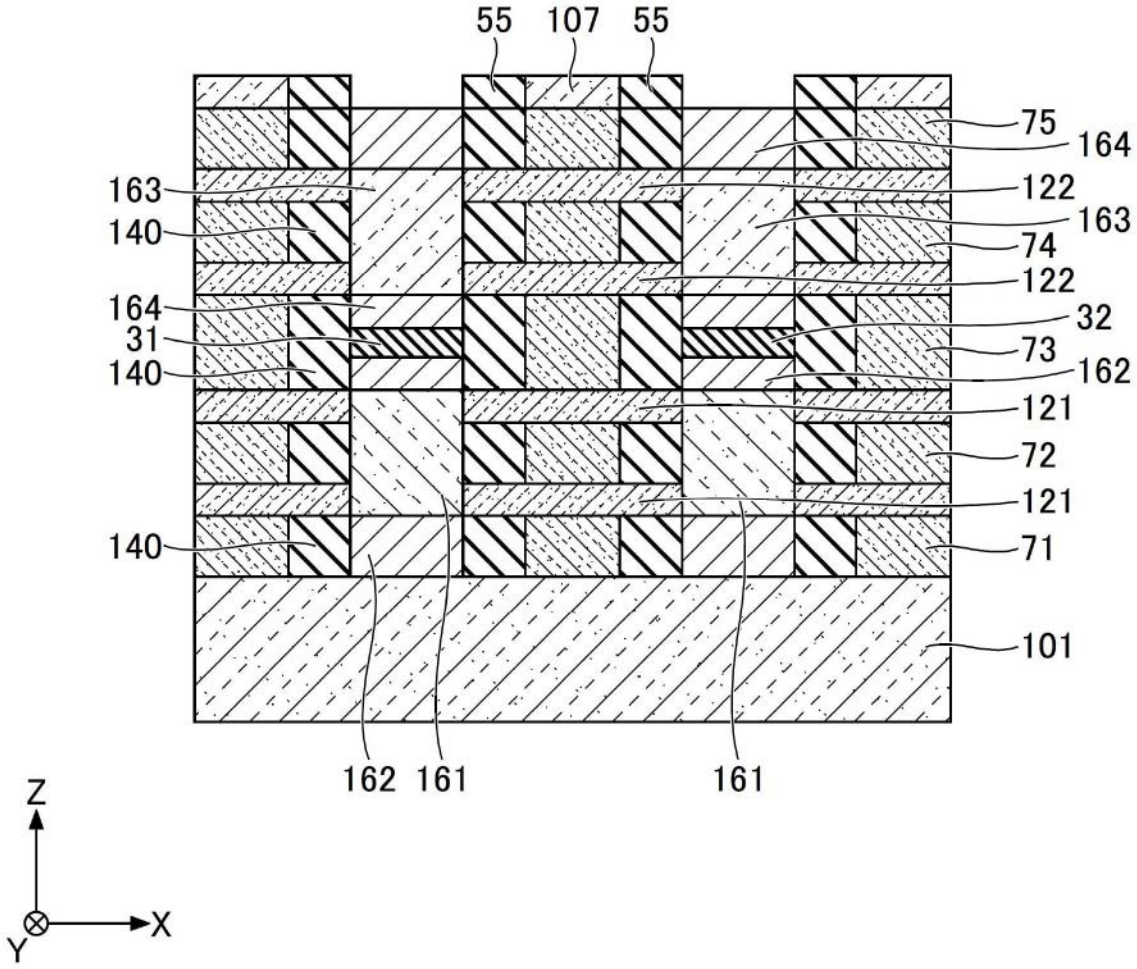

55
107
55
75
164
163
122
140
163
74
122
164
32
31
73
140
162
121
72
121
140
71
101
162
161
161
Z
X
Y

图58

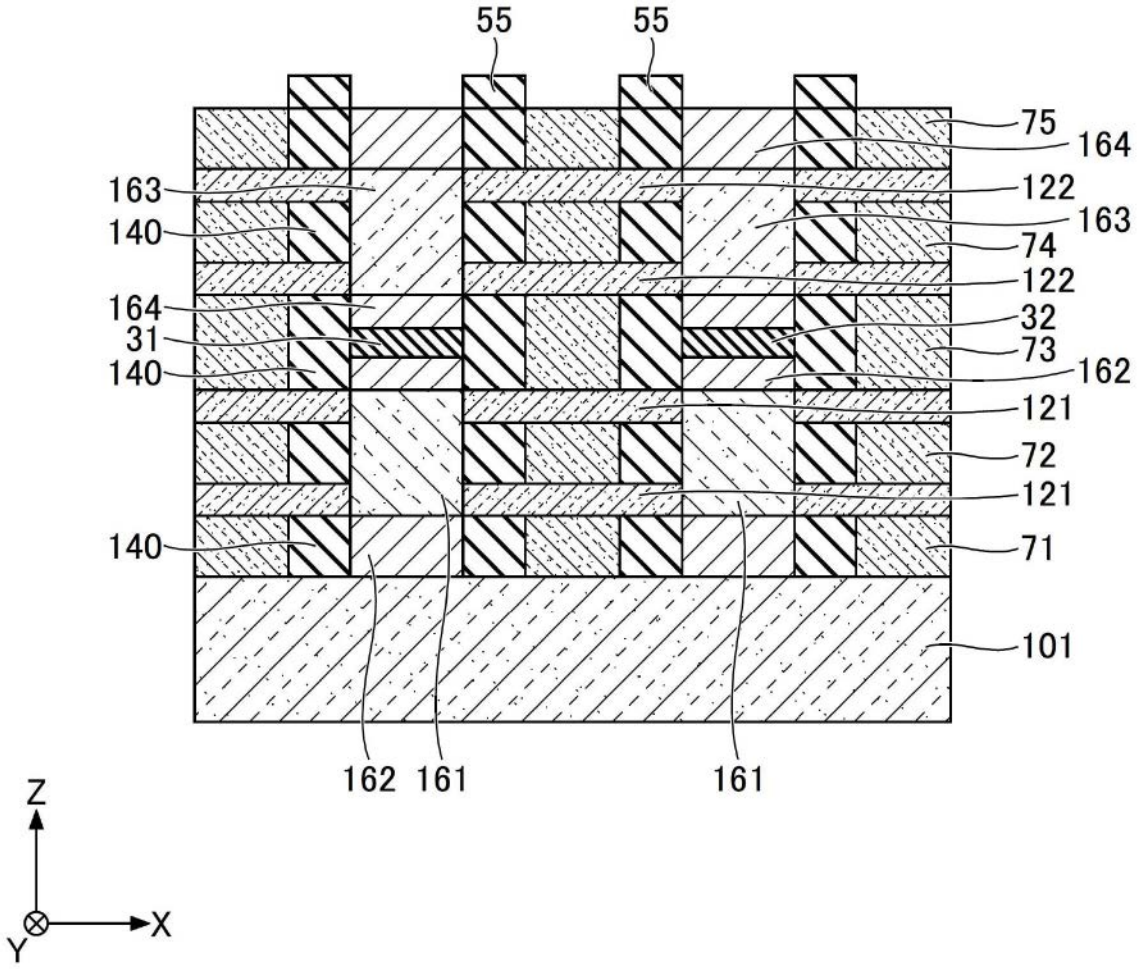

55
55
75
164
163
122
140
163
74
122
164
32
31
73
140
162
121
72
121
140
71
101
162
161
161
Z
X
Y

图59

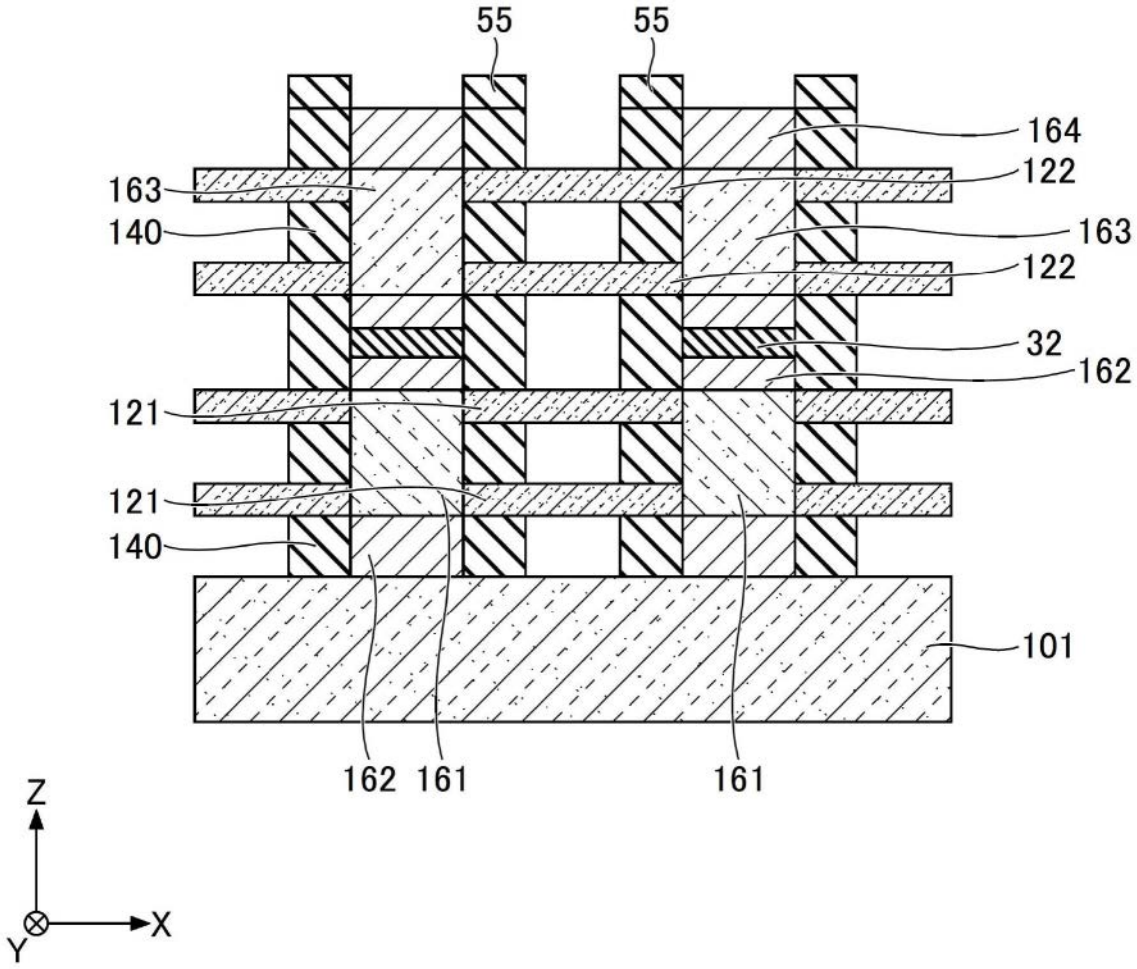

55
55
164
122
163
140
163
122
32
162
121
121
140
101
162
161
161
Z
X
Y

图60

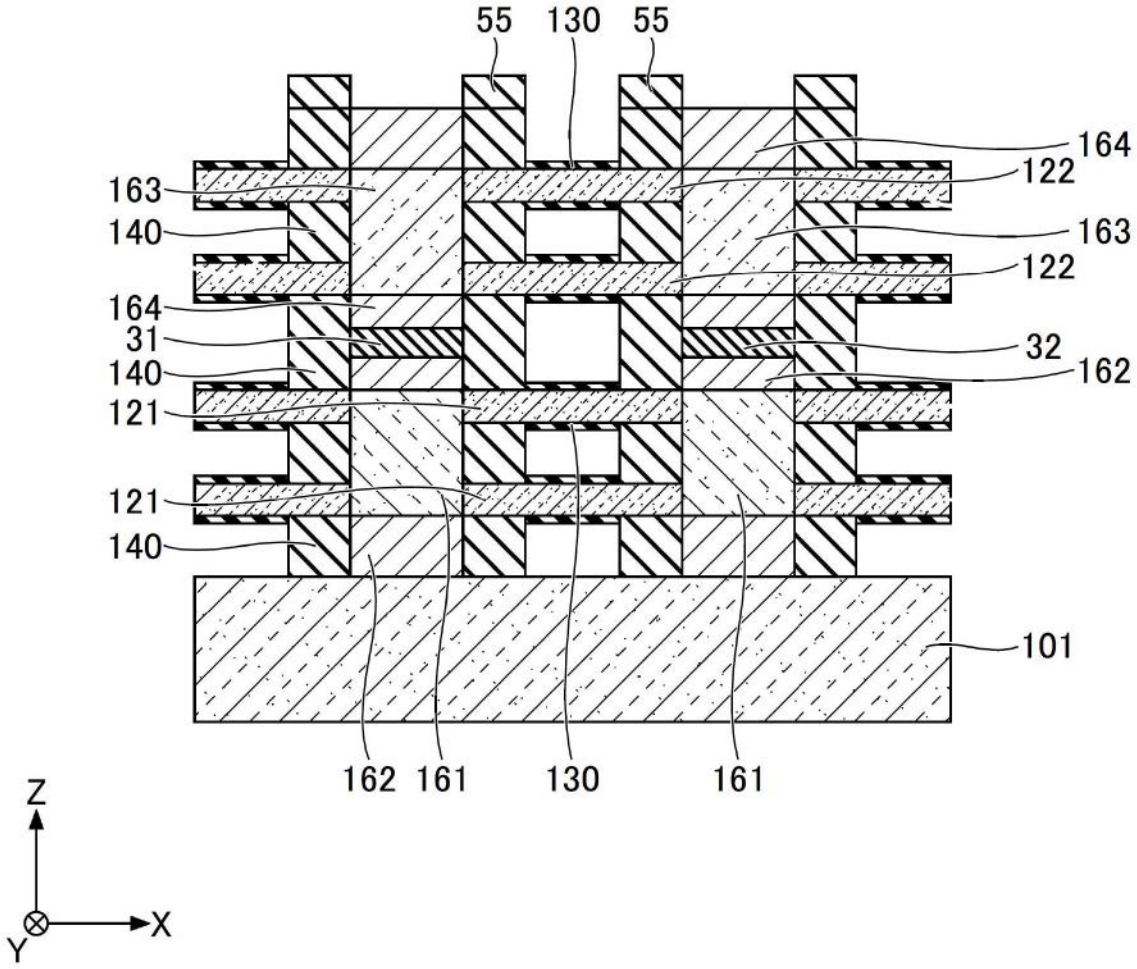

55
130
55
164
122
163
140
163
122
164
31
32
140
162
121
121
140
101
162
161
130
161
Z
X
Y

图61

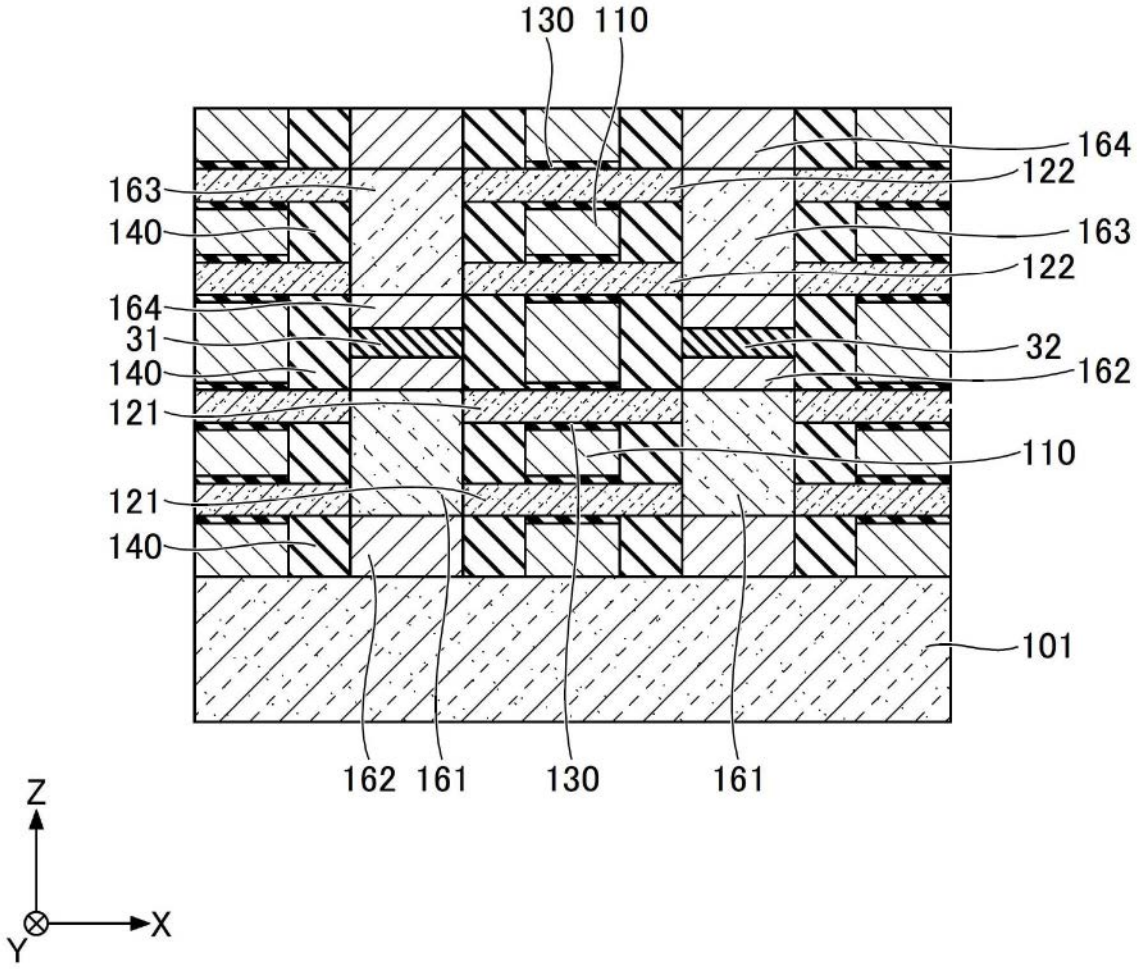

130
110
164
122
163
140
163
122
164
31
32
140
162
121
110
121
140
101
162
161
130
161
Z
Y
X

图62

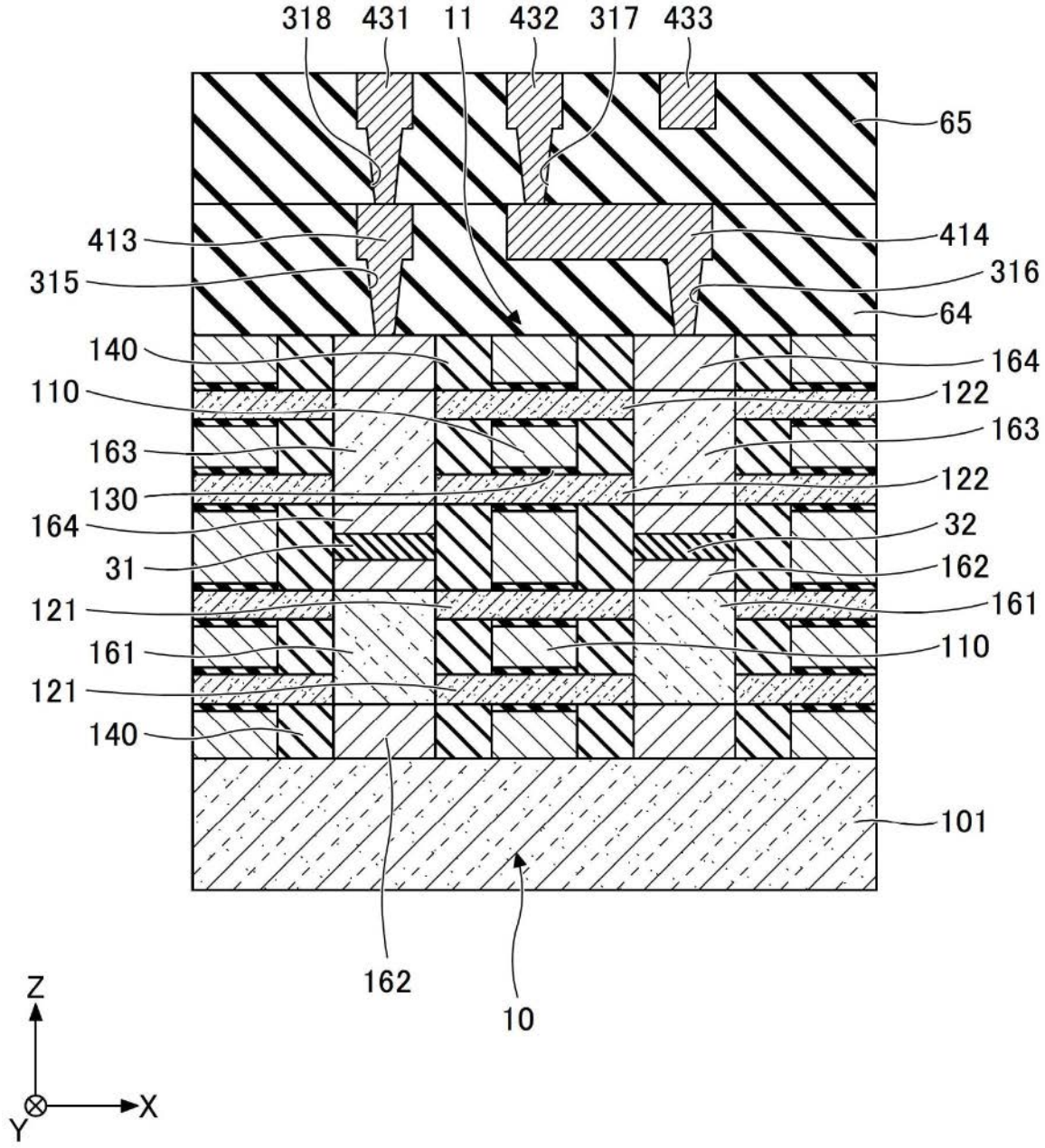

318
431
11
432
317
433
65
413
414
315
316
64
140
164
110
122
163
163
130
122
164
32
31
162
121
161
161
110
121
140
101
162
10
Z
X
Y

图63