

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 7 部門第 2 区分
【発行日】平成22年2月18日(2010.2.18)

【公開番号】特開2010-4085(P2010-4085A)
【公開日】平成22年1月7日(2010.1.7)
【年通号数】公開・登録公報2010-001
【出願番号】特願2009-233128(P2009-233128)
【国際特許分類】

H 0 1 L 21/3205 (2006.01)

H 0 1 L 23/52 (2006.01)

【F I】

H 0 1 L 21/88 S

【手続補正書】
【提出日】平成21年11月16日(2009.11.16)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

比誘電率が 3 以下の第 1 層間絶縁膜と、
前記第 1 層間絶縁膜上に形成され比誘電率が 3 以下の第 2 層間絶縁膜と、
半導体チップの回路形成領域を囲むように前記第 1 及び第 2 層間絶縁膜内に形成された
シールリングと、
前記半導体チップのダイシング領域に形成された複数のダミーパターンとを備え、
前記複数のダミーパターンのそれぞれは、
前記第 1 層間絶縁膜内に形成された第 1 ダミーメタルと、
前記第 2 層間絶縁膜内に形成された第 2 ダミーメタルと、
前記第 2 層間絶縁膜内に形成され、前記第 1 ダミーメタルと前記第 2 ダミーメタルとを
接続するダミービアとを含み、
前記シールリングは、前記半導体チップのエッジ部近傍に配設され、
前記ダイシング領域は、前記シールリングの外側に配置され、
複数の前記第 1 ダミーメタル、複数の前記第 2 ダミーメタル及び複数の前記ダミービア
が前記シールリングを取り囲むように配置され、
前記ダミービアは、平面視で複数の列に沿って配置され、隣り合う列に配置された前記
ダミービアは、交互に配置されることにより千鳥配置となっている
ことを特徴とする半導体装置。

【請求項 2】

前記シールリングを囲むように前記第 1 及び第 2 層間絶縁膜内に形成されたダミースリ
ットビアを更に有する
ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記ダミースリットビアの線幅が最小寸法の 5 倍から 20 倍であることを特徴とする請
求項 2 に記載の半導体装置。

【請求項 4】

前記ダミービアの径は最小寸法の 1 ~ 100 倍であることを特徴とする請求項 1 から請
求項 3 の何れかに記載の半導体装置。

【請求項 5】

比誘電率が 3 以下の層間絶縁膜と、
半導体チップの回路形成領域を囲むように前記半導体チップのエッジ部近傍の前記層間
絶縁膜内に形成されたシールリング部と
を備える半導体装置であって、
前記半導体チップのダイシング領域において、前記層間絶縁膜内に前記シールリング部
を囲うように形成されたダミーパターン
を備え、
前記ダミーパターンは、平面視で複数の列に沿って配置され、隣り合う列に配置された
前記ダミーパターンは、交互に配置されることにより千鳥配置となっていることを特徴と
する半導体装置。