

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成 18 年 1 月 19 日 (2006.1.19)

【公開番号】特開 2003-233326 (P2003-233326A)

【公開日】平成 15 年 8 月 22 日 (2003.8.22)

【出願番号】特願 2002-339235 (P2002-339235)

【国際特許分類】

G 0 9 F 9/00 (2006.01)

G 0 2 F 1/1368 (2006.01)

G 0 9 F 9/30 (2006.01)

H 0 1 L 21/20 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/336 (2006.01)

【F I】

G 0 9 F 9/00 3 4 8 Z

G 0 2 F 1/1368

G 0 9 F 9/30 3 3 8

H 0 1 L 21/20

H 0 1 L 29/78 6 1 2 Z

H 0 1 L 29/78 6 1 2 B

H 0 1 L 29/78 6 1 6 A

H 0 1 L 29/78 6 2 7 G

H 0 1 L 29/78 6 1 3 B

H 0 1 L 29/78 6 1 3 A

【手続補正書】

【提出日】平成 17 年 11 月 17 日 (2005.11.17)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】アクティブマトリクス型表示装置

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

絶縁表面を有する第 1 の基板と、前記第 1 の基板に対向する絶縁表面を有する第 2 の基板と、を有し、

前記第 1 の基板は複数のトランジスタで構成される画素領域が設けられ、

前記第 2 の基板は複数のトランジスタで構成される電気回路が設けられ、

前記第 2 の基板には S R A M、D R A M、フレームメモリ、タイミングジェネレータ、画像処理回路、C P U 又は D S P から選択された回路が設けられ、

前記画素領域と、前記電気回路が設けられる領域とは重なることを特徴とするアクティブマトリクス型表示装置。

【請求項 2】

絶縁表面を有する第 1 の基板と、前記第 1 の基板に対向する絶縁表面を有する第 2 の基板と、を有し、

前記第 1 の基板は複数のトランジスタで構成される画素領域が設けられ、

前記第 2 の基板は複数のトランジスタで構成される電気回路及びソース信号線駆動回路が設けられ、

前記第 2 の基板には S R A M、D R A M、フレームメモリ、タイミングジェネレータ、画像処理回路、C P U 又は D S P から選択された回路が設けられ、

前記画素領域と、前記電気回路が設けられる領域とは重なることを特徴とするアクティブマトリクス型表示装置。

【請求項 3】

絶縁表面を有する第 1 の基板と、前記第 1 の基板に対向する絶縁表面を有する第 2 の基板と、を有し、

前記第 1 の基板は複数のトランジスタで構成される画素領域が設けられ、

前記第 2 の基板は複数のトランジスタで構成される電気回路、ソース信号線駆動回路及びゲート信号線駆動回路が設けられ、

前記第 2 の基板には S R A M、D R A M、フレームメモリ、タイミングジェネレータ、画像処理回路、C P U 又は D S P から選択された回路が設けられ、

前記画素領域と、前記電気回路が設けられる領域とは重なることを特徴とするアクティブマトリクス型表示装置。

【請求項 4】

絶縁表面を有する第 1 の基板と、前記第 1 の基板に対向する絶縁表面を有する第 2 の基板と、を有し、

前記第 1 の基板は複数のトランジスタで構成される画素領域、ソース信号線駆動回路及びゲート信号線駆動回路が設けられ、

前記第 2 の基板は複数のトランジスタで構成される電気回路が設けられ、

前記第 2 の基板には S R A M、D R A M、フレームメモリ、タイミングジェネレータ、画像処理回路、C P U 又は D S P から選択された回路が設けられ、

前記画素領域と、前記電気回路が設けられる領域とは重なることを特徴とするアクティブマトリクス型表示装置。

【請求項 5】

請求項 1 乃至 4 のいずれかーにおいて、前記第 1 の基板と前記第 2 の基板との間には、液晶素子又は発光素子が設けられることを特徴とするアクティブマトリクス型表示装置。

【請求項 6】

請求項 5 において、前記第 1 の基板に設けられたトランジスタと、前記第 2 の基板に設けられたトランジスタとは、前記液晶素子又は発光素子を介して対称な構造を有するように設けられることを特徴とするアクティブマトリクス型表示装置。

【請求項 7】

請求項 1 乃至 6 のいずれかーにおいて、前記第 1 の基板上には透明電極が設けられ、前記第 2 の基板上には反射電極が設けられていることを特徴とするアクティブマトリクス型表示装置。

【請求項 8】

請求項 1 乃至 7 のいずれかーにおいて、前記第 1 の基板上に形成されたトランジスタのチャネル形成領域と、ソース領域及びドレイン領域との間に低濃度不純物領域を有し、前記第 2 の基板上に形成されたトランジスタのチャネル形成領域と、ソース領域及びドレイン領域とは接することを特徴とするアクティブマトリクス型表示装置。

【請求項 9】

請求項 1 乃至 8 のいずれかーにおいて、前記第 1 の基板上に形成されたトランジスタの駆動電圧と前記第 2 の基板上に形成されたトランジスタの駆動電圧とは異なることを特徴とするアクティブマトリクス型表示装置。

【請求項 10】

請求項 1 乃至 9 のいずれかーにおいて、前記第 1 の基板上に形成されたトランジスタの駆動電圧は、前記第 2 の基板上に形成されたトランジスタの駆動電圧よりも高いことを特徴とするアクティブマトリクス型表示装置。

【請求項 1 1】

請求項 1 乃至 10 のいずれかーにおいて、前記トランジスタは絶縁表面上に設けられた薄膜トランジスタであることを特徴とするアクティブマトリクス型表示装置。

【請求項 1 2】

請求項 1 1 において、前記電気回路を構成する薄膜トランジスタの活性層は結晶性半導体膜を有することを特徴とするアクティブマトリクス型表示装置。

【請求項 1 3】

請求項 1 1 又は 1 2 において、前記電気回路を構成する薄膜トランジスタの活性層は結晶性半導体膜を有し、

前記結晶性半導体膜は、半導体膜に連続発振レーザ光を照射し、当該レーザ光を前記半導体膜に対して一方向に走査することによって得られたことを特徴とするアクティブマトリクス型表示装置。

【請求項 1 4】

請求項 1 3 において、前記電気回路を構成する薄膜トランジスタのチャネル長方向と前記レーザ光の走査方向とのなす角は $-30^{\circ} \sim 30^{\circ}$ であることを特徴とするアクティブマトリクス型表示装置。

【請求項 1 5】

請求項 1 1 又は 1 2 において、前記電気回路を構成する薄膜トランジスタの活性層は結晶性半導体膜を有し、

前記結晶性半導体膜を構成する結晶粒は一軸方向に延在することを特徴とするアクティブマトリクス型表示装置。

【請求項 1 6】

請求項 1 5 において、前記電気回路を構成する薄膜トランジスタのチャネル方向と前記一軸方向とのなす角は $-30^{\circ} \sim 30^{\circ}$ であることを特徴とするアクティブマトリクス型表示装置。

【請求項 1 7】

請求項 1 乃至 16 のいずれかーにおいて、前記第 1 の基板はプラスチック基板、ガラス基板及び石英基板のいずれか一つであることを特徴とするアクティブマトリクス型表示装置。

【請求項 1 8】

請求項 1 乃至 17 のいずれかーにおいて、前記第 1 の基板はプラスチック基板、ガラス基板及び石英基板のいずれか一つであることを特徴とするアクティブマトリクス型表示装置。

【請求項 1 9】

請求項 1 乃至 18 のいずれかー において、前記 S R A M の読み出しサイクル時間は 200 n s e c 以下であることを特徴とするアクティブマトリクス型表示装置。

【請求項 20】

請求項 1 乃至 18 のいずれかー において、前記 D R A M の読み出しサイクル時間は $1 \mu \text{ s e c}$ 以下であることを特徴とするアクティブマトリクス型表示装置。

【請求項 21】

請求項 1 乃至 18 のいずれかー において、前記画像処理回路の動作周波数は 5 M H z 以上であることを特徴とするアクティブマトリクス型表示装置。

【請求項 22】

請求項 1 乃至 18 のいずれかー において、前記 C P U の動作周波数は 5 M H z 以上であることを特徴とするアクティブマトリクス型表示装置。

【請求項 23】

請求項 1 乃至 18 のいずれかー において、前記 D S P の動作周波数は 5 M H z 以上であ

ることを特徴とするアクティブマトリクス型表示装置。