

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 17 年 3 月 17 日 (2005.3.17)

【公開番号】特開 2004-164383 (P2004-164383A)
 【公開日】平成 16 年 6 月 10 日 (2004.6.10)
 【年通号数】公開・登録公報 2004-022
 【出願番号】特願 2002-330569 (P2002-330569)
 【国際特許分類第 7 版】

G 0 6 F 7/72

G 0 6 F 17/10

G 0 9 C 1/00

【F I】

G 0 6 F 7/72

G 0 6 F 17/10 Z

G 0 9 C 1/00 6 5 0 Z

【手続補正書】
 【提出日】平成 16 年 4 月 23 日 (2004.4.23)
 【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】0 0 0 2
 【補正方法】変更
 【補正の内容】
 【0 0 0 2】
 【従来の技術】

例えば、ハミング符号などの誤り訂正符号や復号では、例えば、有限体上の演算が行われている。

このような有限体は、他の有限体からの拡大によって規定される場合がある。

例えば、第 1 の有限体からの第 1 の拡大によって第 2 の有限体が規定され、第 2 の有限体からの第 2 の拡大によって第 3 の有限体が規定される場合に、上記第 3 の有限体上の演算は、上記第 2 の有限体上の演算を用いて規定される。

また、上記第 2 の有限体上の演算は、上記第 1 の拡大についての第 1 の多項式によって得られた原始根を基に決定された基底を用いて表現される。また、第 2 の有限体上の演算は、上記第 2 の拡大についての第 2 の多項式によって得られた原始根を基に決定された基底を用いて表現される。

従来の回路構成方法では、上記第 2 の多項式の 0 次の項の係数を、上記第 1 の多項式の 0 次の項の係数とは無関係に定めている。

【手続補正 2】
 【補正対象書類名】明細書
 【補正対象項目名】0 0 1 9
 【補正方法】変更
 【補正の内容】
 【0 0 1 9】
 【数 1 3】

$$A: A_0 + A_1\alpha_1 + A_2\alpha_1^2 + \cdots + A_{q-1}\alpha_1^{q-1} \quad \cdots (2-6)$$

【手続補正 3】
 【補正対象書類名】明細書

【補正対象項目名】 0 0 2 9

【補正方法】 変更

【補正の内容】

【0 0 2 9】

図 2 に示すように、上記回路構成方法は、データ $A[0] \sim A[q-1]$ のそれぞれが、係数 d を乗算する $q-1$ 個の乗算回路 $31_1 \sim 31_q-1$ 、係数 cd を乗算する $i-1$ 個の乗算回路 $32_1 \sim 32_i-1$ 、加算回路 33 のうち、対応する回路に入力されるように a 倍演算回路 301 を構成する。

また、上記回路構成方法は、乗算回路 $32_0 \sim 32_i-1$ の出力が、インバータ $35_0 \sim 35_i-1$ にそれぞれ入力されるように a 倍演算回路 301 を構成する。

また、上記回路構成方法は、乗算回路 $31_1 \sim 31_i-1$ の出力が、それぞれ加算回路 $34_1 \sim 34_i-1$ に入力されるように a 倍演算回路 301 を構成する。

また、上記回路構成方法は、インバータ $35_1 \sim 35_i-1$ の出力が、それぞれ加算回路 $34_1 \sim 34_i-1$ に入力されるように a 倍演算回路 301 を構成する。

また、上記回路構成方法は、乗算回路 33 の出力が、係数 d を乗算する乗算回路 32 に入力されるように a 倍演算回路 301 を構成する。

そして、インバータ 35_0 、加算回路 $34_1 \sim 34_i-1$ 、乗算回路 32 、並びに乗算回路 $31_i \sim 31_q-1$ の出力が、それぞれデータ $D[0] \sim D[q-1]$ となる。

図 2 に示す $D[0] \sim D[q-1]$ が、上記 (2-9), (2-11) に示す $D_0 \sim D_{q-1}$ にそれぞれ対応している。

【手続補正 4】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 4 1

【補正方法】 変更

【補正の内容】

【0 0 4 1】

【数 2 6】

$$A: A_0 + A_1\alpha_1 + A_2\alpha_1^2 + \cdots + A_{q-1}\alpha_1^{q-1} \quad \cdots(3-6)$$

【手続補正 5】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 5 9

【補正方法】 変更

【補正の内容】

【0 0 5 9】

また、CPU 34 が、加算回路 12 の出力が c^{-1} 倍演算回路 11_i に入力されるように a 倍演算回路 101 を構成する。

そして、CPU 34 が、インバータ 13_0 、加算回路 $14_1 \sim 14_i-1$ 、 c^{-1} 倍演算回路 $11_i \sim 11_q-1$ の出力が、それぞれデータ $D[0] \sim D[q-1]$ となるように、 a 倍演算回路 101 を構成する。

図 6 に示す $D[0] \sim D[q-1]$ が、上記 (3-9), (3-11) に示す $D_0 \sim D_{q-1}$ にそれぞれ対応している。