



등록특허 10-2393055



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년04월29일
(11) 등록번호 10-2393055
(24) 등록일자 2022년04월27일

- (51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) *G09G 3/3225* (2016.01)
G09G 3/34 (2006.01)
- (52) CPC특허분류
G09G 3/20 (2013.01)
G09G 3/3225 (2013.01)
- (21) 출원번호 10-2017-0065527
- (22) 출원일자 2017년05월26일
심사청구일자 2020년05월18일
- (65) 공개번호 10-2017-0137632
- (43) 공개일자 2017년12월13일
- (30) 우선권주장
JP-P-2016-111536 2016년06월03일 일본(JP)

- (56) 선행기술조사문헌
JP2011112723 A*

(뒷면에 계속)
전체 청구항 수 : 총 5 항

심사관 : 신영교

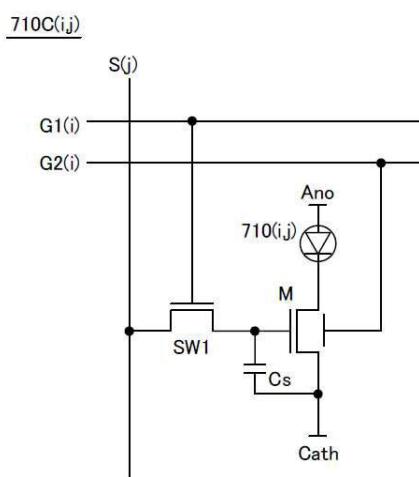
- (54) 발명의 명칭 표시 장치, 표시 모듈, 전자 기기, 및 구동 방법

(57) 요 약

본 발명은 발광 소자의 발광 기간을 제어함으로써 시인성을 향상시킨다.

신호선, 제 1 주사선, 제 2 주사선, 및 화소 회로를 갖는 표시 장치이고, 화소 회로는 발광 소자, 제 1 트랜지스터, 및 제 2 트랜지스터를 갖는다. 제 2 트랜지스터는 백 게이트를 갖고, 백 게이트에 제 2 주사선이 전기적으로 접속되어 있다. 제 2 주사선은 제 2 트랜지스터의 문턱 전압을 제어하는 기능을 갖고, 발광 소자의 발광 기간을 제어하는 기능을 갖는다.

대 표 도 - 도1



(52) CPC특허분류

G09G 3/3406 (2013.01)

G09G 2230/00 (2013.01)

G09G 2330/021 (2013.01)

(56) 선행기술조사문헌

KR1020100027986 A*

KR1020130008659 A*

KR1020130008658 A

JP2011112722 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

표시 장치의 구동 방법으로서,

상기 표시 장치는,

발광 소자 및 트랜지스터를 포함하는 화소 회로를 포함하고,

상기 트랜지스터는 게이트, 상기 발광 소자와 전기적으로 접속되는 제 1 단자, 및 백 게이트를 포함하고,

상기 방법은,

1프레임 기간의 제 1 기간에 상기 발광 소자가 발광하도록 상기 트랜지스터의 상기 게이트에 제 1 전압을 공급하는 단계; 및

상기 1프레임 기간의 제 2 기간에 상기 발광 소자가 발광하지 않도록 상기 트랜지스터의 상기 백 게이트에 제 2 전압을 공급하는 단계를 포함하고,

상기 트랜지스터의 상기 백 게이트에 공급되는 상기 제 1 전압이 상기 제 2 전압으로 변동될 때, 상기 발광 소자의 발광 상태가 비발광 상태로 전환되고,

상기 트랜지스터의 상기 백 게이트에 공급되는 상기 제 2 전압이 상기 제 1 전압으로 변동될 때, 상기 발광 소자의 상기 비발광 상태가 상기 발광 상태로 전환되는, 표시 장치의 구동 방법.

청구항 2

제 1 항에 있어서,

상기 트랜지스터는 채널 형성 영역에 산화물 반도체를 포함하는, 표시 장치의 구동 방법.

청구항 3

제 1 항에 있어서,

캐소드 전압이 상기 트랜지스터의 제 2 단자에 공급되는, 표시 장치의 구동 방법.

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

제 1 항에 있어서,

상기 발광 소자는 유기 화합물층을 포함하는, 표시 장치의 구동 방법.

청구항 8

삭제

청구항 9

제 1 항에 있어서,
상기 발광 소자의 계조가 상기 제 1 기간에 제어되는, 표시 장치의 구동 방법.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

발명의 설명**기술분야**

[0001] 본 발명의 일 형태는 표시 장치, 표시 모듈, 및 전자 기기에 관한 것이다.

[0002] 다만, 본 발명의 일 형태는 상술한 기술분야에 한정되지 않는다. 본 명세서 등에 개시(開示)되는 발명의 일 형태가 속하는 기술분야는 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명은 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 특히, 본 발명의 일 형태는 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 이들의 구동 방법, 또는 이들의 제조 방법에 관한 것이다.

배경기술

[0003] 스마트폰, 태블릿 등의 모바일 기기가 보급되고 있다. 또한, 헤드 마운트 디스플레이(head mounted display)나 디지털화된 차재용 표시 기기와 같은 새로운 기기가 사용되기 시작하면서, 높은 시인성과 소비전력의 저감이 요구되고 있다.

[0004] 액티브 매트릭스형 유기 EL 디스플레이에는 응답 속도가 빠르고, 시야각이 넓다는 등의 우수한 특성을 갖는 홀드형 표시 방식(이하, 홀드형 구동이라고 표기함)이 사용된다. 홀드형 구동에서는, 1프레임 기간(1프레임이란 표시하는 화상의 단위를 나타냄)에 발광 소자가 발광한다. 발광 회도는 1프레임 기간의 회도를 적산하여 계조를 제어한다. 일례로서, 1초에 60프레임을 표시하는 표시 장치는 화상의 표시를 1초에 60번 수행한다.

이 경우, 1프레임 기간이란 약 16.67ms의 시간을 나타낸다.

[0005] 다른 구동 방식으로서는 임펄스형 표시 방식(이하, 임펄스형 구동이라고 표기함)이 있다. 임펄스형 구동에서는, 화소 회로의 선택 기간에 1프레임 기간의 적산 휘도와 같은 휘도로 발광시켜 계조를 제어한다.

[0006] 또한, 홀드형 구동 또는 임펄스형 구동에서는, 발광 휘도를 전압에 의하여 지정하는 전압 설정 방식에 더하여, 전류에 의하여 지정하는 전류 설정 방식이 알려져 있다.

[0007] 유기 EL 소자는 액정 소자에 비하여 응답성이 높지만, 홀드형 구동에서는 동영상을 표시할 때 동영상 해상도가 저하되는 모션 블러(motion blur)가 발생한다. 동영상 해상도란 동영상을 표시하였을 때의 외관상 해상도를 말하고, 동영상을 표시하였을 때 사람이 느끼는 해상도를 말한다. 예를 들어, 쇄기형 모양을 화면에서 스크롤하였을 때, 화상의 간격을 식별할 수 있는 한계의 해상도를 말한다.

[0008] 예를 들어, 특허문현 1에서는 임펄스형 구동과 홀드형 구동을 조합함으로써 계조를 제어하여, 시인성을 향상시키는 제어 방법이 제안되어 있다.

[0009] 예를 들어, 특허문현 2에서는 동영상 해상도를 표시 프레임에 흑색 표시 프레임을 삽입함으로써 향상시키는 방법이 제안되어 있고, 또한 유기 EL 소자의 수명이 짧아지는 것을 유기 EL 소자의 발광 기간을 단축함으로써 억제하는 방법에 대하여 기재되어 있다.

선행기술문현

특허문현

[0010] (특허문현 0001) 일본국 특개 2009-9049호 공보

(특허문현 0002) 일본국 특개 2011-85768호 공보

발명의 내용

해결하려는 과제

[0011] 홀드형 구동에서는, 표시 영역에서 액티브 매트릭스형 디스플레이에 기인한 모션 블러가 발생하기 때문에, 동영상 등을 표시하였을 때 윤곽이 불명확해지는 등의 문제가 있다.

[0012] 홀드형 구동에서는, 1프레임마다 표시가 갱신되기 때문에, 적분 휘도를 사용한다. 따라서, 계조의 변화를 인식하기 위해서는, 휘도를 적분하는 기간이 필요하기 때문에, 콘트라스트가 향상되지 않는다는 문제가 있다.

[0013] 점순차에 의한 임펄스형 구동에서는, 홀드형 구동에서와 같은 모션 블러는 억제될 수 있지만, 발광 기간이 짧아, 정지 화상 등을 표시하는 경우에 플리커(flicker)가 발생하는 문제가 있다.

[0014] 점순차에 의한 임펄스형 구동에서는, 화소 회로의 선택 기간에 1프레임 기간의 적산 휘도와 같은 휘도로 발광시키기 위하여 드라이버는 높은 전류 공급 능력을 가질 필요가 있다.

[0015] 상기 문제를 감안하여, 본 발명의 일 형태는 신규 구성을 갖는 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는 표시의 시인성이 향상된 표시 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 소비전력이 저감된 표시 장치를 제공하는 것을 과제 중 하나로 한다.

[0016] 또한, 본 발명의 일 형태의 과제는 상술한 과제에 한정되지 않는다. 상술한 과제는 다른 과제의 존재를 방해하는 것이 아니다. 또한, 다른 과제는 여기서는 언급되지 않으며 아래에 기재되어 있다. 통상의 기술자라면 여기서 언급되지 않은 과제를 명세서 또는 도면 등의 기재로부터 도출할 수 있고 적절히 추출할 수 있다. 또한, 본 발명의 일 형태는 상술한 기재 및/또는 다른 과제 중 적어도 하나의 과제를 해결하기 위한 것이다.

과제의 해결 수단

[0017] 본 발명의 일 형태는 신호선, 제 1 주사선, 제 2 주사선, 및 화소 회로를 갖는 표시 장치로서, 화소 회로는 발광 소자, 제 1 트랜지스터, 및 제 2 트랜지스터를 갖고, 제 1 트랜지스터의 게이트는 제 1 주사선과 전

기적으로 접속되고, 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 신호선과 전기적으로 접속되고, 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 트랜지스터의 게이트와 전기적으로 접속되고, 제 2 트랜지스터는 백 게이트를 갖고, 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 발광 소자의 한쪽 전극과 전기적으로 접속되고, 제 2 주사선은 상기 백 게이트와 전기적으로 접속된 표시 장치이다.

[0018] 상기 표시 장치에서, 제 1 또는 제 2 트랜지스터는 채널 형성 영역에 산화물 반도체를 갖는 것이 바람직하다.

[0019] 상기 표시 장치에서, 발광 소자는 유기 화합물층을 갖는 것이 바람직하다.

[0020] 본 발명의 일 형태는 표시부 및 게이트 드라이버를 갖는 표시 장치의 구동 방법이고, 표시부는 복수의 신호선, 복수의 제 1 주사선, 복수의 제 2 주사선, 제 1 화소 회로, 및 제 2 화소 회로를 갖고, 제 1 화소 회로 및 제 2 화소 회로는 발광 소자, 제 1 트랜지스터, 및 제 2 트랜지스터를 갖고, 제 2 트랜지스터는 백 게이트를 갖고, 게이트 드라이버는 복수의 제 1 주사선과 전기적으로 접속되고, 게이트 드라이버는 복수의 제 2 주사선과 전기적으로 접속되고, 제 1 주사선은 제 1 화소 회로가 갖는 제 1 트랜지스터의 게이트 및 제 2 화소 회로가 갖는 제 1 트랜지스터의 게이트와 전기적으로 접속되고, 제 2 주사선은 제 1 화소 회로가 갖는 제 2 트랜지스터의 백 게이트 및 제 2 화소 회로가 갖는 제 2 트랜지스터의 백 게이트와 전기적으로 접속되고, 게이트 드라이버는 복수의 제 1 주사선에 제 1 주사 신호를 출력하는 기능을 갖고, 게이트 드라이버는 복수의 제 2 주사선에 제 2 주사 신호를 출력하는 기능을 갖고, 1프레임 기간은 제 1 기간 및 제 2 기간을 갖고, 제 1 기간에 발광 소자의 발광 및 계조를 제어하고, 제 2 기간에 발광 소자의 소등을 제어하는 표시 장치의 구동 방법이다.

[0021] 상기 구성에서, 제 1 기간 후에 제 2 기간을 갖는 표시 장치의 구동 방법이고, 제 1 기간에는 게이트 드라이버가 제 1 주사선에 제 1 주사 신호를 공급하고, 신호선이 제 1 트랜지스터를 통하여 제 2 트랜지스터의 게이트에 신호를 공급하고, 신호에 따른 전류가 제 2 트랜지스터로부터 발광 소자에 공급되고, 제 2 주사 신호, 제 2 트랜지스터의 소스 전압 이상의 전압을 제 2 트랜지스터의 백 게이트에 공급하고, 제 2 트랜지스터는 백 게이트의 전압에 의하여 이의 전류의 크기가 제어되고, 전류의 크기를 제어함으로써 발광 소자의 발광 및 계조를 제어하고, 제 2 기간에는 제 2 주사 신호, 제 2 트랜지스터의 소스 전압보다 작은 전압을 상기 제 2 트랜지스터의 상기 백 게이트에 공급하고, 제 2 트랜지스터는 백 게이트의 전압에 의하여 문턱 전압이 제어되고, 문턱 전압을 제어함으로써 발광 소자를 소동시켜 발광 기간을 제어하는 표시 장치의 구동 방법이 바람직하다.

[0022] 상기 각 구성의 표시 장치 및 터치 센서를 갖는 것을 특징으로 하는 표시 모듈이 바람직하다.

발명의 효과

[0023] 본 발명의 일 형태는 신규 구성을 갖는 표시 장치를 제공할 수 있다. 또는, 본 발명의 일 형태는 표시의 시인성이 향상된 표시 장치를 제공할 수 있다. 본 발명의 일 형태는 소비전력이 저감된 표시 장치를 제공할 수 있다.

[0024] 또한, 본 발명의 일 형태의 효과는 상술한 효과에 한정되지 않는다. 상술한 효과는 다른 효과의 존재를 방해하는 것이 아니다. 또한, 다른 효과는 여기서는 언급되지 않으며 아래에 기재되어 있다. 통상의 기술자라면 여기서 언급되지 않은 효과를 명세서 또는 도면 등의 기재로부터 도출할 수 있고 적절히 추출할 수 있다. 또한, 본 발명의 일 형태는 상술한 효과 및/또는 다른 효과 중 적어도 하나의 효과를 갖는 것이다. 따라서, 본 발명의 일 형태는 경우에 따라서는 상술한 효과를 갖지 않는 경우도 있다.

도면의 간단한 설명

[0025] 도 1은 화소 회로의 구성을 설명하기 위한 도면.

도 2는 표시 장치의 구성을 나타낸 블록도.

도 3의 (A)는 트랜지스터의 접속을 설명하기 위한 도면이고, 도 3의 (B)는 트랜지스터의 전기적 특성의 일례를 나타낸 도면.

도 4는 표시 장치의 동작예를 나타낸 타이밍 차트.

도 5의 (A)는 표시의 일례를 나타낸 도면이고, 도 5의 (B)는 표시의 일례를 나타낸 도면.

도 6의 (A), (B), (C), 및 (D)는 화소 회로의 구성을 설명하기 위한 도면.

도 7의 (A)는 전자 부품의 제작 방법의 예를 나타낸 흐름도이고, 도 7의 (B)는 반도체 웨이퍼의 상면도이고, 도 7의 (C)는 반도체 웨이퍼의 부분 확대도이고, 도 7의 (D)는 칩의 확대도이고, 도 7의 (E)는 전자 부품의 사시 모식도이다.

도 8의 (A), (B), 및 (C)는 표시 패널의 구성예를 나타낸 상면도.

도 9의 (A), (B), 및 (C)는 표시 패널의 구성예를 나타낸 상면도.

도 10의 (A) 및 (B)는 표시 패널의 구성예를 나타낸 단면도.

도 11의 (A) 및 (B)는 표시 패널의 구성예를 나타낸 단면도.

도 12의 (A) 및 (B)는 표시 패널의 구성예를 나타낸 단면도.

도 13은 표시 모듈의 예를 나타낸 도면.

도 14의 (A) 및 (B)는 터치 패널의 구성예를 나타낸 모식도.

도 15의 (A), (B), 및 (C)는 전자 기기의 구성예를 나타낸 도면.

도 16의 (A), (B), (C), (D), 및 (E)는 전자 기기의 구성예를 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

[0026] 이하, 실시형태에 대하여 도면을 참조하여 설명한다. 다만, 실시형태는 많은 상이한 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하의 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0027] 또한, 도면에 도시된 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서, 반드시 그 스케일에 한정되지는 않는다. 또한, 도면은 이상적인 예를 모식적으로 도시한 것이며, 도면에 나타낸 형상 또는 값 등에 한정되지 않는다.

[0028] 또한, 본 명세서에서 사용하는 "제 1", "제 2", "제 3"이라는 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이며, 수적으로 한정하는 것이 아니라는 것을 부기한다.

[0029] 또한, 본 명세서에서 "위에", "아래에" 등 배치를 나타내는 어구는 구성들의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 사용하는 것이다. 또한, 구성들의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 달라진다. 따라서, 명세서에서 설명한 어구에 한정되지 않으며, 상황에 따라 적절히 바꿔 말할 수 있다.

[0030] 또한, 본 명세서 등에서 트랜지스터란, 게이트, 드레인, 및 소스를 포함하는 적어도 3개의 단자를 갖는 소자이다. 그리고, 드레인(드레인 단자, 드레인 영역, 또는 드레인 전극)과 소스(소스 단자, 소스 영역, 또는 소스 전극) 사이에 채널 영역을 가지며, 채널 형성 영역을 통하여 소스와 드레인 사이에 전류를 흘릴 수 있는 것이다. 또한, 본 명세서 등에서 채널 영역이란, 전류가 주로 흐르는 영역을 말한다.

[0031] 또한, 소스나 드레인의 기능은 상이한 극성을 갖는 트랜지스터를 채용하는 경우나, 회로 동작에서 전류의 방향이 변화되는 경우 등에는 서로 바꾸는 경우가 있다. 따라서, 본 명세서 등에서, 소스나 드레인이라는 용어는 서로 바꿔 사용할 수 있는 것으로 한다.

[0032] 또한, 본 명세서 등에서 "평행"이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, "수직"이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다.

[0033] 또한, 본 명세서 등에서, "막"이라는 용어와 "층"이라는 용어는 서로 바꿀 수 있다. 예를 들어, "도전 층"이라는 용어를 "도전막"이라는 용어로 바꿀 수 있는 경우가 있다. 또는, 예를 들어, "절연막"이라는 용어를 "절연층"이라는 용어로 바꿀 수 있는 경우가 있다.

[0034] 또한, 본 명세서 등에서 특별히 언급이 없는 경우, 오프 전류란 트랜지스터가 오프 상태(비도통 상태, 차단 상태라고도 함)일 때의 드레인 전류를 말한다. 특별히 언급이 없는 경우, 오프 상태란 n채널형 트랜지스

터에서는 게이트와 소스 사이의 전압(V_{gs})이 문턱 전압(V_{th})보다 낮은 상태를 말하고, p채널형 트랜지스터에서는 게이트와 소스 사이의 전압(V_{gs})이 문턱 전압(V_{th})보다 높은 상태를 말한다. 예를 들어, n채널형 트랜지스터의 오프 전류란, 게이트와 소스 사이의 전압(V_{gs})이 문턱 전압(V_{th})보다 낮은 상태일 때의 드레인 전류를 말하는 경우가 있다.

[0035] 트랜지스터의 오프 전류는 V_{gs} 에 의존하는 경우가 있다. 따라서, "트랜지스터의 오프 전류가 I 이하이다"란, 트랜지스터의 오프 전류가 I 이하가 되는 V_{gs} 의 값이 존재하는 것을 말하는 경우가 있다. 트랜지스터의 오프 전류란, 소정의 V_{gs} 에서의 오프 상태, 소정의 범위 내의 V_{gs} 에서의 오프 상태, 또는 충분히 저감된 오프 전류가 얻어지는 V_{gs} 에서의 오프 상태 등에서의 오프 전류를 가리키는 경우가 있다.

[0036] 일례로서, 문턱 전압(V_{th})이 0.5V이고, V_{gs} 가 0.5V일 때의 드레인 전류가 $1 \times 10^{-9} A$ 이고, V_{gs} 가 0.1V일 때의 드레인 전류가 $1 \times 10^{-13} A$ 이고, V_{gs} 가 -0.5V일 때의 드레인 전류가 $1 \times 10^{-19} A$ 이고, V_{gs} 가 -0.8V일 때의 드레인 전류가 $1 \times 10^{-22} A$ 인 n채널형 트랜지스터를 상정한다. 상기 트랜지스터의 드레인 전류는 V_{gs} 가 -0.5V일 때, 또는 V_{gs} 가 -0.5V 이상 -0.8V 이하의 범위일 때 $1 \times 10^{-19} A$ 이하이기 때문에, "상기 트랜지스터의 오프 전류는 $1 \times 10^{-19} A$ 이하이다"라고 하는 경우가 있다. 상기 트랜지스터의 드레인 전류가 $1 \times 10^{-22} A$ 이하가 되는 V_{gs} 가 존재하기 때문에, "상기 트랜지스터의 오프 전류는 $1 \times 10^{-22} A$ 이하이다"라고 하는 경우가 있다.

[0037] 또한, 본 명세서 등에서는, 채널 폭(W)을 갖는 트랜지스터의 오프 전류를 채널 폭(W)당 전류값으로 나타내는 경우가 있다. 또한, 소정의 채널 폭(예를 들어 $1 \mu m$)당 전류값으로 나타내는 경우가 있다. 후자의 경우, 오프 전류의 단위는 전류/길이의 차원을 갖는 단위(예를 들어, $A/\mu m$)로 나타내어지는 경우가 있다.

[0038] 트랜지스터의 오프 전류는 온도에 의존하는 경우가 있다. 본 명세서에서, 오프 전류는 특별히 언급이 없는 경우, 실온, 60°C, 85°C, 95°C, 또는 125°C에서의 오프 전류를 말하는 경우가 있다. 또는, 상기 트랜지스터가 포함되는 반도체 장치 등의 신뢰성이 보증되는 온도, 또는 상기 트랜지스터가 포함되는 반도체 장치 등이 사용되는 온도(예를 들어 5°C 이상 35°C 이하의 온도)에서의 오프 전류를 말하는 경우가 있다. "트랜지스터의 오프 전류가 I 이하이다"란, 실온, 60°C, 85°C, 95°C, 125°C, 상기 트랜지스터가 포함되는 반도체 장치 등의 신뢰성이 보증되는 온도, 또는 상기 트랜지스터가 포함되는 반도체 장치 등이 사용되는 온도(예를 들어 5°C 이상 35°C 이하의 온도)에서의 트랜지스터의 오프 전류가 I 이하가 되는 V_{gs} 의 값이 존재하는 것을 가리키는 경우가 있다.

[0039] 트랜지스터의 오프 전류는 드레인과 소스 사이의 전압(V_{ds})에 의존하는 경우가 있다. 특별히 언급이 없는 경우, 본 명세서에서 오프 전류란 V_{ds} 가 0.1V, 0.8V, 1V, 1.2V, 1.8V, 2.5V, 3V, 3.3V, 10V, 12V, 16V, 또는 20V일 때의 오프 전류를 말하는 경우가 있다. 또는, 상기 트랜지스터가 포함되는 반도체 장치 등의 신뢰성이 보증되는 V_{ds} , 또는 상기 트랜지스터가 포함되는 반도체 장치 등에서 사용되는 V_{ds} 에서의 오프 전류를 말하는 경우가 있다. "트랜지스터의 오프 전류가 I 이하이다"란 V_{ds} 가 0.1V, 0.8V, 1V, 1.2V, 1.8V, 2.5V, 3V, 3.3V, 10V, 12V, 16V, 20V, 상기 트랜지스터가 포함되는 반도체 장치 등의 신뢰성이 보증되는 V_{ds} , 또는 상기 트랜지스터가 포함되는 반도체 장치 등에서 사용되는 V_{ds} 에서의 트랜지스터의 오프 전류가 I 이하가 되는 V_{gs} 의 값이 존재하는 것을 말하는 경우가 있다.

[0040] 상술한 오프 전류에 대한 설명에서 드레인을 소스로 바꿔 읽어도 좋다. 즉, 오프 전류란 트랜지스터가 오프 상태일 때 소스를 흐르는 전류를 말하는 경우도 있다.

[0041] 또한, 본 명세서 등에서는 오프 전류와 같은 뜻으로 누설 전류라고 기재하는 경우가 있다. 또한, 본 명세서 등에서 오프 전류란, 예를 들어, 트랜지스터가 오프 상태일 때 소스와 드레인 사이를 흐르는 전류를 말하는 경우가 있다.

[0042] 또한, 전압이란 2지점의 전위들 사이의 전위차를 말하고, 전위란 어느 한 지점의 정전기장에서의 단위 전하가 갖는 정전 에너지(전기적인 위치 에너지)를 말한다. 다만, 일반적으로 어느 한 지점에서의 전위와 기준이 되는 전위(예를 들어, 접지 전위) 사이의 전위차를 단순히 전위 또는 전압이라고 하고, 전위와 전압이 동의어로서 흔히 사용된다. 따라서, 본 명세서에서는 특별히 지정하는 경우를 제외하고, 전위를 전압으로 바꿔 읽어도 좋고, 전압을 전위로 바꿔 읽어도 좋은 것으로 한다.

[0043] (실시형태 1)

- [0044] 본 실시형태에서는, 화소 회로가 갖는 트랜지스터의 백 게이트에 전기적으로 접속된 주사선으로부터 신호를 공급함으로써 표시를 제어하는 기능을 갖는 표시 장치에 대하여 도 1 내지 도 6을 참조하여 설명한다.
- [0045] 도 1에 화소 회로(710C(i, j))의 구성예를 나타내었다. 도 2에 표시 장치(10)의 구성을 나타낸 블록도를 도시하였다. 도 2에 도시된 표시 장치(10)에서의 표시부(120)의 화소 회로 중 하나를 화소 회로(710C(i, j))로서 설명한다. 표시부(120)는 행 방향으로 m 개(m 은 1 이상의 정수(整數)), 열 방향으로 n 개(n 은 1 이상의 정수), 합계 $m \times n$ 개의 화소 회로가 매트릭스로 배치되어 있다. 또한, i 는 1 이상 m 이하의 정수이고, j 는 1 이상 n 이하의 정수이다.
- [0046] 화소 회로(710C(i, j))는 발광 소자(710(i, j))를 갖는다. 발광 소자(710(i, j))는 일례로서 직류 구동하는 발광 소자가 바람직하다. 발광 소자(710(i, j))의 계조는 전압 또는 전류에 따른 신호에 의하여 제어된다.
- [0047] 화소 회로(710C(i, j))는 트랜지스터(SW1), 트랜지스터(M), 용량 소자(Cs), 및 발광 소자(710(i, j))를 갖는다.
- [0048] 발광 소자(710(i, j))는 화소 전극, 대향 전극, 및 이들에 개재(介在)되어 있는 유기 화합물층을 갖는 발광 소자이다. 화소 전극은 양극 및 음극 중 어느 한쪽이고, 대향 전극은 양극 및 음극 중 다른 쪽이다. 유기 화합물층은 발광층을 포함한다.
- [0049] 화소 회로(710C(i, j))의 트랜지스터(SW1)의 게이트는 주사선(G1(i))과 전기적으로 접속된다. 트랜지스터(SW1)의 소스 및 드레인 중 한쪽이 신호선(S(j)))과 전기적으로 접속된다. 트랜지스터(SW1)의 소스 및 드레인 중 다른 쪽은 용량 소자(Cs)의 한쪽 전극 및 트랜지스터(M)의 게이트와 전기적으로 접속된다.
- [0050] 트랜지스터(M)의 드레인에는 화소 전극이 전기적으로 접속된다. 화소 전극은 발광 소자(710(i, j))를 통하여 대향 전극과 접속된다. 트랜지스터(M)의 소스는 Cath 단자와 전기적으로 접속된다. Cath 단자에는 용량 소자(Cs)의 다른 쪽 전극이 전기적으로 접속된다. 또한, 트랜지스터(M)의 백 게이트는 주사선(G2(i))과 전기적으로 접속된다. 상기 트랜지스터(M)의 한 쌍의 게이트는 채널 형성 영역을 개재하여 서로 중첩되는 영역을 갖는 것이 바람직하다.
- [0051] 트랜지스터(M)의 소스에는 Cath 단자를 통하여 캐소드 전압이 공급된다. 대향 전극에는 Ano 단자를 통하여 애노드 전압이 공급된다.
- [0052] 용량 소자(Cs)의 다른 쪽 전극이 트랜지스터(M)의 소스와 전기적으로 접속된 예를 설명하였지만, 드레인과 전기적으로 접속되어도 좋고, 다른 전압이 공급되는 배선 또는 전극과 전기적으로 접속되어도 좋다.
- [0053] 신호선(S(j))으로부터 공급되는 신호의 전압에 의하여 발광 소자(710(i, j))의 구동 전류가 제어된다. 구동 전류의 크기는 발광 소자(710(i, j))의 계조를 나타낸다.
- [0054] 도 2에 도시된 표시 장치(10)는 게이트 드라이버(110) 및 표시부(120)를 갖는다. 게이트 드라이버(110)는 시프트 레지스터 회로(111) 및 시프트 레지스터 회로(112)를 갖는다. 표시부(120)는 화소 회로(710C(1, 1)) 내지 화소 회로(710C(m, n))를 갖는다.
- [0055] 본 실시형태에서 설명하는 표시부(120)는 화소 회로(710C(1, 1)) 내지 화소 회로(710C(m, n))와, 제 1 주사선(G1(1)) 내지 제 1 주사선(G1(m))과, 제 2 주사선(G2(1)) 내지 제 2 주사선(G2(m))과, 신호선(S(1)) 내지 신호선(S(n))을 갖는다.
- [0056] 도 3의 (A)는 화소 회로(710C(i, j))가 갖는 트랜지스터(M)를 도시한 것이다. 트랜지스터(M)의 전기적 특성을 측정하기 위하여 트랜지스터(M)의 각 단자에 공급하는 전압의 조건을 표 1에 나타내었다.
- [0057] 트랜지스터(M)의 게이트와 전기적으로 접속되는 것은 VG 단자(이하 VG라고 표기함)이고, 소스와 전기적으로 접속되는 것은 VS 단자(이하 VS라고 표기함)이고, 드레인과 전기적으로 접속되는 것은 VD 단자(이하 VD라고 표기함)이고, 백 게이트와 전기적으로 접속되는 것은 VBG 단자(이하 VBG라고 표기함)이다.
- [0058] 도 3의 (B)에 나타낸 P1 내지 P4의 전기적 특성은 VBG에 상이한 전압을 공급하여 측정한 결과이다.

[0059]

[표 1]

No.	VD	VS	V _{BG}	VG		
				START	END	STEP
P1	10V	0V	0V	-15V	15V	0.25V
P2	10V	0V	-5V			
P3	10V	0V	5V			
P4	10V	0V	10V			

[0060]

[0061] 여기서는, 게이트와 소스 사이에 공급되는 게이트 전압을 변화시키면서 측정하였다. 소스와 드레인 사이를 흐르는 전류를 드레인 전류(ID)로서 측정하였다. 상기 측정 방법을 IDVG 측정 또는 VGID 측정이라고 한다.

[0062]

측정한 트랜지스터는 반도체층에 산화물 반도체가 적용되며, 채널 길이가 $4\ \mu\text{m}$, 채널 폭이 $50\ \mu\text{m}$ 이다.

[0063]

P1은 V_{BG}에 0V의 전압을 공급하였을 때의 전기적 특성이다. VG가 0V가 되었을 때의 드레인 전류(ID)는 측정 하한 이하이다. 이것은 트랜지스터의 채널부에 산화물 반도체를 사용하였을 때의 특성을 나타내고 있다.

[0064]

여기서는, 측정 하한을 $1 \times 10^{-12}\ \text{A}$ 이하로 한다. IDVG 측정에는 Agilent사제 반도체 파라미터 애널라이저(Semiconductor Parameter Analyzer, 모델: 4155C)를 사용하였다.

[0065]

P2는 V_{BG}에 -5V의 전압을 공급하였을 때의 전기적 특성이다. P1의 전기적 특성이 양의 방향으로 변동되어 있고, 드레인 전류(ID)가 측정 하한 이하가 되는 VG의 전압이 양의 방향으로 변동되어 있는 것을 나타낸다. 이것은 트랜지스터의 문턱 전압이 양의 방향으로 변동된 것을 의미한다.

[0066]

P3은 V_{BG}에 5V의 전압을 공급하였을 때의 전기적 특성이다. P1의 전기적 특성이 음의 방향으로 변동되어 있다. 드레인 전류(ID)가 측정 하한 이하가 되는 VG의 전압이 음의 방향으로 변동되어 있는 것을 나타낸다. 이것은 트랜지스터의 문턱 전압이 음의 방향으로 변동된 것을 의미한다.

[0067]

P4는 V_{BG}에 10V의 전압을 공급하였을 때의 전기적 특성이다. P3에 비하여 전기적 특성이 음의 방향으로 더 변동되어 있다. 드레인 전류(ID)가 측정 하한 이하가 되는 VG의 전압이 음의 방향으로 더 변동되어 있는 것을 나타낸다. 이것은 P3에 비하여 트랜지스터의 문턱 전압이 음의 방향으로 더 변동된 것을 의미한다.

[0068]

도 4는 도 3을 참조하여 설명한 트랜지스터를 사용한 표시 장치(10)의 타이밍 차트이다. 게이트 드라이버(110)는 스타트 펄스(SP1) 및 스타트 펄스(SP2)의 2개의 입력 신호로 화소 회로(710C(i, j))를 제어한다.

[0069]

스타트 펄스(SP1)의 신호가 시프트 레지스터 회로(111)에 공급된다. 시프트 레지스터 회로(111)는 주사선(G1(1))을 제어하는 신호를 출력하여, 순차적으로 주사선(G1(2)) 내지 주사선(G1(m))을 선택한다.

[0070]

스타트 펄스(SP2)의 신호가 시프트 레지스터 회로(112)에 공급된다. 시프트 레지스터 회로(112)는 주사선(G2(1))을 제어하는 신호를 출력하여, 순차적으로 주사선(G2(2)) 내지 주사선(G2(m))을 선택한다.

[0071]

스타트 펄스(SP1)에 의하여 선택된 주사선(G1)의 신호는 화소 회로(710C(i, j))의 트랜지스터(SW1)의 게이트에 공급됨으로써, 신호선(S(j))에 의하여 공급된 신호의 전압을 트랜지스터(M)의 게이트에 공급한다. 따라서, 트랜지스터(M)의 게이트에 공급된 전압에 따라 발광 소자(710(i, j))는 발광한다.

[0072]

트랜지스터(M)의 백 게이트에는 트랜지스터(M)의 소스 전압 이상의 전압을 공급한다. 트랜지스터(M)의 문턱 전압이 음의 방향으로 변동됨으로써, 전류를 증가시킬 수 있다. 따라서, 신호선(S(j))에 의하여 공급되는 신호의 전압을 작게 할 수 있다. 도 4에 나타낸 T1은 발광 소자(710(i, j))가 발광하는 기간을 나타낸다.

[0073]

스타트 펄스(SP2)에 의하여 선택된 주사선(G2)의 신호는 화소 회로(710C(i, j))의 트랜지스터(M)의 백 게이트에 공급됨으로써, 트랜지스터(M)의 전기적 특성을 변동시킬 수 있다.

[0074]

트랜지스터(M)의 백 게이트에 대하여 트랜지스터(M)의 소스 전압보다 작은 전압을 공급함으로써, 발광 소자(710(i, j))를 흐르는 전류를 발광에 기여하지 않는 전류값까지 작게 할 수 있다. 따라서, 백 게이트에 공급하는 전압에 의하여 발광 기간을 제어할 수 있다. T2의 기간은 주사선(G2)의 신호에 의하여 발광 소자(710(i, j))가 소등되어 있는 기간이다.

[0075]

트랜지스터의 백 게이트에 공급하는 전압은 발광 소자(710(i, j))의 전기적 특성마다 달라지기 때문에,

적절히 발광 소자의 특성에 맞춘 최적의 전압을 공급한다.

[0076] 도 5의 (A) 및 (B)에 대하여 설명한다. 도 5의 (A)는 같은 폴스 폭으로 스타트 폴스(SP1) 및 스타트 폴스(SP2)에 신호를 공급하여 표시를 수행한 예를 나타낸 것이다. 우선, 주사선(G1(i))에 의하여 표시가 개신된다. 다음의 주사선(G1(i+1))이 선택되는 타이밍과 같은 타이밍에서 주사선(G2(i))의 신호가 트랜지스터(M)의 소스 전압보다 작은 전압이 된다. 주사선(G1(i))에 의하여 선택되어 발광한 영역은 소등된다.

[0077] 도 5의 (B)는 도 4에서의 타이밍 차트에 따라 구동하였을 때의 표시를 나타낸 것이다. 도 5의 (B)의 G1(i), G1(i-1), 및 G1(i-2)의 주사선에 상당하는 표시 영역이 발광하고, 그 외는 소등되어 있다. 발광 기간은 명시적으로 해칭으로 나타내었다. 홀더형 구동을 수행하면, 주사선에 의하여 선택된 화소 회로의 표시가 개신된다. 발광 소자는 1프레임 기간 발광한다. 한편, 도 1에서의 화소 회로를 사용하면, 선순차에 의한 임펄스형 구동으로 표시를 개신할 수 있다.

[0078] 따라서, 발광 소자가 발광하고 표시를 수행하는 기간은 스타트 폴스(SP2)에 의하여 제어된다. 스타트 폴스(SP2)의 신호의 폭을 가변적으로 하면, 동영상과 같이 표시되는 물체의 움직임이 빠른 경우에는 발광 기간을 짧게 함으로써 동영상의 해상도를 향상시킬 수 있다. 또한, 정지 화상과 같이 표시되는 물체의 움직임이 적은 경우에는 발광 기간을 길게 하고 발광 휴드를 억제함으로써 적산 휴드를 확보할 수 있다. 따라서, 소비전력을 작게 할 수 있다. 선순차에 의한 임펄스형 구동은 점순차에 의한 임펄스형 구동에 비하여 발광 기간이 길어져, 적산 휴드가 커지기 때문에, 플리커를 억제하여 시인성을 향상시킬 수 있다.

[0079] 또한, 스타트 폴스(SP2)는 모바일 기기의 배터리 모니터에 의하여 겸출된 상태에 따라 폴스의 폭이 결정되어도 좋다. 도 5의 (A)는 도 5의 (B)에 비하면 발광 기간이 짧다. 따라서, 같은 표시 품위로 하기 위해서는, 적산 휴드를 고려하여 신호선(S(j))에 의하여 공급되는 신호의 전압을 높게 할 필요가 있다. 소비전력을 작게 하기 위해서는, 신호의 전압을 낮게 하는 것이 바람직하다. 배터리의 충전 상태에 따라 스타트 폴스(SP2)의 신호의 폭을 최적화함으로써, 소비전력을 작게 하고, 최적의 표시 품위를 제공할 수 있다.

[0080] 1초에 60프레임 표시하는 표시 장치에서는, 연속되는 표시 프레임에 의도적으로 흑색 표시의 프레임을 삽입함으로써 동영상의 해상도를 향상시키는 방법이 있다. 일례로서, 흑색 표시의 프레임을 삽입할 때 표시의 품위를 유지하기 위해서는, 1초에 표시하는 프레임의 수를 60프레임보다 많게 할 필요가 있다.

[0081] 도 1에서의 화소 회로를 사용함으로써, 1프레임 기간에 발광 기간과 소등 기간을 제어할 수 있다. 따라서, 선순차에 의한 임펄스형 구동을 사용하여 표시를 제어할 수 있다. 또한, 임펄스형 구동에 의하여 동영상 해상도를 향상시킴으로써, 시인성을 향상시킬 수 있다.

[0082] 또한, 본 실시형태에서 설명하는 표시 장치(10)에 사용되는 트랜지스터, 용량 소자 등의 각종 소자의 디바이스 구조에는 특별한 제약은 없다. 표시부(120)가 갖는 화소 회로(710C(i, j)) 및 게이트 드라이버(110) 각각의 기능에 접합한 디바이스 구조를 선택하면 좋다. 예를 들어, 트랜지스터의 디바이스 구조로서는, 톱 게이트형, 보텀 게이트형, 게이트(프런트 게이트)와 보텀 게이트 양쪽을 갖는 듀얼 게이트형, 및 하나의 반도체층에 대하여 복수의 게이트 전극을 갖는 멀티 게이트형이 있다. 트랜지스터의 활성층(채널 형성 영역)을 구성하는 반도체의 종류(조성이나 결정 구조 등)에 대해서도 특별한 제약은 없다. 활성층에 사용되는 반도체는 단결정 반도체, 비단결정 반도체로 크게 나누어진다. 비단결정 반도체로서는, 다결정 반도체, 미결정 반도체, 비정질 반도체 등이 있다. 반도체 재료로서는 Si, Ge, C 등의 제 14족 원소를 하나 또는 복수로 포함하는 반도체(예를 들어, 실리콘, 실리콘 저마늄, 탄소화 실리콘 등), 산화물 반도체, 질화 갈륨 등의 화합물 반도체 등이 있다.

[0083] 도 1의 화소 회로(710C(i, j))는 같은 도전형을 갖는 트랜지스터로 구성되는 예를 나타낸 것이다. 여기서는, 트랜지스터(SW1) 및 트랜지스터(M)가 모두 n채널형 트랜지스터이고, 또한 반도체층에 산화물 반도체가 적용된 예를 나타내었다. 여기서는, 트랜지스터(SW1)는 보텀 게이트형 트랜지스터이고, 트랜지스터다(M)는 백 게이트를 갖는 듀얼 게이트형 트랜지스터이다.

[0084] 또한, 본 발명의 일 형태는 도 1에 도시된 화소 회로(710C(i, j))의 회로 구성에 한정되지 않는다. 도 1과 상이한 화소 회로(710C(i, j))의 회로 구성의 일례를 도 6의 (A) 내지 (D)에 도시하였다.

[0085] 도 6의 (A)를 참조하여 도 1과 상이한 점에 대하여 설명한다. 트랜지스터(M)의 소스에는 화소 전극이 전기적으로 접속된다. 화소 전극은 발광 소자(710(i, j))를 통하여 대향 전극과 접속된다. 트랜지스터(M)의 드레인은 Ano 단자와 전기적으로 접속된다. 용량 소자(Cs)의 한쪽 전극은 트랜지스터(M)의 게이트와 전기적으로 접속된다. 또한, 용량 소자(Cs)의 다른 쪽 전극은 트랜지스터(M)의 소스와 전기적으로 접속되어 있지만, 드

레인과 전기적으로 접속되어도 좋다.

[0086] 도 6의 (B)를 참조하여 도 1과 상이한 점에 대하여 설명한다. 트랜지스터(M1)의 활성층이 p형 도전형으로 구성되어 있다.

[0087] 도 6의 (C)를 참조하여 도 6의 (A)와 상이한 점에 대하여 설명한다. 트랜지스터(M1)의 활성층이 p형 도전형으로 구성되어 있다. 용량 소자(Cs)의 한쪽 전극은 트랜지스터(M1)의 게이트와 전기적으로 접속되어 있다. 또한, 다른 쪽 전극은 트랜지스터(M1)의 소스와 전기적으로 접속되어 있지만, 드레인과 전기적으로 접속되어도 좋다. 소스와 접속된 경우에는, 트랜지스터(M1)의 소스에 공급되는 전압이 Ano 단자로부터 공급된다. 따라서, 트랜지스터(M)의 소스와 게이트 사이에 공급되는 전압을 제어하기 쉽다.

[0088] 도 6의 (D)에 도시된 화소 회로(710C(i, j))는 주사선(G3(i)), 트랜지스터(SW2), 및 VR 단자를 더 갖는다. 트랜지스터(SW2)의 게이트는 주사선(G3(i))과 전기적으로 접속되어 있다.

[0089] VR 단자에 공급되는 전압은 Cath 단자에 공급되는 전압을 기준으로 하여 발광 소자(710(i, j))가 발광하지 않는 크기의 전압 범위에 있는 것이 바람직하다. 트랜지스터(SW1)를 통하여 트랜지스터(M)의 게이트에 신호가 공급되기 전 또는 게이트에 신호가 공급됨과 동시에 트랜지스터(SW2)를 통하여 트랜지스터(M)의 소스에 VR 단자로부터 전압이 공급된다. 트랜지스터(M)의 소스에 공급되는 전압이 VR 단자로부터 공급되기 때문에, 트랜지스터(M)의 소스와 게이트 사이에 공급되는 전압을 제어하기 쉽다.

[0090] 이상, 본 실시형태에서 나타내는 구성, 방법은 다른 실시형태에서 나타내는 구성, 방법과 적절히 조합하여 사용할 수 있다.

[0091] (실시형태 2)

[0092] 본 실시형태에서는 반도체 장치의 일례로서 IC칩, 전자 부품, 전자 기기 등에 대하여 설명한다.

[0093] <전자 부품의 제작 방법의 예>

[0094] 도 7의 (A)는 전자 부품의 제작 방법의 예를 나타낸 흐름도이다. 전자 부품은 반도체 패키지 또는 IC 용 패키지라고도 한다. 이 전자 부품은 단자 추출 방향이나 단자의 형상에 맞추어 복수의 규격이나 명칭이 존재한다. 그러므로, 본 실시형태에서는 그 일례에 대하여 설명하기로 한다.

[0095] 트랜지스터로 구성되는 반도체 장치는 조립 공정(후(後)공정)을 거쳐 착탈 가능한 복수의 부품이 인쇄 기판에 제공됨으로써 완성된다. 후공정은 도 7의 (A)에 도시된 각 공정을 거쳐서 완성시킬 수 있다. 구체적으로는, 전(前)공정에서 얻어지는 소자 기판이 완성된(단계(ST61)) 후, 기판 이면을 연삭한다. 이 단계에서 기판을 박막화하여, 전공정에서의 기판 구부림 등을 저감하여 부품의 소형화를 도모한다. 다음에, 기판을 복수의 칩으로 분리하는 다이싱 공정을 수행한다(단계(ST62)).

[0096] 도 7의 (B)는 다이싱 공정을 수행하기 전의 반도체 웨이퍼(6100)의 상면도이다. 도 7의 (C)는 도 7의 (B)의 부분 확대도이다. 반도체 웨이퍼(6100)에는 복수의 회로 영역(6102)이 제공되어 있다. 회로 영역(6102)에는 본 발명의 일 형태에 따른 반도체 장치(예를 들어, 메모리, 타이머, CPU 등)가 제공되어 있다.

[0097] 복수의 회로 영역(6102)은 각각 분리 영역(6104)으로 둘러싸여 있다. 분리 영역(6104)과 중첩되는 위치에 분리선("다이싱 라인"이라고도 함)(6106)이 설정된다. 다이싱 공정(단계(ST62))에서는 분리선(6106)을 따라 반도체 웨이퍼(6100)를 절단함으로써, 회로 영역(6102)을 포함하는 칩(6110)을 반도체 웨이퍼(6100)로부터 분리시킨다. 도 7의 (D)는 칩(6110)의 확대도이다.

[0098] 분리 영역(6104)에 도전층이나 반도체층을 제공하여도 좋다. 분리 영역(6104)에 도전층이나 반도체층을 제공함으로써, 다이싱 공정 시에 생길 수 있는 ESD를 완화시켜, 다이싱 공정에 기인하는 수율 저하를 방지할 수 있다. 또한, 일반적으로 다이싱 공정은 기판의 냉각, 절삭 먼지의 제거, 대전 방지 등을 목적으로 하고 있으며, 탄산 가스 등을 용해시켜 비저항을 낮춘 순수를 절삭부에 공급하면서 수행한다. 분리 영역(6104)에 도전층이나 반도체층을 제공함으로써, 상기 순수의 사용량을 삭감할 수 있다. 따라서, 반도체 장치의 생산 비용을 저감할 수 있다. 또한, 반도체 장치의 생산성을 높일 수 있다.

[0099] 단계(ST62)를 수행한 후, 분리한 칩을 개별적으로 핀업하여 리드 프레임 위에 탑재하여 접합하는 다이 본딩 공정을 수행한다(단계(ST63)). 다이 본딩 공정에서의 칩과 리드 프레임의 접착 방법은 제품에 맞는 방법을 선택하면 좋다. 예를 들어, 접착에는 수지나 테이프를 사용하면 좋다. 다이 본딩 공정에서는 인터포저 위에 칩을 탑재하여 접합하여도 좋다. 와이어 본딩 공정에서 리드 프레임의 리드와 칩 위의 전극을 금속 세선(와

이어)으로 전기적으로 접속한다(단계(ST64)). 금속 세션으로서는 은선이나 금선을 사용할 수 있다. 와이어 본딩으로서는 볼 본딩(ball bonding) 및 웨지 본딩(wedge bonding) 중 어느 쪽을 사용하여도 좋다.

[0100] 와이어 본딩된 칩을 에폭시 수지 등으로 밀봉하는 몰딩 공정을 수행한다(단계(ST65)). 몰딩 공정을 수행함으로써 전자 부품의 내부가 수지로 충전되어, 기계적인 외력으로 인한, 내장된 회로부나 와이어에 대한 대미지를 저감할 수 있고, 또한 수분이나 먼지에 기인한 특성 열화를 저감할 수 있다. 리드 프레임의 리드를 도금 처리한다. 그리고, 리드를 절단 및 성형 가공한다(단계(ST66)). 도금 처리에 의하여 리드의 녹을 방지하고, 나중에 인쇄 기판에 실장할 때의 납땜을 더 확실히 수행할 수 있다. 패키지의 표면에 인자 처리(마킹)를 수행한다(단계(ST67)). 검사 공정(단계(ST68))을 거쳐 전자 부품이 완성된다(단계(ST69)). 상술한 실시 형태에 따른 반도체 장치를 조합함으로써, 저소비전력의 소형 전자 부품을 제공할 수 있다.

[0101] 완성된 전자 부품의 사시 모식도를 도 7의 (E)에 도시하였다. 도 7의 (E)에는 전자 부품의 일례로서 QFP(Quad Flat Package)의 사시 모식도를 도시하였다. 도 7의 (E)에 도시된 바와 같이, 전자 부품(6000)은 리드(6001) 및 칩(6110)을 갖는다.

[0102] 전자 부품(6000)은 예를 들어 인쇄 기판(6002)에 실장된다. 이와 같은 전자 부품(6000)이 복수로 조합되고, 각각이 인쇄 기판(6002) 위에서 서로 전기적으로 접속됨으로써 전자 기기에 탑재할 수 있다. 완성된 회로 기판(6004)은 전자 기기 등의 내부에 제공된다. 전자 부품(6000)을 탑재함으로써 전자 기기의 소비전력을 저감할 수 있다. 또는, 전자 기기를 소형화하기 쉬워진다.

[0103] (실시형태 3)

[0104] 본 실시형태에서는, 상술한 실시형태에서 설명한 표시 패널의 더 구체적인 구성예에 대하여 도 8 내지 도 12를 참조하여 설명한다. 또한, 본 실시형태에서는, 표시 패널의 일례로서 액정 소자를 사용한 표시 패널 및 발광 소자를 사용한 표시 패널에 대하여 설명한다.

[0105] 도 8의 (A) 내지 (C)는 표시 패널의 구성예를 나타낸 상면도이다.

[0106] 도 8의 (A)에서는, 제 1 기판(4001) 위에 제공된 화소부(402)를 둘러싸도록 밀봉재(4005)가 제공되고, 밀봉재(4005) 및 제 2 기판(4006)으로 화소부(402)가 밀봉되어 있다. 도 8의 (A)에서는, 제 1 기판(4001) 위의 밀봉재(4005)로 둘러싸여 있는 영역과는 다른 영역에, 별도로 준비된 기판 위에 단결정 반도체 또는 다결정 반도체로 형성된 신호선 구동 회로(400) 및 주사선 구동 회로(401)가 제공되어 있다. 또한, 신호선 구동 회로(400), 주사선 구동 회로(401), 또는 화소부(402)에 공급되는 각종 신호 및 전위는, FPC(Flexible printed circuit)(4018a) 및 FPC(4018b)로부터 공급되어 있다.

[0107] 도 8의 (B) 및 (C)에서는, 제 1 기판(4001) 위에 제공된 화소부(402) 및 주사선 구동 회로(401)를 둘러싸도록 밀봉재(4005)가 제공되어 있다. 또한, 화소부(402) 및 주사선 구동 회로(401) 위에 제 2 기판(4006)이 제공되어 있다. 따라서, 화소부(402) 및 주사선 구동 회로(401)는, 제 1 기판(4001), 밀봉재(4005), 및 제 2 기판(4006)으로 표시 소자와 함께 밀봉된다. 도 8의 (B) 및 (C)에서는, 제 1 기판(4001) 위의 밀봉재(4005)로 둘러싸인 영역과는 다른 영역에, 별도로 준비된 기판 위에 단결정 반도체 또는 다결정 반도체로 형성된 신호선 구동 회로(400)가 제공되어 있다. 도 8의 (B) 및 (C)에서, 신호선 구동 회로(400), 주사선 구동 회로(401), 또는 화소부(402)에 공급되는 각종 신호 및 전위는, FPC(4018)로부터 공급되어 있다.

[0108] 또한, 도 8의 (B) 및 (C)에는, 신호선 구동 회로(400)로서 IC 등, 화소부(402)와 상이한 공정으로 형성한 회로를 제 1 기판(4001)에 제공하는 예를 나타내었지만, 이 구성에 한정되지 않는다. 주사선 구동 회로(401)를 IC 등으로 형성하여도 좋고, 신호선 구동 회로(400)의 일부 또는 주사선 구동 회로(401)의 일부만을 IC 등으로 형성하여 제공하여도 좋다.

[0109] 또한, IC 등으로 형성한 구동 회로의 접속 방법은 특별히 한정되는 것은 아니고, 와이어 본딩, COG(Chip On Glass), TCP(Tape Carrier Package), COF(Chip On Film) 등을 사용할 수 있다. 도 8의 (A)는 COG에 의하여 신호선 구동 회로(400) 및 주사선 구동 회로(401)를 제공하는 예를 나타낸 것이고, 도 8의 (B)는 COG에 의하여 신호선 구동 회로(400)를 제공하는 예를 나타낸 것이고, 도 8의 (C)는 TCP에 의하여 신호선 구동 회로(400)를 제공하는 예를 나타낸 것이다.

[0110] 신호선 구동 회로(400)를 IC로 형성하는 경우, IC의 개수는 하나에 한정되지 않고, 복수의 IC로 신호선 구동 회로(400)를 형성하여도 좋다. 마찬가지로, 주사선 구동 회로(401)를 IC로 형성하는 경우, IC의 개수는 하나에 한정되지 않고, 복수의 IC로 주사선 구동 회로(401)를 구성하여도 좋다. 도 9의 (A)에서는, 일례로서

신호선 구동 회로(400)를 6개의 IC로 구성하였다. 복수의 IC로 신호선 구동 회로를 구성함으로써, 화소부(402)의 고정세(高精細)화에 대응할 수 있다.

[0111] 주사선 구동 회로(401)는 화소부(402)의 좌우 양쪽 단부에 제공하여도 좋다. 도 9의 (B)는 화소부(402)의 양쪽 단부에 주사선 구동 회로(401a) 및 주사선 구동 회로(401b)를 제공한 경우의 구성예를 나타낸 것이다.

[0112] 신호선 구동 회로(400)는 화소부(402)의 상하 양쪽 단부에 제공하여도 좋다. 도 9의 (C)는 신호선 구동 회로(400a) 및 신호선 구동 회로(400b)를 화소부(402)의 상하 양쪽 단부에 제공한 경우의 구성예를 나타낸 것이다. 각 신호선 구동 회로는 6개의 IC로 구성되어 있다. 도 10의 (A) 및 도 10의 (B)는 도 8의 (B)에서 쇄선 N1-N2로 나타낸 부분의 단면 구성을 나타낸 단면도이다.

[0113] 도 10의 (A) 및 (B)에 도시된 표시 패널은 전극(4015)을 갖고, 전극(4015)은 이방성 도전층(4019)을 통하여 FPC(4018)가 갖는 단자와 전기적으로 접속되어 있다. 또한, 전극(4015)은 절연층(4110), 절연층(4111), 및 절연층(4112)에 형성된 개구에서 배선(4014)과 전기적으로 접속되어 있다. 전극(4015)은 제 1 전극층(4030)과 같은 도전층으로 형성되어 있다.

[0114] 또한, 제 1 기판(4001) 위에 제공된 화소부(402)와 주사선 구동 회로(401)는 복수의 트랜지스터를 가지며, 도 10의 (A) 및 (B)에는, 화소부(402)에 포함되는 트랜지스터(4010) 및 주사선 구동 회로(401)에 포함되는 트랜지스터(4011)를 예시하였다. 도 10의 (A)에서는, 트랜지스터(4010) 및 트랜지스터(4011) 위에 절연층(4112)이 제공되고, 도 10의 (B)에서는, 절연층(4112) 위에 격벽(4510)이 형성되어 있다.

[0115] 또한, 트랜지스터(4010) 및 트랜지스터(4011)는 절연층(4102) 위에 제공되어 있다. 또한, 트랜지스터(4010) 및 트랜지스터(4011)는 절연층(4102) 위에 형성된 전극(517)을 갖고, 전극(517) 위에 절연층(4103)이 형성되어 있다. 절연층(4103) 위에 반도체층(512)이 형성되어 있다. 반도체층(512) 위에 전극(510) 및 전극(511)이 형성되고, 전극(510) 및 전극(511) 위에 절연층(4110) 및 절연층(4111)이 형성되고, 절연층(4110) 및 절연층(4111) 위에 전극(516)이 형성되어 있다. 전극(510) 및 전극(511)은 배선(4014)과 같은 도전층으로 형성되어 있다.

[0116] 트랜지스터(4010) 및 트랜지스터(4011)에서, 전극(517)은 게이트 전극으로서의 기능을 갖고, 전극(510)은 소스 전극 및 드레인 전극 중 한쪽으로서의 기능을 갖고, 전극(511)은 소스 전극 및 드레인 전극 중 다른 쪽으로서의 기능을 갖고, 전극(516)은 백 게이트 전극으로서의 기능을 갖는다.

[0117] 트랜지스터(4010) 및 트랜지스터(4011)는 보텀 게이트 구조이고, 또한 백 게이트를 가짐으로써, 온 전류가 증대될 수 있다. 또한, 트랜지스터의 문턱 전압을 제어할 수 있다.

[0118] 트랜지스터(4010) 및 트랜지스터(4011)에서, 반도체층(512)은 채널 형성 영역으로서의 기능을 갖는다. 반도체층(512)으로서 결정 실리콘, 다결정 실리콘, 비정질 실리콘, 산화물 반도체, 유기 반도체 등을 사용하면 좋다. 또한, 필요에 따라 반도체층(512)의 도전율을 높이기 위하여 또는 트랜지스터의 문턱 전압을 제어하기 위하여 반도체층(512)에 불순물을 도입하여도 좋다.

[0119] 반도체층(512)으로서 산화물 반도체를 사용한 경우, 반도체층(512)은 인듐(In)을 포함하는 것이 바람직하다. 반도체층(512)이 인듐을 포함하는 산화물 반도체인 경우, 반도체층(512)은 캐리어 이동도(전자 이동도)가 높아진다.

[0120] 다만, 반도체층(512)은 인듐을 포함하는 산화물 반도체에 한정되지 않는다. 반도체층(512)은 예를 들어, 아연 주석 산화물, 갈륨 주석 산화물 등, 인듐을 포함하지 않고, 아연을 포함하는 산화물 반도체, 갈륨을 포함하는 산화물 반도체, 주석을 포함하는 산화물 반도체 등이여도 좋다. 또한, 산화물 반도체의 일례에 대해서는 실시형태 6에서 자세히 설명한다.

[0121] 또한, 도 10의 (A) 및 (B)에 도시된 표시 패널은 용량 소자(4020)를 갖는다. 용량 소자(4020)는 절연층(4103)을 개재하여 전극(511)과 전극(4021)이 중첩되는 영역을 갖는다. 전극(4021)은 전극(517)과 같은 도전층으로 형성되어 있다.

[0122] 도 10의 (A)는 표시 소자로서 액정 소자를 사용한 액정 표시 패널의 일례를 나타낸 것이다. 도 10의 (A)에서 표시 소자인 액정 소자(4013)는, 제 1 전극층(4030), 제 2 전극층(4031), 및 액정층(4008)을 포함한다. 또한, 배향막으로서 기능하는 절연층(4032) 및 절연층(4033)이 액정층(4008)을 개재하도록 제공되어 있다. 제 2 전극층(4031)은 제 2 기판(4006) 측에 제공되고, 제 1 전극층(4030)과 제 2 전극층(4031)은 액정

총(4008)을 개재하여 중첩된다.

[0123] 또한, 스페이서(4035)는 절연층을 선택적으로 에칭함으로써 얻어지는 기둥 형상의 스페이서이고, 제 1 전극총(4030)과 제 2 전극총(4031)의 간격(셀 캡)을 제어하기 위하여 제공된다. 또한, 구(球) 형상의 스페이서를 사용하여도 좋다.

[0124] 표시 소자로서 액정 소자를 사용하는 경우, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 이들 액정 재료는 조건에 따라, 콜레스테릭상, 스맥티상, 큐빅상, 키랄 네마티상, 등방상 등을 나타낸다.

[0125] 또한, 배향막을 사용하지 않는 블루상(Blue Phase)을 나타내는 액정을 사용하여도 좋다. 블루상은 액정상의 하나이며, 콜레스테릭 액정의 온도를 상승시켜 나가면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현되는 상이다. 블루상은 좁은 온도 범위에서만 발현하기 때문에, 온도 범위를 개선하기 위하여 5중량% 이상의 키랄제를 혼합시킨 액정 조성물을 액정총에 사용한다. 블루상을 나타내는 액정 및 키랄제를 포함하는 액정 조성물은, 응답 속도가 1msec 이하로 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요하고, 시야각의 준성이 작다. 또한, 배향막을 제공하지 않아도 되므로 러빙 처리도 불필요하기 때문에, 러빙 처리로 인한 정전파괴를 방지할 수 있고, 제작 공정 중의 액정 표시 패널의 불량이나 파손을 경감시킬 수 있다. 따라서, 액정 표시 패널의 생산성을 향상시킬 수 있다.

[0126] 또한, 화소(픽셀)를 몇 개의 영역(서브 픽셀)으로 나누고, 각 영역에서 문자가 다른 방향으로 정렬되는 멀티 도메인화 또는 멀티 도메인 설계라고 불리는 방법을 사용할 수 있다.

[0127] 또한, 액정 재료의 고유 저항은 $1 \times 10^9 \Omega \cdot \text{cm}$ 이상이고, 바람직하게는 $1 \times 10^{11} \Omega \cdot \text{cm}$ 이상이고, 더 바람직하게는 $1 \times 10^{12} \Omega \cdot \text{cm}$ 이상이다. 또한, 본 명세서에서의 고유 저항의 값은 20°C에서 측정한 값으로 한다.

[0128] 트랜지스터(4010)에 산화물 반도체 트랜지스터를 사용한 경우, 트랜지스터(4010)는 오프 상태에서의 전류값(오프 전류값)을 낮출 수 있다. 따라서, 화상 신호 등의 전기 신호의 유지 시간을 길게 할 수 있고, 전원이 온 상태일 때에는 기록 간격도 길게 설정할 수 있다. 따라서, 리프레시 동작의 빈도를 적게 할 수 있어, 소비전력을 억제하는 효과를 갖는다.

[0129] 또한, 표시 패널에서, 블랙 매트릭스(차광층), 및 편광 부재, 위상차 부재, 또는 반사 방지 부재 등의 광학 부재(광학 기판) 등을 적절히 제공하여도 좋다. 예를 들어, 편광판 및 위상차판에 의한 원 편광을 사용하여도 좋다. 또한, 광원으로서, 백 라이트 및 사이드 라이트 등을 사용하여도 좋다.

[0130] 도 10의 (B)는 표시 소자로서 EL 소자 등의 발광 소자를 사용한 표시 패널의 일례를 나타낸 것이다. EL 소자는 유기 EL 소자와 무기 EL 소자로 나누어진다.

[0131] 유기 EL 소자에서는 전압을 공급함으로써, 한쪽 전극으로부터 전자가, 다른 쪽 전극으로부터 정공이 각각 EL총에 주입된다. 그리고, 이들 캐리어(전자 및 정공)가 재결합함으로써, 발광성 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 되돌아갈 때 발광한다. 이와 같은 메커니즘에 기초하여, 이러한 발광 소자는 전류 여기형의 발광 소자라고 불린다. 또한, EL총은 발광성 화합물 외에, 정공 주입성이 높은 물질, 정공 수송성이 높은 물질, 정공 블록 재료, 전자 수송성이 높은 물질, 전자 주입성이 높은 물질, 또는 양극성 물질(전자 수송성 및 정공 수송성이 높은 물질) 등을 가져도 좋다. EL총은 증착법(진공 증착법을 포함함), 전사법, 인쇄법, 잉크젯법, 도포법 등의 방법으로 형성될 수 있다.

[0132] 무기 EL 소자는 그 소자 구성에 따라, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 갖는 것이며, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층으로 끼우고, 또한 그것을 전극으로 끼운 구조를 갖고, 발광 메커니즘은 금속 이온의 내각 전자 전이(inner-shell electron transition)를 이용하는 국재형 발광이다.

[0133] 도 10의 (B)를 참조하여 발광 소자(4513)로서 유기 EL 소자를 사용한 예를 설명한다.

[0134] 도 10의 (B)에서, 발광 소자(4513)는 화소부(402)에 제공된 트랜지스터(4010)와 전기적으로 접속되어 있다. 또한, 발광 소자(4513)의 구조는 제 1 전극총(4030), 발광총(4511), 및 제 2 전극총(4031)의 적층 구조이지만, 이 구조에 한정되지 않는다. 발광 소자(4513)로부터 추출되는 광의 방향 등에 따라 발광 소자(4513)의 구조는 적절히 변경할 수 있다.

- [0135] 격벽(4510)은 유기 절연 재료 또는 무기 절연 재료를 사용하여 형성한다. 특히 감광성 수지 재료를 사용하여 제 1 전극층(4030) 위에 개구부를 형성하고 그 개구부의 측면이 연속한 곡률을 갖는 경사면이 되도록 형성하는 것이 바람직하다.
- [0136] 발광층(4511)은 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다.
- [0137] 산소, 수소, 수분, 이산화탄소 등이 발광 소자(4513)에 들어가지 않도록, 제 2 전극층(4031) 및 격벽(4510) 위에 보호층을 형성하여도 좋다. 보호층으로서는 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, DLC(Diamond-Like Carbon) 등을 사용할 수 있다. 또한, 제 1 기판(4001), 제 2 기판(4006), 및 밀봉재(4005)로 밀봉된 공간에는 충전재(4514)가 제공되어 밀봉되어 있다. 이와 같이, 기밀성이 높고 탈가스가 적은 보호 필름(접합 필름, 자외선 경화 수지 필름 등)이나 커버재로 발광 소자가 외기에 노출되지 않도록 패키징(봉입)하는 것이 바람직하다.
- [0138] 충전재(4514)로서는, 질소나 아르곤 등의 불활성 기체 외에, 자외선 경화 수지 또는 열 경화 수지를 사용할 수 있고, PVC(폴리바이닐클로라이드), 아크릴 수지, 폴리이미드, 에폭시 수지, 실리콘(silicone) 수지, PVB(폴리바이닐뷰티랄), 또는 EVA(에틸렌바이닐아세테이트) 등을 사용할 수 있다. 또한, 충전재(4514)에 건조제가 포함되어도 좋다.
- [0139] 밀봉재(4005)에는 유리 프럿 등의 유리 재료나, 2액 혼합형 수지 등 상온에서 경화되는 경화 수지, 광경화성 수지, 열 경화성 수지 등의 수지 재료를 사용할 수 있다. 또한, 밀봉재(4005)에 건조제가 포함되어도 좋다.
- [0140] 또한, 필요에 따라 발광 소자의 사출면에 편광판 또는 원 편광판(타원 편광판을 포함함), 위상차판($\lambda/4$ 판, $\lambda/2$ 판), 컬러 필터 등의 광학 필름을 적절히 제공하여도 좋다. 또한, 편광판 또는 원 편광판에 반사 방지막을 제공하여도 좋다. 예를 들어, 표면의 요철에 의하여 반사광을 확산시켜, 비침을 저감시킬 수 있는 안티글레어 처리를 실시할 수 있다.
- [0141] 또한, 발광 소자를 마이크로캐비티 구조로 함으로써, 색 순도가 높은 광을 추출할 수 있다. 또한, 마이크로캐비티 구조 및 컬러 필터를 조합함으로써, 비침이 저감되어 표시 화상의 시인성을 높일 수 있다.
- [0142] 제 1 전극층(4030) 및 제 2 전극층(4031)에는, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 인듐 주석 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.
- [0143] 또한, 제 1 전극층(4030) 및 제 2 전극층(4031)은 텅스텐(W), 몰리브데넘(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 나이오븀(Nb), 탄탈럼(Ta), 크로뮴(Cr), 코발트(Co), 니켈(Ni), 타이타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 은(Ag) 등의 금속, 또는 그 합금, 또는 그 금속 질화물로부터 1종류 이상을 사용하여 형성될 수 있다.
- [0144] 또한, 제 1 전극층(4030) 및 제 2 전극층(4031)은 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 사용하여 형성될 수 있다. 도전성 고분자로서는, 소위 π 전자 공액 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리사이오펜 또는 그 유도체, 또는 아닐린, 피롤, 및 싸이오펜 중 2종 이상으로 이루어지는 공중합체 또는 그 유도체 등이 있다.
- [0145] 발광 소자(4513)로부터의 광을 외부로 추출하기 위하여, 적어도 제 1 전극층(4030) 및 제 2 전극층(4031) 중 한쪽이 투명하면 좋다. 표시 패널은 광을 추출하는 방법에 따라 상면 사출(톱 이미션) 구조, 하면 사출(보텀 이미션) 구조, 및 양면 사출(듀얼 이미션) 구조로 분류된다. 상면 사출 구조는 트랜지스터 및 발광 소자가 형성된 기판과 반대 측 면(상면)으로부터 광을 추출하는 경우를 말한다. 하면 사출 구조는 트랜지스터 및 발광 소자가 형성된 기판의 면(하면)으로부터 광을 추출하는 경우를 말한다. 양면 사출 구조는 상면과 하면 양쪽 모두로부터 광을 추출하는 경우를 말한다. 예를 들어, 상면 사출 구조의 경우, 제 2 전극층(4031)을 투명하게 하면 좋다. 예를 들어, 하면 사출 구조의 경우, 제 1 전극층(4030)을 투명하게 하면 좋다. 예를 들어, 양면 사출 구조의 경우, 제 1 전극층(4030) 및 제 2 전극층(4031)을 투명하게 하면 좋다.
- [0146] 도 11의 (A)는 도 10의 (A)에 도시된 트랜지스터(4011) 및 트랜지스터(4010)에 톱 게이트형 트랜지스터를 제공한 경우의 단면도이다. 마찬가지로, 도 11의 (B)는 도 10의 (B)에 도시된 트랜지스터(4011) 및 트랜지스터(4010)에 톱 게이트형 트랜지스터를 제공한 경우의 단면도이다.

- [0147] 도 11의 (A), (B)에 도시된 트랜지스터(4010), 트랜지스터(4011)에서, 전극(517)은 게이트 전극으로서 기능을 갖고, 전극(510)은 소스 전극 및 드레인 전극 중 한쪽으로서의 기능을 갖고, 전극(511)은 소스 전극 및 드레인 전극 중 다른 쪽으로서의 기능을 갖는다.
- [0148] 도 11의 (A), (B)의 기타 구성 요소의 자세한 사항에 대해서는, 도 10의 (A), (B)에 대한 기재를 참조하면 좋다.
- [0149] 도 12의 (A)는 도 11의 (A)에 도시된 트랜지스터(4011) 및 트랜지스터(4010)에 백 게이트로서 기능하는 전극(516)을 제공한 경우의 단면도이다. 마찬가지로, 도 12의 (B)는 도 11의 (B)에 도시된 트랜지스터(4011) 및 트랜지스터(4010)에 백 게이트로서 기능하는 전극(516)을 제공한 경우의 단면도이다.
- [0150] 트랜지스터(4010) 및 트랜지스터(4011)는 톱 게이트 구조이고, 또한 백 게이트를 가짐으로써, 온 전류를 증대시킬 수 있다. 또한, 트랜지스터의 문턱 전압을 제어할 수 있다.
- [0151] 도 12의 (A), (B)의 기타 구성 요소의 자세한 사항에 대해서는, 도 10의 (A), (B)에 대한 기재를 참조하면 좋다.
- [0152] (실시형태 4)
- [0153] 이어서, 상술한 실시형태에 나타낸 표시 패널을 사용한 표시 모듈의 응용예에 대하여 도 13을 참조하여 설명한다.
- [0154] 도 13에 도시된 표시 모듈(800)은 상부 커버(801)와 하부 커버(802) 사이에, FPC(803)에 접속된 터치 패널(804), FPC(805)에 접속된 표시 패널(806), 프레임(809), 인쇄 기판(810), 배터리(811)를 갖는다. 또한, 배터리(811), 터치 패널(804) 등은 제공되지 않는 경우도 있다.
- [0155] 상술한 실시형태에서 설명한 표시 패널은 도 13에서의 표시 패널(806)에 사용할 수 있다.
- [0156] 상부 커버(801) 및 하부 커버(802)는 터치 패널(804) 및 표시 패널(806)의 크기에 맞춰 형상이나 치수를 적절히 변경할 수 있다.
- [0157] 터치 패널(804)로서는 저항막 방식 또는 정전 용량 방식의 터치 패널을 표시 패널(806)에 중첩시켜 사용할 수 있다. 또한, 표시 패널(806)의 대향 기판(밀봉 기판)에 터치 패널 기능을 부가할 수도 있다. 또는, 표시 패널(806)의 각 화소 내에 광 센서를 제공하고, 광학식 터치 패널로 할 수도 있다. 또는, 표시 패널(806)의 각 화소 내에 터치 센서용 전극을 제공하고, 정전 용량 방식의 터치 패널로 할 수도 있다. 이 경우, 터치 패널(804)을 생략할 수도 있다.
- [0158] 상부 커버(801)는 광로를 가져도 좋다. 인쇄 기판(810)에 실장된 광원 또는 광원 모듈로부터 조사된 광이 상부 커버(801)에 제공된 광로를 통하여, 상부 커버의 1면으로부터 조사되고, 광을 조사하는 1면과는 상이한 1면의 광로에 입사되는 광의 유무를 인쇄 기판(810)에 실장된 광 센서 또는 광 센서 모듈에 의하여 판단함으로써, 손가락이나 펜 등의 터치 등에 의하여 화면이 터치되어 있는지 아닌지를 검출할 수도 있다. 이 경우, 표시 패널(806) 또는 표시 패널(806)의 대향 기판에 터치 기능을 부가하지 않아도 되고, 또한 터치 패널(804)을 생략할 수도 있다.
- [0159] 도 14의 (A)는 터치 패널(804)의 일례로서 상호 용량 방식의 터치 센서를 사용한 경우의 구성예를 나타낸 모식도이다. 또한, 도 14의 (A)에는 일례로서 펄스 전압이 공급되는 배선(CLx)을 X1 내지 X6의 6개의 배선으로서 나타내고, 전류의 변화를 감지하는 배선(CLy)을 Y1 내지 Y6의 6개의 배선으로서 나타내었다. 또한, 배선의 개수는 이에 한정되지 않는다. 또한, 도 14의 (A)는 배선(CLx)과 배선(CLy)이 중첩되거나 또는 배선(CLx)과 배선(CLy)이 근접하도록 배치됨으로써 형성되는 용량 소자(854)를 도시한 것이다.
- [0160] 배선(CLx) 및 배선(CLy)은 IC(850)와 전기적으로 접속되어 있다. IC(850)는 구동 회로(851) 및 검출 회로(852)를 포함한다.
- [0161] 구동 회로(851)는 일례로서는, X1 내지 X6의 배선에 순차적으로 펄스 전압을 공급하기 위한 회로이다. X1 내지 X6의 배선에 펄스 전압이 공급됨으로써, 용량 소자(854)를 형성하는 배선(CLx)과 배선(CLy) 사이에 전계가 발생한다. 그리고, 펄스 전압에 의하여 용량 소자(854)에 전류가 흐른다. 이 배선 사이에 발생되는 전계는, 손가락이나 펜 등의 터치에 의한 차폐 등에 의하여 변화된다. 즉, 손가락이나 펜 등으로 터치 등이 수행됨으로써 용량 소자(854)의 용량값이 변화된다. 이와 같이, 손가락이나 펜 등으로 터치 등이 수행되어 용량값이

변화되는 것을 이용함으로써, 피검지체의 근접 또는 접촉을 검출할 수 있다.

[0162] 검출 회로(852)는 용량 소자(854)의 용량값의 변화에 따른 Y1 내지 Y6의 배선에서의 전류의 변화를 검출하기 위한 회로이다. Y1 내지 Y6의 배선에서는 피검지체의 근접 또는 접촉이 없으면 검출되는 전류값에 변화는 없지만, 검출되는 피검지체의 근접 또는 접촉에 의하여 용량값이 감소되는 경우에는, 전류값이 감소되는 변화를 검출한다. 또한, 전류의 변화를 검출하기 위하여, 전류량의 총합을 검출하여도 좋다. 이 경우에는, 적분 회로 등을 사용하여 검출하면 좋다. 또는, 전류의 피크값을 검출하여도 좋다. 이 경우에는, 전류를 전압으로 변환하여 전압값의 피크값을 검출하여도 좋다.

[0163] 도 14의 (A)에서, 구동 회로(851) 및 검출 회로(852)는 동일한 IC에 형성되어 있지만, 각 회로를 상이한 IC에 형성하여도 좋다. 검출 회로(852)는 노이즈의 영향을 받아 오작동하기 쉽다. 한편, 구동 회로(851)는 노이즈의 발생원이 될 수 있다. 구동 회로(851)와 검출 회로(852)를 상이한 IC에 형성함으로써, 검출 회로(852)의 오동작을 방지할 수 있다.

[0164] 또한, 구동 회로(851), 검출 회로(852), 및 표시 패널(806)의 구동 회로를 하나의 IC에 형성하여도 좋다. 이 경우, 표시 모듈 전체의 비용에서의 IC의 비용을 저감시킬 수 있다.

[0165] 도 14의 (A)에서 IC(850)는 터치 패널(804)에 배치되어 있지만, IC(850)는 FPC(803)에 배치되어도 좋다. 이 경우의 모식도를 도 14의 (B)에 도시하였다.

[0166] 다시 도 13을 참조한다.

[0167] 프레임(809)은 표시 패널(806)을 보호하는 기능 외에, 인쇄 기판(810)의 동작에 의하여 발생하는 전자기파를 차단하기 위한 전자기 실드로서의 기능을 갖는다. 또한, 프레임(809)은 방열판으로서의 기능을 가져도 좋다.

[0168] 인쇄 기판(810)은 전원 회로와, 비디오 신호 및 클럭 신호를 출력하기 위한 신호 처리 회로를 갖는다. 또한, 터치를 검출하기 위한 광원 및 광 센서를 가져도 좋다. 광원의 파장 영역은 780nm보다 큰 것이 바람직하고, 1.6 μ m보다 큰 것이 더 바람직하다. 광 센서는 광원의 파장 영역의 광을 검출하는 기능을 갖는다. 전원 회로에 전력을 공급하는 전원으로서는, 외부의 상용 전원이어도 좋고, 별도로 제공한 배터리(811)에 의한 전원이어도 좋다. 상용 전원을 사용하는 경우에는 배터리(811)를 생략할 수 있다.

[0169] 또한, 표시 모듈(800)에는 편광판, 위상차판, 프리즘 시트 등의 부재를 추가적으로 제공하여도 좋다.

[0170] (실시형태 5)

[0171] 본 실시형태에서는 본 발명의 일 형태에 따른 전자 기기 및 조명 장치에 대하여 도면을 참조하여 설명한다.

[0172] 도 15의 (A) 내지 도 16의 (E)를 참조하여 전자 기기의 구성예에 대하여 설명한다. 도 15의 (A) 내지 도 16의 (C)의 전자 기기의 표시부에는 터치 센서를 갖는 터치 패널을 사용하여도 좋다. 터치 패널을 사용함으로써, 표시부가 전자 기기의 입력부로서도 가능할 수 있다.

[0173] 도 15의 (A)에 도시된 정보 단말(2010)은 하우징(2011)에 조합된 표시부(2012) 외에, 조작 버튼(2013), 외부 접속 포트(2014), 스피커(2015), 마이크로폰(2016)을 갖는다. 여기서는 표시부(2012)의 표시 영역이 구부러져 있다. 정보 단말(2010)은 배터리로 구동하는 휴대 정보 단말이며, 태블릿 정보 단말 또는 스마트폰으로서 사용할 수 있다. 정보 단말(2010)은 전화, 전자 메일, 수첩, 인터넷 접속, 음악 재생 등의 기능을 갖는다. 손가락 등으로 표시부(2012)를 터치함으로써, 정보를 입력할 수 있다. 또한, 전화를 걸거나, 문자를 입력하거나, 표시부(2012)의 화면을 전환하는 동작 등의 각종 조작은 손가락 등으로 표시부(2012)를 터치함으로써 수행된다. 또한, 마이크로폰(2016)으로부터 음성을 입력함으로써 정보 단말(2010)을 조작할 수도 있다. 조작 버튼(2013)의 조작에 의하여, 전원의 온/오프 동작이나 표시부(2012)의 화면 전환 동작 등의 각종 조작을 수행할 수도 있다.

[0174] 도 15의 (B)는 손목시계형 정보 단말의 일례를 나타낸 것이다. 정보 단말(2030)은 하우징(2031), 표시부(2032), 용두(2033), 벨트(2034), 검지부(2035)를 갖는다. 용두(2033)를 회전시킴으로써 정보 단말(2030)을 조작할 수 있다. 표시부(2032)를 손가락으로 터치함으로써 정보 단말(2030)을 조작할 수 있다.

[0175] 검지부(2035)는 예를 들어, 사용 환경 정보, 생체 정보를 취득하는 기능을 갖는다. 마이크로폰, 철상소자, 가속도 센서, 방위 센서, 압력 센서, 온도 센서, 습도 센서, 조도 센서, 측위 센서(예를 들어, GPS(범주

구 위치 결정 시스템)) 등을 검지부(2035)에 제공하여도 좋다.

[0176] 정보 단말(2010) 및 정보 단말(2030)에 같은 규격의 무선 통신 장치를 조합하여, 무선 신호(2020)로 쌍방향 통신을 수행하도록 하여도 좋다. 예를 들어, 정보 단말(2010)이 전자 메일, 전화 등을 착신하면, 정보 단말(2030)의 표시부(2032)에 착신을 알리는 정보가 표시된다.

[0177] 도 15의 (C)는 안경형 정보 단말의 예를 나타낸 것이다. 정보 단말(2040)은 장착부(2041), 하우징(2042), 케이블(2045), 배터리(2046), 표시부(2047)를 갖는다. 배터리(2046)는 장착부(2041)에 수납되어 있다. 표시부(2047)는 하우징(2042)에 제공되어 있다. 하우징(2042)은 프로세서, 무선 통신 장치, 기억 장치, 각종 전자 부품을 내장한다. 케이블(2045)을 통하여 배터리(2046)로부터 하우징(2042) 내의 표시부(2047) 및 전자 부품에 전력이 공급된다. 표시부(2047)에는 무선으로 송신된 영상 등의 각종 정보가 표시된다. 실시형태 1에서 설명한 선 순차에 의한 임펄스형 구동을 사용함으로써, 플리커를 억제하면서, 동영상 해상도의 향상과, 소비전력의 저감을 구현할 수 있다.

[0178] 무선 신호를 사용한 통신을 수행하는 정보 단말 등은, 통신에 사용하는 안테나에 의하여 전자기 결합 방식, 전자기 유도 방식, 전파 방식 중 어느 하나에 의하여 에너지를 생성하는 기능을 가질 수 있다.

[0179] 하우징(2042)에 카메라를 제공하여도 좋다. 카메라에 의하여 사용자의 눈알이나 눈꺼풀의 움직임을 검지함으로써, 정보 단말(2040)을 조작할 수 있다.

[0180] 장착부(2041)에 온도 센서, 압력 센서, 가속도 센서, 생체 센서 등의 각종 센서를 제공하여도 좋다. 예를 들어, 생체 센서에 의하여 사용자의 생체 정보를 취득하여 하우징(2042) 내의 기억 장치에 기억시킨다. 예를 들어, 무선 신호(2021)에 의하여 정보 단말(2010)과 정보 단말(2040) 사이에서 쌍방향 통신이 가능하다. 정보 단말(2040)은 기억한 생체 정보를 정보 단말(2010)로 송신한다. 정보 단말(2010)은 수신한 생체 정보로부터 사용자의 피로도, 활동량 등을 산출한다.

[0181] 도 16의 (A)에 도시된 노트북 PC(퍼스널 컴퓨터)(2050)는 하우징(2051), 표시부(2052), 키보드(2053), 포인팅 디바이스(2054)를 갖는다. 표시부(2052)의 터치 조작으로 노트북 PC(2050)를 조작할 수 있다.

[0182] 도 16의 (B)에 도시된 비디오 카메라(2070)는 하우징(2071), 표시부(2072), 하우징(2073), 조작 키(2074), 렌즈(2075), 접속부(2076)를 갖는다. 표시부(2072)는 하우징(2071)에 제공되고, 조작 키(2074) 및 렌즈(2075)는 하우징(2073)에 제공되어 있다. 하우징(2071)과 하우징(2073)은 접속부(2076)에 의하여 접속되고, 하우징(2071)과 하우징(2073) 사이의 각도는 접속부(2076)에 의하여 변경이 가능하다. 접속부(2076)에서의 하우징(2071)과 하우징(2073) 사이의 각도에 따라 표시부(2072)의 영상이 전환되는 구성으로 하여도 좋다. 표시부(2072)의 터치 조작에 의하여, 녹화를 시작하거나 정지하는 조작, 줌 배율 조정, 촬영 범위의 변경 등 각종 조작을 실행할 수 있다.

[0183] 도 16의 (C)에 도시된 휴대 게임기(2110)는 하우징(2111), 표시부(2112), 스피커(2113), LED 램프(2114), 조작 키 버튼(2115), 접속 단자(2116), 카메라(2117), 마이크로폰(2118), 기록 매체 판독부(2119)를 갖는다.

[0184] 도 16의 (D)에 도시된 전기 냉동 냉장고(2150)는 하우징(2151), 냉장실용 도어(2152), 및 냉동실용 도어(2153) 등을 갖는다.

[0185] 도 16의 (E)에 도시된 자동차(2170)는 차체(2171), 차륜(2172), 대시보드(2173), 및 라이트(2174) 등을 갖는다. 실시형태 2에서의 프로세서는 자동차(2170) 내의 각종 프로세서에 사용된다.

[0186] (실시형태 6)

[0187] <CAC-OS의 구성>

[0188] 이하에서는, 본 발명의 일 형태에 개시되는 트랜지스터에 사용할 수 있는 CAC(Cloud-Aligned Composite)-OS의 구성에 대하여 설명한다.

[0189] CAC-OS란, 예를 들어, 산화물 반도체를 구성하는 원소가 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 2nm 이하, 또는 그 근방의 크기로 편재(偏在)한 재료의 하나의 구성을 말한다. 또한, 이하에서는, 산화물 반도체에서 하나 또는 그 이상의 금속 원소를 갖는 영역이 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 2nm 이하, 또는 그 근방의 크기로 혼재한 상태를 모자이크 패턴 또는 패치 패턴이라고도 한다.

[0190]

또한, 산화물 반도체는 적어도 인듐을 포함하는 것이 바람직하다. 특히, 인듐 및 아연을 포함하는 것이 바람직하다. 또한, 이들에 더하여, 알루미늄, 갈륨, 이트륨, 구리, 바나듐, 베릴륨, 봉소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데늄, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텉스텐, 및 마그네슘 등으로부터 선택된 1종류 또는 복수의 종류가 포함되어도 좋다.

[0191]

예를 들어, In-Ga-Zn 산화물에서의 CAC-OS(CAC-OS 중에서도 In-Ga-Zn 산화물을 특히 CAC-IGZO라고 불러도 좋음)란, 인듐 산화물(이하, $In_{0.1}(X_1은 0보다 큰 실수(實數))$ 로 함) 또는 인듐 아연 산화물(이하, $In_{x_2}Zn_{y_2}O_{z_2}$ (X_2, Y_2 , 및 Z_2 는 0보다 큰 실수)로 함)과, 갈륨 산화물(이하, $Ga_{0.3}(X_3은 0보다 큰 실수)$ 으로 함) 또는 갈륨 아연 산화물(이하, $Ga_{x_4}Zn_{y_4}O_{z_4}$ (X_4, Y_4 , 및 Z_4 는 0보다 큰 실수)로 함) 등으로 재료가 분리함으로써 모자이크 패턴이 되고, 모자이크 패턴의 $In_{0.1}$ 또는 $In_{x_2}Zn_{y_2}O_{z_2}$ 가 막 중에 균일하게 분포된 구조(이하, 클라우드상(cloud-like)이라고도 함)을 말한다.

[0192]

즉, CAC-OS는 $Ga_{0.3}$ 이 주성분인 영역과, $In_{x_2}Zn_{y_2}O_{z_2}$ 또는 $In_{0.1}$ 이 주성분인 영역이 혼재하는 구성을 갖는 복합 산화물 반도체이다. 또한, 본 명세서에서, 예를 들어, 제 1 영역의 원소 M에 대한 In의 원자수비가, 제 2 영역의 원소 M에 대한 In의 원자수비보다 큰 것을 "제 1 영역은 제 2 영역과 비교하여 In의 농도가 높다"라고 한다.

[0193]

또한, IGZO는 통칭이며, In, Ga, Zn, 및 O로 이루어지는 하나의 화합물을 말하는 경우가 있다. 대표적인 예로서, $InGaO_3(ZnO)_{m1}$ ($m1$ 은 자연수), 또는 $In_{(1+x_0)}Ga_{(1-x_0)}O_3(ZnO)_{m0}$ ($-1 \leq x_0 \leq 1$, $m0$ 은 임의의 수)으로 나타내어지는 결정성 화합물을 들 수 있다.

[0194]

상기 결정성 화합물은 단결정 구조, 다결정 구조, 또는 CAAC 구조를 갖는다. 또한, CAAC 구조란, 복수의 IGZO의 나노 결정이 c축 배향을 갖고, 또한 a-b면에서는 배향되지 않고 연결된 결정 구조를 말한다.

[0195]

한편, CAC-OS는 산화물 반도체의 재료 구성에 관한 것이다. CAC-OS란, In, Ga, Zn, 및 O를 포함하는 재료 구성에서, Ga를 주성분으로 하는 나노 입자상으로 관찰되는 영역이 일부에, 그리고 In을 주성분으로 하는 나노 입자상으로 관찰되는 영역이 일부에, 각각 모자이크 패턴으로 무작위로 분산되어 있는 구성을 말한다. 따라서, CAC-OS에서 결정 구조는 부차적인 요소이다.

[0196]

또한, CAC-OS는 조성이 상이한 2종류 이상의 막의 적층 구조를 포함하지 않는 것으로 한다. 예를 들어, In을 주성분으로 하는 막과, Ga를 주성분으로 하는 막의 2층으로 이루어지는 구조는 포함하지 않는다.

[0197]

또한, $Ga_{0.3}$ 이 주성분인 영역과, $In_{x_2}Zn_{y_2}O_{z_2}$ 또는 $In_{0.1}$ 이 주성분인 영역에서는 명확한 경계를 관찰하기가 어려운 경우가 있다.

[0198]

또한, 갈륨 대신에, 알루미늄, 이트륨, 구리, 바나듐, 베릴륨, 봉소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데늄, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텉스텐, 또는 마그네슘 등으로부터 선택된 1종류 또는 복수의 종류의 금속 원소가 포함되는 경우, CAC-OS는 상기 금속 원소를 주성분으로 하는 나노 입자상으로 관찰되는 영역이 일부에, 그리고 In을 주성분으로 하는 나노 입자상으로 관찰되는 영역이 일부에, 각각 모자이크 패턴으로 무작위로 분산되어 있는 구성을 말한다.

[0199]

CAC-OS는 예를 들어, 기관을 의도적으로 가열하지 않는 조건으로, 스팍터링법에 의하여 형성할 수 있다. 또한, CAC-OS를 스팍터링법에 의하여 형성하는 경우, 성막 가스로서 불활성 가스(대표적으로는 아르곤), 산소 가스, 및 질소 가스 중에서 선택된 어느 하나 또는 복수를 사용하면 좋다. 또한, 성막 시의 성막 가스의 총유량에 대한 산소의 가스의 유량비는 낮을수록 바람직하고, 예를 들어, 산소 가스의 유량비를 0% 이상 30% 미만, 바람직하게는 0% 이상 10% 이하로 하는 것이 바람직하다.

[0200]

CAC-OS는 X선 회절(XRD: X-ray diffraction) 측정법 중 하나인 out-of-plane법에 의한 $\Theta/2\Theta$ 스캔을 사용하여 측정하였을 때, 명확한 피크가 관찰되지 않는다는 특징을 갖는다. 즉, X선 회절로부터, 측정 영역의 a-b면 방향 및 c축 방향의 배향이 관찰되지 않는다는 것을 알 수 있다.

[0201]

또한, CAC-OS는 프로브 직경이 1nm인 전자선(나노빔 전자선이라고도 함)을 조사함으로써 얻어지는 전자선 회절 패턴에서, 고리 형상의 회도가 높은 영역이 관측되고, 상기 고리 영역에 복수의 회점이 관측된다. 따라서, 전자선 회절 패턴으로부터, CAC-OS의 결정 구조가 평면 방향 및 단면 방향에서 배향성을 갖지 않는 nc(nano-crystal) 구조를 갖는 것을 알 수 있다.

[0202] 또한, 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS의 경우, 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray spectroscopy)을 사용하여 취득한 EDX 매팅에 의하여, GaO_{x_3} 이 주성분인 영역과, $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 또는 InO_{x_1} 이 주성분인 영역이 현재하여 혼합한 구조를 갖는 것을 확인할 수 있다.

[0203] CAC-OS는 금속 원소가 균일하게 분포된 IGZO 화합물과는 상이한 구조를 갖고, IGZO 화합물과 상이한 성질을 갖는다. 즉, CAC-OS는 GaO_{x_3} 등이 주성분인 영역과, $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 또는 InO_{x_1} 이 주성분인 영역으로 서로 상분리(相分離)되어, 각 원소를 주성분으로 하는 영역이 모자이크 패턴인 구조를 갖는다.

[0204] 여기서, $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 또는 InO_{x_1} 이 주성분인 영역은 GaO_{x_3} 등이 주성분인 영역과 비교하여 도전성이 높은 영역이다. 즉, $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 또는 InO_{x_1} 이 주성분인 영역을 캐리어가 흐름으로써, 산화물 반도체로서의 도전성이 나타난다. 따라서, $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 또는 InO_{x_1} 이 주성분인 영역이 산화물 반도체 내에 클라우드상으로 분포됨으로써, 높은 전계 효과 이동도(μ)가 구현될 수 있다.

[0205] 한편, GaO_{x_3} 등이 주성분인 영역은 $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 또는 InO_{x_1} 이 주성분인 영역과 비교하여 절연성이 높은 영역이다. 즉, GaO_{x_3} 등이 주성분인 영역이 산화물 반도체 내에 분포됨으로써, 누설 전류가 억제되어, 양호한 스위칭 동작이 구현될 수 있다.

[0206] 따라서, CAC-OS를 반도체 소자에 사용한 경우, GaO_{x_3} 등에 기인하는 절연성과, $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 또는 InO_{x_1} 에 기인하는 도전성이 상보적으로 작용함으로써, 높은 온 전류(I_{on}) 및 높은 전계 효과 이동도(μ)를 구현할 수 있다.

[0207] 또한, CAC-OS를 사용한 반도체 소자는 신뢰성이 높다. 따라서, CAC-OS는 디스플레이를 비롯한 다양한 반도체 장치에 최적이다.

[0208] 본 실시형태는 적어도 그 일부를 본 명세서에 기재된 다른 실시형태와 적절히 조합하여 실시할 수 있다.

부호의 설명

[0209] G1: 주사선

G2: 주사선

G3: 주사선

M1: 트랜지스터

S: 신호선

SP1: 스타트 펄스

SP2: 스타트 펄스

SW1: 트랜지스터

SW2: 트랜지스터

10: 표시 장치

110: 게이트 드라이버

111: 시프트 레지스터 회로

112: 시프트 레지스터 회로

120: 표시부

400: 신호선 구동 회로

400a: 신호선 구동 회로

400b: 신호선 구동 회로

401: 주사선 구동 회로

401a: 주사선 구동 회로

401b: 주사선 구동 회로

402: 화소부

510: 전극

511: 전극

512: 반도체층

516: 전극

517: 전극

710: 발광 소자

710C: 화소 회로

800: 표시 모듈

801: 상부 커버

802: 하부 커버

803: FPC

804: 터치 패널

805: FPC

806: 표시 패널

809: 프레임

810: 인쇄 기판

811: 배터리

850: IC

851: 구동 회로

852: 검출 회로

854: 용량 소자

2010: 정보 단말

2011: 하우징

2012: 표시부

2013: 조작 버튼

2014: 외부 접속 포트

2015: 스피커

2016: 마이크로폰

2020: 무선 신호

2021: 무선 신호

2030: 정보 단말

- 2031: 하우징
2032: 표시부
2033: 용두
2034: 벨트
2035: 겹지부
2040: 정보 단말
2041: 장착부
2042: 하우징
2045: 케이블
2046: 배터리
2047: 표시부
2051: 하우징
2052: 표시부
2053: 키보드
2054: 포인팅 디바이스
2070: 비디오 카메라
2071: 하우징
2072: 표시부
2073: 하우징
2074: 조작 키
2075: 렌즈
2076: 접속부
2110: 휴대 게임기
2111: 하우징
2112: 표시부
2113: 스피커
2114: LED 램프
2115: 조작 키버튼
2116: 접속 단자
2117: 카메라
2118: 마이크로폰
2119: 기록 매체 판독부
2150: 전기 냉동 냉장고
2151: 하우징
2152: 냉장실용 도어
2153: 냉동실용 도어

2170: 자동차

2171: 차체

2172: 차륜

2173: 대시보드

2174: 라이트

2050: 노트북 PC

4001: 기판

4005: 밀봉재

4006: 기판

4008: 액정총

4010: 트랜지스터

4011: 트랜지스터

4013: 액정 소자

4014: 배선

4015: 전극

4018: FPC

4018b: FPC

4019: 이방성 도전층

4020: 용량 소자

4021: 전극

4030: 전극층

4031: 전극층

4032: 절연층

4033: 절연층

4035: 스페이서

4102: 절연층

4103: 절연층

4110: 절연층

4111: 절연층

4112: 절연층

4510: 격벽

4511: 발광층

4513: 발광 소자

4514: 충전재

6000: 전자 부품

6001: 리드

6002: 인쇄 기판

6004: 회로 기판

6100: 반도체 웨이퍼

6102: 회로 영역

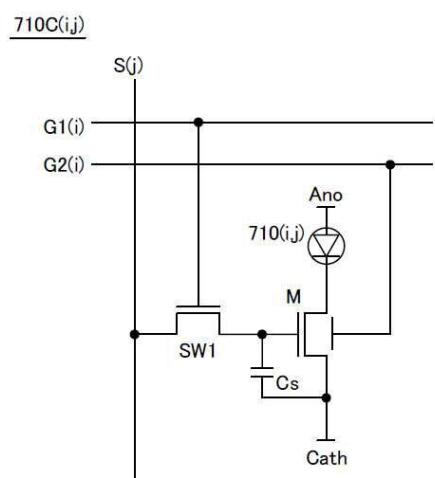
6104: 분리 영역

6106: 분리선

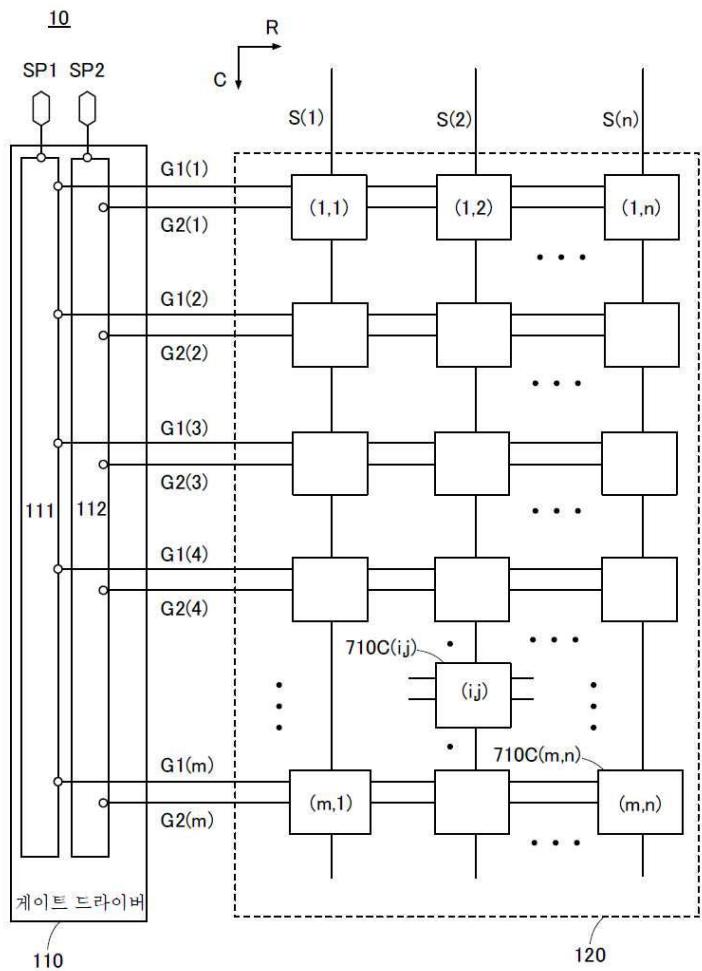
6110: 칩

도면

도면1

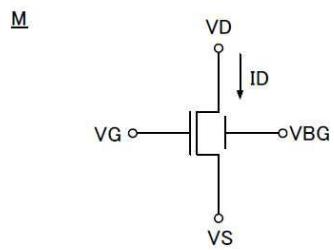


도면2

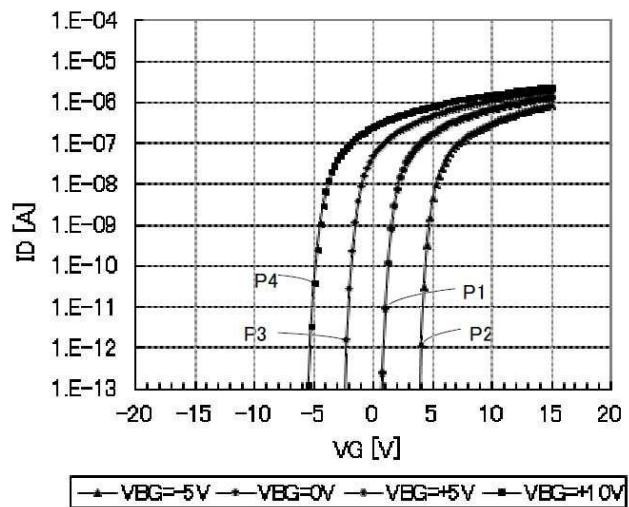


도면3

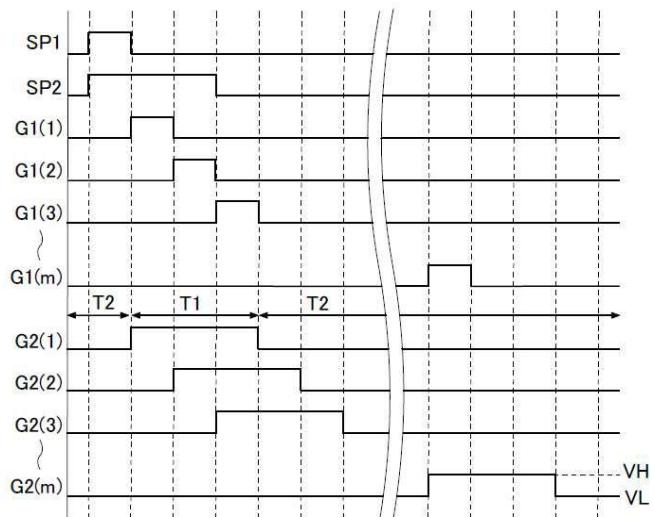
(A)



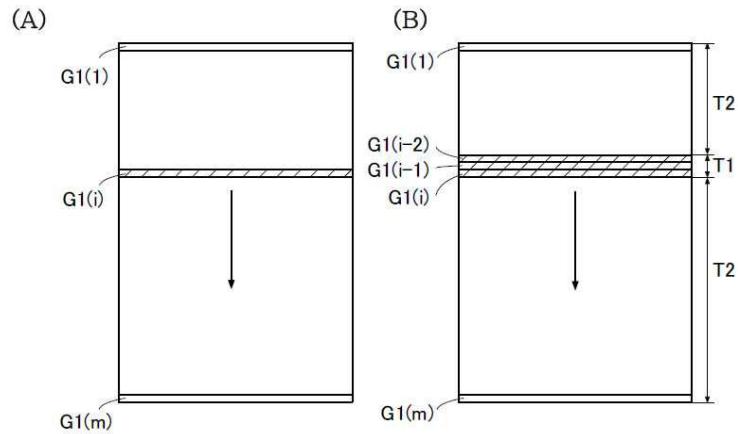
(B)



도면4



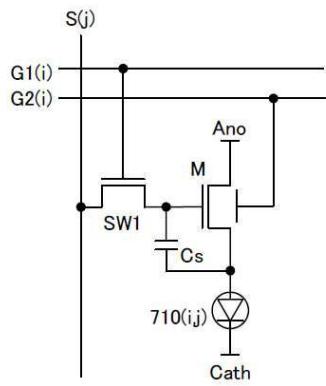
도면5

120

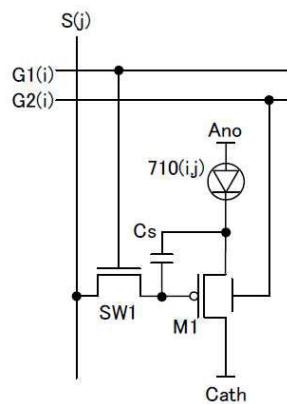
도면6

710C(i,j)

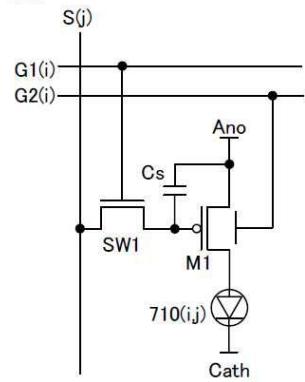
(A)



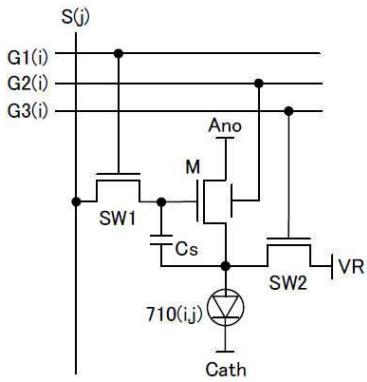
(B)



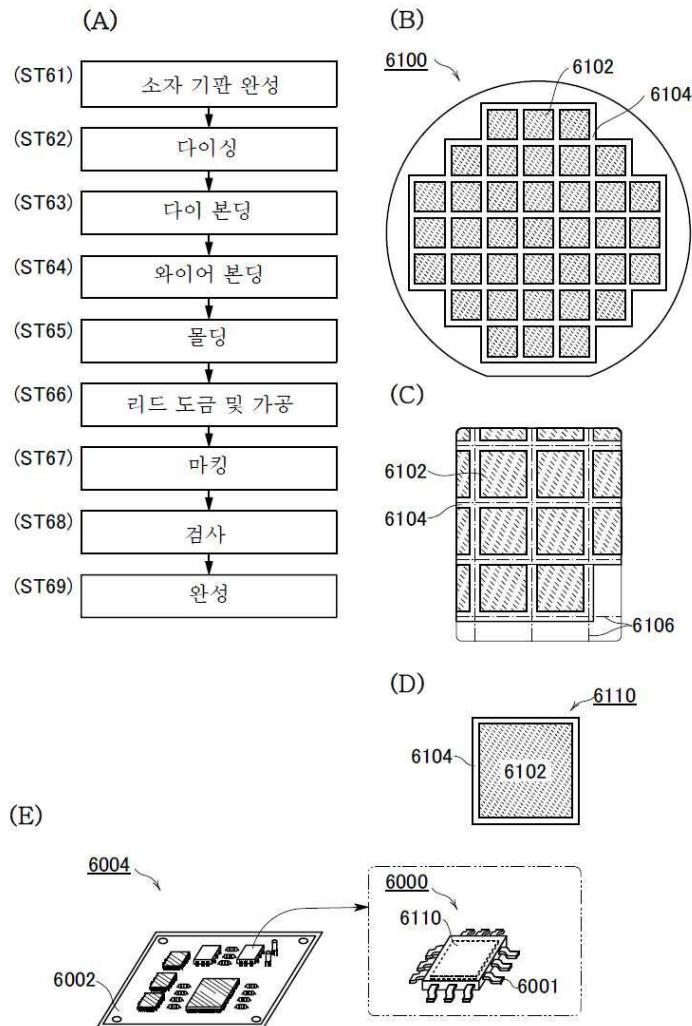
(C)



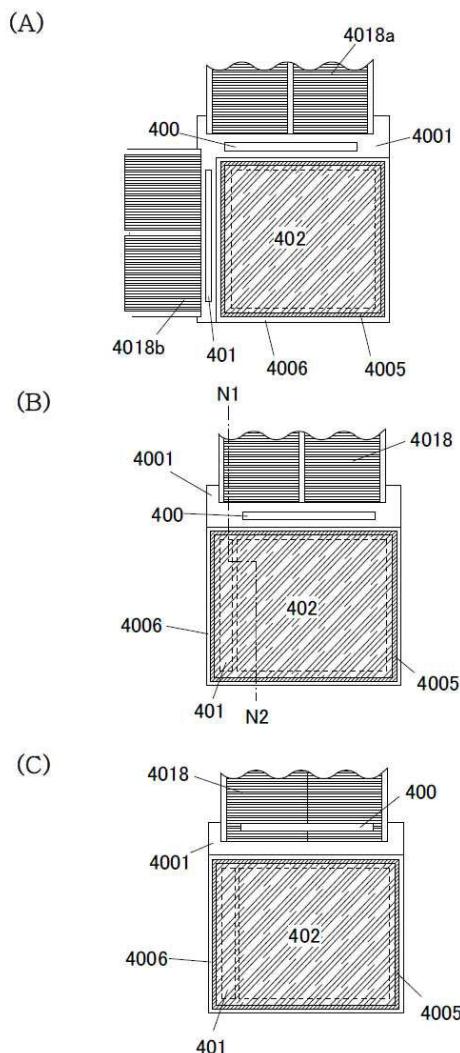
(D)



도면7

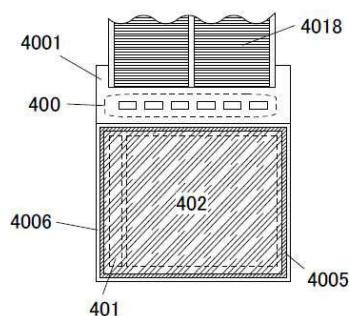


도면8

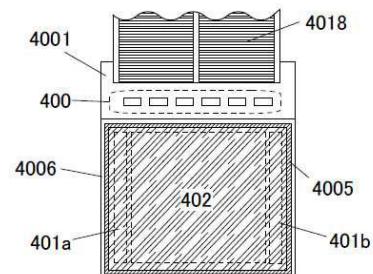


도면9

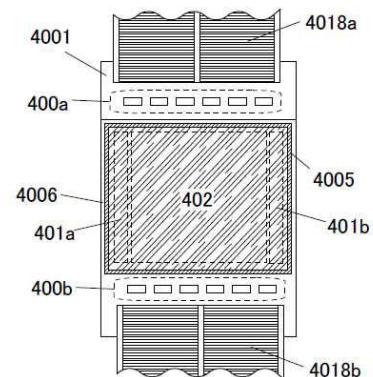
(A)



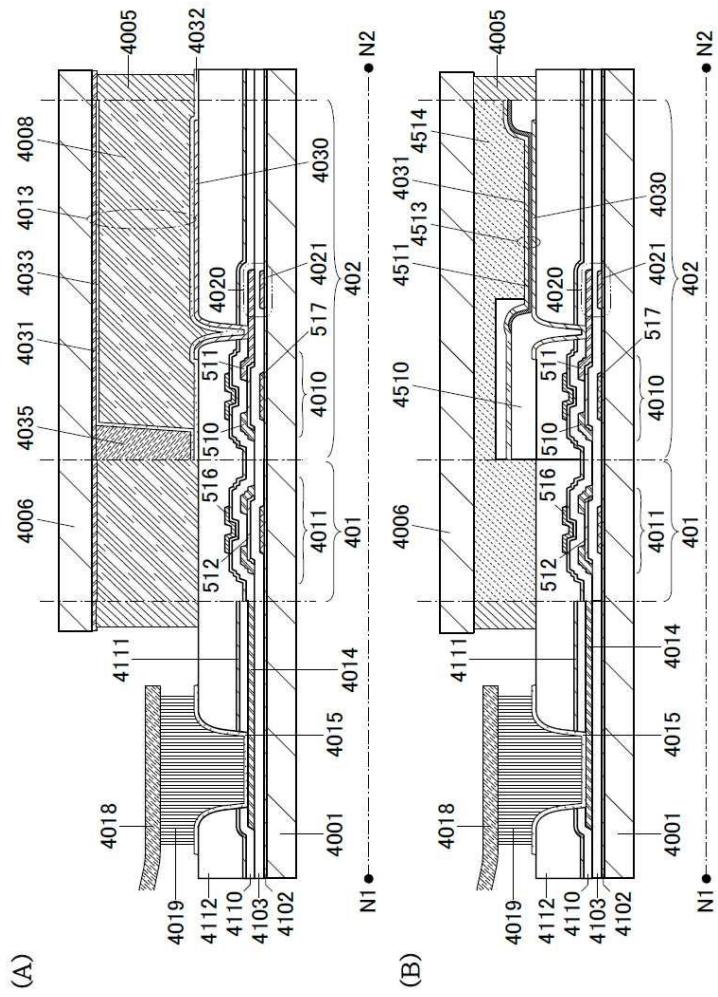
(B)



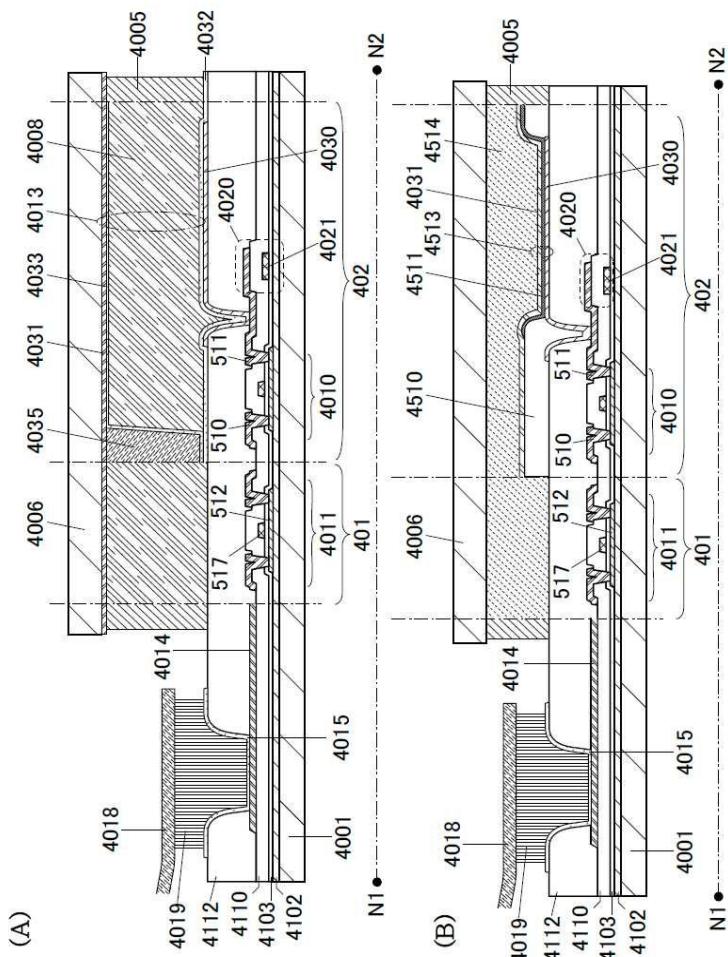
(C)



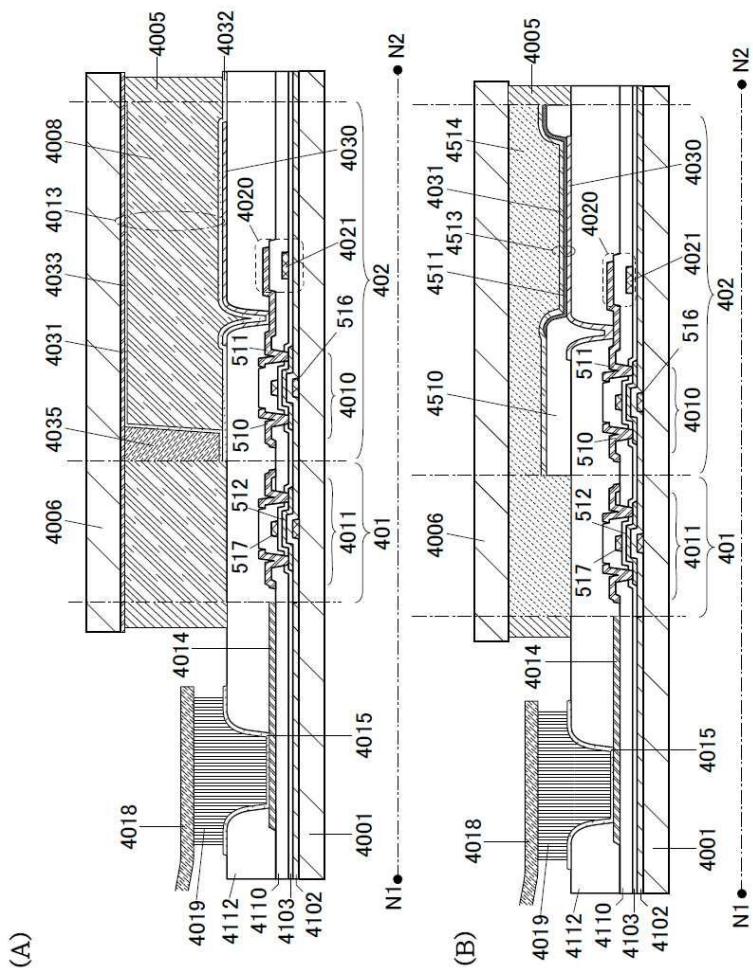
도면10



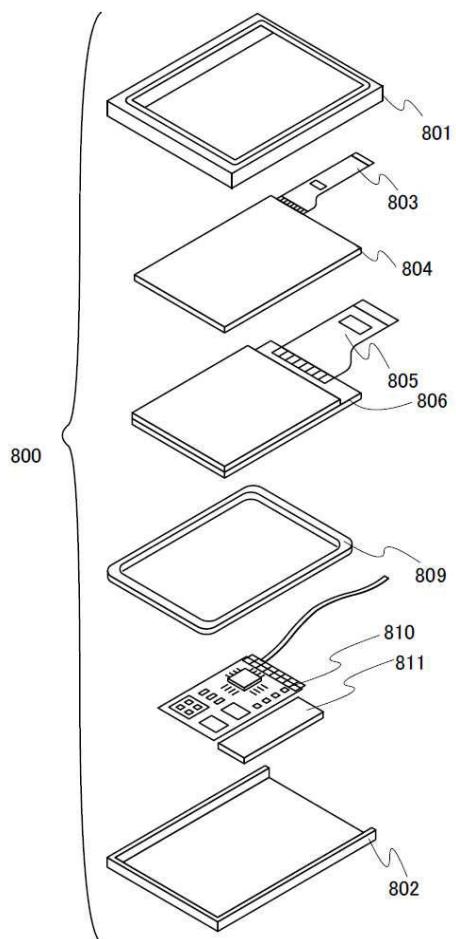
도면11



도면12

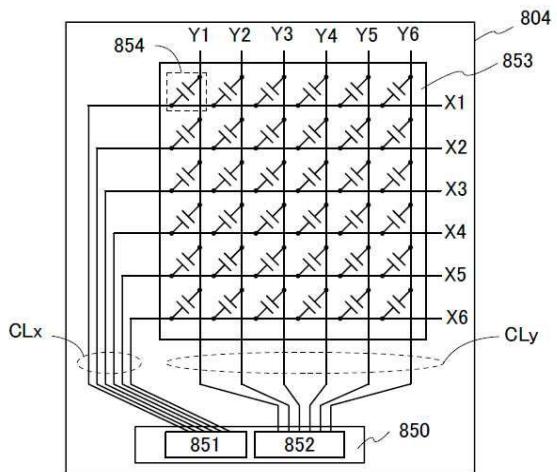


도면13

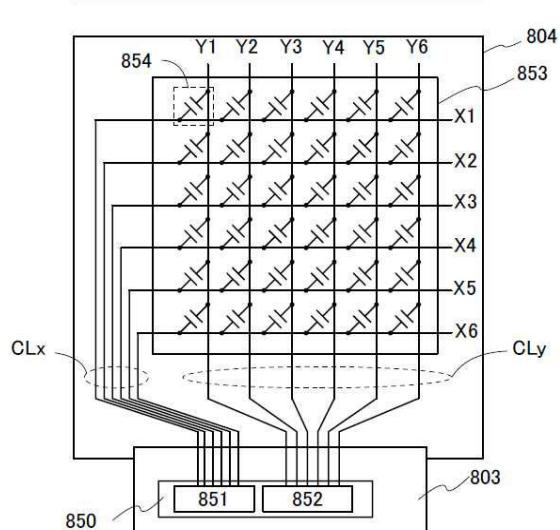


도면14

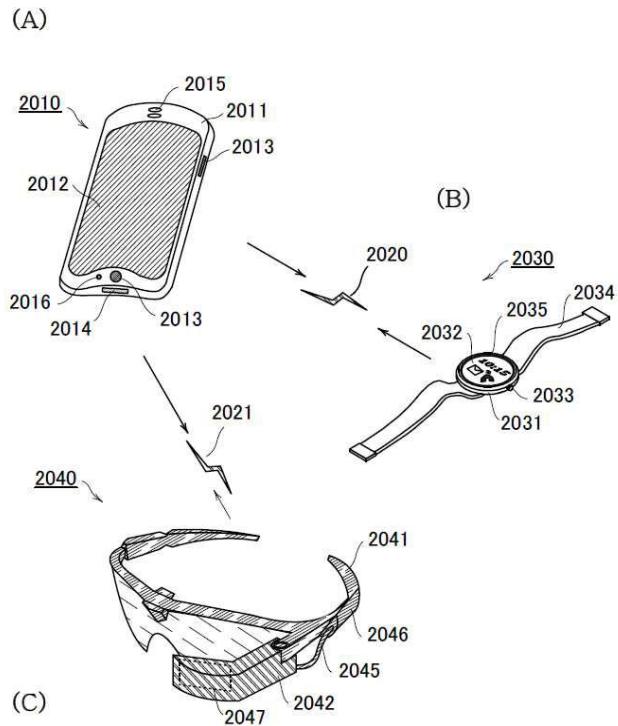
(A)



(B)



도면15



도면16

