

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-122033

(P2007-122033A)

(43) 公開日 平成19年5月17日(2007.5.17)

(51) Int. Cl.	F I	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30 390C	3K107
G09G 3/30 (2006.01)	G09G 3/30 J	5C080
G09G 3/20 (2006.01)	G09G 3/20 641E	5C094
H01L 27/32 (2006.01)	G09G 3/20 641A	
H05B 33/12 (2006.01)	G09F 9/30 365Z	
審査請求 未請求 請求項の数 13 O L (全 82 頁) 最終頁に続く		

(21) 出願番号	特願2006-263259 (P2006-263259)	(71) 出願人	000153878
(22) 出願日	平成18年9月27日 (2006.9.27)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2005-288373 (P2005-288373)		神奈川県厚木市長谷398番地
(32) 優先日	平成17年9月30日 (2005.9.30)	(72) 発明者	木村 肇
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	宮口 厚
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		Fターム(参考)	3K107 AA01 BB01 CC07 CC09 EE07
			EE22 FF13
			5C080 AA06 BB05 CC03 DD04 EE29
			EE30 FF11 JJ02 JJ03 JJ04
			JJ05 JJ06
			5C094 AA08 BA03 BA27 CA19 CA20
			CA24 ED03 JA20

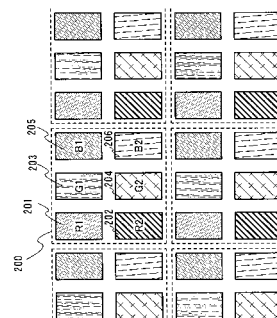
(54) 【発明の名称】 表示装置及び電子機器

(57) 【要約】

【課題】発光素子を具備する表示装置において、色再現範囲を向上させることを課題とする。

【解決手段】複数の絵素を有する表示領域を有し、絵素は、CIE-X Y色度図のxが0.50以上の領域に座標を有する発光素子を具備する第1の画素及び第2の画素と、色度図のyが0.55以上の領域に座標を有する発光素子を具備する第3の画素及び第4の画素と、色度図のxが0.20以下、yが0.25以下の領域に座標を有する発光素子を具備する第5の画素及び第6の画素と、で構成されており、第1の画素に設けられた発光素子と第2の画素に設けられた発光素子、第3の画素に設けられた発光素子と第4の画素に設けられた発光素子、第5の画素に設けられた発光素子と第6の画素に設けられた発光素子は、互いに異なる発光スペクトルを有する構成とする。

【選択図】図2



【特許請求の範囲】

【請求項 1】

複数の絵素を有する表示領域を有し、

前記絵素は、CIE - XY 色度図で表したときに、前記 CIE - XY 色度図の x が 0.50 以上の領域に座標を有する発光素子を具備する第 1 の画素及び第 2 の画素と、前記 CIE - XY 色度図の y が 0.55 以上の領域に座標を有する発光素子を具備する第 3 の画素及び第 4 の画素と、前記 CIE - XY 色度図の x が 0.20 以下、 y が 0.25 以下の領域に座標を有する発光素子を具備する第 5 の画素及び第 6 の画素と、で構成されており、

前記第 1 の画素に設けられた発光素子と前記第 2 の画素に設けられた発光素子は互いに異なる発光スペクトルを有し、 10

前記第 3 の画素に設けられた発光素子と前記第 4 の画素に設けられた発光素子は互いに異なる発光スペクトルを有し、

前記第 5 の画素に設けられた発光素子と前記第 6 の画素に設けられた発光素子は、互いに異なる発光スペクトルを有することを特徴とする表示装置。

【請求項 2】

複数の絵素を有する表示領域を有し、

前記絵素は、CIE - XY 色度図で表したときに、前記 CIE - XY 色度図の x が 0.50 以上の領域に座標を有する発光素子を具備する第 1 の画素及び第 2 の画素と、前記 CIE - XY 色度図の y が 0.55 以上の領域に座標を有する発光素子を具備する第 3 の画素及び第 4 の画素と、前記 CIE - XY 色度図の x が 0.20 以下、 y が 0.25 以下の領域に座標を有する発光素子を具備する第 5 の画素及び第 6 の画素と、で構成されており、

前記第 1 の画素に設けられた発光素子と前記第 2 の画素に設けられた発光素子は、前記 CIE - XY 色度図において、互いに座標が異なる色で発光し、

前記第 3 の画素に設けられた発光素子と前記第 4 の画素に設けられた発光素子は、前記 CIE - XY 色度図において、互いに座標が異なる色で発光し、

前記第 5 の画素に設けられた発光素子と前記第 6 の画素に設けられた発光素子は、前記 CIE - XY 色度図において、互いに座標が異なる色で発光することを特徴とする表示装置。 30

【請求項 3】

複数の絵素を有する表示領域を有し、

前記絵素は、CIE - XY 色度図で表したときに、前記 CIE - XY 色度図の x が 0.50 以上の領域に座標を有する発光素子を具備する第 1 の画素及び第 2 の画素と、前記 CIE - XY 色度図の y が 0.55 以上の領域に座標を有する発光素子を具備する第 3 の画素及び第 4 の画素と、前記 CIE - XY 色度図の x が 0.20 以下、 y が 0.25 以下の領域に座標を有する発光素子を具備する第 5 の画素及び第 6 の画素と、で構成されており、

前記第 1 の画素に設けられた発光素子と前記第 2 の画素に設けられた発光素子は、異なる材料で構成されており、且つ互いに異なる発光スペクトルを有し、 40

前記第 3 の画素に設けられた発光素子と前記第 4 の画素に設けられた発光素子は、異なる材料で構成されており、且つ互いに異なる発光スペクトルを有し、

前記第 5 の画素に設けられた発光素子と前記第 6 の画素に設けられた発光素子は、異なる材料で構成されており、且つ互いに異なる発光スペクトルを有することを特徴とする表示装置。

【請求項 4】

複数の絵素を有する表示領域を有し、

前記絵素は、CIE - XY 色度図で表したときに、前記 CIE - XY 色度図の x が 0.50 以上の領域に座標を有する発光素子を具備する第 1 の画素及び第 2 の画素と、前記 CIE - XY 色度図の y が 0.55 以上の領域に座標を有する発光素子を具備する第 3 の画 50

素及び第４の画素と、前記ＣＩＥ－ＸＹ色度図の x が０．２０以下、 y が０．２５以下の領域に座標を有する発光素子を具備する第５の画素及び第６の画素と、で構成されており

、
前記第１の画素に設けられた発光素子と前記第２の画素に設けられた発光素子は、互いに膜厚が異なっており、且つ互いに異なる発光スペクトルを有し、

前記第３の画素に設けられた発光素子と前記第４の画素に設けられた発光素子は、互いに膜厚が異なっており、且つ互いに異なる発光スペクトルを有し、

前記第５の画素に設けられた発光素子と前記第６の画素に設けられた発光素子は、互いに膜厚が異なっており、且つ互いに異なる発光スペクトルを有することを特徴とする表示装置。

10

【請求項５】

複数の絵素を有する表示領域を有し、

前記絵素は、ＣＩＥ－ＸＹ色度図で表したときに、前記ＣＩＥ－ＸＹ色度図の x が０．５０以上の領域に座標を有する発光素子を具備する第１の画素及び第２の画素と、前記ＣＩＥ－ＸＹ色度図の y が０．５５以上の領域に座標を有する発光素子を具備する第３の画素及び第４の画素と、前記ＣＩＥ－ＸＹ色度図の x が０．２０以下、 y が０．２５以下の領域に座標を有する発光素子を具備する第５の画素及び第６の画素と、で構成されており

、
前記第１の画素、前記第２の画素は、互いに透過特性が異なるカラーフィルタを具備し、且つ互いに異なる発光スペクトルの光を透過し、

20

前記第３の画素、前記第４の画素は、互いに透過特性が異なるカラーフィルタを具備し、且つ互いに異なる発光スペクトルの光を透過し

前記第５の画素、前記第６の画素は、互いに透過特性が異なるカラーフィルタを具備し、且つ互いに異なる発光スペクトルの光を透過することを特徴とする表示装置。

【請求項６】

複数の絵素を有する表示領域を有し、

前記絵素は、ＣＩＥ－ＸＹ色度図で表したときに、前記ＣＩＥ－ＸＹ色度図の x が０．５０以上の領域に座標を有する発光素子を具備する第１の画素及び第２の画素と、前記ＣＩＥ－ＸＹ色度図の y が０．５５以上の領域に座標を有する発光素子を具備する第３の画素及び第４の画素と、前記ＣＩＥ－ＸＹ色度図の x が０．２０以下、 y が０．２５以下の領域に座標を有する発光素子を具備する第５の画素及び第６の画素と、で構成されており

30

、
前記第１の画素に設けられた発光素子と前記第２の画素に設けられた発光素子は、異なる材料で構成されており、且つ前記ＣＩＥ－ＸＹ色度図において、互いに座標が異なる色で発光し、

前記第３の画素に設けられた発光素子と前記第４の画素に設けられた発光素子は、異なる材料で構成されており、且つ前記ＣＩＥ－ＸＹ色度図において、互いに座標が異なる色で発光し、

前記第５の画素に設けられた発光素子と前記第６の画素に設けられた発光素子は、異なる材料で構成されており、且つ前記ＣＩＥ－ＸＹ色度図において、互いに座標が異なる色で発光することを特徴とする表示装置。

40

【請求項７】

複数の絵素を有する表示領域を有し、

前記絵素は、ＣＩＥ－ＸＹ色度図で表したときに、前記ＣＩＥ－ＸＹ色度図の x が０．５０以上の領域に座標を有する発光素子を具備する第１の画素及び第２の画素と、前記ＣＩＥ－ＸＹ色度図の y が０．５５以上の領域に座標を有する発光素子を具備する第３の画素及び第４の画素と、前記ＣＩＥ－ＸＹ色度図の x が０．２０以下、 y が０．２５以下の領域に座標を有する発光素子を具備する第５の画素及び第６の画素と、で構成されており

、
前記第１の画素に設けられた発光素子と前記第２の画素に設けられた発光素子は、互い

50

に膜厚が異なっており、且つ前記 C I E - X Y 色度図において、互いに座標が異なる色で発光し、

前記第 3 の画素に設けられた発光素子と前記第 4 の画素に設けられた発光素子は、互いに膜厚が異なっており、且つ前記 C I E - X Y 色度図において、互いに座標が異なる色で発光し、

前記第 5 の画素に設けられた発光素子と前記第 6 の画素に設けられた発光素子は、互いに膜厚が異なっており、且つ前記 C I E - X Y 色度図において、互いに座標が異なる色で発光することを特徴とする表示装置。

【請求項 8】

複数の絵素を有する表示領域を有し、

10

前記絵素は、C I E - X Y 色度図で表したときに、前記 C I E - X Y 色度図の x が 0 . 5 0 以上の領域に座標を有する発光素子を具備する第 1 の画素及び第 2 の画素と、前記 C I E - X Y 色度図の y が 0 . 5 5 以上の領域に座標を有する発光素子を具備する第 3 の画素及び第 4 の画素と、前記 C I E - X Y 色度図の x が 0 . 2 0 以下、 y が 0 . 2 5 以下の領域に座標を有する発光素子を具備する第 5 の画素及び第 6 の画素と、で構成されており、

前記第 1 の画素、前記第 2 の画素は、互いに透過特性が異なるカラーフィルターを具備し、且つ当該カラーフィルターを透過した光は、前記 C I E - X Y 色度図において互いに座標が異なる色であり、

前記第 3 の画素、前記第 4 の画素は、互いに透過特性が異なるカラーフィルターを具備し、且つ当該カラーフィルターを透過した光は、前記 C I E - X Y 色度図において互いに座標が異なる色であり、

20

前記第 5 の画素、前記第 6 の画素は、互いに透過特性が異なるカラーフィルターを具備し、且つ当該カラーフィルターを透過した光は、前記 C I E - X Y 色度図において互いに座標が異なる色であることを特徴とする表示装置。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか一項において、

前記第 1 の画素が具備する発光素子、前記第 2 の画素が具備する発光素子のいずれかは、前記 C I E - X Y 色度図で表したときに、前記 C I E - X Y 色度図の x が 0 . 6 以上、 y が 0 . 3 5 以下の領域に座標を有し、

30

前記第 3 の画素が具備する発光素子、前記第 4 の画素が具備する発光素子のいずれかは、前記 C I E - X Y 色度図で表したときに、前記 C I E - X Y 色度図の x が 0 . 3 以下、 y が 0 . 6 以上の領域に座標を有し、

前記第 5 の画素が具備する発光素子、前記第 6 の画素が具備する発光素子のいずれかは、前記 C I E - X Y 色度図で表したときに、前記 C I E - X Y 色度図の x が 0 . 1 5 以下、 y が 0 . 2 以下の領域に座標を有することを特徴とする表示装置。

【請求項 10】

請求項 1 乃至請求項 9 のいずれか一項において、

前記絵素は、白色を発光する発光素子を具備することを特徴とする表示装置。

【請求項 11】

40

請求項 1 乃至請求項 10 のいずれか一項において、

前記第 1 の画素及び前記第 2 の画素、前記第 3 の画素及び前記第 4 の画素、並びに前記第 5 の画素及び前記第 6 の画素は、互いに異なる面積の発光領域を具備することを特徴とする表示装置。

【請求項 12】

請求項 1 乃至請求項 11 のいずれか一項において、

前記発光素子は、エレクトロルミネッセンス素子であることを特徴とする表示装置。

【請求項 13】

請求項 1 乃至請求項 12 のいずれか一項に記載の表示装置を具備することを特徴とする電子機器。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は画素に発光素子や電気光学素子を具備する表示装置に関する。特に発光素子に有機材料や蛍光材料や燐光材料を含む層を具備する表示装置に関する。

【背景技術】

【0002】

有機材料を含む層を一对の電極間に有し、当該電極間に電流を流すことで発光する発光素子を用いた表示装置の開発が進められている。このような表示装置は薄型軽量化に有利であり、自発光であるため視認性も良く、応答速度も速い。また、消費電力も潜在的には非常に小さくできる可能性があり、次世代の表示装置として盛んに開発が進められ、一部実用化もされている。

【0003】

上記の構成の発光素子を用いた表示装置において、高画質、広色域化の向上が望まれている。例えば、印刷業務における編集、芸術・映画等の作品の視聴、遠隔医療における実物の色の正確な把握、等に正確な色の再現・表示が行える表示装置の開発が強く望まれている。そこで人間の眼に視認される色域をよくするため、色純度、広色域化の向上等、構造を最適化する研究がなされている（例えば、特許文献1を参照）。

【特許文献1】特表2001-039554号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、人間の眼に視認される色域にはまだ余剰があり、まだ現状の表示装置での色再現範囲では不十分である。図39は色に関する基準を国際的に管理している国際照明委員会（CIE）が定めたCIE-X Y色度図である。図中の外周において、最右端付近が赤色単色光の発光スペクトル700nm、最上端付近が緑色単色光の発光スペクトル546.1nm、最下端付近が青色単色光の発光スペクトル435.8nmにあたる。この色度図では、グラフ（可視領域）の外周が発光スペクトル上の単色光、内側が単色光を組み合わせることができる混合色に相当するため、内側に進む程、鮮やかさ（彩度）が低下する。加色混合により色を表現する場合、複数の基準色はCIE-X Y色度図で示される点が形成する多角形で囲まれた部分の色のみを再現出来る。

【0005】

CIE-X Y色度図で表したときに、赤（R）は、色度図の右側付近の領域（図39において色度図の周囲と点線3901で囲まれた領域）に座標を有する色を人間の眼が赤色として感じることができる。また、緑（G）は、CIE-X Y色度図で表したときに、色度図の上側付近の領域（図39において色度図の周囲と点線3902で囲まれた領域）に座標を有する色を人間の眼が緑色として感じることができる。青（B）は、CIE-X Y色度図を表したときに、色度図の下側付近の領域（図39において、色度図の周囲と点線3903と点線3904とで囲まれた領域）に座標を有する色を人間の眼が青色として感じることができる。具体的な例としては、ハイビジョン（高精細度テレビジョン放送；HDTV）規格の色度座標は、R（ $x = 0.67$, $y = 0.33$ ）、G（ $x = 0.21$, $y = 0.71$ ）、B（ $x = 0.14$, $y = 0.08$ ）が挙げられる（図39における図中の三角形3905）。

【0006】

特許文献1に記載された方法によると色純度を高めることによって、図39の矢印方向に色再現範囲が拡大することができ、人間の眼に認識される色の鮮やかさは増加する。しかしながら、人間の眼に認識することができる色域にはまだ余剰があり、これを充足することで、色の再現範囲を広げることが課題となる。

【0007】

そこで、本発明は発光素子を具備する表示装置において、上記課題を解決するものであ

10

20

30

40

50

り、色再現範囲を向上させ、人間の眼に視認される色域を広くするものである。

【課題を解決するための手段】

【0008】

本発明の表示装置の一は、複数の絵素を有する表示領域を有し、絵素は、CIE-XY色度図で表したときに、CIE-XY色度図のxが0.50以上の領域に座標を有する発光素子を具備する第1の画素及び第2の画素と、CIE-XY色度図のyが0.55以上の領域に座標を有する発光素子を具備する第3の画素及び第4の画素と、CIE-XY色度図のxが0.20以下、yが0.25以下の領域に座標を有する発光素子を具備する第5の画素及び第6の画素と、で構成されており、第1の画素に設けられた発光素子と第2の画素に設けられた発光素子は互いに異なる発光スペクトルを有し、第3の画素に設けられた発光素子と第4の画素に設けられた発光素子は互いに異なる発光スペクトルを有し、第5の画素に設けられた発光素子と第6の画素に設けられた発光素子は、互いに異なる発光スペクトルを有する構成とする。

10

【0009】

また別の本発明の表示装置の一は、複数の絵素を有する表示領域を有し、絵素は、CIE-XY色度図で表したときに、CIE-XY色度図のxが0.50以上の領域に座標を有する発光素子を具備する第1の画素及び第2の画素と、色度図のyが0.55以上の領域に座標を有する発光素子を具備する第3の画素及び第4の画素と、色度図のxが0.20以下、yが0.25以下の領域に座標を有する発光素子を具備する第5の画素及び第6の画素と、で構成されており、第1の画素に設けられた発光素子と第2の画素に設けられた発光素子は、CIE-XY色度図において、互いに座標が異なる色で発光し、第3の画素に設けられた発光素子と第4の画素に設けられた発光素子は、CIE-XY色度図において、互いに座標が異なる色で発光し、第5の画素に設けられた発光素子と第6の画素に設けられた発光素子は、CIE-XY色度図において、互いに座標が異なる色で発光する構成とする。

20

【0010】

また別の本発明の表示装置の一は、複数の絵素を有する表示領域を有し、絵素は、CIE-XY色度図で表したときに、色度図のxが0.50以上の領域に座標を有する発光素子を具備する第1の画素及び第2の画素と、色度図のyが0.55以上の領域に座標を有する発光素子を具備する第3の画素及び第4の画素と、色度図のxが0.20以下、yが0.25以下の領域に座標を有する発光素子を具備する第5の画素及び第6の画素と、で構成されており、第1の画素に設けられた発光素子と第2の画素に設けられた発光素子は、異なる材料で構成されており、且つ互いに異なる発光スペクトルを有し、第3の画素に設けられた発光素子と第4の画素に設けられた発光素子は、異なる材料で構成されており、且つ互いに異なる発光スペクトルを有し、第5の画素に設けられた発光素子と第6の画素に設けられた発光素子は、異なる材料で構成されており、且つ互いに異なる発光スペクトルを有する構成とする。

30

【0011】

また別の本発明の表示装置の一は、複数の絵素を有する表示領域を有し、絵素は、CIE-XY色度図で表したときに、色度図のxが0.50以上の領域に座標を有する発光素子を具備する第1の画素及び第2の画素と、色度図のyが0.55以上の領域に座標を有する発光素子を具備する第3の画素及び第4の画素と、色度図のxが0.20以下、yが0.25以下の領域に座標を有する発光素子を具備する第5の画素及び第6の画素と、で構成されており、第1の画素に設けられた発光素子と第2の画素に設けられた発光素子は、互いに膜厚が異なっており、且つ互いに異なる発光スペクトルを有し、第3の画素に設けられた発光素子と第4の画素に設けられた発光素子は、互いに膜厚が異なっており、且つ互いに異なる発光スペクトルを有し、第5の画素に設けられた発光素子と第6の画素に設けられた発光素子は、互いに膜厚が異なっており、且つ互いに異なる発光スペクトルを有する構成とする。

40

【0012】

50

また別の本発明の表示装置の一は、複数の絵素を有する表示領域を有し、絵素は、CIE - XY色度図で表したときに、色度図のxが0.50以上の領域に座標を有する発光素子を具備する第1の画素及び第2の画素と、色度図のyが0.55以上の領域に座標を有する発光素子を具備する第3の画素及び第4の画素と、色度図のxが0.20以下、yが0.25以下の領域に座標を有する発光素子を具備する第5の画素及び第6の画素と、で構成されており、第1の画素、第2の画素は、互いに透過特性が異なるカラーフィルターを具備し、且つ互いに異なる発光スペクトルの光を透過し、第3の画素、第4の画素は、互いに透過特性が異なるカラーフィルターを具備し、且つ互いに異なる発光スペクトルの光を透過し、第5の画素、第6の画素は、互いに透過特性が異なるカラーフィルターを具備し、且つ互いに異なる発光スペクトルの光を透過する構成とする。

10

【0013】

また別の本発明の表示装置の一は、複数の絵素を有する表示領域を有し、絵素は、CIE - XY色度図で表したときに、色度図のxが0.50以上の領域に座標を有する発光素子を具備する第1の画素及び第2の画素と、色度図のyが0.55以上の領域に座標を有する発光素子を具備する第3の画素及び第4の画素と、色度図のxが0.20以下、yが0.25以下の領域に座標を有する発光素子を具備する第5の画素及び第6の画素と、で構成されており、第1の画素に設けられた発光素子と第2の画素に設けられた発光素子は、異なる材料で構成されており、且つCIE - XY色度図において、互いに座標が異なる色で発光し、第3の画素に設けられた発光素子と第4の画素に設けられた発光素子は、異なる材料で構成されており、且つCIE - XY色度図において、互いに座標が異なる色で発光し、第5の画素に設けられた発光素子と第6の画素に設けられた発光素子は、異なる材料で構成されており、且つCIE - XY色度図において、互いに座標が異なる色で発光する構成とする。

20

【0014】

また別の本発明の表示装置の一は、複数の絵素を有する表示領域を有し、絵素は、CIE - XY色度図で表したときに、色度図のxが0.50以上の領域に座標を有する発光素子を具備する第1の画素及び第2の画素と、色度図のyが0.55以上の領域に座標を有する発光素子を具備する第3の画素及び第4の画素と、色度図のxが0.20以下、yが0.25以下の領域に座標を有する発光素子を具備する第5の画素及び第6の画素と、で構成されており、第1の画素に設けられた発光素子と第2の画素に設けられた発光素子は、互いに膜厚が異なっており、且つCIE - XY色度図において、互いに座標が異なる色で発光し、第3の画素に設けられた発光素子と第4の画素に設けられた発光素子は、互いに膜厚が異なっており、且つCIE - XY色度図において、互いに座標が異なる色で発光し、第5の画素に設けられた発光素子と第6の画素に設けられた発光素子は、互いに膜厚が異なっており、且つCIE - XY色度図において、互いに座標が異なる色で発光する構成とする。

30

【0015】

また別の本発明の表示装置の一は、複数の絵素を有する表示領域を有し、絵素は、CIE - XY色度図で表したときに、色度図のxが0.50以上の領域に座標を有する発光素子を具備する第1の画素及び第2の画素と、色度図のyが0.55以上の領域に座標を有する発光素子を具備する第3の画素及び第4の画素と、色度図のxが0.20以下、yが0.25以下の領域に座標を有する発光素子を具備する第5の画素及び第6の画素と、で構成されており、第1の画素、第2の画素は、互いに透過特性が異なるカラーフィルターを具備し、且つ当該カラーフィルターを透過した光は、前記CIE - XY色度図において互いに座標が異なる色であり、第3の画素、第4の画素は、互いに透過特性が異なるカラーフィルターを具備し、且つ当該カラーフィルターを透過した光は、前記CIE - XY色度図において互いに座標が異なる色であり、第5の画素、第6の画素は、互いに透過特性が異なるカラーフィルターを具備し、且つ当該カラーフィルターを透過した光は、前記CIE - XY色度図において互いに座標が異なる色である構成とする。

40

【0016】

50

また、第1の画素が具備する発光素子、第2の画素が具備する発光素子のいずれかは、CIE-X Y色度図で表したときに、色度図のxが0.6以上、yが0.35以下の領域に座標を有し、第3の画素が具備する発光素子、第4の画素が具備する発光素子のいずれかは、CIE-X Y色度図で表したときに、色度図のxが0.3以下、yが0.6以上の領域に座標を有し、第5の画素が具備する発光素子、第6の画素が具備する発光素子のいずれかは、CIE-X Y色度図で表したときに、色度図のxが0.15以下、yが0.2以下の領域に座標を有する構成であってもよい。

【0017】

また絵素は、白色を発光する発光素子を具備する構成であってもよい。

【0018】

10

また第1の画素及び第2の画素、第3の画素及び第4の画素、並びに第5の画素及び第6の画素は、互いに異なる面積の発光領域を具備する構成であってもよい。

【0019】

また発光素子は、エレクトロルミネッセンス(ELE: Electro Luminescence)素子(有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子)を用いることができる。

【0020】

なお本明細書におけるCIE-X Y色度図における領域とは、CIE-X Y色度図における人間の目が認識することのできる可視光の光を表す領域のことを指すものとする。

【0021】

20

なお、本明細書に示すスイッチは、様々な形態のものを用いることができ、一例として、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されず、様々なものを用いることができる。例えば、トランジスタでもよいし、ダイオード(例えば、PNダイオード、PINダイオード、ショットキーダイオード、ダイオード接続のトランジスタなど)でもよいし、サイリスタでもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性(導電型)は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているものやマルチゲート構造にしているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源(Vss、GND、0Vなど)に近い状態で動作する場合はNチャネル型を、反対に、ソース端子の電位が、高電位側電源(Vddなど)に近い状態で動作する場合はPチャネル型を用いることが望ましい。なぜなら、ゲートソース間電圧の絶対値を大きくできるため、スイッチとしての動作が容易であるからである。

30

【0022】

なお、Nチャネル型とPチャネル型の両方を用いて、CMOS型のスイッチにしてもよい。CMOS型のスイッチにすると、Pチャネル型かNチャネル型のどちらかのスイッチが導通すれば電流を流すことができるため、スイッチとして機能しやすくなる。例えば、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力させることが出来る。また、スイッチをオン・オフさせるための信号の電圧振幅値を小さくすることが出来るので、消費電力を小さくすることも出来る。

40

【0023】

なお、スイッチとしてトランジスタを用いる場合は、入力端子(ソース端子またはドレイン端子の一方)と、出力端子(ソース端子またはドレイン端子の他方)と、導通を制御する端子(ゲート端子)とを有している。一方、スイッチとしてダイオードを用いる場合は、導通を制御する端子を有していない場合がある。そのため、端子を制御するための配線を少なくすることが出来る。

【0024】

なお、本明細書において、接続されているとは、電氣的に接続されている場合と機能的に

50

接続されている場合と直接接続されている場合とを含むものとする。したがって、本明細書が開示する構成において、所定の接続関係以外のものも含むものとする。例えば、ある部分とある部分との間に、電氣的な接続を可能とする素子（例えば、スイッチやトランジスタや容量素子やインダクタや抵抗素子やダイオードなど）が1個以上配置されていてもよい。また、機能的な接続を可能とする回路（例えば、論理回路（インバータやNAND回路やNOR回路など）や信号変換回路（DA変換回路やAD変換回路やガンマ補正回路など）や電位レベル変換回路（昇圧回路や降圧回路などの電源回路やH信号やL信号の電位レベルを変えるレベルシフタ回路など）や電圧源や電流源や切り替え回路や増幅回路（オペアンプや差動増幅回路やソースフォロワ回路やバッファ回路など、信号振幅や電流量などを大きく出来る回路など）や信号生成回路や記憶回路や制御回路など）が間に1個以上配置されていてもよい。あるいは、間に他の素子や他の回路を挟まずに、直接接続されて、配置されていてもよい。

10

【0025】

なお、素子や回路を間に介さずに接続されている場合のみを含む場合は、直接接続されている、と記載するものとする。また、電氣的に接続されている、と記載する場合は、電氣的に接続されている場合（つまり、間に別の素子を挟んで接続されている場合）と機能的に接続されている場合（つまり、間に別の回路を挟んで接続されている場合）と直接接続されている場合（つまり、間に別の素子や別の回路を挟まずに接続されている場合）とを含むものとする。

【0026】

なお、本明細書において、トランジスタは、様々な形態のトランジスタを適用させることが出来る。よって、適用可能なトランジスタの種類に限定はない。したがって、例えば、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を有する薄膜トランジスタ（TFT）などを適用することが出来る。これらにより、製造温度が高くなくても製造できたり、低コストで製造できたり、大型基板上に製造できたり、透明基板上に製造できたり、トランジスタで光を透過させたりすることが出来る。また、半導体基板やSOI基板などを用いて形成することが出来る。また、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを適用することが出来る。これらにより、バラツキの少ないトランジスタを製造できたり、電流供給能力の高いトランジスタを製造できたり、サイズの小さいトランジスタを製造できたり、消費電力の少ない回路を構成したりすることが出来る。また、ZnO、a-InGaZnO、SiGe、GaAsなどの化合物半導体を有するトランジスタや、さらに、それらを薄膜化した薄膜トランジスタなどを適用することが出来る。これらにより、製造温度が高くなくても製造できたり、室温で製造できたり、耐熱性の低い基板、例えばプラスチック基板やフィルム基板に直接トランジスタを形成したりすることが出来る。また、インクジェットや印刷法を用いて作成したトランジスタなどを適用することが出来る。これらにより、室温で製造したり、真空度の低い状態で製造したり、大型基板で製造したりすることができる。また、マスク（レチクル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することが出来る。また、有機半導体やカーボンナノチューブを有するトランジスタ、その他のトランジスタを適用することができる。これらにより、曲げることが可能な基板上にトランジスタを形成することが出来る。なお、非単結晶半導体膜には水素またはハロゲンが含まれていてもよい。また、トランジスタが形成されている基板の種類は、様々なものを用いることができ、特定のものに限定されることはない。従って例えば、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などに形成することが出来る。また、ある基板でトランジスタを形成し、その後、別の基板にトランジスタを移動させて、別の基板上に配置するようにしてもよい。配置された別の基板としては、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。これらの基板を用いることにより、特性のよいトランジスタ

20

30

40

50

を形成したり、消費電力の小さいトランジスタを形成したり、壊れにくい装置にしたり、耐熱性を持たせたりすることが出来る。

【0027】

なお、トランジスタの構成は、様々な形態をとることができる。特定の構成に限定されない。例えば、ゲート電極が2個以上になっているマルチゲート構造を用いてもよい。マルチゲート構造にすると、チャンネル領域が直列に接続されるような構成となるため、複数のトランジスタが直列に接続されたような構成となる。マルチゲート構造にすることにより、オフ電流を低減したり、トランジスタの耐圧を向上させて信頼性を良くしたり、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、フラットな特性にすることなどができる。また、チャンネルの上下にゲート電極が配置されている構造でもよい。チャンネルの上下にゲート電極が配置されている構造にすることにより、チャンネル領域が増えるため、電流値を大きくしたり、空乏層ができやすくなってS値を小さくすることができる。チャンネルの上下にゲート電極が配置されると、複数のトランジスタが並列に接続されたような構成となる。

10

【0028】

また、チャンネルの上にゲート電極が配置されている構造でもよいし、チャンネルの下にゲート電極が配置されている構造でもよいし、正スタガ構造であってもよいし、逆スタガ構造でもよいし、チャンネル領域が複数の領域に分かれていてもよいし、複数の領域に分かれたチャンネル領域が、並列に接続されていてもよいし、直列に接続されていてもよい。また、チャンネル（もしくはその一部）にソース電極やドレイン電極が重なっていてもよい。チャンネル（もしくはその一部）にソース電極やドレイン電極が重なっている構造にすることにより、チャンネルの一部に電荷がたまって、動作が不安定になることを防ぐことができる。また、LDD（Lightly Doped Drain）領域があってもよい。LDD領域を設けることにより、オフ電流を低減したり、トランジスタの耐圧を向上させて信頼性を良くしたり、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、フラットな特性にすることができる。

20

【0029】

なお、本明細書におけるトランジスタは、様々なタイプを用いることができ、様々な基板上に形成させることができる。したがって、回路の全てが、ガラス基板上に形成されていてもよいし、プラスチック基板に形成されていてもよいし、単結晶基板に形成されていてもよいし、SOI基板上に形成されていてもよいし、どのような基板上に形成されていてもよい。回路の全てが同じ基板上に形成されていることにより、部品点数を減らしてコストを低減したり、回路部品との接続点数を減らして信頼性を向上させたりすることができる。あるいは、回路の一部が、ある基板に形成されており、回路の別の一部が、別の基板に形成されていてもよい。つまり、回路の全てが同じ基板上に形成されていなくてもよい。例えば、回路の一部は、ガラス基板上にトランジスタを用いて形成し、回路の別の一部は、単結晶基板上に形成し、そのICチップをCOG（Chip On Glass）で接続してガラス基板上に配置してもよい。あるいは、そのICチップをTAB（Tape Automated Bonding）やプリント基板を用いてガラス基板と接続してもよい。このように、回路の一部が同じ基板に形成されていることにより、部品点数を減らしてコストを低減したり、回路部品との接続点数を減らして信頼性を向上させたりすることができる。また、駆動電圧が高い部分や駆動周波数が高い部分は、消費電力が大きくなってしまっているので、そのような部分は同じ基板に形成しないようにすれば、消費電力の向上を防ぐことができる。

30

40

【0030】

なお、トランジスタとは、それぞれ、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャンネル領域を有しており、ドレイン領域とチャンネル領域とソース領域とを介して電流を流すことが出来る。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、本発明にお

50

いては、ソース及びドレインとして機能する領域を、ソースもしくはドレインと叫ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。

【0031】

なお、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、エミッタとコレクタとを、第1端子、第2端子と表記する場合がある。

【0032】

なお、ゲートとは、ゲート電極とゲート配線（ゲート線またはゲート信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ゲート電極とは、チャンネル領域やLDD領域などを形成する半導体と、ゲート絶縁膜を介してオーバーラップしている部分の導電膜のことを言う。ゲート配線とは、各画素のゲート電極の間を接続したり、ゲート電極と別の配線とを接続したりするための配線のことを言う。

10

【0033】

ただし、ゲート電極としても機能し、ゲート配線としても機能するような部分も存在する。そのような領域は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。つまり、ゲート電極とゲート配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているゲート配線とオーバーラップしてチャンネル領域がある場合、その領域はゲート配線として機能しているが、ゲート電極としても機能していることになる。よって、そのような領域は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

20

【0034】

また、ゲート電極と同じ材料で形成され、ゲート電極とつながっている領域も、ゲート電極と呼んでも良い。同様に、ゲート配線と同じ材料で形成され、ゲート配線とつながっている領域も、ゲート配線と呼んでも良い。このような領域は、厳密な意味では、チャンネル領域とオーバーラップしていなかったり、別のゲート電極と接続させる機能を有してなかったりする場合がある。しかし、製造工程などの関係で、ゲート電極やゲート配線と同じ材料で形成され、ゲート電極やゲート配線とつながっている領域がある。よって、そのような領域もゲート電極やゲート配線と呼んでも良い。

【0035】

また、例えば、マルチゲートのトランジスタにおいて、1つのトランジスタのゲート電極と、別のトランジスタのゲート電極とは、ゲート電極と同じ材料で形成された導電膜で接続される場合が多い。そのような領域は、ゲート電極とゲート電極とを接続させるための領域であるため、ゲート配線と呼んでも良いが、マルチゲートのトランジスタを1つのトランジスタであると思なすことも出来るため、ゲート電極と呼んでも良い。つまり、ゲート電極やゲート配線と同じ材料で形成され、それらとつながって配置されているものは、ゲート電極やゲート配線と呼んでも良い。

30

【0036】

また、例えば、ゲート電極とゲート配線とを接続している部分の導電膜も、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

【0037】

なお、ゲート端子とは、ゲート電極の領域や、ゲート電極と電氣的に接続されている領域について、その一部分のことを言う。

40

【0038】

なお、ソースとは、ソース領域とソース電極とソース配線（ソース線またはソース信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ソース領域とは、P型不純物（ボロンやガリウムなど）やN型不純物（リンやヒ素など）が多く含まれる半導体領域のことを言う。従って、少しだけP型不純物やN型不純物が含まれる領域、いわゆる、LDD（Lightly Doped Drain）領域は、ソース領域には含まれない。ソース電極とは、ソース領域とは別の材料で形成され、ソース領域と電氣的に接続されて配置されている部分の導電層のことを言う。ただし、ソース電極は、ソース領域

50

も含んでソース電極と呼ぶこともある。ソース配線とは、各画素のソース電極の間を接続したり、ソース電極と別の配線とを接続したりするための配線のことを言う。

【 0 0 3 9 】

しかしながら、ソース電極としても機能し、ソース配線としても機能するような部分も存在する。そのような領域は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。つまり、ソース電極とソース配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているソース配線とオーバーラップしてソース領域がある場合、その領域はソース配線として機能しているが、ソース電極としても機能していることになる。よって、そのような領域は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

10

【 0 0 4 0 】

また、ソース電極と同じ材料で形成され、ソース電極とつながっている領域や、ソース電極とソース電極とを接続する部分も、ソース電極と呼んでも良い。また、ソース領域とオーバーラップしている部分も、ソース電極と呼んでも良い。同様に、ソース配線と同じ材料で形成され、ソース配線とつながっている領域も、ソース配線と呼んでも良い。このような領域は、厳密な意味では、別のソース電極と接続させる機能を有していたりすることがない場合がある。しかし、製造工程などの関係で、ソース電極やソース配線と同じ材料で形成され、ソース電極やソース配線とつながっている領域がある。よって、そのような領域もソース電極やソース配線と呼んでも良い。

【 0 0 4 1 】

また、例えば、ソース電極とソース配線とを接続している部分の導電膜も、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

20

【 0 0 4 2 】

なお、ソース端子とは、ソース領域の領域や、ソース電極や、ソース電極と電氣的に接続されている領域について、その一部分のことを言う。

【 0 0 4 3 】

なお、ドレインについては、ソースと同様である。

【 0 0 4 4 】

なお、本明細書において、半導体装置とは半導体素子（トランジスタやダイオードなど）を含む回路を有する装置をいう。また、半導体特性を利用することで機能しうる装置全般

30

【 0 0 4 5 】

また、表示装置とは、表示素子（液晶素子や発光素子など）を有する装置のことを言う。なお、液晶素子やEL素子などの表示素子を含む複数の画素やそれらの画素を駆動させる周辺駆動回路が同一基板上に形成された表示パネル本体のことでもよい。また、ワイヤボンディングやパンプなどによって基板上に配置された周辺駆動回路、いわゆるチップオンガラス（COG）を含んでいても良い。さらに、フレキシブルプリントサーキット（FPC）やプリント配線基盤（PWB）が取り付けられたもの（ICや抵抗素子や容量素子やインダクタやトランジスタなど）も含んでもよい。さらに、偏光板や位相差板などの光学シートを含んでいても良い。さらに、バックライトユニット（導光板やプリズムシートや拡散シートや反射シートや光源（LEDや冷陰極管など）を含んでいても良い）を含んでいても良い。また、発光装置とは、特にEL素子やFEDで用いる素子などの自発光型の表示素子を有している表示装置をいう。液晶表示装置とは、液晶素子を有している表示装置をいう。

40

【 0 0 4 6 】

なお、表示素子や表示装置や発光素子や発光装置は、様々な形態を用いたり、様々な素子を有したりすることが出来る。例えば、表示素子や表示装置や発光素子や発光装置としては、EL素子（有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子）、電子放出素子、液晶素子、電子インク、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、デジタルマイクロミラーデバイス（DMD）、圧電セラミック

50

ディスプレイ、カーボンナノチューブ、など、電気磁気的作用によりコントラストが変化する表示媒体を適用することができる。なお、EL素子を用いた表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ(FED)やSED方式平面型ディスプレイ(SED: Surface-conduction Electron-emitter Display)など、液晶素子を用いた表示装置としては液晶ディスプレイ、透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、電子インクを用いた表示装置としては電子ペーパーがある。

【0047】

なお、本明細書において、ある物の上に形成されている、あるいは、～上に形成されている、というように、～の上に、あるいは、～上に、という記載については、ある物の上に直接接していることに限定されない。直接接してはいない場合、つまり、間に別のものが挟まっている場合も含むものとする。従って例えば、層Aの上に(もしくは層A上に)、層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層(例えば層Cや層Dなど)が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。また、～の上方に、という記載についても同様であり、ある物の上に直接接していることに限定されず、間に別のものが挟まっている場合も含むものとする。従って例えば、層Aの上方に、層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層(例えば層Cや層Dなど)が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、～の下に、あるいは、～の下方に、の場合についても、同様であり、直接接している場合と、接していない場合とを含むこととする。

【発明の効果】

【0048】

本発明を用いることによって発光素子を用いた表示装置において、CIE-XY色度図上における色再現範囲が向上した表示装置を提供することができる。換言すれば、鮮やかな色彩を表現できる表示装置を提供することができる。

【発明を実施するための最良の形態】

【0049】

以下、本発明の実施の態様、実施例について、図面を参照して説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に示す図面において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【0050】

(実施の形態1)

(本実施形態の表示装置の構成)

図1に本発明の表示装置の構成の一例を、ブロック図で示す。100は画素部であり、複数の画素101がマトリクス状に配置されており、本構成はアクティブマトリクス方式と呼ばれる。また102は信号線駆動回路、103は走査線駆動回路である。

【0051】

なお図1では信号線駆動回路102と走査線駆動回路103が、画素部100と同じ基板上に形成されているが、本発明はこの構成に限定されない。信号線駆動回路102と走査線駆動回路103とが画素部100と異なる基板上に形成され、FPC(フレキシブルプリント配線板)等のコネクタを介して、画素部100と接続されていても良い。なお、FPCを実装する方法は異方導電性材料もしくはメタルバンプを用いた接続方法またはワイヤボンディング方式を採用することができる。また、図1では信号線駆動回路102と走査線駆動回路103は1つずつ設けられているが、本発明はこの構成に限定されない

。信号線駆動回路 102 と走査線駆動回路 103 の数は設計者が任意に設定することができる。

【0052】

なお、本明細書においては、画素とは一つの画像を構成する色要素を具備するものであり、発光素子及び発光素子を駆動する素子（例えばトランジスタで構成される回路）を含むものとする。また本明細書においては、絵素とは、一つの最小の画像を表示するための色要素を構成する画素を具備するものであるとする。よって、R（赤）G（緑）B（青）の色要素からなるフルカラー表示装置の場合には、絵素とは R の色要素、G の色要素、B の色要素を含む画素から構成されているものとする。また、絵素において、画素を複数有するものについては、第 1 の画素、第 2 の画素といった順に呼称するものとする。また、各画素は、その面積の大きさが異なってもよい。

10

【0053】

なお本明細書において接続とは、特に記載のない限り電氣的な接続を意味する。逆に切り離すとは、接続していないで電氣的に分離している状態を意味する。

【0054】

また図 1 では、画素部 100 には信号線 S1 ～ Sn、電源線 V1 ～ Vn、走査線 G1 ～ Gm が設けられている。なお信号線と電源線の数はずしも同じであるとは限らない。またこれらの配線を必ず全て有していなくとも良く、これらの配線の他に、別の異なる配線が設けられていても良い。

【0055】

信号線駆動回路 102 は、入力されたビデオ信号を各信号線 S1 ～ Sn に供給することができる回路であれば良い。具体的に本実施の形態では、一例として、信号線駆動回路 102 は、シフトレジスタ 102a と、第 1 のラッチ回路 102b、第 2 のラッチ回路 102c とを有している。なお、本発明の表示装置の信号線駆動回路 102 は上述した構成に限定されない。また、デジタルのビデオ信号（デジタルビデオ信号、映像信号ともいう）に対応した信号線駆動回路であってもいいし、D/A（デジタル - アナログ）変換回路を用いてアナログのビデオ信号（アナログビデオ信号）出力する信号線駆動回路であっても良い。また、表示装置の構成によっては、レベルシフタ回路、バッファ回路等を有する構成であってもよい。

20

【0056】

走査線駆動回路 103 には、画素部における画素を選択するため各走査線 G1 ～ Gm に信号を入力できる回路であればよい。具体的に本実施の形態においては、走査線駆動回路 103 は、シフトレジスタ回路を有している。また、表示装置の構成によっては、バッファ回路、レベルシフタ回路を有する構成であってもよい。また、ラッチ回路がなく、シフトレジスタとサンプリングスイッチとで構成されていてもよい。

30

【0057】

また、信号線駆動回路 102 には、クロック信号（SCLK）、クロック反転信号（SCLKB）、スタートパルス信号（SP）、デジタルビデオ信号（Digital Video Data）、ラッチ信号（Latch Signal）などの信号が入力される。そして、それらの信号にしたがって、各信号線 S1 ～ Sn へそれぞれ各列の画素に応じたビデオ信号を出力する。なお、なお、アナログビデオ信号が入力されていてもよい。

40

【0058】

また、走査線駆動回路 103 には、クロック信号（GCLK）、クロック反転信号（GCLKB）、スタートパルス信号（GSP）などの信号が入力される。そして、それらの信号にしたがって、選択する画素行の走査線 Gi（第 1 の走査線 G1 ～ Gm のうちいずれか）に画素を選択する信号を出力する。

【0059】

よって、信号線 S1 ～ Sn に入力されたビデオ信号は、走査線駆動回路 103 から走査線 Gi（走査線 G1 ～ Gm のうちいずれか）に入力された信号によって選択された画素

50

行の各列の画素 101 に書き込まれる。そして、各走査線 G1 ~ Gm により各画素行が選択され、全ての画素に各画素に対応したビデオ信号が書き込まれる。そして、各画素は書き込まれたビデオ信号を一定期間保持する。各画素は、ビデオ信号を一定期間保持することによって、点灯などの状態を維持することができる。

【0060】

図1に示した発光素子を用いた表示装置は、アクティブマトリクス方式による駆動方式について述べたがこれに限定されない。本発明においては単純マトリックス（パッシブ）方式を採用してもよい。図1に示したアクティブマトリクス方式は各画素に数個のスイッチング用の薄膜トランジスタを有する制御回路を備え、各画素の制御回路により各画素の発光非発光を制御する。一方、単純マトリクス方式の表示装置は複数個のカラム信号線と、複数個のロウ信号線とが互いに交差する形で配置され、その交差部において発光素子が挟まれている。よって、選択されたロウ信号線と、出力を行っているカラム信号線とに挟まれた領域に電位差が生じ、電流が流れると発光素子が発光する。

10

【0061】

図46にパッシブ方式の表示装置の構成について示す。図46は、カラム信号線駆動回路4601、ロウ信号線駆動回路4602、画素部4603を備える。画素部4603はカラム信号線S1 ~ Sn、ロウ信号線V1 ~ Vnが設けられており、カラム信号線とロウ信号線の間には複数の発光素子4604を有する。パッシブ方式を採用する場合、アクティブマトリクス方式を採用する場合に比べ、本発明の構成を簡略化することができ、この点で好適である。

20

【0062】

以上で述べたような表示装置の構成を、本発明では採用することができる。

【0063】

（本実施形態の画素構成）

図2に、図1で示した本発明の画素部の構成について詳しい構成を示す。図2において第1の画素201、第2の画素202、第3の画素203、第4の画素204、第5の画素205、第6の画素206がそれぞれ、図1における画素101に対応する。また、第1の画素 ~ 第6の画素を併せて一つの最小の画像を表示する絵素200とする。第1の画素201、第2の画素202、第3の画素203、第4の画素204、第5の画素205、第6の画素206にはそれぞれ、発光素子が設けられており、第1の画素には発光素子R1、第2の画素には発光素子R2、第3の画素には発光素子G1、第4の画素には発光素子G2、第5の画素には発光素子B1、第6の画素には発光素子B2がそれぞれ接続されている。

30

【0064】

ここで本明細書において第1の画素の発光素子R1及び第2の画素の発光素子R2は、CIE - XY色度図で表したときに、色度図のxが0.50以上の領域に座標を有するものとする。また、第3の画素の発光素子G1及び第4の画素の発光素子G2は、CIE - XY色度図で表したときに、色度図のyが0.55以上の領域に座標を有するものとする。また、第5の画素の発光素子B1及び第6の画素の発光素子B2は、CIE - XY色度図を表したときに、色度図のxが0.20以下、yが0.35以下の領域に座標を有するものとする。また、より好ましくは、第1の画素の発光素子R1及び第2の画素の発光素子R2のいずれかは、CIE - XY色度図で表したときに、色度図のxが0.6以上、yが0.35以下の領域に座標を有するものとする。またより好ましくは、第3の画素の発光素子G1及び第4の画素の発光素子G2のいずれかは、CIE - XY色度図で表したときに、色度図のxが0.3以下、yが0.6以上の領域に座標を有するものとする。またより好ましくは、第5の画素の発光素子B1及び第6の画素の発光素子B2のいずれかは、CIE - XY色度図を表したときに、色度図のxが0.15以下、yが0.2以下の領域に座標を有するものとする。

40

【0065】

なお、本発明においては、発光素子G1とG2とのCIE - XY色度図の座標の差（x

50

、 y の座標の距離)の絶対値 G_{12} は、発光素子 R_1 と発光素子 R_2 とのCIE-XY色度図の座標の差の絶対値 R_{12} または発光素子 B_1 と発光素子 B_2 とのCIE-XY色度図の座標の差の絶対値 B_{12} より大きいことが好ましい。 $G_{12} > R_{12}$ 、 $G_{12} > B_{12}$ を満たすことで、色再現範囲を向上させ、人間の眼に視認される色域を広くすることができ、好適である。

【0066】

なお本明細書におけるCIE-XY色度図における領域とは、CIE-XY色度図における人間の目が認識することのできる可視光の光を表す領域のことを指すものとする。すなわち図39において示したCIE-XY色度図における太線で囲まれた内側の領域に対応する。

10

【0067】

また図3に、図2で示した本発明の絵素200の回路構成を示す。図2に示す第1の画素201、第2の画素202、第3の画素203、第4の画素204、第5の画素205、第6の画素206は、信号線 S_i ($S_1 \sim S_n$ のうちの1つ)、走査線 G_i ($G_1 \sim G_m$ のうちの1つ)及び電源線 V_i ($V_1 \sim V_n$ のうちの1つ)を有している。また第1の画素201、第2の画素202、第3の画素203、第4の画素204、第5の画素205、第6の画素206はそれぞれ、映像信号の入力を制御するスイッチング用の第1のトランジスタ301、映像信号によって発光素子の発光・非発光を決定する駆動用の第2のトランジスタ302、発光素子303及び保持容量304を有している。保持容量304は第2のトランジスタ302のゲートとソースの間の電圧(ゲート電圧)をより確実に保持するために設けられているが、必ずしも設ける必要はない。なお、本明細書において電圧とは、特に記載のない限りグラウンドとの電位差を意味する。また、発光素子303は、図2における R_1 、 R_2 、 G_1 、 G_2 、 B_1 、 B_2 の発光素子に対応し、それぞれは各々を駆動するための回路が接続されている。図3に示す構成においては、同じ電源線 V_i で、発光素子 R_1 と発光素子 R_2 、発光素子 G_1 と発光素子 G_2 、発光素子 B_1 と発光素子 B_2 に電流を供給する電源線を共通化する構成を取りうる。発光素子 R_1 と発光素子 R_2 、発光素子 G_1 と発光素子 G_2 、発光素子 B_1 と発光素子 B_2 においては色合いがほとんど同じであるため、このように電源線を共通化することができ、その結果、表示装置に配置する電源線の数減らすことができるため好適である。図3においては、発光素子 R_1 と発光素子 R_2 、発光素子 G_1 と発光素子 G_2 、発光素子 B_1 と発光素子 B_2 にそれぞれに接続される電源線は、別々の配線として記載しているが同じ配線より分岐したものであってもよい。

20

30

【0068】

なお、図3の示した構成とは別の構成を図52に示す。図52において図3と同一の機能を有する構成については同一の符号を付す。図52に示すように、発光素子 R_1 と発光素子 R_2 、発光素子 G_1 と発光素子 G_2 、発光素子 B_1 と発光素子 B_2 とでそれぞれ異なる第2の電源線 V_{i2} に接続される構成であってもよい。発光素子 R_1 と発光素子 R_2 、発光素子 G_1 と発光素子 G_2 、発光素子 B_1 と発光素子 B_2 とで電流を供給する電源線を異ならせることによって、それぞれの発光素子について加える電圧を制御することができ輝度を自由に変えることができるため好適である。

40

【0069】

ここで図4に、図3における発光素子303が発光するときの駆動方法について説明する。図4において、発光素子404に接続している回路は、映像信号の入力を制御するスイッチング用の第1のトランジスタ401と、映像信号によって前記発光素子の発光強度を決定する駆動用の第2のトランジスタ402と、信号線405と、電源線406と、走査線407とで構成されている。第1のトランジスタ401のゲートは、走査線407に接続されている。第1のトランジスタ401の第1の端子と第2の端子(いずれか一方をソースとし、もう一方をドレインとする)は、一方は信号線405に、もう一方は第2のトランジスタ402のゲートに接続されている。また第2のトランジスタ402の第1の端子と第2の端子は、一方は電源線406に、もう一方は発光素子404が有する画素電

50

極に接続されている。発光素子 404 は陽極と陰極を有しており、本明細書では、陽極を画素電極として用いる場合は陰極を対向電極と呼び、陰極を画素電極として用いる場合は陽極を対向電極と呼ぶ。対向電極の電圧は一定の高さに保たれている場合が多い。また、第 1 のトランジスタ 401、第 2 のトランジスタ 402 は n チャンネル型トランジスタと p チャンネル型トランジスタのどちらでも良い。そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、第 2 のトランジスタ 402 は p チャンネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、第 2 のトランジスタ 402 は n チャンネル型トランジスタであるのが望ましい。

【0070】

保持容量 403 が有する 2 つの電極の一方は、第 2 のトランジスタのゲートに接続されている。また保持容量 403 が有する 2 つの電極の他方は、電源線 406 に接続されているがこれに限定されず、別の配線に接続されていてもよい。保持容量 403 は第 2 のトランジスタ 402 のゲートとソースの間の電圧（ゲート電圧）をより確実に維持するために設けられているが、第 2 のトランジスタ 402 のゲート容量で代用することにより、必ずしも設ける必要はない。

【0071】

図 4 において、書き込み期間において走査線 407 が選択されると、走査線 407 にゲートが接続されている第 1 のトランジスタ 401 がオンになる。そして、信号線 405 に入力された映像信号が、第 1 のトランジスタ 401 を介して第 2 のトランジスタ 402 のゲートに入力されることによって電源線 406 から発光素子 404 へ電流が流れ、発光素子 404 は発光をする。

【0072】

なお、画素構成はこれに限定されない。トランジスタのしきい値電圧のばらつきを補正する方式や、画素に信号電流を入力する方式など様々な画素構成を適用することが可能である。

【0073】

以上で述べたような画素構成を、本発明では採用することができる。

【0074】

（本実施形態の動作方法）

図 4 に示した回路構成において、表示を行う際の動作タイミングについて、図 5 を用いて説明する。表示装置においては、表示期間では繰り返し画面の書き換えと表示とを行っている。この書き換え回数は、一般的には 1 秒間に 60 回程度とすることで、視認者がちらつき（フリッカ）を感じないとされている。ここで、画面の書き換え、表示の一連の動作を 1 回行う期間、つまり図 5 中、501 で示した期間を、1 フレーム期間 501 と表記する。本実施の形態においては、例として、デジタル時間階調方式で 3 ビットデジタル映像信号を用いた場合を挙げて説明する。デジタル時間階調方式の場合、1 フレーム期間 501 を、さらに複数のサブフレーム期間に分割する。ここでは 3 ビットであるので、3 つのサブフレーム期間に分割し、各期間で、各発光色における書き込み、表示を行う。

【0075】

各サブフレーム期間は、アドレス（書き込み）期間 $T_{a\#}$ （ $\#$ は自然数）と、サステイン（発光）期間 $T_{s\#}$ を有する。図 5 においては、サステイン（発光）期間の長さを、 $T_{s1} : T_{s2} : T_{s3} = 4 : 2 : 1$ とし、各サステイン（発光）期間で、発光もしくは非発光を制御することにより、 $2^3 = 8$ 階調を表現する。つまり、サステイン（発光）期間の長さを、 $T_{s1} : T_{s2} : T_{s3} = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$ というように、2 のべき乗の比とする。例えば、 T_{s3} のみが発光し、 T_{s1} 、 T_{s2} においては非発光である場合、すべてのサステイン（発光）期間のうち、約 14% の期間だけ発光していることになる。すなわち、約 14% の輝度が表現出来る。 T_{s1} と T_{s2} が発光し、 T_{s3} が非発光である場合には、すべてのサステイン（発光）期間のうち、約 86% の期間だけ発光していることになる。すなわち、約 86% の輝度が表現出来る。

【0076】

この動作によって、図 3 における発光素子 303 である R1, R2, G1, G2, B1, B2 をそれぞれ駆動する。このように、図 3 の絵素 200 における各々の画素に設けられた発光素子は、各々の発光素子に接続された回路によって独立に発光時間を制御され、所望の表示色が得られる。ここで、表示色とは、一画素内に含まれる発光色がそれぞれ異なる複数の発光素子から得られる発光が組み合わさり混合された色として、視覚的に認識できる色のことをいう。

【0077】

なお、駆動方法はこれに限定されない。第 1 のトランジスタのゲートにアナログ信号が入力されて、それに応じて発光素子 404 の輝度をアナログ的に変化させてもよい。

【0078】

以上で述べたような動作方法を、本発明では採用することができる。

【0079】

(本発明の発光素子の構成)

次に、本発明の表示装置に適用可能な発光素子の例を図 6 に示す。

【0080】

図 6 (a) の発光素子は、基板 601 の上に陽極 602、正孔注入材料からなる正孔注入層 603、その上に正孔輸送材料からなる正孔輸送層 604、発光層 605、電子輸送材料からなる電子輸送層 606、電子注入材料からなる電子注入層 607、そして陰極 608 を積層させた素子構造である。ここで、発光層 605 は、一種類の発光材料のみから形成されることもあるが、2 種類以上の材料から形成されてもよい。また本発明の発光素子の構造は、この構造に限定されない。勿論、基板 601 と陽極 602 との間にはトランジスタより構成される発光素子を駆動するための回路や配線があってもよい。

【0081】

また、図 6 (a) で示した各機能層を積層した積層構造の他、高分子化合物を用いた素子、発光層に三重項励起状態から発光する三重項発光材料を利用した高効率素子など、バリエーションは多岐にわたる。発光素子は、ホールブロック層によってキャリアの再結合領域を制御し、発光領域を二つの領域に分けることによって得られる白色発光素子などにも応用可能である。

【0082】

図 6 (a) に示す本発明の素子作製方法は、まず、陽極 602 (ITO: インジウム錫酸化物) を有する基板 601 に正孔注入材料、正孔輸送材料、発光材料を順に蒸着する。次に電子輸送材料、電子注入材料を蒸着し、最後に陰極 608 を蒸着で形成する。

【0083】

なお、正孔注入層に換えて、正孔発生層を設けてもよい。なお、正孔発生層とは、正孔を発生する層であり、正孔輸送性物質の中から選ばれた少なくとも一の物質と、正孔輸送性物質に対して電子受容性を示す物質とを混合することによって形成することができる。ここで、正孔輸送性物質としては、正孔輸送層を形成するのに用いることができる物質と同様の物質を用いることができる。また、電子受容性を示す物質としては、モリブデン酸化物、バナジウム酸化物、ルテニウム酸化物、レニウム酸化物等の金属酸化物を用いることができる。

【0084】

次に、正孔注入材料、正孔輸送材料、電子輸送材料、電子注入材料、発光材料の材料に好適な材料を以下に列挙する。

【0085】

正孔注入材料としては、フタロシアニン (略称: H2Pc) や銅フタロシアニン (CuPc) 等のフタロシアニン系の化合物、或いはポリ (エチレンジオキシチオフエン) / ポリ (スチレンスルホン酸) 水溶液 (PEDOT/PSS) 等の高分子等が挙げられる。正孔注入層として用いる材料のイオン化ポテンシャルが、正孔注入層に陽極として機能する電極の反対側に接して形成されている機能層のイオン化ポテンシャルよりも相対的に小さくなるような物質を、正孔輸送性を有する物質の中から選択することによって、正孔注入層

10

20

30

40

50

を形成することができる。

【0086】

正孔輸送材料として最も広く用いられている材料として、4, 4' - ビス [N - (1 - ナフチル) - N - フェニルアミノ] ビフェニル (略称 : N P B)、4, 4' - ビス [N - (3 - メチルフェニル) - N - フェニルアミノ] ビフェニル (略称 : T P D)、4, 4', 4'' - トリス (N, N - ジフェニルアミノ) トリフェニルアミン (略称 : T D A T A)、4, 4', 4'' - トリス [N - (3 - メチルフェニル) - N - フェニルアミノ] トリフェニルアミン (略称 : M T D A T A)、4, 4' - ビス { N - [4 - (N, N - ジ - m - トリルアミノ) フェニル] - N - フェニルアミノ } ビフェニル (略称 : D N T P D)、1, 3, 5 - トリス [N, N - ジ (m - トリル) アミノ] ベンゼン (略称 : m - M T D A B)、4, 4', 4'' - トリス (N - カルバゾリル) トリフェニルアミン (略称 : T C T A)、フタロシアニン (略称 : H 2 P c)、銅フタロシアニン (略称 : C u P c)、バナジルフタロシアニン (略称 : V O P c) 等が挙げられる。また、正孔輸送層は、以上に述べた物質から成る層を二以上組み合わせ形成した多層構造の層であってもよい。

10

【0087】

電子輸送材料としては、トリス (8 - キノリノラト) アルミニウム (略称 : A l q 3)、トリス (4 - メチル - 8 - キノリノラト) アルミニウム (略称 : A l m q 3)、ビス (10 - ヒドロキシベンゾ [h] - キノリノラト) ベリリウム (略称 : B e B q 2)、ビス (2 - メチル - 8 - キノリノラト) - 4 - フェニルフェノラト - アルミニウム (略称 : B A l q)、ビス [2 - (2 - ヒドロキシフェニル) ベンゾオキサゾラト] 亜鉛 (略称 : Z n (B O X) 2)、ビス [2 - (2 - ヒドロキシフェニル) ベンゾチアゾラト] 亜鉛 (略称 : Z n (B T Z) 2) 等の他、2 - (4 - ビフェニリル) - 5 - (4 - t e r t - ブチルフェニル) - 1, 3, 4 - オキサジアゾール (略称 : P B D)、1, 3 - ビス [5 - (p - t e r t - ブチルフェニル) - 1, 3, 4 - オキサジアゾール - 2 - イル] ベンゼン (略称 : O X D - 7)、3 - (4 - ビフェニリル) - 4 - フェニル - 5 - (4 - t e r t - ブチルフェニル) - 1, 2, 4 - トリアゾール (略称 : T A Z)、3 - (4 - ビフェニリル) - 4 - (4 - エチルフェニル) - 5 - (4 - t e r t - ブチルフェニル) - 1, 2, 4 - トリアゾール (略称 : p - E t T A Z)、バソフェナントロリン (略称 : B P h e n)、バソキュプロイン (略称 : B C P)、2, 2', 2'' - (1, 3, 5 - ベンゼントリイル) - トリス (1 - フェニル - 1 H - ベンゾイミダゾール) (略称 : T P B I)、4, 4 - ビス (5 - メチルベンズオキサゾール - 2 - イル) スチルベン (略称 : B z O s) 等が挙げられる。また、電子輸送層は、以上に述べた物質から成る層を二以上組み合わせ形成した多層構造の層であってもよい。

20

30

【0088】

電子注入材料としては、アルカリ金属またはアルカリ土類金属、アルカリ金属のフッ化物、アルカリ土類金属のフッ化物、アルカリ金属の酸化物、アルカリ土類金属の酸化物等の無機物が挙げられる。また、無機物の他、B P h e n、B C P、p - E t T A Z、T A Z、B z O s 等の電子輸送層を形成するのに用いることのできる物質も、これらの物質の中から、電子輸送層の形成に用いる物質よりも電子親和力が高い物質を選択することによって、電子注入層を形成する物質として用いることができる。つまり、電子注入層における電子親和力が電子輸送層における電子親和力よりも相対的に大きくなるような物質を、電子輸送性を有する物質の中から選択することによって、電子注入層を形成することもできる。

40

【0089】

発光材料を含む層である発光層としては、発光物質について特に限定はなく、発光効率が良いで、所望の発光波長の発光をし得る物質を選択して用いればよい。例えば、赤色系の発光を得たいときには、4 - ジシアノメチレン - 2 - イソプロピル - 6 - [2 - (1, 1, 7, 7 - テトラメチルジュロリジン - 9 - イル) エテニル] - 4 H - ピラン (略称 : D C J T I)、4 - ジシアノメチレン - 2 - メチル - 6 - [2 - (1, 1, 7, 7 - テトラメチルジュロリジン - 9 - イル) エテニル] - 4 H - ピラン (略称 : D C J T)、4 -

50

ジシアノメチレン - 2 - t e r t - ブチル - 6 - [2 - (1 , 1 , 7 , 7 - テトラメチル
 ジュロリジン - 9 - イル) エテニル] - 4 H - ピラン (略称 : D C J T B) やペリフラン
 テン、2 , 5 - ジシアノ - 1 , 4 - ビス [2 - (1 0 - メトキシ - 1 , 1 , 7 , 7 - テト
 ラメチルジュロリジン - 9 - イル) エテニル] ベンゼン等、6 0 0 n m から 6 8 0 n m に
 発光スペクトルのピークを有する発光を呈する物質を用いることができる。また緑色系の
 発光を得たいときは、N , N ' - ジメチルキナクリドン (略称 : D M Q d) 、クマリン 6
 やクマリン 5 4 5 T 、トリス (8 - キノリノラト) アルミニウム (略称 : A l q 3) 等、
 5 0 0 n m から 5 5 0 n m に発光スペクトルのピークを有する発光を呈する物質を用いる
 ことができる。また、青色系の発光を得たいときは、9 , 1 0 - ビス (2 - ナフチル) -
 t e r t - ブチルアントラセン (略称 : t - B u D N A) 、9 , 9 ' - ビアントリル、9
 , 1 0 - ジフェニルアントラセン (略称 : D P A) や 9 , 1 0 - ビス (2 - ナフチル) ア
 ントラセン (略称 : D N A) 、ビス (2 - メチル - 8 - キノリノラト) - 4 - フェニルフ
 ェノラト - ガリウム (略称 : B G a q) 、ビス (2 - メチル - 8 - キノリノラト) - 4 -
 フェニルフェノラト - アルミニウム (略称 : B A l q) 等、4 2 0 n m から 5 0 0 n m に
 発光スペクトルのピークを有する発光を呈する物質を用いることができる。また、以上に
 記載した蛍光を発光する物質の他、トリス (2 - フェニルピリジン) イリジウム等の燐光
 を発光する物質を用いても構わない。

【 0 0 9 0 】

発光物質を分散状態にするために用いる物質 (ホスト材料とも言われる。) について特
 に限定はなく、4 , 4 ' - ビス [N - (1 - ナフチル) - N - フェニルアミノ] ビフェニ
 ル (略称 : - N P D) のようなアリアルアミン骨格を有する化合物の他、4 , 4 ' - ビ
 ス (N - カルバゾリル) ビフェニル (略称 : C B P) 、4 , 4 ' , 4 ' ' - トリス (N -
 カルバゾリル) トリフェニルアミン (略称 : T C T A) 等のカルバゾール誘導体や、ビス
 [2 - (2 - ヒドロキシフェニル) ピリジナト] 亜鉛 (略称 : Z n p p 2) 、ビス [2 -
 (2 - ヒドロキシフェニル) ベンゾオキサゾラト] 亜鉛 (略称 : Z n (B O X) 2) 、ト
 リス (8 - キノリノラト) アルミニウム (略称 : A l q 3) 等の金属錯体等を用いること
 ができる。

【 0 0 9 1 】

また、図 6 (b) に示すように図 6 (a) とは逆の順番に層を形成した発光素子を用いる
 ことができる。つまり、基板 6 0 1 の上に陰極 6 0 8 、電子注入材料からなる電子注入層
 6 0 7 、その上に電子輸送材料からなる電子輸送層 6 0 6 、発光層 6 0 5 、正孔輸送材料
 からなる正孔輸送層 6 0 4 、正孔注入材料からなる正孔注入層 6 0 3 、そして陽極 6 0 2
 を積層させた素子構造である。

【 0 0 9 2 】

また、発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよ
 い。そして、基板上に T F T 及び発光素子を形成し、基板とは逆側の面から発光を取り出
 す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の
 面から発光を取り出す両面射出構造の発光素子があり、本発明の画素構成はどの射出構造
 の発光素子にも適用することができる。

【 0 0 9 3 】

以上で述べたような各機能を有する材料を、各々組み合わせ、本発明の発光素子を作製す
 ることができる。

【 0 0 9 4 】

(本実施形態の表示装置における射出構造の構成)

次に、本発明の表示装置に適用可能な発光素子について、上面射出構造、下面射出構造、
 及び両面射出構造の例を図 7 に示す。

【 0 0 9 5 】

上面射出構造の発光素子について図 7 (a) を用いて説明する。

【 0 0 9 6 】

基板 7 0 0 上に駆動用 T F T 7 0 1 が形成され、駆動用 T F T 7 0 1 のソース電極に接し

10

20

30

40

50

て第 1 の電極 702 が形成され、その上に発光層 703 と第 2 の電極 704 が形成されている。

【0097】

また、第 1 の電極 702 は発光素子の陽極である。そして第 2 の電極 704 は発光素子の陰極である。つまり、第 1 の電極 702 と第 2 の電極 704 とで発光層 703 が挟まれているところが発光素子となる。

【0098】

また、ここで、陽極として機能する第 1 の電極 702 に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、窒化チタン膜、クロム膜、タングステン膜、Zn 膜、Pt 膜などの単層膜の他、窒化チタン膜とアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との 3 層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。光を反射する金属膜を用いることで光を透過させない陽極を形成することができる。

10

【0099】

また、陰極として機能する第 2 の電極 704 に用いる材料としては、仕事関数の小さい材料 (Al、Ag、Li、Ca、またはこれらの合金 MgAg、MgIn、AlLi、CaF₂、または窒化カルシウム) からなる金属薄膜と、透明導電膜 (ITO (インジウムスズ酸化物)、インジウム亜鉛酸化物 (IZO)、酸化亜鉛 (ZnO) 等) との積層を用いるのが良い。こうして薄い金属薄膜と、透明性を有する透明導電膜を用いることで光を透

20

【0100】

こうして、図 7 (a) の矢印に示すように発光素子からの光を上面に取り出すことが可能になる。

【0101】

また、下面射出構造の発光素子について図 7 (b) を用いて説明する。射出構造以外は図 7 (a) と同じ構造の発光素子であるため同じ符号を用いて説明する。

【0102】

ここで、陽極として機能する第 1 の電極 702 に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO (インジウムスズ酸化物) 膜、インジウム亜鉛酸化物 (IZO) 膜などの透明導電膜を用いることができる。透明性を有する透明導電膜を用いることで光を透過させることが可能な陽極を形成することができる。

30

【0103】

また、陰極として機能する第 2 の電極 704 に用いる材料としては、仕事関数の小さい材料 (Al、Ag、Li、Ca、またはこれらの合金 MgAg、MgIn、AlLi、CaF₂、または窒化カルシウム) からなる金属膜を用いることができる。こうして、光を反射する金属膜を用いることで光が透過しない陰極を形成することができる。

【0104】

こうして、図 7 (b) の矢印に示すように発光素子からの光を下面に取り出すことが可能になる。

40

【0105】

両面射出構造の発光素子について図 7 (c) を用いて説明する。射出構造以外は図 7 (a) と同じ構造の発光素子であるため同じ符号を用いて説明する。

【0106】

ここで、陽極として機能する第 1 の電極 702 に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO (インジウムスズ酸化物) 膜、インジウム亜鉛酸化物 (IZO) 膜などの透明導電膜を用いることができる。透明性を有する透明導電膜を用いることで光を透過させることが可能な陽極を形成することができる。

【0107】

また、陰極として機能する第 2 の電極 704 に用いる材料としては、仕事関数の小さい材

50

料 (Al、Ag、Li、Ca、またはこれらの合金 MgAg、MgIn、AlLi、CaF₂、または窒化カルシウム) からなる金属薄膜と、透明導電膜 (ITO (インジウムスズ酸化物)、酸化インジウム酸化亜鉛合金 (In₂O₃ ZnO)、酸化亜鉛 (ZnO) 等) との積層を用いるのが良い。こうして薄い金属薄膜と、透明性を有する透明導電膜を用いることで光を透過させることが可能な陰極を形成することができる。

【0108】

こうして、図7(c)の矢印に示すように発光素子からの光を両面に取り出すことが可能になる。

【0109】

以上で述べたような射出構造を本発明の表示装置では採用することができる。

10

【0110】

また、図7で述べた射出構造において、層間膜を増やした別の構成を取りうることもできる。

【0111】

図51に例として上面射出構造の発光素子を具備する構成について述べる。図51において図7(a)と異なる点として、層間絶縁膜5101を一層設け、第1の電極と接続するための配線5102を設ける構成を採用する。層間絶縁膜5101に平坦性を有する膜を採用することで、層間絶縁膜5101の上に設ける第1の電極などにおいて層間膜の段差に起因する配線の断絶等を軽減することができ、好適である。

【0112】

20

また、発光素子の下部に、ゲート電極と同一の材料よりなる第1の反射電極5103、ソースドレイン電極と同一の材料よりなる第2の反射電極5104を設ける構成を採用するとよい。上面射出構造においては、発光素子下部に射出する光が視認者側に射出されず、光の取り出し効率が悪い。しかし、前記第1の反射電極5103、前記第2の反射電極5104を設ける構成を採用することによって、より発光素子上面に光りを射出することができ好適である。

【0113】

以上で述べたような射出構造を本発明の表示装置では採用することができる。

【0114】

(本実施形態の表示装置における発光素子材料の構成)

30

次に、本発明の表示装置に適用可能な発光素子に適用する発光素子材料の具体的な例について説明する。

【0115】

本発明の画素部の構成について、本発明の絵素は、第1の画素、第2の画素、第3の画素、第4の画素、第5の画素、第6の画素を有することについて、図2において説明した。また、第1~6の画素にはそれぞれ、発光素子が設けられており、第1の画素には発光素子R1、第2の画素には発光素子R2、第3の画素には発光素子G1、第4の画素には発光素子G2、第5の画素には発光素子B1、第6の画素には発光素子B2がそれぞれ接続されている。

【0116】

40

そして本明細書における、本発明の第1の画素の発光素子R1及び第2の画素の発光素子R2は、CIE-XY色度図で表したときに、色度図のxが0.50以上の領域に座標を有するものである。また、本発明の第3の画素の発光素子G1及び第4の画素の発光素子G2は、は、CIE-XY色度図で表したときに、色度図のyが0.55以上の領域に座標を有するものである。また、本発明の第5の画素の発光素子B1及び第6の画素の発光素子B2は、CIE-XY色度図を表したときに、色度図のxが0.15以下、yが0.2以下の領域に座標を有するものである。

【0117】

なお、前記第1の画素が具備する発光素子、前記第2の画素が具備する発光素子のいずれかは、CIE-XY色度図で表したときに、色度図のxが0.6以上、yが0.35以

50

下の領域に座標を有するものであること、前記第3の画素が具備する発光素子、前記第4の画素が具備する発光素子のいずれかは、CIE-XY色度図で表したときに、色度図のxが0.3以下、yが0.6以上の領域に座標を有するものであること、前記第5の画素が具備する発光素子、前記第6の画素が具備する発光素子のいずれかは、CIE-XY色度図で表したときに、色度図のxが0.15以下、yが0.2以下の領域に座標を有するものであることを満たす構成とすることはより好適である。第1の画素に設けられた発光素子と第2の画素に設けられた発光素子、第3の画素に設けられた発光素子と第4の画素に設けられた発光素子、及び第5の画素に設けられた発光素子と第6の画素に設けられた発光素子を、CIE-XY色度図で表したときにその色座標を異なる領域に配置することによって、CIE-XY色度図上における色再現範囲がさらに向上した表示装置を得ることができる。

10

【0118】

本発明の第1の画素、第2の画素に用いる発光素子R1、発光素子R2の具体的な例について説明する。

【0119】

第1の画素に設けられている発光素子R1の具体的な素子構造について述べる。まずITO(110nm)上に、正孔注入層としてCuPcを20nm、次いで正孔輸送層としてNPBを30nm、次いで発光層として、ホスト材料である2,3-ビス(4-ジフェニルアミノフェニル)キノキサリン(略称:TPAQn)と(アセチルアセトナト)ビス[2-(2'-ベンゾチエニル)ピリジナト-N, C3']イリジウム(略称:Ir(btp)2(acac))とを共蒸着した層を30nm、次いで電子輸送層としてBALqを10nm、さらにAlqを20nm、次いで電子注入層としてフッ化カルシウムを2nm、最後に陰極としてAlを150nm成膜して作製した。なお、発光層におけるTPAQnとIr(btp)2(acac)との割合は、Ir(btp)2(acac)が8wt%となるように調節した。

20

【0120】

また、第2の画素に設けられている発光素子R2の具体的な素子構造について述べる。まずITO(110nm)上に、正孔注入層としてCuPcを20nm、次いで正孔輸送層としてNPBを30nm、次いで発光層として、ホスト材料であるTPAQnとルブレンを共蒸着した層を30nm、次いで電子輸送層としてBALqを10nm、さらにAlqを20nm、次いで電子注入層としてフッ化カルシウムを2nm、最後に陰極としてAlを150nm成膜して作製した。なお、発光層におけるTPAQnとルブレンとの割合はルブレンが10wt%となるように調整した。

30

【0121】

上記作製された発光素子R1についての発光スペクトル801、発光素子R2についての発光スペクトル802について図8に示す。図8の発光スペクトルは発光素子に25mA/cm²の電流密度で電流を流した際の発光スペクトルである。図8において、R1の発光スペクトル801の低波長側にシフトした位置にR2の発光スペクトル802が存在する。このとき、発光素子R1のCIE-XY色度図における色度座標は、(x, y) = (0.68, 0.32)である。また、発光素子R2のCIE-XY色度図における色度座標は、(x, y) = (0.47, 0.52)となる。

40

【0122】

次に本発明の第3の画素、第4の画素に用いる発光素子G1、発光素子G2の具体的な例について説明する。

【0123】

第3の画素に設けられている発光素子G1の具体的な素子構造について述べる。ITO(110nm)上に、正孔注入層としてDNTPDを50nm、次いで正孔輸送層としてNPBを10nm、次いで発光層として、ホスト材料であるAlqとクマリン6とを共蒸着した層を37.5nm、次いで電子輸送層としてAlqを37.5nm、次いで電子注入層としてフッ化カルシウムを2nm、最後に陰極としてAlを150nm成膜して作製

50

した。なお、発光層における Alq とクマリン 6 との割合は、クマリン 6 が 0.3 wt % となるように調節した。

【0124】

また、第 4 の画素に設けられている発光素子 G 2 の具体的な素子構造について述べる。ITO (110 nm) 上に、正孔注入層として DNTPD を 50 nm、次いで正孔輸送層として NPB を 10 nm、次いで発光層として、ホスト材料である Alq と DMQd とを共蒸着した層を 37.5 nm、次いで電子輸送層として Alq を 37.5 nm、次いで電子注入層としてフッ化カルシウムを 2 nm、最後に陰極として Al を 150 nm 成膜して作製した。なお、発光層における Alq と DMQd との割合は、DMQd が 0.3 wt % となるように調節した。

10

【0125】

上記作製された発光素子 G 1 についての発光スペクトル 901、発光素子 G 2 についての発光スペクトル 902 について図 9 に示す。図 9 の発光スペクトルは発光素子に 25 mA / cm² の電流密度で電流を流した際の発光スペクトルである。図 9 において、G 1 の発光スペクトル 901 の高波長側にシフトした位置に G 2 の発光スペクトル 902 が存在する。このとき、発光素子 G 1 の CIE - XY 色度図における色度座標は、(x, y) = (0.28, 0.63) である。また、発光素子 G 2 の CIE - XY 色度図における色度座標は、(x, y) = (0.43, 0.56) となる。

【0126】

次に本発明の第 5 の画素、第 6 の画素に用いる発光素子 B 1、発光素子 B 2 の具体的な例について説明する。

20

【0127】

第 5 の画素に設けられている発光素子 B 1 の具体的な素子構造について述べる。ITO (110 nm) 上に、正孔注入層として DNTPD を 30 nm、次いで正孔輸送層として NPB を 30 nm、次いで発光層として t-BuDNA を 40 nm、次いで電子輸送層として Alq を 20 nm、次いで電子注入層としてフッ化カルシウムを 2 nm、最後に陰極として Al を 150 nm 成膜して作製した。

【0128】

また、第 6 の画素に設けられている発光素子 B 2 の具体的な素子構造について述べる。ITO (110 nm) 上に、正孔注入層として DNTPD を 30 nm、次いで正孔輸送層として NPB を 30 nm、次いで発光層として t-BuDNA と TPAQn とを共蒸着した層を 40 nm、次いで電子輸送層として Alq を 20 nm、次いで電子注入層としてフッ化カルシウムを 2 nm、最後に陰極として Al を 150 nm 成膜して作製した。なお、発光層における t-BuDNA と TPAQn との割合は、TPAQn が 5 wt % となるように調整した。

30

【0129】

上記作製された発光素子 B 1 についての発光スペクトル 1001、発光素子 B 2 についての発光スペクトル 1002 について図 10 に示す。図 10 の発光スペクトルは発光素子に 25 mA / cm² の電流密度で電流を流した際の発光スペクトルである。図 10 において、B 1 の発光スペクトル 1001 の高波長側にシフトした位置に B 2 の発光スペクトル 1002 が存在する。このとき、発光素子 B 1 の CIE - XY 色度図における色度座標は、(x, y) = (0.15, 0.11) である。また、発光素子 B 2 の CIE - XY 色度図における色度座標は、(x, y) = (0.18, 0.32) となる。

40

【0130】

図 11 に CIE - XY 色度図を示し、上記作製した発光素子 R 1、発光素子 R 2、発光素子 G 1、発光素子 G 2、発光素子 B 1、発光素子 B 2 の各色度座標をプロットした図を示す。図 11 において、発光素子 R 1、発光素子 G 1、発光素子 B 1 の色度座標について点を結んだ領域を RGB 1 とし、発光素子 R 2、発光素子 G 2、発光素子 B 2 の色度座標について点を結んだ領域を RGB 2 とする。色の 3 原色である RGB について異なる色合いの発光素子を具備することによって、図 11 に示す RGB 6 で囲まれた領域の各色の色

50

合いを表現することができ、C I E - X Y 色度図上における色再現範囲が向上した表示装置を提供することができる。

【0131】

なお、各発光素子において、色純度を高めるため、発光素子の発光領域と反射電極（光を反射する電極）との光学的距離を L 、目的とする波長を λ とすると $L = (2m - 1) \lambda / 4$ （但し m は 1 以上の自然数）を満たすようにするいわゆる微小共振器構造（マイクロキャビティ構造）を採用してもよい。なお、光学的距離は「実際の距離 \times 波長における屈折率」で算出される。

【0132】

なお、発光素子 R_2 、 G_2 、 B_2 の色度座標のいずれかは、発光素子 R_1 、 G_1 、 B_1 の色度座標を結んで形成された領域以外の場所に存在すればよい。これは発光素子 R_2 、 G_2 、 B_2 の全てが発光素子 R_1 、 G_1 、 B_1 の色度座標を結んで形成された領域の中に存在すると、図 11 における RGB_1 と RGB_2 の色再現範囲が重複するためである。

【0133】

以上、本発明の表示装置は、上述の発光素子の材料を各画素において採用することができる。なお、上記列挙した発光素子の材料は一部に過ぎず、本発明と同様の色度座標を取りうる発光素子であれば、何でもよい。

【0134】

なお、本実施の形態は、本明細書中の実施例または実施の形態のいかなる記載とも自由に組み合わせて実施することが可能である。

【0135】

（実施の形態 2）

本実施の形態においては上記実施の形態で述べた本発明の表示装置における発光素子の構成とは別の構成について述べる。

【0136】

本発明の画素部の構成について、本発明の絵素は、第 1 の画素、第 2 の画素、第 3 の画素、第 4 の画素、第 5 の画素、第 6 の画素を有することについて、図 2 において説明した。また、第 1 ～ 6 の画素にはそれぞれ、発光素子が設けられており、第 1 の画素には発光素子 R_1 、第 2 の画素には発光素子 R_2 、第 3 の画素には発光素子 G_1 、第 4 の画素には発光素子 G_2 、第 5 の画素には発光素子 B_1 、第 6 の画素には発光素子 B_2 がそれぞれ接続されている。

【0137】

そして本明細書における、本発明の第 1 の画素の発光素子 R_1 及び第 2 の画素の発光素子 R_2 は、C I E - X Y 色度図で表したときに、色度図の x が 0.50 以上の領域に座標を有するものとする。また、本発明の第 3 の画素の発光素子 G_1 及び第 4 の画素の発光素子 G_2 は、は、C I E - X Y 色度図で表したときに、色度図の y が 0.55 以上の領域に座標を有するものとする。また、本発明の第 5 の画素の発光素子 B_1 及び第 6 の画素の発光素子 B_2 は、C I E - X Y 色度図を表したときに、色度図の x が 0.15 以下、 y が 0.2 以下の領域に座標を有するものである。

【0138】

本実施の形態においては、第 1 の画素、第 2 の画素に設けられた発光素子 R_1 、 R_2 、第 3 の画素、第 4 の画素に設けられた発光素子 G_1 、 G_2 、第 5 の画素、第 6 の画素に設けられた発光素子 B_1 、 B_2 において、それぞれの発光素子の膜厚を異ならせることで発光スペクトルを異ならせる。その結果、C I E - X Y 色度図で表したときに、色度図の座標を第 1 の画素、第 2 の画素に設けられた発光素子 R_1 、 R_2 、第 3 の画素、第 4 の画素に設けられた発光素子 G_1 、 G_2 、第 5 の画素、第 6 の画素に設けられた発光素子 B_1 、 B_2 で異ならせる。以下、その具体例について述べる。

【0139】

本実施の形態においては、第 3 の画素、第 4 の画素に用いる発光素子 G_1 、発光素子 G_2 について、C I E - X Y 色度図で表したときに色度図の座標を異ならせるための具体的

な例について説明する。

【0140】

第3の画素に設けられている発光素子G1の具体的な構造について述べる。まず、ITO(110nm)上に、ホール注入層としてCuPcを20nm、次いでホール輸送層としてNPBを40nm、次いで発光層として、ホスト材料であるAlqと緑色発光材料であるクマリン6とを共蒸着した層を40nm、次いで電子注入層としてAlqとLiとを共蒸着した層を30nm、最後に陰極としてAlを150nm成膜して作製した。なお、発光層におけるAlqとクマリン6との割合は、クマリン6が0.3wt%となるように調節した。また、電子注入層におけるAlqとLiとの割合は、Liが1wt%となるように調整した。

10

【0141】

図12(a)に第3の画素に設けられる発光素子G1の積層構造について示す。基板1211の上にトランジスタ1212を介して陽極1213、正孔注入材料からなる正孔注入層1201A、その上に正孔輸送材料からなる正孔輸送層1202A、発光層1203A、電子輸送材料からなる電子輸送層1204A、電子注入材料からなる電子注入層1205A、そして陰極1214を積層させた素子構造である。なお図12(a)の右図における積層構造は、図12(a)における発光素子部の拡大した断面図である。

【0142】

また第4の画素に設けられている発光素子G2の具体的な素子構造について述べる。まず、ITO(110nm)上に、ホール注入層としてCuPcを20nm、次いでホール輸送層としてNPBを40nm、次いで発光層として、ホスト材料であるAlqと緑色発光材料であるクマリン6とを共蒸着した層を40nm、次いで電子注入層としてAlqとLiとを共蒸着した層を30nm、次いでNPBとモリブデン酸化物(VI)との共蒸着層を180nm、最後に陰極としてAlを150nm成膜して作製した。なお、発光層におけるAlqとクマリン6との割合は、クマリン6が0.3wt%となるように調節した。また、電子注入層におけるAlqとLiとの割合は、Liが1wt%となるように調整した。なお、NPBとモリブデン酸化物(VI)との割合は、モリブデン酸化物が20wt%となるように調整した。

20

【0143】

図12(b)に第4の画素に設けられる発光素子G2の積層構造について示す。基板1211の上にトランジスタ1212を介して陽極1213、正孔注入材料からなる正孔注入層1201B、その上に正孔輸送材料からなる正孔輸送層1202B、発光層1203B、電子輸送材料からなる電子輸送層1204B、電子注入材料からなる電子注入層1205B、NPBとモリブデン酸化物(VI)との共蒸着層1206、そして陰極1214を積層させた素子構造である。なお図12(b)の右図における積層構造は、図12(b)における発光素子部の拡大した断面図である。

30

【0144】

また、上記図12(a)の如く積層形成された発光素子G1についての発光スペクトル1301、上記図12(b)の如く積層形成された発光素子G2について発光スペクトル1302について図13に示す。図13の発光スペクトルは発光素子に25mA/cm²の電流密度で電流を流した際の発光スペクトルである。図13において、G1の発光スペクトル1301の低波長側にシフトした位置にG2の発光スペクトル1302が存在する。このとき、発光素子G1のCIE-XY色度図における色度座標は、(x, y) = (0.30, 0.64)である。また、発光素子G2のCIE-XY色度図における色度座標は、(x, y) = (0.21, 0.69)となる。

40

【0145】

また、同様に第1の画素に設けられた発光素子R1と第2の画素に設けられた発光素子R2、第5の画素に設けられた発光素子B1と第6の画素に設けられた発光素子B2において、それぞれ異なる膜厚を有する発光素子を具備することで、異なる発光スペクトルを有する発光素子を得ることができる。換言すれば第1の画素に設けられた発光素子R1と

50

第2の画素に設けられた発光素子R2、第5の画素に設けられた発光素子B1と第6の画素に設けられた発光素子B2において、異なるCIE-X Y色度図上の色度座標を有する発光素子を得ることができる。

【0146】

本実施の形態に例示した如く、発光素子の膜厚を発光素子R1と発光素子R2、発光素子G1と発光素子G2、発光素子B1とB2とで異なる膜厚とすることによって異なるCIE-X Y色度図上の色度座標を有する発光素子を得ることができる。勿論異なる発光素子の材料を用いて、なおかつ発光素子の膜厚を変えることで異なるCIE-X Y色度図上の色度座標を有する発光素子を得てもよい。

【0147】

また、発光素子の膜厚を異ならせること（厚膜化）で発光スペクトルを異ならせることは、共蒸着層を形成することで達成することに特に限定されず、例えば図45、図54において示すように、正孔注入層1201、正孔輸送層1202、発光層1203、電子輸送層1204、または電子注入層1205を厚膜化することで達成してもよい。例えば図45(a)に示すように、正孔注入層1201を厚膜化して、発光素子R1と発光素子R2、発光素子G1と発光素子G2、発光素子B1とB2とで異なる膜厚としてもよい。また、図45(b)に示すように、正孔輸送層1202を厚膜化して、発光素子R1と発光素子R2、発光素子G1と発光素子G2、発光素子B1とB2とで異なる膜厚としてもよい。また、図45(c)に示すように、発光層1203を厚膜化して、発光素子R1と発光素子R2、発光素子G1と発光素子G2、発光素子B1とB2とで異なる膜厚としてもよい。また、図54(a)に示すように、電子輸送層1204を厚膜化して、発光素子R1と発光素子R2、発光素子G1と発光素子G2、発光素子B1とB2とで異なる膜厚としてもよい。また、図54(b)に示すように、電子注入層を厚膜化して、発光素子R1と発光素子R2、発光素子G1と発光素子G2、発光素子B1とB2とで異なる膜厚としてもよい。勿論、正孔注入層、正孔輸送層、発光層、電子輸送層、または電子注入層のいずれか複数を厚膜化して発光スペクトルを異ならせ、異なるCIE-X Y色度図上の色度座標を有する発光素子を得てもよい。

【0148】

なお、本実施の形態においては、厚膜化の達成のために金属酸化物を含む共蒸着層を用いた。金属酸化物を共蒸着層に用いることによって、膜厚化による駆動電圧の上昇を防止でき、好適である。

【0149】

なお、本発明における本実施の形態は、発光素子の発光領域と反射電極（光を反射する電極）との光学的距離L、目的とする波長を λ とすると $L = (2m - 1) \lambda / 4$ （但しmは1以上の自然数）を満たすようにするいわゆる微小共振器構造（マイクロキャビティ構造）とは異なる。なお、光学的距離は「実際の距離×波長における屈折率」で算出されるものである。本発明の本実施の形態において発光素子の光学的距離は、発光素子R1と発光素子R2、発光素子G1と発光素子G2、発光素子B1と発光素子B2の発光スペクトルが異なりさえすれば、どのように設計してもよい。例えば、発光素子の膜厚を、発光素子R1、発光素子R2、発光素子G1、発光素子G2、発光素子B1、発光素子B2の順に薄く設計してもよいし、発光素子R1と発光素子R2、発光素子G1と発光素子G2、発光素子B1と発光素子B2の順に薄く設定してもよい。

【0150】

なお、本実施の形態において、発光素子の厚膜化を行うことで、発光素子の第1の電極（陽極）と発光素子の第2の電極（陰極）との距離Dは、発光素子R1と発光素子R2、発光素子G1と発光素子G2、発光素子B1とB2とでそれぞれ異なる。本明細書において、発光素子の第1の電極（陽極）と発光素子の第2の電極（陰極）との距離Dは、それぞれの電極における発光層側の端面（本実施の形態においては、第1の電極側では正孔注入層との境界、第2の電極側では電子注入層との境界）間の距離とする。

【0151】

10

20

30

40

50

以上、本発明の表示装置は、上述の発光素子の材料を各画素において採用することができる。なお、上記列挙した発光素子の材料は一部に過ぎず、本発明と同様の色度座標を取りうる発光素子であれば、何でもよい。

【0152】

なお、本実施の形態は、本明細書中の実施例または実施の形態のいかなる記載とも自由に組み合わせて実施することが可能である。

【0153】

(実施の形態3)

本実施の形態においては上記実施の形態で述べた本発明の表示装置における発光素子の構成とは別の構成について述べる。

10

【0154】

本発明の画素部の構成について、本発明の絵素は、第1の画素、第2の画素、第3の画素、第4の画素、第5の画素、第6の画素を有することについて、図2において説明した。また、第1～6の画素にはそれぞれ、発光素子が設けられており、第1の画素には発光素子R1、第2の画素には発光素子R2、第3の画素には発光素子G1、第4の画素には発光素子G2、第5の画素には発光素子B1、第6の画素には発光素子B2がそれぞれ接続されている。

【0155】

そして本明細書における、本発明の第1の画素の発光素子R1及び第2の画素の発光素子R2は、CIE-XY色度図で表したときに、色度図のxが0.50以上の領域に座標を有するものである。また、本発明の第3の画素の発光素子G1及び第4の画素の発光素子G2は、は、CIE-XY色度図で表したときに、色度図のyが0.55以上の領域に座標を有するものである。また、本発明の第5の画素の発光素子B1及び第6の画素の発光素子B2は、CIE-XY色度図を表したときに、色度図のxが0.15以下、yが0.2以下の領域に座標を有するものである。

20

【0156】

本実施の形態においては、第1の画素、第2の画素に設けられた発光素子R1、R2、第3の画素、第4の画素に設けられた発光素子G1、G2、第5の画素、第6の画素に設けられた発光素子B1、B2において、発光スペクトルをR1とR2、G1とG2、B1とB2とで概略等しくし、それぞれの発光素子からの光の透過部にカラーフィルターを設ける構成とすることによって発光スペクトルを異ならせる。その結果、CIE-XY色度図で表したときに、色度図の座標を第1の画素、第2の画素に設けられた発光素子R1、R2、第3の画素、第4の画素に設けられた発光素子G1、G2、第5の画素、第6の画素に設けられた発光素子B1、B2で異ならせる。以下、その具体例について述べる。

30

【0157】

本実施の形態においては、表示装置の構成について絵素部の断面構造を用いて説明する。

【0158】

図14は本実施の形態における表示装置の絵素の断面図の一部である。図14(A)に示した本発明の表示装置は基板1400、下地絶縁膜1401、半導体層1402、ゲート絶縁膜1403、ゲート電極1404、層間絶縁膜1405、接続部1406、発光素子の第1の電極1407、隔壁1408、発光層1409、発光素子の第2の電極1410、カラーフィルター(R1)1411、カラーフィルター(R2)1412、カラーフィルター(G1)1413、カラーフィルター(G2)1414、カラーフィルター(B1)1415、カラーフィルター(B2)1416、対向基板1417の構成を含む。

40

【0159】

発光素子は、発光素子の第1の電極1407と第2の電極1410とに発光層1409が挟まれている部分に形成される。発光素子は第1の電極1407と電氣的に接触する接続部1406を介して半導体層1402、ゲート絶縁膜1403、ゲート電極1404よりなる薄膜トランジスタに接続され、発光の制御がなされる。また、本実施の形態におい

50

て、第 1 の電極 1 4 0 7 は反射率の高い材料により形成された反射電極とし、第 2 の電極 1 4 1 0 は透光性を有する導電材料により形成された透明電極とし、第 2 の電極 1 4 1 0 の方向から光を射出する構成となっている。

【 0 1 6 0 】

なお、図 1 4 (A) における薄膜トランジスタは、左から順に発光素子 R 1、発光素子 G 1、発光素子 B 1、発光素子 R 2、発光素子 G 2、発光素子 B 2 を駆動するものとする。なお各画素におけるカラーフィルターを設けない場合の発光素子の発光スペクトルは、R 1 と R 2、G 1 と G 2、B 1 と B 2 とで概略等しいものであるとする。なお、図 1 4 (A) で表す矢印は、左から順に発光素子 R 1、発光素子 G 1、発光素子 B 1、発光素子 R 2、発光素子 G 2、発光素子 B 2 からのカラーフィルターを介した発光を模式的に表したものである。

10

【 0 1 6 1 】

本実施の形態において、第 1 の画素、第 2 の画素に設けられた発光素子 R 1、R 2、第 3 の画素、第 4 の画素に設けられた発光素子 G 1、G 2、第 5 の画素、第 6 の画素に設けられた発光素子 B 1、B 2 のそれぞれについて、光が射出される側にはカラーフィルター (R 1) 1 4 1 1、カラーフィルター (R 2) 1 4 1 2、カラーフィルター (G 1) 1 4 1 3、カラーフィルター (G 2) 1 4 1 4、カラーフィルター (B 1) 1 4 1 5、カラーフィルター (B 2) 1 4 1 6 が設けられている。本実施の形態においては、カラーフィルター (R 1) 1 4 1 1 とカラーフィルター (R 2) 1 4 1 2、カラーフィルター (G 1) 1 4 1 3 とカラーフィルター (G 2) 1 4 1 4、カラーフィルター (B 1) 1 4 1 5 とカラーフィルター (B 2) 1 4 1 6 との光の透過特性を異ならせることによって、発光素子 R 1 と発光素子 R 2、発光素子 G 1 と発光素子 G 2、発光素子 B 1 と発光素子 B 2 とで射出される光の発光スペクトルを異ならせることによって、異なる C I E - X Y 色度図上の色度座標を有する発光素子を得ることができる。

20

【 0 1 6 2 】

なお、カラーフィルターは顔料分散法、印刷法、電着法、染色法のいずれの方法で作製されたものであってもよい。また、第 1 の画素、第 2 の画素に設けられた発光素子 R 1、R 2、第 3 の画素、第 4 の画素に設けられた発光素子 G 1、G 2、第 5 の画素、第 6 の画素に設けられた発光素子 B 1、B 2 のそれぞれには、同じ発光スペクトルを有する発光素子、例えば白色光を射出する発光スペクトルを具備する発光素子であってもよい。同一の発光素子を具備することによって、発光素子作成のプロセスを簡略化することができ、好適である。

30

【 0 1 6 3 】

また、図 1 4 (B) は本実施の形態における表示装置の絵素の断面図の一部である。なお、図 1 4 (B) に示した本発明の表示装置の各構成は図 1 4 (A) に準ずる。

【 0 1 6 4 】

図 1 4 (A) との違いは、発光素子 R 1、発光素子 G 1、発光素子 B 1 から射出される光について、カラーフィルターを介しない点である。このとき各画素におけるカラーフィルターを設けない場合の発光素子の発光スペクトルは、R 1 と R 2、G 1 と G 2、B 1 と B 2 とで概略等しいものであるとする。図 1 4 (B) においては、発光素子 R 2、発光素子 G 2、発光素子 B 2 から射出される光の発光スペクトルをカラーフィルター (R 2) 1 4 1 2、カラーフィルター (G 2) 1 4 1 4、カラーフィルター (B 2) 1 4 1 6 の透過特性によって異ならせる。その結果、発光素子 R 1 と発光素子 R 2、発光素子 G 1 と発光素子 G 2、発光素子 B 1 と発光素子 B 2 とで射出される光の発光スペクトルを異ならせることによって、異なる C I E - X Y 色度図上の色度座標を有する発光素子を得ることができる。

40

【 0 1 6 5 】

なお、同一色の発光素子を全面に配置し、透過特性のそれぞれ異なるカラーフィルタを介して、発光素子 R 1 と発光素子 R 2、発光素子 G 1 と発光素子 G 2、発光素子 B 1 と発光素子 B 2 とで射出される光の発光スペクトルを異ならせることによって、異なる C I E

50

- X Y 色度図上の色度座標を有する発光素子を得ることを達成してもよい。例えば、同一色の発光素子としては白色の発光素子を配し、図 1 4 (A) のように、第 1 の画素 ~ 第 6 の画素の上部にカラーフィルタを配すればよい。

【 0 1 6 6 】

また、図 1 5 (A) は図 1 4 (A) と異なる構成を有する本発明の表示装置を表す図である。なお、図 1 5 (A) に示した本発明の表示装置の各構成は図 1 4 (A) に準ずる。図 1 5 (A) では、発光素子の第 1 の電極 1 4 0 7 側に発光素子が光を射出する構成のボトムエミッション型の表示装置の例を示した。図 1 5 (B) では第 1 の電極 1 4 0 7 側から発光を取り出す為、第 1 の電極 1 4 0 7 は透光性を有する導電材料で形成し、第 2 の電極 1 4 1 0 を反射電極として反射率の高い導電材料を用いて作製する。

10

【 0 1 6 7 】

本実施の形態において、第 1 の画素、第 2 の画素に設けられた発光素子 R 1、R 2、第 3 の画素、第 4 の画素に設けられた発光素子 G 1、G 2、第 5 の画素、第 6 の画素に設けられた発光素子 B 1、B 2 のそれぞれについて、光が射出される側にはカラーフィルタ (R 1) 1 4 1 1、カラーフィルタ (R 2) 1 4 1 2、カラーフィルタ (G 1) 1 4 1 3、カラーフィルタ (G 2) 1 4 1 4、カラーフィルタ (B 1) 1 4 1 5、カラーフィルタ (B 2) 1 4 1 6 が設けられている。本実施の形態においては、カラーフィルタ (R 1) 1 4 1 1 とカラーフィルタ (R 2) 1 4 1 2、カラーフィルタ (G 1) 1 4 1 3 とカラーフィルタ (G 2) 1 4 1 4、カラーフィルタ (B 1) 1 4 1 5 とカラーフィルタ (B 2) 1 4 1 6 との光の透過特性を異ならせることによって、発光素子 R 1 と発光素子 R 2、発光素子 G 1 と発光素子 G 2、発光素子 B 1 と発光素子 B 2 とで射出される光の発光スペクトルを異ならせることによって、異なる C I E - X Y 色度図上の色度座標を有する発光素子を得ることができる。

20

【 0 1 6 8 】

なお、カラーフィルタは顔料分散法、印刷法、電着法、染色法のいずれの方法で作製されたものであってもよい。また、第 1 の画素、第 2 の画素に設けられた発光素子 R 1、R 2、第 3 の画素、第 4 の画素に設けられた発光素子 G 1、G 2、第 5 の画素、第 6 の画素に設けられた発光素子 B 1、B 2 のそれぞれには、同じ発光スペクトルを有する発光素子、例えば白色光を射出する発光スペクトルを具備する発光素子であってもよい。同一の発光素子を具備することによって、発光素子作成のプロセスを簡略化することができ、好適である。

30

【 0 1 6 9 】

また、図 1 5 (B) は本実施の形態における表示装置の絵素の断面図の一部である。なお、図 1 5 (B) に示した本発明の表示装置の各構成は図 1 5 (A) に準ずる。

【 0 1 7 0 】

図 1 5 (A) との違いは、発光素子 R 1、発光素子 G 1、発光素子 B 1 から射出される光について、カラーフィルタを介しない点である。このとき各画素におけるカラーフィルタを設けない場合の発光素子の発光スペクトルは、R 1 と R 2、G 1 と G 2、B 1 と B 2 で概略等しいものであるとする。図 1 5 (B) においては、発光素子 R 2、発光素子 G 2、発光素子 B 2 から射出される光の発光スペクトルをカラーフィルタ (R 2) 1 4 1 2、カラーフィルタ (G 2) 1 4 1 4、カラーフィルタ (B 2) 1 4 1 6 の透過特性によって異ならせる。その結果、発光素子 R 1 と発光素子 R 2、発光素子 G 1 と発光素子 G 2、発光素子 B 1 と発光素子 B 2 とで射出される光の発光スペクトルを異ならせることによって、異なる C I E - X Y 色度図上の色度座標を有する発光素子を得ることができる。

40

【 0 1 7 1 】

なお、同一色の発光素子を全面に配置し、当該発光素子に重畳的に透過特性のそれぞれ異なるカラーフィルタを設け、当該カラーフィルタを介して射出される発光素子 R 1 と発光素子 R 2、発光素子 G 1 と発光素子 G 2、発光素子 B 1 と発光素子 B 2 の発光スペクトルを異ならせることによって、異なる C I E - X Y 色度図上の色度座標を有する発光

50

素子を得ることを達成してもよい。例えば、同一色の発光素子としては白色の発光素子を配し、図15(A)のように、第1の画素～第6の画素の上部にカラーフィルターを配すればよい。

【0172】

また、図15(C)は本実施の形態における表示装置の絵素の断面図の一部である。なお、図15(C)に示した本発明の表示装置の各構成は図14(A)に準ずる。

【0173】

図15(A)、(B)との違いは、カラーフィルター(R1)1411、カラーフィルター(R2)1412、カラーフィルター(G1)1413、カラーフィルター(G2)1414、カラーフィルター(B1)1415、カラーフィルター(B2)1416について、位置を発光素子とトランジスタの間に配置された第1の電極1407の下に配置した点にある。プロセスが簡便になり容易である。その結果、発光素子R1と発光素子R2、発光素子G1と発光素子G2、発光素子B1と発光素子B2とで射出される光の発光スペクトルを異ならせることによって、異なるCIE-XY色度図上の色度座標を有する発光素子を得ることができる。

10

【0174】

また、波長が短い単色光の発光素子を配置し、色変換層を通して必要な色に変換する方法を用いて、発光素子R1と発光素子R2、発光素子G1と発光素子G2、発光素子B1と発光素子B2とで射出される光の発光スペクトルを異ならせることによって、異なるCIE-XY色度図上の色度座標を有する発光素子を得ることを達成してもよい。図40(A)に示した本発明の表示装置は基板4000、下地絶縁膜4001、半導体層4002、ゲート絶縁膜4003、ゲート電極4004、層間絶縁膜4005、接続部4006、発光素子の第1の電極4007、隔壁4008、発光層4009A及び発光層4009B、発光素子の第2の電極4010、色変換層(R1)4011、色変換層(G1)4012、色変換層(R2)4013、色変換層(G2)4014、対向基板4015の構成を含む。

20

【0175】

例えば、波長が短い単色光の発光層4009A、発光層4009Bとしては発光スペクトルの異なる青色の発光素子B1、B2を配し、図40(A)のように上面発光(トップエミッション)の場合は、第1の画素、第2の画素、第4の画素、第5の画素の上部に色変換層を配すればよい。また、ボトムエミッションを採用する場合には、波長が短い単色光の発光層4009A、4009Bとしては発光スペクトルの異なる青色の発光素子B1、B2を配し、図40(B)のように第1の画素、第2の画素、第4の画素、第5の画素の下部に色変換層を配置すればよい。

30

【0176】

なお、波長が短い単色光の発光素子として発光スペクトルの異なる青色の発光素子B1、B2を配置する場合には、図41の発光層4109A及び発光層4109Bのように青色の発光素子B1とB2の発光素子の膜厚を異ならせ、発光スペクトルを異ならせてもよい。例えば、図41(A)のように上面発光(トップエミッション)の場合は、波長が短い単色光の発光素子として発光スペクトルの異なる青色の発光層4109A、発光層4109Bを配し、第1の画素、第2の画素、第4の画素、第5の画素の上部に色変換層を配すればよい。また、ボトムエミッションを採用する場合には、図41(B)のように青色の発光素子の発光層4109A、発光層4109Bの如く配し、第1の画素、第2の画素、第4の画素、第5の画素の下部に色変換層を配置すればよい。なお、図41に示した本発明の表示装置の各構成は図40に準ずる。

40

【0177】

色変換層を通して必要な色に変換する色変換法に関しては、発光素子から発する発光色が1色であるため、発光層の塗り分けが必要ないことが大きなメリットであるといえる。また、カラーフィルタ法と比較して、色変換法は色変換層により光の吸収、励起、発光の経過を用いて所望の発光を得るため好適である。

50

【0178】

なお、本実施の形態は、本明細書中の実施例または実施の形態のいかなる記載とも自由に組み合わせて実施することが可能である。

【0179】

(実施の形態4)

本実施の形態においては、上記実施の形態で述べた一絵素内における画素の配置が図2に示したものと別の構成について述べる。

【0180】

なお、本発明の画素部の構成について、本発明の絵素は、第1の画素、第2の画素、第3の画素、第4の画素、第5の画素、第6の画素を有することについて、図2において説明した。また、第1～6の画素にはそれぞれ、発光素子が設けられており、第1の画素には発光素子R1、第2の画素には発光素子R2、第3の画素には発光素子G1、第4の画素には発光素子G2、第5の画素には発光素子B1、第6の画素には発光素子B2がそれぞれ接続されている。

10

【0181】

本実施の形態における表示装置の画素の配置は、図16に示すように、絵素1600の中に、第1の画素1601、第2の画素1602、第3の画素1603、第4の画素1604、第5の画素1605、第6の画素1606を有し、各画素がストライプ状に配置されている。

【0182】

なお、図16では、各々の第1の画素1601～第6の画素1606は列方向に並んで配置されているが、配置の仕方について特に限定はなく、例えば行方向に並べて配置されていても良いし、また、例えば発光素子R1を具備する第1の画素1601と発光素子G2を具備する第5の画素1605が隣接するように配置されていても構わない。また各画素の形状についても、図16に示すような長方形に限らず、例えば正方形やその他の多角形あるいは曲率を有する形状であっても構わない。

20

【0183】

なお、第1の画素1601～第6の画素1606間の幅は、同じ間隔に配置してもよいし、異なる間隔に配置してもよい。

【0184】

また、図53(A)では、絵素1600において、第1の画素1601、第2の画素1602、第3の画素1603を並べて配置し、第4の画素1604、第5の画素1605、第6の画素1606を次行に並べて配し、第1の画素1601、第2の画素1602、第3の画素1603と第4の画素1604、第5の画素1605、第6の画素1606を一画素分ずらして配置させてもよい。本実施の形態では、行方向に一画素分ずらして配置したが、特に一画素に限定されない。例えば図53(B)に示すように半画素分ずらして配置させてもよい。このように画素を行毎にずらして配置するような構成を取ることで、特に自然の動画の表示において、なめらかな表示を行うことが可能となる。

30

【0185】

なお、発光素子R1、発光素子R2、発光素子G1、発光素子G2、発光素子B1、発光素子B2において、それぞれの発光効率は、各々の発光色を呈する発光素子ごとに発光効率が異なる。このため、所望の輝度の発光を得るために必要な電流は、発光効率低い発光素子の方が相対的に多くなる。さらに、人間の眼では発光波長ごとに感度が異なり、一般に、赤や青の発光波長よりも緑の発光波長に対する感度が高い。従って、人間の眼に対し、緑と同等の感度となるように青や赤を発光させるためには、青や赤の輝度を緑の輝度よりも相対的に高くする必要がある。しかし、発光素子の輝度を高くするために発光素子に多くの電流を流すことは、発光素子の劣化を促進し、また表示装置の消費電力の増加を招く。また、発光素子の劣化に起因して発光波長がシフトすると、表示装置の色再現性が低下し画質が低下することもある。

40

【0186】

50

そのため、あらかじめ、発光素子 R 1、発光素子 R 2、発光素子 G 1、発光素子 G 2、発光素子 B 1、発光素子 B 2 とで発光素子の面積の大きさを異ならせる構成としてもよい。例えば、発光素子 R 1、発光素子 R 2、発光素子 B 1、発光素子 B 2 の面積を 2 倍にし、発光素子 G 1、発光素子 G 2 の面積をそのままにする構成としてもよい。このような構成を取ることで、発光素子間の劣化のばらつきを平均化することもできるため、好適である。

【0187】

また図 16 に示した構成とは別に、図 17 に示す表示装置の画素の配置は絵素 1700 の中に、第 1 の画素 1701、第 2 の画素 1702、第 3 の画素 1703、第 4 の画素 1704、第 5 の画素 1705、第 6 の画素 1706 を有し、第 1 の画素と第 2 の画素と第 3 10
の画素、第 4 の画素と第 5 の画素と第 6 の画素とがそれぞれデルタ配置して配置されている。

【0188】

図 17 では第 1 の画素 1701 と第 4 の画素 1704、第 2 の画素 1702 と第 5 の画素 1705、第 3 の画素 1703 と第 6 の画素 1706 とで面積を異ならせる構成としたが、これに限定されない。第 1 の画素 1701 と第 4 の画素 1704、第 2 の画素 1702 と第 5 の画素 1705、第 3 の画素 1703 と第 6 の画素 1706 を同じ面積にしてもよいし、第 1 の画素 1701 ~ 第 6 の画素 1706 で全て異なる面積を有する構成としてもよい。また、絵素の取り方においても特に限定されず、絵素 1710 で画像を形成する構成 20
であってもよい。

【0189】

また、例えば発光素子 R 1 を具備する第 1 の画素 1701 と発光素子 B 1 を具備する第 3 の画素 1703 が隣接するように配置されていても構わない。また各画素の形状についても、図 17 に示すような長方形に限らず、例えば正方形やその他の多角形あるいは曲率を有する形状であっても構わない。なお、第 1 の画素 1701 ~ 第 6 の画素 1706 間の幅は、同じ間隔に配置してもよいし、異なる間隔に配置してもよい。

【0190】

また、本発明の表示装置において、第 1 の画素 ~ 第 6 の画素に限らず、図 18 に示すように第 1 の画素 1801、第 2 の画素 1802、第 3 の画素 1803、第 4 の画素 1804、第 5 の画素 1805、第 6 の画素 1806、第 7 の画素 1807、第 8 の画素 1808、第 9 の画素 1809 とする構成としてもよい。なお、第 7 の画素 1807 は発光素子 R 3 を具備し、第 8 の画素 1808 は発光素子 G 3 を具備し、第 9 の画素 1809 は発光素子 B 3 を具備する構成とする。 30

【0191】

図 18 では第 1 の画素 1801 と第 4 の画素 1804 と第 7 の画素 1807、第 2 の画素 1802 と第 5 の画素 1805 と第 8 の画素 1808、第 3 の画素 1803 と第 6 の画素 1806 と第 9 の画素 1809 とで面積を異ならせる構成としたが、これに限定されない。第 1 の画素 1801 と第 4 の画素 1804 と第 7 の画素 1807、第 2 の画素 1802 と第 5 の画素 1805 と第 8 の画素 1808、第 3 の画素 1803 と第 6 の画素 1806 と第 9 の画素 1809 を同じ面積にしてもよいし、第 1 の画素 1801 ~ 第 9 の画素 1809 で全て異なる面積を有する構成としてもよい。 40

【0192】

また、本発明の表示装置において、第 1 の画素 ~ 第 6 の画素に限らず、図 19 (A) に示すように第 1 の画素 1901、第 2 の画素 1902、第 3 の画素 1903 を並べて配置し、第 4 の画素 1904、第 5 の画素 1905、第 6 の画素 1906、第 7 の画素 1907 とする構成としてもよい。なお、第 7 の画素は白色の発光素子 W を具備する構成とする。

【0193】

なお、第 7 の画素の発光素子 W は、CIE - XY 色度図を表したときに、色度図の x が 0.30 以上、且つ 0.40 以下、y が 0.30 以上、且つ 0.40 以下の領域に座標を 50

有するものとする。また、より好ましくは、第7の画素の発光素子Wは、CIE - XY色度図で表したときに、色度図のxが0.30以上、且つ0.35以下、yが0.30以上、且つ0.35以下の領域に座標を有するものとする。

【0194】

図19(A)では第1の画素1901と第4の画素1904、第2の画素1902と第5の画素1905、第3の画素1903と第6の画素1906とで面積を同じにする構成としたが、これに限定されない。第1の画素1901と第4の画素1904、第2の画素1902と第5の画素1905、第3の画素1903と第6の画素1906を異なる面積にしてもよいし、第1の画素1901～第6の画素1906で全て異なる面積を有する構成としてもよい。

10

【0195】

また図19(A)とは別の構成について図19(B)に示す。図19(A)との違いは、第1の画素1901、第2の画素1902、第3の画素1903、第4の画素1904、第5の画素1905、第6の画素1906、第7の画素1907の配置の違いである。勿論、各画素の配置についても特にこれに限定されない。また各画素の形状についても、図19に示すような長方形に限らず、例えば正方形やその他の多角形あるいは曲率を有する形状であっても構わない。

【0196】

なお、第7の画素に白色光を発光する発光素子Wを具備することによって、発光素子R1、発光素子R2、発光素子G1、発光素子G2、発光素子B1、発光素子B2の混色で白色を表示するのに対し、発光素子Wだけの発光で表示ができるため、消費電力を低減できるため好適である。また、中間色を表示する際に、白色を交えて加法混色することにより、より消費電力の低減が見込めるため好適である。

20

【0197】

なお、本発明の表示装置においては、絵素において、第7の画素に白色光を発光する発光素子W1を具備し、第8の画素に白色光を発光する発光素子W2を具備する構成としてもよい。上述の発光素子R1と発光素子R2、発光素子G1と発光素子G2、発光素子B1と発光素子B2と同様に、発光素子W1と発光素子W2とで発光スペクトルを異ならせる。その結果、より鮮やかな色彩を表示し、且つ消費電力が低減した表示装置を提供することが可能となる。

30

【0198】

なお、第7の画素の発光素子W1及び第8の画素の発光素子W2は、CIE - XY色度図を表したときに、色度図のxが0.30以上、且つ0.40以下、yが0.30以上、且つ0.40以下の領域に座標を有するものとする。また、より好ましくは、第7の画素の発光素子W1及び第8の画素の発光素子W2は、CIE - XY色度図で表したときに、色度図のxが0.30以上、且つ0.35以下、yが0.30以上、且つ0.35以下の領域に座標を有するものとする。

【0199】

なお、本実施の形態は、本明細書中の実施例または実施の形態のいかなる記載とも自由に組み合わせて実施することが可能である。

40

【0200】

(実施の形態5)

本実施の形態においては、上記実施の形態で述べた画素の構成、動作方法が図4、図5に示したものと別構成について述べる。

【0201】

図4、図5に示す画素構成、動作方法によると、アドレス(書き込み)期間とサステイン(発光)期間とが完全に分離されているため、サステイン(発光)期間の長さを自由に設定出来るといったメリットがあるが、アドレス(書き込み)期間において、ある行で書き込みが行われている間、他の行では書き込みも発光も行われていない。つまり、全体としてデューティ比が低くなってしまう。

50

【0202】

そこで、アドレス（書き込み）期間とサステイン（発光）期間とを分離しない動作について説明する。

【0203】

上記動作を達成するための画素構成を図20に示す。図20に示す画素構成は、映像信号の入力を制御するスイッチング用の第1のトランジスタ2001（スイッチングトランジスタともいう）、映像信号によって発光素子の発光・非発光を決定する駆動用の第2のトランジスタ2002（駆動トランジスタともいう）、第2のトランジスタのゲートとソースの間の電圧を消去するための第3のトランジスタ2003（消去トランジスタともいう）、発光素子2004、保持容量2005、信号線2006、第1の走査線2007、第2の走査線2008、電源線2009、及び対向電極2010を有している。保持容量2005は第1のトランジスタ2001及び第2のトランジスタ2002のゲートとソースの間の電圧（ゲート電圧）をより確実に保持するために設けられているが、必ずしも設ける必要はない。なお、本明細書において電圧とは、特に記載のない限りグラウンドとの電位差を意味する。また、発光素子2004は、図2におけるR1、R2、G1、G2、B1、B2の発光素子に対応する。

10

【0204】

第1の走査線2007を用いて、第1のトランジスタ2001を制御する。第1のトランジスタ2001がオンすると、信号線2006から、保持容量2005にビデオ信号が入力される。すると、ビデオ信号に応じて、第2のトランジスタ2002がオンオフし、電源線2009から発光素子2004を通して、対向電極2010へ電流が流れる。

20

【0205】

信号を消去したい場合は、第2の走査線2008を選択して、第3のトランジスタ2003をオン状態にして、第2のトランジスタ2002がオフ状態になるようにする。すると、電源線2009から発光素子2004を通して、対向電極2010へ電流が流れなくなる。その結果、非点灯期間を作ることができ、点灯期間の長さを自由に制御できるようになる。

【0206】

次に、画素の信号を消去する動作を行う場合のタイミングチャートを図21に示す。本実施の形態においては、例として、図5と同様にデジタル時間階調方式で3ビットデジタル映像信号を用いた場合を挙げて説明する。デジタル時間階調方式の場合、1フレーム期間2101を、さらに複数のサブフレーム期間に分割する。ここでは3ビットであるので、3つのサブフレーム期間に分割し、各期間で、各発光色における書き込み、表示を行う。

30

【0207】

図21において、各サブフレーム期間は、アドレス（書き込み）期間 $T_{a\#}$ （ $\#$ は自然数）と、サステイン（発光）期間 $T_{s\#}$ を有する。図21中、1フレーム期間2101を分割した各サブフレーム期間において、アドレス（書き込み）期間とサステイン（発光）期間とが分離していない様子が見られる。つまり、 i 行目での書き込みが完了すると、 i 行目では直ちに発光が始まる。その後、 $i+1$ 行目での書き込みが行われている時には、すでに i 行目はサステイン（発光）期間に入っていることになる。このようなタイミングとすることにより、デューティ比を高くすることが出来る。

40

【0208】

ただし、図21のようなタイミングの場合、アドレス（書き込み）期間よりもサステイン（発光）期間が短くなると、あるサブフレーム期間におけるアドレス（書き込み）期間と、次のサブフレーム期間におけるアドレス（書き込み）期間とが重複する期間が生じてしまう。そこで、図20に示したように、第3のトランジスタを用いて、サステイン（発光）期間が終了する時点から、次のアドレス（書き込み）期間が開始されるまでの間、強制的に消去期間 T_{r3} を設けている。この消去期間により、異なるサブフレーム期間におけるアドレス（書き込み）期間同士が重複するのを回避出来る。具体的には、第3のトラ

50

ンジスタを制御するための、第2の走査線駆動回路を用い、消去用の選択パルスを出力して、1行目から順に、所望のタイミングで第3のトランジスタをONさせる。なお、この第2の走査線駆動回路は、通常書き込みを行う第1の走査線駆動回路と同じ構成で良い。よって、消去用信号の書き込みを行う期間（以後、リセット期間と表記する） T_{e3} は、アドレス（書き込み）期間と長さが等しい。

【0209】

なお、ここでは階調表示ビット数とサブフレーム数が等しい場合を例としたが、さらに多くの期間に分割されていても良い。また、サステイン（発光）期間の長さの比も、必ずしも2のべき乗としなくても、階調表現は可能である。このように図20に示した画素構成を採用することにより、各行において、点灯期間の長さを容易に制御できるようになる 10

【0210】

図20のような画素構成を取ることによって、信号の書き込み動作が遅くても、1フレーム内に複数のサブフレームを配置することが可能となる。また、消去動作を行う場合は、消去用のデータをビデオ信号と同様に取得する必要がないため、ソースドライバの駆動周波数も低減出来る。

【0211】

また、図4、図20の画素構成において、フィールドシーケンシャル方式を用いてもよい。図22(A)には、図4の画素構成において、2201で示される1フレーム期間を、2202～2207で示される6つの期間に分割し、各期間で、各発光色における書き込み、表示を行う。また、図22(B)には図20の画素構成において、2201で示される1フレーム期間を、2202～2207で示される6つの期間に分割し、各期間で、各発光色における書き込み、表示を行う。 20

【0212】

なお、図22(A)(B)においては、例として3ビットデジタル映像信号を用いた場合を挙げて説明する。デジタル時間階調方式の場合、フレーム期間2201を、さらに複数のサブフレーム期間に分割する。ここでは3ビットであるので、3つのサブフレーム期間に分割している。

【0213】

なお、図22(A)(B)においては、 R_1 、 R_2 、 G_1 、 G_2 、 B_1 、 B_2 の発光素子に対応する第1の期間2202、第2の期間2203、第3の期間2204、第4の期間2205、第5の期間2206、第6の期間2207で示される6つの期間のうち1つの期間、例えば第1の期間2202の期間について説明する。 30

【0214】

なお、第1の期間2202においては、各サブフレーム期間で、アドレス（書き込み）期間 $T_{a1\#}$ （ $\#$ は自然数）と、サステイン（発光）期間 $T_{s1\#}$ を有する。また、第2の期間については、アドレス（書き込み）期間 $T_{a2\#}$ （ $\#$ は自然数）と、サステイン（発光）期間 $T_{s2\#}$ 、とし、以下第3の期間～第6の期間も同様の表記をする。

【0215】

図22(A)においては、サステイン（発光）期間の長さを、 $T_{s1_1} : T_{s1_2} : T_{s1_3} = 4 : 2 : 1$ とし、各サステイン（発光）期間で、発光もしくは非発光を制御することにより、 $2^3 = 8$ 階調を表現する。つまり、サステイン（発光）期間の長さを、 $T_{s1_1} : T_{s1_2} : T_{s1_3} = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$ というように、2のべき乗の比とする。例えば、 T_{s1_3} のみが発光し、 T_{s1_1} 、 T_{s1_2} においては非発光である場合、すべてのサステイン（発光）期間のうち、約14%の期間だけ発光していることになる。すなわち、約14%の輝度が表現出来る。 T_{s1_1} と T_{s1_2} が発光し、 T_{s1_3} が非発光である場合には、すべてのサステイン（発光）期間のうち、約86%の期間だけ発光していることになる。すなわち、約86%の輝度が表現出来る。 40

【0216】

この動作を図21に示すように、第1～第6の発光色、つまり図2における発光素子R 50

1、発光素子 R 2、発光素子 G 1、発光素子 G 2、発光素子 B 1、発光素子 B 2 において繰り返すことによって、視認者は残像効果によって多色表現を視認することができる。

【0217】

図 20 では、第 3 のトランジスタ 2003 を用いていたが、別の方法を用いることも出来る。なぜなら、強制的に非点灯期間をつくれればよいので、発光素子 2004 に電流が供給されないようにすればよいからである。よって、電源線 2009 から発光素子 2004 を通って、対向電極 2010 へ電流が流れる経路のいずれかに、スイッチを配置して、そのスイッチのオンオフを制御して、非点灯期間を作ればよい。あるいは、第 2 のトランジスタ 2002 のゲート・ソース間電圧を制御して、第 2 のトランジスタが強制的にオフになるようにすればよい。

10

【0218】

第 2 のトランジスタを強制的にオフにする場合の画素構成の例を図 23 に示す。図 20 と異なる点は、消去ダイオード 2301 が第 2 のトランジスタ 2002 のゲートと第 2 の走査線 2008 との間に接続されている。

【0219】

信号を消去したい場合は、第 2 の走査線 2008 を選択（ここでは、高い電位にする）して、消去ダイオード 2301 がオンして、第 2 の走査線 2008 から第 2 のトランジスタ 2002 のゲートへ電流が流れるようにする。その結果、第 2 のトランジスタ 2002 がオフ状態になる。すると、電源線 2009 から、発光素子 2004 を通って、対向電極 2010 には、電流が流れなくなる。その結果、非点灯期間を作ることができ、点灯期間の長さを自由に制御できるようになる。

20

【0220】

信号を保持しておきたい場合は、第 2 の走査線 2008 を非選択（ここでは、低い電位にする）しておく。すると、消去ダイオード 2301 がオフするので、第 2 のトランジスタ 2002 のゲート電位は保持される。

【0221】

なお、消去ダイオード 2301 は、整流性がある素子であれば、なんでもよい。PN 型ダイオードでもよいし、PIN 型ダイオードでもよいし、ショットキー型ダイオードでもよいし、ツェナー型ダイオードでもよい。

【0222】

また、トランジスタを用いて、ダイオード接続（ゲートとドレインを接続）して、用いても良い。その場合の回路図を図 24 に示す。消去ダイオード 2301 として、ダイオード接続したトランジスタ 2401 を用いている。ここでは、N チャネル型を用いているが、これに限定されない。P チャネル型を用いても良い。

30

【0223】

なお、本実施の形態において示したタイミングチャートや画素構成や駆動方法は、一例であり、これに限定されない。様々なタイミングチャートや画素構成や駆動方法に適用することが可能である。

【0224】

次に、デジタル階調法の場合における、駆動トランジスタの動作領域について述べる。なお図 25 はトランジスタの動作について、横軸にトランジスタのゲートとソース間にかかる電圧をとり、縦軸にトランジスタのソースとドレインを流れる電流をとった際の特性図である。

40

【0225】

例えば、飽和領域で動作させる場合は、発光素子の電圧電流特性が劣化しても、そこを流れる電流値が変化しない、という利点がある。そのため、表示装置は焼き付きの影響を受けにくい。ただし、駆動トランジスタの電流特性がばらつくと、そこを流れる電流もばらついてしまう。そのため、表示ムラを生じてしまう場合がある。

【0226】

それに対して、線形領域で動作させると、駆動トランジスタの電流特性がばらついて、

50

そこを流れる電流値は影響を受けにくい。そのため、表示ムラが生じにくい。また、駆動トランジスタのゲート・ソース間電圧（の絶対値）が大きくなりすぎないことにより、消費電力も小さくできる。

【0227】

さらに、駆動トランジスタのゲート・ソース間電圧（の絶対値）を大きくすると、駆動トランジスタの電流特性がばらついて、そこを流れる電流値は影響をほとんど受けなくなる。ただし、発光素子の電圧電流特性が劣化すると、そこを流れる電流値が変化してしまう場合がある。そのため、表示装置は焼き付きの影響を受けやすくなる。

【0228】

このように、駆動トランジスタを飽和領域で動作させると、発光素子の特性が変化しても、電流値が変化しない。よって、その場合、駆動トランジスタは、電流源として動作していると見なせる。したがって、このような駆動を定電流駆動と呼ぶことにする。 10

【0229】

また、駆動トランジスタを線形領域で動作させると、駆動トランジスタの電流特性がばらついて、電流値が変化しない。よって、その場合、駆動トランジスタは、スイッチとして動作していると見なせる。よって、発光素子には、電源線の電圧がそのまま加わっているように見なせる。したがって、このような駆動を定電圧駆動と呼ぶことにする。

【0230】

本発明は定電流駆動、定電圧駆動のいずれも採用することが可能である。したがって、定電流駆動、定電圧駆動のどちらを採用するかは、発光素子、トランジスタのばらつきを考慮して適宜変更すればよい。 20

【0231】

なお、本実施の形態は、本明細書中の実施例または実施の形態のいかなる記載とも自由に組み合わせて実施することが可能である。

【0232】

（実施の形態6）

本実施の形態において、本発明における各画素と各配線のレイアウトの他の構成について説明する。

【0233】

図4に示した回路図について、そのレイアウト図を図26に示す。なお、回路図やレイアウト図は、図4や図26に限定されない。 30

【0234】

スイッチングトランジスタ2601A、2601B、駆動トランジスタ2602A、2602B、発光素子R1、R2の電極が配置されている。スイッチングトランジスタ2601A、2601Bのソースとドレインは各々、信号線2604と、駆動トランジスタ2602Aか2602Bのゲートとに接続されている。スイッチングトランジスタ2601Aのゲートは、走査線2605Aに接続され、スイッチングトランジスタ2601Bのゲートは、走査線2605Bに接続されている。駆動トランジスタ2602A、2602Bのソースとドレインは各々、電源線2606と、発光素子R1、R2の電極とに接続されている。保持容量は（図示せず）、駆動トランジスタ2602Aか2602Bのゲートと、電源線2606との間に接続されているが、必ずしも設ける必要はない。 40

【0235】

なお、信号線2604は、駆動トランジスタ2602A、2602Bに対応して複数設ける構成であってもよい。

【0236】

信号線2604、電源線2606は、第2配線によって形成され、走査線2605A、2605Bは、第1配線によって形成されている。

【0237】

図27に図26に対応する画素構成の上面図について示す。図27の各構成に付される符号は、図26に準ずる。

【0238】

図27において、トップゲート構造の場合は、基板、半導体層、ゲート絶縁膜、第1配線、層間絶縁膜、第2配線、の順で膜が構成される。ボトムゲート構造の場合は、基板、第1配線、ゲート絶縁膜、半導体層、層間絶縁膜、第2配線、の順で膜が構成される。また、図27においては、保持容量2701A、2701Bが電源線と第1配線の間に設けられている。

【0239】

なお、スイッチングトランジスタ2601A、2601Bのチャネル形成領域が、各々2つ形成されるダブルゲート構造について説明したが、チャネル形成領域が一つ形成されるシングルゲート構造または三つ形成されるトリプルゲート構造であってもよい。あるいは、チャネル形成領域の上下にゲート絶縁膜を介して配置された2つのゲート電極を有するデュアルゲート型やその他の構造としてもよい。

【0240】

図27において、同じ絵素にある発光素子R1と発光素子R2の距離をD1とすると、発光素子R1と他の行の絵素にある発光素子R2との距離をD2とする。本実施の形態における図27の形態によると、 $D1 < D2$ とする構成となり、同じ絵素内にある発光素子R1と発光素子R2の距離を近くすることができる。本発明においては、図27のように列方向（図26における縦方向）に並べて配し、発光素子R1と発光素子R2との間に走査線を配しない構成とすることで発光素子R1と発光素子R2の色の混色がより視認しやすくなるため好適である。勿論発光素子G1と発光素子G2、発光素子B1と発光素子B2も同様の構成とすることで、色の混色が視認しやすくなりより好適である。また、発光素子R1と発光素子R2を行方向（図26における横方向）に並べて配する場合には、電源線を発光素子R1と発光素子R2の間に配しないことによって、発光素子R1と発光素子R2がより隣接した位置に配することとなり、好適である。

【0241】

図26の画素において、走査線2605Bを他の行の画素の走査線2605Aで代用することができる。つまり、その場合には、図26に示す表示装置の走査線2605Bを省略することができる。一例として、図26の画素の走査線2605Bを省略し、隣の行の画素の走査線2605Aで代用した場合の構成を図28に示す。

【0242】

図26、図28に示した表示装置の構成は一例であって本発明はこれに限定されない。例えば、電源線は信号線と平行に配置されていなくてもよく、走査線に平行に配置されていてもいいし、電源線のそれぞれが格子状に配置されていてもいい。つまり、図29に示すように、図26の画素における電源線を走査線と平行に配置してもよい。

【0243】

上述のように、本発明の表示装置の画素周辺における配線の構成は多岐にわたり、本明細書に列挙した構成に特に限定されないものであることを付記する。

【0244】

なお、本実施の形態は、本明細書中の他の実施の形態、実施例のいかなる記載とも自由に組み合わせて実施することが可能である。

【0245】

（実施の形態7）

本実施の形態では、上記実施例で示した画素構成を有する表示パネルの構成について図30(a)、(b)を用いて説明する。

【0246】

なお、図30(a)は、表示パネルを示す上面図、図30(b)は図30(a)をA-A'で切断した断面図である。表示パネルは、点線で示された信号線駆動回路3001、画素部3002、第1の走査線駆動回路3003、第2の走査線駆動回路3006を有する。また、封止基板3004、シール材3005を有し、シール材3005で囲まれた内側は、空間3007になっている。

10

20

30

40

50

【0247】

なお、配線3008は第1の走査線駆動回路3003、第2の走査線駆動回路3006及び信号線駆動回路3001に入力される信号を伝送するための配線であり、外部入力端子となるFPC3009（フレキシブルプリントサーキット）からビデオ信号、クロック信号、スタート信号等を受け取る。FPC3009と表示パネルとの接続部上にはICチップ3019（メモリ回路や、バッファ回路などが形成された半導体チップ）がCOG（Chip On Glass）等で実装されている。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤（PWB）が取り付けられていても良い。本明細書における表示装置とは、表示パネル本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。また、ICチップなどが実装されたものを 10 含むものとする。

【0248】

次に、断面構造について図30（b）を用いて説明する。基板3010上には画素部3002とその周辺駆動回路（第1の走査線駆動回路3003、第2の走査線駆動回路3006及び信号線駆動回路3001）が形成されているが、ここでは、信号線駆動回路3001と、画素部3002が示されている。

【0249】

なお、信号線駆動回路3001はNチャネル型TFT3020やNチャネル型TFT3021のように単極性のトランジスタで構成されている。なお、画素構成として単極性のトランジスタで画素を構成する場合には、周辺駆動回路をNチャネル型トランジスタで構成することにより単極性表示パネルを作製することができる。もちろん、単極性のトランジスタだけでなくPチャネル型トランジスタも用いてCMOS回路を形成しても良い。また、本実施の形態では、同一基板上に画素部と周辺駆動回路を形成した表示パネルを示すが、必ずしもその必要はなく、周辺駆動回路の全部若しくは一部をICチップなどに形成し、COGなどで実装しても良い。その場合には駆動回路は単極性にする必要がなくPチャネル型トランジスタを組み合わせる用いることができる。 20

【0250】

また、画素部3002はTFT3011と、TFT3012とを有している。なお、TFT3012のソース電極は第1の電極3013（画素電極）と接続されている。また、第1の電極3013の端部を覆って絶縁物3014が形成されている。ここでは、ポジ型の感光性アクリル樹脂膜を用いることにより形成する。 30

【0251】

また、カバレッジを良好なものとするため、絶縁物3014の上端部または下端部に曲率を有する曲面が形成されるようにする。例えば、絶縁物3014の材料としてポジ型の感光性アクリルを用いた場合、絶縁物3014の上端部のみに曲率半径（ $0.2\mu\text{m} \sim 3\mu\text{m}$ ）を有する曲面を持たせることが好ましい。また、絶縁物3014として、光によってエッチャントに不溶解性となるネガ型フォトレジスト、或いは光によってエッチャントに溶解性となるポジ型フォトレジストのいずれも使用することができる。

【0252】

第1の電極3013上には、発光層3016、および第2の電極3017（対向電極）がそれぞれ形成されている。ここで、陽極として機能する第1の電極3013に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO（インジウムスズ酸化物）膜、インジウム亜鉛酸化物（IZO）膜、窒化チタン膜、クロム膜、タンゲステン膜、Zn膜、Pt膜などの単層膜の他、窒化チタン膜とアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。 40

【0253】

また、発光層3016は、蒸着マスクを用いた蒸着法、またはインクジェット法によって形成される。発光層3016には、元素周期表第4族金属錯体をその一部に用いること 50

とし、その他、組み合わせる用いることのできる材料としては、低分子系材料であっても高分子系材料であっても良い。また、発光層に用いる材料としては、通常、有機化合物を単層もしくは積層で用いる場合が多いが、本実施の形態においては、有機化合物からなる膜の一部に無機化合物を用いる構成も含めることとする。さらに、公知の三重項材料を用いることも可能である。

【0254】

さらに、発光層3016上に形成される第2の電極3017に用いる材料としては、仕事関数の小さい材料(A1、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、または窒化カルシウム)を用いればよい。なお、発光層3016で生じた光が第2の電極3017を透過させる場合には、第2の電極3017(陰極)として、膜厚を薄くした金属薄膜と、透明導電膜(ITO(酸化インジウム酸化スズ合金)、酸化インジウム酸化亜鉛合金(In₂O₃ ZnO)、酸化亜鉛(ZnO)等)との積層を用いるのが良い。

10

【0255】

さらにシール材3005で封止基板3004を基板3010と貼り合わせることにより、基板3010、封止基板3004、およびシール材3005で囲まれた空間3007に発光素子3018が備えられた構造になっている。なお、空間3007には、不活性気体(窒素やアルゴン等)が充填される場合の他、シール材3005で充填される構成も含むものとする。

【0256】

なお、シール材3005にはエポキシ系樹脂を用いるのが好ましい。また、これらの材料はできるだけ水分や酸素を透過しない材料であることが望ましい。また、封止基板3004に用いる材料としてガラス基板や石英基板の他、FRP(Fiberglass-Reinforced Plastics)、PVF(ポリビニルフロライド)、マイラー、ポリエステルまたはアクリル等からなるプラスチック基板を用いることができる。

20

【0257】

以上のようにして、本発明の画素構成を有する表示パネルを得ることができる。なお、上述した構成は一例であって本発明の表示パネルの構成はこれに限定されない。

【0258】

図30に示すように、信号線駆動回路3001、画素部3002、第1の走査線駆動回路3003及び第2の走査線駆動回路3006を同一基板上に形成することで、表示装置の低コスト化が図れる。また、この場合において、信号線駆動回路3001、画素部3002、第1の走査線駆動回路3003及び第2の走査線駆動回路3006に用いられるトランジスタを単極性とすることで作製工程の簡略化が図れるためさらなる低コスト化が図れる。

30

【0259】

なお、表示パネルの構成としては、図30(a)に示したように信号線駆動回路3001、画素部3002、第1の走査線駆動回路3003及び第2の走査線駆動回路3006を同一基板上に形成した構成に限られず、信号線駆動回路3001に相当する図31に示す信号線駆動回路3101をICチップ上に形成して、COG等で表示パネルに実装した構成としても良い。なお、図31(a)の基板3100、画素部3102、第1の走査線駆動回路3103、第2の走査線駆動回路3104、FPC3105、ICチップ3106、ICチップ3107、封止基板3108、シール材3109は図30(a)の基板3010、画素部3002、第1の走査線駆動回路3003、第2の走査線駆動回路3006、FPC3009、ICチップ3019、封止基板3004、シール材3005に相当する。

40

【0260】

つまり、高速動作が要求される信号線駆動回路のみを、CMOS等を用いてICチップに形成し、低消費電力化を図る。また、ICチップはシリコンウエハ等の半導体チップとすることで、より高速動作且つ低消費電力化を図れる。

50

【0261】

そして、第1の走査線駆動回路3103や第2の走査線駆動回路3104を画素部3102と同一の基板にすることで、低コスト化が図れる。そして、この第2の走査線駆動回路3103、第2の走査線駆動回路3104及び画素部3102は単極性のトランジスタで構成することでさらなる低コスト化が図れる。画素部3102の有する画素の構成としては実施の形態1、2、3及び4で示した画素を適用することができる。

【0262】

こうして、高精細な表示装置の低コスト化が図れる。また、FPC3105と基板3100との接続部において機能回路(メモリやバッファ)が形成されたICチップを実装することで基板面積を有効利用することができる。

10

【0263】

また、図30(a)の信号線駆動回路3001、第1の走査線駆動回路3003及び第2の走査線駆動回路3006に相当する図31(b)の信号線駆動回路3111、第1の走査線駆動回路3114及び第2の走査線駆動回路3113をICチップ上に形成して、COG等で表示パネルに実装した構成としても良い。この場合には高精細な表示装置をより低消費電力にすることが可能である。よって、より消費電力が少ない表示装置とするためには、画素部に用いられるトランジスタの半導体層にはポリシリコンを用いることが望ましい。なお、図31(b)の基板3110、画素部3112、FPC3115、ICチップ3116、ICチップ3117、封止基板3118、シール材3119は図30(a)の基板3010、画素部3002、FPC3009、ICチップ3019、封止基板3004、シール材3005に相当する。

20

【0264】

また、画素部3112のトランジスタの半導体層にアモルファスシリコンを用いることにより低コスト化を図ることができる。さらに、大型の表示パネルを作製することも可能となる。

【0265】

また、画素の行方向及び列方向に第2の走査線駆動回路、第1の走査線駆動回路及び信号線駆動回路を設けなくても良い。例えば、図32(a)に示すようにICチップ上に形成された周辺駆動回路3201が図31(b)に示す、第1の走査線駆動回路3114、第2の走査線駆動回路3113及び信号線駆動回路3111の機能を有するようにしても良い。なお、図32(a)の基板3200、画素部3202、FPC3204、ICチップ3205、ICチップ3206、封止基板3207、シール材3208は図30(a)の基板3010、画素部3002、FPC3009、ICチップ3019、封止基板3004、シール材3005に相当する。

30

【0266】

なお、図32(a)の表示装置の配線の接続を説明する模式図を図32(b)に示す。表示装置は、基板3210、周辺駆動回路3211、画素部3212、FPC3213、FPC3214を有する。FPC3213より周辺駆動回路3211に外部からの信号及び電源電位が入力される。そして、周辺駆動回路3211からの出力は、画素部3212の有する画素に接続された行方向及び列方向の配線に入力される。

40

【0267】

上述のように、本発明の表示装置における表示パネルの構成は多岐にわたり、本明細書に列挙した構成に特に限定されないものであることを付記する。

【0268】

なお、本実施の形態は、本明細書中の他の実施の形態、実施例のいかなる記載とも自由に組み合わせて実施することが可能である。

【0269】

(実施の形態8)

本実施の形態において、本発明における各画素とトランジスタの断面構造について、他の構成を説明する。

50

【 0 2 7 0 】

図 4 4 に本実施の形態における回路図の一例を示す。なお、回路図は、図 4 4 に限定されない。図 4 4 に列挙した回路図は、N 型のトランジスタを用いて構成された回路図である。N 型のトランジスタで画素を構成する回路を構成することで、プロセスが簡易で、大面積の基板に対応することができる表示装置を提供することができる。以下、その具体例について述べる。

【 0 2 7 1 】

図 4 4 (A) に、回路の構成を示す。画素には、第 1 のトランジスタ 4 4 0 1、第 2 のトランジスタ 4 4 0 2、発光素子 4 4 0 6 が配置されており、ビデオ信号が入力される信号線 4 4 0 3 と第 2 のトランジスタ 4 4 0 2 のゲートとは、第 1 のトランジスタ 4 4 0 1 を介して接続されている。第 1 のトランジスタ 4 4 0 1 のゲートには、走査線 4 4 0 7 が接続されている。第 1 電源供給線 4 4 0 4 と第 2 電源供給線 4 4 0 5 との間は、第 2 のトランジスタ 4 4 0 2 と発光素子 4 4 0 6 とが接続されている。そして、第 1 電源供給線 4 4 0 4 から第 2 電源供給線 4 4 0 5 の方に電流が流れる。発光素子 4 4 0 6 は、そこを流れる電流の大きさに応じて発光する。

【 0 2 7 2 】

なお、第 2 のトランジスタ 4 4 0 2 のゲートに入力されるビデオ信号を保持するために、保持容量が配置されていてもよい。その場合、第 2 のトランジスタ 4 4 0 2 のゲートと第 2 のトランジスタ 4 4 0 2 のドレインとの間に、保持容量を配置してもよいし、第 2 のトランジスタ 4 4 0 2 のゲートと第 2 のトランジスタ 4 4 0 2 のソースとの間に、保持容量を配置してもよい。あるいは、第 2 のトランジスタ 4 4 0 2 のゲートと別の配線（専用の配線や、前行の画素の走査線など）との間に、保持容量を配置してもよい。あるいは、第 2 のトランジスタ 4 4 0 2 のゲート容量により、保持容量を配置しないことも可能である。なお、第 2 のトランジスタ 4 4 0 2 や第 1 のトランジスタ 4 4 0 1 は、N チャンネル型であるとする。

【 0 2 7 3 】

また図 4 4 (B) に、本実施の形態の別の回路の構成を示す。画素には、第 1 のトランジスタ 6 0 0 1、第 2 のトランジスタ 6 0 0 2、第 3 のトランジスタ 6 0 0 9（保持トランジスタともいう）、保持容量 6 0 1 0、発光素子 6 0 0 6 が配置されており、ビデオ信号が入力される信号線 6 0 0 3 と第 2 のトランジスタ 6 0 0 2 のソースとは、第 1 のトランジスタ 6 0 0 1 を介して接続されている。第 1 のトランジスタ 6 0 0 1 のゲートには、走査線 6 0 0 7 が接続されている。第 1 電源供給線 6 0 0 4 と第 2 電源供給線 6 0 0 5 との間には、第 2 のトランジスタ 6 0 0 2 と発光素子 6 0 0 6 とが接続されている。そして、第 1 電源供給線 6 0 0 4 から第 2 電源供給線 6 0 0 5 の方に電流が流れる。発光素子 6 0 0 6 は、そこを流れる電流の大きさに応じて発光する。第 2 のトランジスタ 6 0 0 2 のゲート・ソース間には、保持容量 6 0 1 0 が配置され、第 2 のトランジスタ 6 0 0 2 のゲート・ドレイン間には、第 3 のトランジスタ 6 0 0 9 が接続されている。第 3 のトランジスタ 6 0 0 9 のゲートには、走査線 6 0 0 7 が接続されている。

【 0 2 7 4 】

信号線駆動回路には、電流源回路 6 0 0 8 が配置されている。電流源回路 6 0 0 8 は、ビデオ信号に応じた大きさの電流を画素へ供給する。そして、走査線 6 0 0 7 が選択されて、ソース信号線 6 0 0 3 に供給されたビデオ信号は、第 2 のトランジスタ 6 0 0 2 に入力される。このとき、第 1 電源供給線 6 0 0 4 の電位を変化させているため、第 1 電源供給線 6 0 0 4 と第 2 電源供給線 6 0 0 5 の電位の関係から、発光素子 6 0 0 6 には電流が流れない。そして、ビデオ信号の大きさに応じて、必要な大きさの第 2 のトランジスタ 6 0 0 2 のゲート・ソース間電圧が保持容量 6 0 1 0 に保持される。その後、走査線 6 0 0 7 が非選択状態になり、保持容量 6 0 1 0 に蓄積された電荷は保持される。よって、第 2 のトランジスタ 6 0 0 2 のドレイン電位やソース電位が変化しても、第 2 のトランジスタ 6 0 0 2 のゲート・ソース間電圧は変化しない。そして、第 1 電源供給線 6 0 0 4 の電位が元に戻り、第 2 のトランジスタ 6 0 0 2 には、ビデオ信号に応じた大きさの電流が流れ

、発光素子 6006 にも流れていく。

【0275】

また図 44 (C) に、本実施の形態の別の回路の構成を示す。画素には、第 1 のトランジスタ 7001、第 2 のトランジスタ 7002、第 3 のトランジスタ 7009、保持容量 7010、発光素子 7006 が配置されており、ビデオ信号が入力される信号線 7003 と第 2 のトランジスタ 7002 のゲートとは、第 1 のトランジスタ 7001 を介して接続されている。第 1 のトランジスタ 7001 のゲートには、第 1 の走査線 7007 が接続されている。第 1 電源供給線 7004 と第 2 電源供給線 7005 との間には、第 2 のトランジスタ 7002 と発光素子 7006 とが接続されている。そして、第 1 電源供給線 7004 から第 2 電源供給線 7005 の方に電流が流れる。発光素子 7006 は、そこを流れる電流の大きさに応じて発光する。第 2 のトランジスタ 7002 のゲート・ソース間には、保持容量 7010 が配置され、第 2 のトランジスタ 7002 のゲート・ドレイン間には、第 3 のトランジスタ 7009 が接続されている。第 3 のトランジスタ 7009 のゲートには、第 2 の走査線 7016 が接続されている。

10

【0276】

図 44 (C) に示す回路構成において、第 2 の走査線 7016 より入力される信号に応じて、第 3 のトランジスタ 7009 を ON する。そして、第 2 のトランジスタ 7002 のしきい値電圧分の第 2 のトランジスタ 7002 のゲート・ソース間電圧が保持容量 7010 に保持される。そのため、各駆動電圧のしきい値電圧のばらつきを予め補正することができる。なお、第 2 電源供給線 7005 について一瞬だけ電位を高くすることによって予め保持容量 7010 にしきい値電圧より高い電圧を保持しておいてもよい。

20

【0277】

そして、信号線 7003 に供給されたビデオ信号は、第 2 のトランジスタ 7002 のゲートに入力される。そして、ビデオ信号の大きさに応じて、第 2 のトランジスタ 7002 に電流が流れ、発光素子 7006 にも流れていく。

【0278】

なお、図 44 (A) ~ (C) において、第 2 のトランジスタは、飽和領域でのみ動作させてもよいし、飽和領域と線形領域とで動作させてもよいし、線形領域のみで動作させてもよい。

【0279】

線形領域のみで動作させる場合は、第 2 のトランジスタは、概ねスイッチとして動作する。そのため、第 2 のトランジスタの劣化や温度などによる特性の変動の影響がスイッチング動作に出にくい。線形領域のみで動作させる場合は、発光素子 7006 に電流が流れるかどうかをデジタル的に制御することが多い。その場合、多階調化をはかるため、時間階調方式や面積階調方式などを組み合わせることで対応すればよい。

30

【0280】

次に、図 44 で示した回路構成におけるトランジスタの半導体層にアモルファスシリコン (a-Si:H) 膜を用いた場合について説明する。図 42 にはトップゲートのトランジスタ、図 43 及び図 49 にはボトムゲートのトランジスタの場合について示す。

【0281】

アモルファスシリコンを半導体層に用いた順スタガ構造のトランジスタの断面を図 42 (a) に示す。図 42 (a) に示すように、基板 7601 上に下地膜 7602 が形成されている。さらに下地膜 7602 上に画素電極 7603 が形成されている。また、画素電極 7603 と同層に同じ材料からなる第 1 の電極 7604 が形成されている。

40

【0282】

基板はガラス基板、石英基板、セラミック基板、プラスチック基板などを用いることができる。また、下地膜 7602 としては、窒化アルミ (AlN) や酸化珪素 (SiO₂)、酸化窒化珪素 (SiO_xN_y) などの単層やこれらの積層を用いることができる。

【0283】

また、下地膜 7602 上に配線 7605 及び配線 7606 が形成され、画素電極 7603

50

の端部が配線 7605 で覆われている。配線 7605 及び配線 7606 の上部に N 型の導電性を有する N 型半導体層 7607 及び N 型半導体層 7608 が形成されている。また、配線 7605 と配線 7606 の間であって、下地膜 7602 上に半導体層 7609 が形成されている。そして、半導体層 7609 の一部は N 型半導体層 7607 及び N 型半導体層 7608 上にまで延長されている。なお、この半導体層 7609 はアモルファスシリコン (a-Si:H)、微結晶半導体 (μ -Si:H) 等の非結晶性を有する半導体膜で形成されている。また、半導体層 7609 上にゲート絶縁膜 7610 が形成されている。また、ゲート絶縁膜 7610 と同層の同じ材料からなる絶縁膜 7611 が第 1 の電極 7604 上にも形成されている。なお、ゲート絶縁膜 7610 としては酸化珪素膜や窒化珪素膜などが用いられる。

10

【0284】

また、ゲート絶縁膜 7610 上に、ゲート電極 7612 が形成されている。また、ゲート電極 7612 と同層に同じ材料でなる第 2 の電極 7613 が第 1 の電極 7604 上に絶縁膜 7611 を介して形成されている。第 1 の電極 7604 及び第 2 の電極 7613 で絶縁膜 7611 を挟むことにより保持容量 7619 が形成されている。また、画素電極 7603 の端部、駆動トランジスタ 7618 及び保持容量 7619 を覆い、層間絶縁物 7614 が形成されている。

【0285】

層間絶縁物 7614 及びその開口部に位置する画素電極 7603 上に発光層 7615 及び対向電極 7616 が形成され、画素電極 7603 と対向電極 7616 とで発光層 7615 が挟まれた領域では発光素子 7617 が形成されている。

20

【0286】

また、図 42 (a) に示す第 1 の電極 7604 を図 42 (b) に示すように第 1 の電極 7620 で形成してもよい。第 1 の電極 7620 は配線 7605 及び 7606 と同層の同一材料で形成されている。

【0287】

また、アモルファスシリコンを半導体層に用いたボトムゲート構造のトランジスタを用いた表示パネルの部分断面を図 43 に示す。

【0288】

基板 7701 上に下地膜 7702 が形成されている。さらに下地膜 7702 上にゲート電極 7703 が形成されている。また、ゲート電極 7703 と同層に同じ材料からなる第 1 の電極 7704 が形成されている。ゲート電極 7703 の材料にはリンが添加された多結晶シリコンを用いることができる。多結晶シリコンの他に、金属とシリコンの化合物であるシリサイドでもよい。

30

【0289】

また、ゲート電極 7703 及び第 1 の電極 7704 を覆うようにゲート絶縁膜 7705 が形成されている。ゲート絶縁膜 7705 としては酸化珪素膜や窒化珪素膜などが用いられる。

【0290】

また、ゲート絶縁膜 7705 上に、半導体層 7706 が形成されている。また、半導体層 7706 と同層に同じ材料からなる半導体層 7707 が形成されている。

40

【0291】

基板はガラス基板、石英基板、セラミック基板、プラスチック基板などを用いることができる。また、下地膜 7702 としては、窒化アルミ (AlN) や酸化珪素 (SiO_2)、酸化窒化珪素 (SiO_xN_y) などの単層やこれらの積層を用いることができる。

【0292】

半導体層 7706 上には N 型の導電性を有する N 型半導体層 7708、7709 が形成され、半導体層 7707 上には N 型半導体層 7710 が形成されている。

【0293】

N 型半導体層 7708、7709、7710 上にはそれぞれ配線 7711、7712、7

50

713が形成され、N型半導体層7710上には配線7711及び7712と同層の同一材料からなる導電層7713が形成されている。

【0294】

半導体層7707、N型半導体層7710及び導電層7713からなる第2の電極が構成される。なお、この第2の電極と第1の電極7704でゲート絶縁膜7705を挟み込んだ構造の保持容量7720が形成されている。

【0295】

また、配線7711の一方の端部は延在し、その延在した配線7711上部に接して画素電極7714が形成されている。

【0296】

また、画素電極7714の端部、駆動トランジスタ7719及び保持容量7720を覆うように絶縁物7715が形成されている。

【0297】

画素電極7714及び絶縁物7715上には発光層7716及び対向電極7717が形成され、画素電極7714と対向電極7717とで発光層7716が挟まれた領域では発光素子7718が形成されている。

【0298】

保持容量の第2の電極の一部となる半導体層7707及びN型半導体層7710は設けなくても良い。つまり第2の電極は導電層7713とし、第1の電極7704と導電層7713でゲート絶縁膜が挟まれた構造の保持容量としてもよい。

【0299】

なお、図43(a)において、配線7711を形成する前に画素電極7714を形成することで、図43(b)に示すような、画素電極7714と同層で同じ材料からなる第2の電極7721と第1の電極7704でゲート絶縁膜7705が挟まれた構造の保持容量7720を形成することができる。

【0300】

なお、図43では、逆スタガ型のチャネルエッチ構造のトランジスタについて示したが、もちろんチャネル保護構造のトランジスタでも良い。チャネル保護構造のトランジスタの場合について、図49(a)、(b)を用いて説明する。

【0301】

図49(a)に示すチャネル保護型構造のトランジスタは図43(a)に示したチャネルエッチ構造の駆動トランジスタ7719の半導体層7706のチャネルが形成される領域上にエッチングのマスクとなる絶縁物7801が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

【0302】

また、同様に、図49(b)に示すチャネル保護型構造のトランジスタは図43(b)に示したチャネルエッチ構造の駆動トランジスタ7719の半導体層7706のチャネルが形成される領域上にエッチングのマスクとなる絶縁物7802が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

【0303】

本発明の画素を構成するトランジスタの半導体層(チャネル形成領域やソース領域やドレイン領域など)に非晶質半導体膜を用いることで、製造コストを削減することができる。例えば、図44に示す画素構成を用いることで非晶質半導体膜を適用することが可能である。

【0304】

なお、本実施の形態は、本明細書中の他の実施の形態、実施例のいかなる記載とも自由に組み合わせて実施することが可能である。

【0305】

(実施の形態9)

本実施の形態では、本発明に適用することができるパッシブ型の表示パネルの構成につい

10

20

30

40

50

て説明する。

【0306】

図47(A)は、封止前における画素部の上面図を示す図であり、図47(A)中の鎖線A-A'で切断した断面図が図47(B)であり、鎖線B-B'で切断した断面図が図47(C)である。

【0307】

基板2110上には、ストライプ状に複数の第1の電極2113が等間隔で配置されている。また、第1の電極2113上には、各画素に対応する開口部を有する隔壁2114が設けられ、開口部を有する隔壁2114は遮光性を有する材料(黒色顔料やカーボンブラックを分散させてなる感光性または非感光性の有機材料(ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジストまたはベンゾシクロブテン)、またはSOG膜(例えば、アルキル基を含むSiO_x膜))で構成されている。例えば、開口部を有する隔壁2114として、富士フイルムオーリン社製COLOR MOSAIC CK(商品名)のような材料を用いる。開口部を有する隔壁2114はブラックマトリクス(BM)として機能させている。なお、各画素に対応する開口部が発光領域2121となる。

10

【0308】

開口部を有する隔壁2114上に、第1の電極2113と交差する互いに平行な複数の逆テーパ状の隔壁2122が設けられる。逆テーパ状の隔壁2122はフォトリソグラフィ法に従い、未露光部分がパターンとして残るポジ型感光性樹脂を用い、パターンの下部がより多くエッチングされるように露光量または現像時間を調節することによって形成する。この逆テーパ状の隔壁2122も上述した遮光性を有する材料で形成し、さらにコントラストの向上を図ってもよい。

20

【0309】

また、平行な複数の逆テーパ状の隔壁2122を形成した直後における斜視図を図48に示す。なお、図47と同一の部分には同一の符号を用いている。

【0310】

逆テーパ状の隔壁2122の高さは、有機化合物を含む膜及び導電膜の膜厚より大きく設定する。図48に示す構成を有する第1の基板に対して有機化合物を含む膜と、導電膜とを積層形成すると、図47に示すように電氣的に独立した複数の領域に分離され、発光層と、第2の電極2116とが形成される。第2の電極2116は、第1の電極2113と交差する方向に伸長する互いに平行なストライプ状の電極である。なお、逆テーパ状の隔壁2122上にも有機化合物を含む膜及び導電膜が形成されるが、発光層2115R、発光層2115G、発光層2115B及び第2の電極2116とは分断されている。

30

【0311】

なお、本実施の形態において、本発明における第1の発光素子R1は発光層2115R、本発明における第3の発光素子G1は発光層2115G、本発明における第5の発光素子B1は発光層2115Bに対応する。なお、本実施の形態において、本発明における第2の発光素子R2は図47(A)における発光層2115Rの下の領域、本発明における第4の発光素子G2は図47(A)における発光層2115Gの下の領域、本発明における第6の発光素子B2は図47(A)における発光層2115Bの下の領域に対応する。発光素子R1と発光素子R2、発光素子G1と発光素子G2、発光素子B1と発光素子B2との発光スペクトルを異ならせる手段に関しては、発光素子の材料を異ならせて形成してもよいし、膜厚を異ならせて形成してもよいし、もしくは透過特性の異なるカラーフィルタや色変換層を用いることで、達成すればよい。本実施の形態では、発光層2115R、発光層2115G、発光層2115Bについて説明し、すべての画素についての説明については略す。

40

【0312】

ここでは、発光層2115R、発光層2115G、発光層2115Bを選択的に形成し、3種類(R、G、B)の発光が得られるフルカラー表示可能な発光装置を形成する例を示している。発光層2115R、発光層2115G、発光層2115Bはそれぞれ互いに

50

平行なストライプパターンで形成されている。

【0313】

また、発光素子の封止は、シール材を用いて第2の基板を貼り合わせることによって行う。必要があれば、第2の電極2116を覆う保護膜を形成してもよい。なお、第2の基板としては、水分に対するバリア性の高い基板が好ましい。また、必要であれば、シール材で囲まれた領域に乾燥剤を配置してもよい。

【0314】

また、封止を行った後、FPCなどを実装した発光モジュールの上面図を図50に示す。

【0315】

なお、本明細書中における発光装置とは、画像表示デバイス、発光デバイス、もしくは光源（照明装置含む）を指す。また、発光装置にコネクタ、例えばFPC（Flexible printed circuit）もしくはTAB（Tape Automated Bonding）テープもしくはTCP（Tape Carrier Package）が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または発光素子にCOG（Chip On Glass）方式によりIC（集積回路）が直接実装されたモジュールも全て発光装置に含むものとする。

【0316】

第1の基板5001と第2の基板5010とが対向するようにシール材5011で貼り付けられている。シール材5011としては光硬化樹脂を用いれば良く、脱ガスが少なく、吸湿性の低い材料が好ましい。また、シール材5011は基板間隔を一定に保つため、フィラー（棒状またはファイバー状のスペーサ）や球状のスペーサを添加したものであっても良い。なお、第2の基板5010としては第1の基板5001と熱膨張係数が同一の材料が好ましく、ガラス（石英ガラスを含む）もしくはプラスチックを用いることができる。

【0317】

図50に示すように画像表示を行う画素部は、カラム信号線群とロウ信号線群が互いに直交するように交差している。

【0318】

図47における第1の電極2113が図50のカラム信号線5002に相当し、図47における第2の電極2116がロウ信号線5003に相当し、図47における逆テーパー状の隔壁2122が隔壁5004に相当する。カラム信号線5002とロウ信号線5003の間には発光層が挟まれており、交差部5005が画素1つ分となる。

【0319】

なお、ロウ信号線5003は配線端で接続配線5008と電氣的に接続され、接続配線5008が入力端子5007を介してFPC5009bに接続される。また、カラム信号線5002は入力端子5006を介してFPC5009aに接続される。

【0320】

また、必要であれば、射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。また偏光板、又は円偏光板に加熱処理を施すアンチリフレクション処理を施してもよい。その後さらに、外部衝撃から保護するためハードコート処理を施すとよい。ただし、偏光板、又は円偏光板を用いると、偏光板、又は円偏光板により光の取り出し効率が低下してしまう。また、偏光板、又は円偏光板自体のコストが高く、且つ、劣化しやすい。

【0321】

本実施の形態においては、発光素子が設けられている基板側の画素間にブラックマトリクス（BM）となる黒色の隔壁（バンク、または障壁とも呼ばれる）を設け、発光素子からの迷光を吸収、または遮蔽することによって表示のコントラストを向上させることがで

10

20

30

40

50

きる。

【0322】

なお、本実施の形態は、本明細書中の他の実施の形態、実施例のいかなる記載とも自由に組み合わせて実施することが可能である。

【0323】

(実施の形態10)

本実施の形態において、本発明における発光素子の他の構成について説明する。

【0324】

上記実施の形態に述べた発光素子は、主に有機エレクトロルミネッセンス(EL: Electro Luminescence)素子について述べたが、これに限定されない。 10

【0325】

例えば、DMD(Digital Micromirror Device; デジタルマイクロミラーデバイス)、PDP(Plasma Display Panel; プラズマディスプレイパネル)、FED(Field Emission Display; フィールドエミッションディスプレイ)、FEDの一種であるSED(Surface-conduction Electron-emitter Display)、電気泳動表示装置(電子ペーパー)、圧電セラミックディスプレイであってもよい。

【0326】

上記列挙した発光素子のうち、光が透過することで色が認識できる素子については、実施の形態3で述べたようにカラーフィルタを介して表示を行えばよい。そして第1の画素の発光素子R1と第2の画素の発光素子R2、第3の画素の発光素子G1と第4の画素の発光素子G2、第5の画素の発光素子B1と第6の画素の発光素子B2について発光スペクトルを異ならせる。その結果、CIE-XY色度図で表したときに、色度図の座標を第1の画素、第2の画素に設けられた発光素子R1、R2、第3の画素、第4の画素に設けられた発光素子G1、G2、第5の画素、第6の画素に設けられた発光素子B1、B2で異ならせればよい。 20

【0327】

また、上記列挙した発光素子にうち、自発光型の素子については蛍光体等で色変換し表示を行えばよい。そして第1の画素の発光素子R1と第2の画素の発光素子R2、第3の画素の発光素子G1と第4の画素の発光素子G2、第5の画素の発光素子B1と第6の画素の発光素子B2について発光スペクトルを異ならせる。その結果、CIE-XY色度図で表したときに、色度図の座標を第1の画素、第2の画素に設けられた発光素子R1、R2、第3の画素、第4の画素に設けられた発光素子G1、G2、第5の画素、第6の画素に設けられた発光素子B1、B2で異ならせればよい。 30

【0328】

なお、本実施の形態は、本明細書中の他の実施の形態、実施例のいかなる記載とも自由に組み合わせて実施することが可能である。

【実施例1】

【0329】

本発明の表示装置は様々な電子機器に適用することができる。具体的には電子機器の表示部に適用することができる。そのような電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンボ等)、コンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。 40

【0330】

図38(A)はディスプレイであり、筐体38101、支持台38102、表示部38103等を含む。本発明の画素構成を有する表示装置を表示部38103に用いることができる。なお、ディスプレイは、パーソナルコンピュータ用、テレビジョン放送受信用、広 50

告表示用などの全ての情報表示用表示装置が含まれる。本発明の表示装置を表示部 38103 に用いたディスプレイは、鮮やかな色彩を表現することができる。

【0331】

近年、ディスプレイの高付加価値化のニーズが強くなっている。よって、いかに製造コストの削減を図り、なおかつ鮮やかな色彩を表現できるかが課題となる。

【0332】

例えば、図 2 などの画素構成を表示パネルの画素部に用いることで、鮮やかな色彩を表現できる表示パネルを提供することができる。

【0333】

また、図 30 (a) に示すように画素部と周辺の駆動回路を同一基板上に形成することにより、製造コストが削減された表示パネルを形成することができる。 10

【0334】

また、画素部を構成する回路のトランジスタの半導体層に非晶質半導体（例えばアモルファスシリコン (a-Si:H)）を用いることで、工程を簡略化し、さらなるコストダウンが図れる。この場合には図 31 (b) や図 32 (a) に示したように、画素部の周辺の駆動回路を IC チップ上に形成し、COG 等で表示パネルに実装すると良い。このように、非晶質半導体を用いることでディスプレイの大型化が容易になる。

【0335】

図 38 (B) はカメラであり、本体 38201、表示部 38202、受像部 38203、操作キー 38204、外部接続ポート 38205、シャッター 38206 等を含む。 20

【0336】

近年、デジタルカメラなどの高性能化に伴い、生産競争は激化している。そして、いかに高性能なものを低価格に抑えるかが重要となる。本発明の表示装置を表示部 38202 に用いたデジタルカメラは、鮮やかな色彩を表現することができる。

【0337】

例えば、図 31 (a) に示すように、動作速度の高い信号線駆動回路は IC チップ上に形成し、比較的動作速度の低い走査線駆動回路を画素部と共に単極性のトランジスタで構成される回路で同一基板上に形成することで、高性能化を実現し、低コスト化を図ることができる。また、画素部と、画素部と共に一体形成する走査線駆動回路に用いられるトランジスタの半導体層に非晶質半導体、例えばアモルファスシリコンを適用することでさらなる低コスト化が図れる。 30

【0338】

図 38 (C) はコンピュータであり、本体 38301、筐体 38302、表示部 38303、キーボード 38304、外部接続ポート 38305、ポインティングデバイス 38306 等を含む。本発明の表示装置を表示部 38303 に用いたコンピュータは、鮮やかな色彩を表現することができる。

【0339】

図 38 (D) はモバイルコンピュータであり、本体 38401、表示部 38402、スイッチ 38403、操作キー 38404、赤外線ポート 38405 等を含む。本発明の表示装置を表示部 38402 に用いたモバイルコンピュータは、鮮やかな色彩を表現することができる。 40

【0340】

図 38 (E) は記録媒体を備えた携帯型の画像再生装置（具体的には DVD 再生装置）であり、本体 38501、筐体 38502、表示部 A 38503、表示部 B 38504、記録媒体（DVD 等）読み込み部 38505、操作キー 38506、スピーカー部 38507 等を含む。表示部 A 38503 は主として画像情報を表示し、表示部 B 38504 は主として文字情報を表示することができる。本発明の表示装置を表示部 A 38503 や表示部 B 38504 に用いた画像再生装置は、鮮やかな色彩を表現することができる。

【0341】

図 38 (F) はゴーグル型ディスプレイであり、本体 38601、表示部 38602、 50

イヤホン 38603、支持部 38604 等を含む。本発明の表示装置を表示部 38602 に用いたゴーグル型ディスプレイは、鮮やかな色彩を表現することができる。

【0342】

図 38 (G) は携帯型遊技機であり、筐体 38701、表示部 38702、スピーカ部 38703、操作キー 38704、記憶媒体挿入部 38705 等を含む。本発明の表示装置を表示部 38702 に用いた携帯型遊技機は、鮮やかな色彩を表現することができる。

【0343】

図 38 (H) はテレビ受像機能付きデジタルカメラであり、本体 38801、表示部 38802、操作キー 38803、スピーカ 38804、シャッター 38805、受像部 38806、アンテナ 38807 等を含む。本発明の表示装置を表示部 38802 に用いたテレビ受像機能付きデジタルカメラは、鮮やかな色彩を表現することができる。

【0344】

このように多機能化したテレビ受像機能付きデジタルカメラはテレビの視聴等に使用頻度が高まる一方で、一回の充電により長時間使用できることが要求される。

【0345】

例えば、図 31 (b) や図 32 (a) に示すように周辺駆動回路を IC チップ上に形成し、CMOS 等を用いることにより低消費電力化を図ることが可能である。

【0346】

このように本発明は、あらゆる電子機器に適用することが可能である。

【0347】

なお、本実施例は、本明細書中の他の実施の形態、実施例のいかなる記載とも自由に組み合わせる実施することが可能である。

【実施例 2】

【0348】

本実施例において、本発明の画素構成を用いた表示装置を表示部に有する携帯電話の構成例について図 37 を用いて説明する。

【0349】

表示パネル 3701 はハウジング 3730 に脱着自在に組み込まれる。ハウジング 3730 は表示パネル 3701 のサイズに合わせて、形状や寸法を適宜変更することができる。表示パネル 3701 を固定したハウジング 3730 はプリント基板 3731 に嵌入されモジュールとして組み立てられる。

【0350】

表示パネル 3701 は FPC 3713 を介してプリント基板 3731 に接続される。プリント基板 3731 には、スピーカ 3732、マイクロフォン 3733、送受信回路 3734、CPU 及びコントローラなどを含む信号処理回路 3735 が形成されている。このようなモジュールと、入力手段 3736、バッテリー 3737 を組み合わせ、筐体 3739 に収納する。表示パネル 3701 の画素部は筐体 3739 に形成された開口窓から視認できよう配置する。

【0351】

表示パネル 3701 は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上に TFT を用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）を IC チップ上に形成し、その IC チップを COG (Chip On Glass) で表示パネル 3701 に実装しても良い。あるいは、その IC チップを TAB (Tape Auto Bonding) やプリント基板を用いてガラス基板と接続してもよい。このような構成とすることで、表示装置の低消費電力化を図り、携帯電話機の一回の充電による使用時間を長くすることができる。また、携帯電話機の低コスト化を図ることができる。

【0352】

また、画素部には上記実施例で示した表示装置を適宜適用することができる。

【 0 3 5 3 】

例えば、消費電力の低減を図るため、図 3 1 (b) や図 3 2 (a) に示すように、基板上に T F T を用いて画素部を形成し、全ての周辺駆動回路を I C チップ上に形成し、その I C チップを C O G (C h i p O n G l a s s) などに表示パネルに実装しても良い。

【 0 3 5 4 】

また、本実施例に示した構成は携帯電話の一例であって、本発明の表示装置はこのような構成の携帯電話に限られず様々な構成の携帯電話に適用することができる。そして、本発明の表示装置を具備することによって、鮮やかな色彩を表現することができる。

【 実施例 3 】

【 0 3 5 5 】

本実施例においては、本発明の画素構成を用いた表示装置を表示部に有する電子機器、特に E L モジュールを具備するテレビ受像器の構成例について説明する。

【 0 3 5 6 】

図 3 3 は表示パネル 3 3 0 1 と、回路基板 3 3 1 1 を組み合わせた E L モジュールを示している。表示パネル 3 3 0 1 は画素部 3 3 0 2、走査線駆動回路 3 3 0 3 及び信号線駆動回路 3 3 0 4 を有している。回路基板 3 3 1 1 には、例えば、コントロール回路 3 3 1 2 や信号分割回路 3 3 1 3 などが形成されている。表示パネル 3 3 0 1 と回路基板 3 3 1 1 は接続配線 3 3 1 4 によって接続されている。接続配線には F P C 等を用いることができる。

【 0 3 5 7 】

表示パネル 3 3 0 1 は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を同一基板上に T F T を用いて形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）を I C チップ上に形成し、その I C チップを C O G (C h i p O n G l a s s) などに表示パネル 3 3 0 1 に実装するとよい。あるいは、その I C チップを T A B (T a p e A u t o B o n d i n g) やプリント基板を用いて表示パネル 3 3 0 1 に実装しても良い。なお、一部の周辺駆動回路を基板上に画素部と一体形成し、他の周辺駆動回路を形成した I C チップを C O G 等で実装した構成は図 3 0 (a) に一例を示してある。

【 0 3 5 8 】

また、画素部には上記実施の形態で示した表示装置を適宜適用することができる。

【 0 3 5 9 】

例えば、消費電力の低減を図るため、ガラス基板上に T F T を用いて画素部を形成し、全ての周辺駆動回路を I C チップ上に形成し、その I C チップを C O G (C h i p O n G l a s s) 等で表示パネルに実装してもよい。

【 0 3 6 0 】

この E L モジュールにより E L テレビ受像機を完成させることができる。図 3 4 は、E L テレビ受像機の主要な構成を示すブロック図である。チューナ 3 4 0 1 は映像信号と音声信号を受信する。映像信号は、映像信号増幅回路 3 4 0 2 と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路 3 4 0 3 と、その映像信号を駆動回路の入力仕様に換するためのコントロール回路 3 4 1 2 により処理される。コントロール回路 3 4 1 2 は、走査線駆動回路 3 4 1 0 側と信号線駆動回路 3 4 0 4 側にそれぞれ信号を出力する。デジタル駆動する場合には、コントロール回路 3 4 1 2 と信号線駆動回路 3 4 0 4 の間に信号分割回路 3 4 1 3 を設け、入力デジタル信号を m 個に分割して信号線駆動回路 3 4 0 4 に供給し、表示パネル 3 4 1 1 に出力する構成としても良い。

【 0 3 6 1 】

チューナ 3 4 0 1 で受信した信号のうち、音声信号は音声信号増幅回路 3 4 0 5 に送られ、その出力は音声信号処理回路 3 4 0 6 を経てスピーカ 3 4 0 7 に供給される。制御回路 3 4 0 8 は受信局（受信周波数）や音量の制御情報を入力部 3 4 0 9 から受け、チュ

10

20

30

40

50

ーナ 3 4 0 1 や音声信号処理回路 3 4 0 6 に信号を送出する。

【 0 3 6 2 】

また、図 3 4 とは別の形態の E L モジュールを組み込んだテレビ受像器について図 3 5 (A) に示す。図 3 5 (A) において、表示画面 3 5 0 2 は E L モジュールで形成される。また、筐体 3 5 0 1 には、スピーカー 3 5 0 3、操作スイッチ 3 5 0 4 などが適宜備えられている。

【 0 3 6 3 】

また図 3 5 (B) に、ワイヤレスでディスプレイのみを持ち運び可能なテレビ受像器を示す。筐体 3 5 1 2 にはバッテリー及び信号受信器が内蔵されており、そのバッテリーで表示部 3 5 1 3 やスピーカー部 3 5 1 7 を駆動させる。バッテリーは充電器 3 5 1 0 で繰り返し充電が可能となっている。また、充電器 3 5 1 0 は映像信号を送受信することが可能で、その映像信号をディスプレイの信号受信器に送信することができる。筐体 3 5 1 2 は操作キー 3 5 1 6 によって制御する。また、図 3 5 (B) に示す装置は、操作キー 3 5 1 6 を操作することによって、筐体 3 5 1 2 から充電器 3 5 1 0 に信号を送ることも可能であるため映像音声双方向通信装置とも言える。また、操作キー 3 5 1 6 を操作することによって、筐体 3 5 1 2 から充電器 3 5 1 0 に信号を送り、さらに充電器 3 5 1 0 が送信できる信号を他の電子機器に受信させることによって、他の電子機器の通信制御も可能であり、汎用遠隔制御装置とも言える。本発明は表示部 3 5 1 3 に適用することができる。

10

【 0 3 6 4 】

図 3 6 (A) は表示パネル 3 6 0 1 とプリント配線基板 3 6 0 2 を組み合わせたモジュールを示している。表示パネル 3 6 0 1 は、複数の画素が設けられた画素部 3 6 0 3 と、第 1 の走査線駆動回路 3 6 0 4、第 2 の走査線駆動回路 3 6 0 5 と、選択された画素にビデオ信号を供給する信号線駆動回路 3 6 0 6 を備えている。

20

【 0 3 6 5 】

プリント配線基板 3 6 0 2 には、コントローラ 3 6 0 7、中央処理装置 3 6 0 8 (C P U)、メモリ 3 6 0 9、電源回路 3 6 1 0、音声処理回路 3 6 1 1 及び送受信回路 3 6 1 2 などが備えられている。プリント配線基板 3 6 0 2 と表示パネル 3 6 0 1 は、フレキシブル配線基板 3 6 1 3 (F P C) により接続されている。フレキシブル配線基板 3 6 1 3 には、保持容量、バッファ回路などを設け、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりすることを防ぐ構成としても良い。また、コントローラ 3 6 0 7、音声処理回路 3 6 1 1、メモリ 3 6 0 9、C P U 3 6 0 8、電源回路 3 6 1 0 などは、C O G (C h i p O n G l a s s) 方式を用いて表示パネル 3 6 0 1 に実装することもできる。C O G 方式により、プリント配線基板 3 6 0 2 の規模を縮小することができる。

30

【 0 3 6 6 】

プリント配線基板 3 6 0 2 に備えられた I / F 部 3 6 1 4 (インターフェイス) を介して、各種制御信号の入出力が行われる。また、アンテナとの間の信号の送受信を行うためのアンテナ用ポート 3 6 1 5 が、プリント配線基板 3 6 0 2 に設けられている。

【 0 3 6 7 】

図 3 6 (B) は、図 3 6 (A) に示したモジュールのブロック図を示す。このモジュールは、メモリ 3 6 0 9 として V R A M 3 6 1 6、D R A M 3 6 1 7、フラッシュメモリ 3 6 1 8 などが含まれている。V R A M 3 6 1 6 にはパネルに表示する画像のデータが、D R A M 3 6 1 7 には画像データまたは音声データが、フラッシュメモリ 3 6 1 8 には各種プログラムが記憶されている。

40

【 0 3 6 8 】

電源回路 3 6 1 0 は、表示パネル 3 6 0 1、コントローラ 3 6 0 7、C P U 3 6 0 8、音声処理回路 3 6 1 1、メモリ 3 6 0 9、送受信回路 3 6 1 2 を動作させる電力を供給する。またパネルの仕様によっては、電源回路 3 6 1 0 に電流源が備えられている場合もある。

【 0 3 6 9 】

C P U 3 6 0 8 は、制御信号生成回路 3 6 2 0、デコーダ 3 6 2 1、レジスタ 3 6 2 2

50

、演算回路 3623、RAM 3624、CPU 3608用のインターフェイス 3619などを有している。インターフェイス 3619を介してCPU 3608に入力された各種信号は、一旦レジスタ 3622に保持された後、演算回路 3623、デコーダ 3621などに入力される。演算回路 3623では、入力された信号に基づき演算を行い、各種命令を送る場所を指定する。一方デコーダ 3621に入力された信号はデコードされ、制御信号生成回路 3620に入力される。制御信号生成回路 3620は入力された信号に基づき、各種命令を含む信号を生成し、演算回路 3623において指定された場所、具体的にはメモリ 3609、送受信回路 3612、音声処理回路 3611、コントローラ 3607などに送る。

【0370】

10

メモリ 3609、送受信回路 3612、音声処理回路 3611、コントローラ 3607は、それぞれ受けた命令に従って動作する。以下その動作について簡単に説明する。

【0371】

入力手段 3625から入力された信号は、I/F部 3614を介してプリント配線基板 3602に実装されたCPU 3608に送られる。制御信号生成回路 3620は、ポインティングデバイスやキーボードなどの入力手段 3625から送られてきた信号に従い、VRAM 3616に格納してある画像データを所定のフォーマットに変換し、コントローラ 3607に送付する。

【0372】

コントローラ 3607は、パネルの仕様に合わせてCPU 3608から送られてきた画像データを含む信号にデータ処理を施し、表示パネル 3601に供給する。またコントローラ 3607は、電源回路 3610から入力された電源電圧やCPU 3608から入力された各種信号をもとに、Hsync信号、Vsync信号、クロック信号CLK、交流電圧(AC Cont)、切り替え信号L/Rを生成し、表示パネル 3601に供給する。

20

【0373】

送受信回路 3612では、アンテナ 3628において電波として送受信される信号が処理されており、具体的にはアイソレータ、バンドパスフィルタ、VCO(Voltage Controlled Oscillator)、LPF(Low Pass Filter)、カプラ、バランなどの高周波回路を含んでいる。送受信回路 3612において送受信される信号のうち音声情報を含む信号が、CPU 3608からの命令に従って、音声処理回路 3611に送られる。

30

【0374】

CPU 3608の命令に従って送られてきた音声情報を含む信号は、音声処理回路 3611において音声信号に復調され、スピーカ 3627に送られる。またマイク 3626から送られてきた音声信号は、音声処理回路 3611において変調され、CPU 3608からの命令に従って、送受信回路 3612に送られる。

【0375】

コントローラ 3607、CPU 3608、電源回路 3610、音声処理回路 3611、メモリ 3609を、本実施例のパッケージとして実装することができる。

【0376】

40

勿論、本発明はテレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。そして、本発明の表示装置を具備することによって、鮮やかな色彩を表現することができる。

【0377】

なお、本実施例は、本明細書中の他の実施の形態、実施例のいかなる記載とも自由に組み合わせ実施することが可能である。

【実施例 4】

【0378】

本実施例については、本発明の表示装置を表示部に用いた表示パネルを用いた応用例につ

50

いて、応用形態を図示し説明する。本発明の表示装置を表示部に用いた表示パネルは、移動体や建造物等と一体に設けられた構成をとることもできる。

【0379】

本発明の表示装置を表示部に有する表示パネルの例について、表示装置一体型の移動体をその一例として、図55に示す。図55(a)は、表示装置一体型の移動体の例として電車車両本体9701におけるドアのガラス戸のガラスに表示パネル9702を用いた例について示す。図55(a)に示す本発明の表示装置を表示部に有する表示パネル9702は、外部からの信号により表示部で表示される画像の切り替えが容易である。そのため、電車の乗降客の客層が入れ替わる時間帯ごとに表示パネルの画像を切り替え、より効果的な広告効果が期待できる。

10

【0380】

なお、本発明の表示装置を表示部に有する表示パネルは、図55(a)で示した電車車両本体におけるドアのガラスにのみ適用可能であることに限定されることなく、その形状を異ならせることにより、ありとあらゆる場所に適用可能である。図55(b)にその一例について説明する。

【0381】

図55(b)は、電車車両本体における車内の様子について図示したものである。図55(b)において、図55(a)で示したドアのガラス戸の表示パネル9702の他に、ガラス窓に設けられた表示パネル9703、及び天井より吊り下げられた表示パネル9704を示す。本発明の表示装置を表示部に有する表示パネル9703は、自発光型の表示素子を具備するため、混雑時には広告用の画像を表示し、混雑時以外には表示を行わないことで、電車からの外観をも見ることもできる。また、本発明の表示装置を表示部に有する表示パネル9704はフィルム状の基板に有機トランジスタなどのスイッチング素子を設けることで表示パネル自体を湾曲させ、自発光型の表示素子を駆動し、表示を行うことも可能である。

20

【0382】

また、本発明の表示装置を表示部に有する表示パネルを用いた表示装置一体型の移動体の応用例について、別の応用形態を図56にて説明する。

【0383】

本発明の表示装置を表示部に有する表示パネルの例について、表示装置一体型の移動体をその一例として、図56に示す。図56は、表示装置一体型の移動体の例として自動車の車体9901に一体に取り付けられた表示パネル9902の例について示す。図56に示す本発明の表示装置を表示部に有する表示パネル9902は、自動車の車体と一体に取り付けられており、車体の動作や車体内外から入力される情報をオンデマンドに表示したり、自動車の目的地までのナビゲーション機能をも有する。

30

【0384】

なお、本発明の表示装置を表示部に有する表示パネルは、図56で示した車体のフロント部にのみ適用可能であることに限定されることなく、その形状を異ならせることにより、ガラス窓、ドアなどありとあらゆる場所に適用可能である。

【0385】

また、本発明の表示装置を表示部に有する表示パネルを用いた表示装置一体型の移動体の応用例について、別の応用形態を図57にて説明する。

40

【0386】

本発明の表示装置を表示部に有する表示パネルの例について、表示装置一体型の移動体をその一例として、図57に示す。図57(a)は、表示装置一体型の移動体の例として飛行機車体10101内の客席天井部に一体に取り付けられた表示パネル10102の例について示す。図57(a)に示す本発明の表示装置を表示部に有する表示パネル10102は、飛行機車体10101とヒンジ部10103を介して一体に取り付けられており、ヒンジ部10103の伸縮により乗客は表示パネル10102の視聴が可能になる。表示パネル10102は乗客が操作することで情報を表示したり、広告や娯楽手段として利用

50

できる機能を有する。また、図 5 7 (b) に示すように、ヒンジ部 1 0 1 0 3 を折り曲げて飛行機車体 1 0 1 0 1 に格納することにより、離着陸時の安全に配慮することができる。なお、緊急時に表示パネルの表示素子を点灯させることで、飛行機車体 1 0 1 0 1 の誘導灯としても利用可能である。

【 0 3 8 7 】

なお、本発明の表示装置を表示部に有する表示パネルは、図 5 7 で示した飛行機車体 1 0 1 0 1 の天井部にのみ適用可能であることに限定されることなく、その形状を異ならせることにより、座席やドアなどありとあらゆる場所に適用可能である。例えば座席前の座席後方に表示パネルを設け、操作・視聴を行う構成であってもよい。

【 0 3 8 8 】

なお、本実施例において、移動体としては電車車両本体、自動車車体、飛行機車体について例示したがこれに限定されず、自動二輪車、自動四輪車（自動車、バス等を含む）、電車（モノレール、鉄道等を含む）、船舶等、多岐に渡る。本発明の表示装置を有する表示パネルを適用することにより、表示パネルの小型化、低消費電力化を達成し、且つ動作が良好である表示媒体を具備する移動体を提供することができる。また特に、外部からの信号により、移動体内における複数の表示パネルの表示を一斉に切り替えることが容易であるため、不特定多数の顧客を対象とした広告表示盤、また緊急災害時の情報表示板としても極めて有用であるといえる。

【 0 3 8 9 】

また、本発明の表示装置を表示部に有する表示パネルを用いた応用例について、建造物に用いた応用形態を図 5 8 にて用いて説明する。

【 0 3 9 0 】

図 5 8 は本発明の表示装置を表示部に有する表示パネルとして、フィルム状の基板に有機トランジスタなどのスイッチング素子を設け、自発光型の表示素子を駆動することにより表示パネル自身を湾曲させて表示可能な表示パネルとし、その応用例について説明する。図 5 8 においては、建造物として電柱等の屋外に設けられた柱状体の有する曲面に表示パネルを具備し、ここでは柱状体として電柱 9 8 0 1 に表示パネル 9 8 0 2 を具備する構成について示す。

【 0 3 9 1 】

図 5 8 に示す表示パネル 9 8 0 2 は、電柱の高さの真ん中あたりに位置させ、人間の視点より高い位置に設ける。そして移動体 9 8 0 3 から表示パネルを視認することにより、表示パネル 9 8 0 2 における画像を認識することができる。電柱のように屋外で繰り返し林立し、林立した電柱に設けた表示パネル 9 8 0 2 において同じ映像を表示させることにより、視認者は情報表示、広告表示を視認することができる。図 5 8 において電柱 9 8 0 1 に設けられた表示パネル 9 8 0 2 は、外部からの信号より同じ画像を表示させることが容易であるため、極めて効率的な情報表示、及び広告効果が期待できる。また、本発明の表示パネルには、表示素子として自発光型の表示素子を設けるため、夜間であっても、視認性の高い表示媒体として有用であるといえる。

【 0 3 9 2 】

また、本発明の表示装置を表示部に有する表示パネルを用いた応用例について、図 5 8 とは別の建造物の応用形態を図 5 9 にて説明する。

【 0 3 9 3 】

本発明の表示装置を表示部に有する表示パネルの応用例として、図 5 9 に示す。図 5 9 は、表示装置一体型の例としてユニットバス 1 0 0 0 1 内の側壁に一体に取り付けられた表示パネル 1 0 0 0 2 の例について示す。図 5 9 に示す本発明の表示装置を表示部に有する表示パネル 1 0 0 0 2 は、ユニットバス 1 0 0 0 1 と一体に取り付けられており、入浴者は表示パネル 1 0 0 0 2 の視聴が可能になる。表示パネル 1 0 0 0 2 は入浴者が操作することで情報を表示したり、広告や娯楽手段として利用できる機能を有する。

【 0 3 9 4 】

なお、本発明の表示装置を表示部に有する表示パネルは、図 5 9 で示したユニットバス 1

10

20

30

40

50

０００１の側壁にのみ適用可能であることに限定されることなく、その形状を異ならせることにより、鏡面の一部や浴槽自体と一体にするなどありとあらゆる場所に適用可能である。

【０３９５】

また図６０に建造物内に大型の表示部を有するテレビジョン装置を設けた例について示す。図６０は、筐体８０１０、表示部８０１１、操作部であるリモコン装置８０１２、スピーカー部８０１３等を含む。本発明の表示装置を表示部に有する表示パネルは、表示部８０１１の作製に適用される。図６０のテレビジョン装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

【０３９６】

なお、本実施例において、建造物として電柱、ユニットバス、建造物内部等を例としたが、本実施例はこれに限定されず、表示パネルを備えることのできる建造物であれば何でもよい。本発明の表示装置を表示パネルに備えることで、色鮮やかな色彩を表現できる表示媒体を具備する建造物を提供することができる。

【０３９７】

なお、本実施例は、本明細書中の他の実施形態及び実施例のいかなる記載とも自由に組み合わせ実施することができる。また、本実施例中のいかなる記載も自由に組み合わせ実施することができる。

【図面の簡単な説明】

【０３９８】

【図１】本発明の表示装置の模式図。

【図２】本発明の表示装置の絵素の模式図。

【図３】本発明の表示装置の絵素の回路図。

【図４】本発明の表示装置の画素の回路図。

【図５】本発明の表示装置のタイミングチャート図。

【図６】本発明の表示装置の発光素子の断面図。

【図７】本発明の表示装置の断面図。

【図８】発光素子の発光スペクトル図。

【図９】発光素子の発光スペクトル図。

【図１０】発光素子の発光スペクトル図。

【図１１】本発明の発光素子のＣＩＥ－ＸＹ色度図。

【図１２】本発明の表示装置の発光素子の断面図。

【図１３】発光素子の発光スペクトル図。

【図１４】本発明の表示装置の断面図。

【図１５】本発明の表示装置の断面図。

【図１６】本発明の表示装置の絵素の模式図。

【図１７】本発明の表示装置の絵素の模式図。

【図１８】本発明の表示装置の絵素の模式図。

【図１９】本発明の表示装置の絵素の模式図。

【図２０】本発明の表示装置の画素の回路図。

【図２１】本発明の表示装置のタイミングチャート図。

【図２２】本発明の表示装置のタイミングチャート図。

【図２３】本発明の表示装置の画素の回路図。

【図２４】本発明の表示装置の画素の回路図。

【図２５】本発明の表示装置におけるトランジスタの動作について説明する図。

【図２６】本発明の表示装置の絵素の回路図。

【図２７】本発明の表示装置の画素の上面図。

【図２８】本発明の表示装置の絵素の回路図。

【図２９】本発明の表示装置の絵素の回路図。

【図３０】本発明の表示装置の一形態図。

10

20

30

40

50

【図 3 1】	本発明の表示装置の一形態図。	
【図 3 2】	本発明の表示装置の一形態図。	
【図 3 3】	本発明の表示装置が適用可能な電子機器を説明する図。	
【図 3 4】	本発明の表示装置が適用可能な電子機器を説明する図。	
【図 3 5】	本発明の表示装置が適用可能な電子機器を説明する図。	
【図 3 6】	本発明の表示装置が適用可能な電子機器を説明する図。	
【図 3 7】	本発明の表示装置が適用可能な電子機器を説明する図。	
【図 3 8】	本発明の表示装置が適用可能な電子機器を説明する図。	
【図 3 9】	従来例について説明するための C I E - X Y 色度図。	
【図 4 0】	本発明の表示装置の断面図。	10
【図 4 1】	本発明の表示装置の断面図。	
【図 4 2】	本発明の表示装置の断面図。	
【図 4 3】	本発明の表示装置の断面図。	
【図 4 4】	本発明の表示装置の画素の回路図。	
【図 4 5】	本発明の表示装置の発光素子の断面図。	
【図 4 6】	本発明の表示装置の模式図。	
【図 4 7】	本発明の表示装置の断面図。	
【図 4 8】	本発明の表示装置の断面図。	
【図 4 9】	本発明の表示装置の断面図。	
【図 5 0】	本発明の表示装置の模式図。	20
【図 5 1】	本発明の表示装置の断面図。	
【図 5 2】	本発明の表示装置の画素の回路図。	
【図 5 3】	本発明の表示装置の絵素の模式図。	
【図 5 4】	本発明の表示装置の発光素子の断面図。	
【図 5 5】	本発明の電子機器の利用法を示す図。	
【図 5 6】	本発明の電子機器の利用法を示す図。	
【図 5 7】	本発明の電子機器の利用法を示す図。	
【図 5 8】	本発明の電子機器の利用法を示す図。	
【図 5 9】	本発明の電子機器の利用法を示す図。	
【図 6 0】	本発明の電子機器の利用法を示す図。	30
【符号の説明】		
【 0 3 9 9 】		
R 1	発光素子	
R 2	発光素子	
R 3	発光素子	
G 1	発光素子	
G 2	発光素子	
G 3	発光素子	
B 1	発光素子	
B 2	発光素子	40
B 3	発光素子	
W	発光素子	
W 1	発光素子	
W 2	発光素子	
1 0 0	画素部	
1 0 1	画素	
1 0 2	信号線駆動回路	
1 0 2 a	シフトレジスタ	
1 0 2 b	第 1 のラッチ回路	
1 0 2 c	第 2 のラッチ回路	50

1 0 3	走査線駆動回路	
2 0 0	絵素	
2 0 1	第 1 の画素	
2 0 2	第 2 の画素	
2 0 3	第 3 の画素	
2 0 4	第 4 の画素	
2 0 5	第 5 の画素	
2 0 6	第 6 の画素	
3 0 1	第 1 のトランジスタ	
3 0 2	第 2 のトランジスタ	10
3 0 3	発光素子	
3 0 4	保持容量	
4 0 1	第 1 のトランジスタ	
4 0 2	第 2 のトランジスタ	
4 0 3	保持容量	
4 0 4	発光素子	
4 0 5	信号線	
4 0 6	電源線	
4 0 7	走査線	
5 0 1	フレーム期間	20
6 0 1	基板	
6 0 2	陽極	
6 0 3	正孔注入層	
6 0 4	正孔輸送層	
6 0 5	発光層	
6 0 6	電子輸送層	
6 0 7	電子注入層	
6 0 8	陰極	
7 0 0	基板	
7 0 1	駆動用 T F T	30
7 0 2	第 1 の電極	
7 0 3	発光層	
7 0 4	第 2 の電極	
8 0 1	発光スペクトル	
8 0 2	発光スペクトル	
9 0 1	発光スペクトル	
9 0 2	発光スペクトル	
1 0 0 1	発光スペクトル	
1 0 0 2	発光スペクトル	
1 2 0 1 A	正孔注入層	40
1 2 0 1 B	正孔注入層	
1 2 0 2 A	正孔輸送層	
1 2 0 2 B	正孔輸送層	
1 2 0 3 A	発光層	
1 2 0 3 B	発光層	
1 2 0 4 A	電子輸送層	
1 2 0 4 B	電子輸送層	
1 2 0 5 A	電子注入層	
1 2 0 5 B	電子注入層	
1 2 0 1	正孔注入層	50

1 2 0 2	正孔輸送層	
1 2 0 3	発光層	
1 2 0 4	電子輸送層	
1 2 0 5	電子注入層	
1 2 0 6	共蒸着層	
1 2 1 1	基板	
1 2 1 2	トランジスタ	
1 2 1 3	陽極	
1 2 1 4	陰極	
1 3 0 1	発光スペクトル	10
1 3 0 2	発光スペクトル	
1 4 0 0	基板	
1 4 0 1	下地絶縁膜	
1 4 0 2	半導体層	
1 4 0 3	ゲート絶縁膜	
1 4 0 4	ゲート電極	
1 4 0 5	層間絶縁膜	
1 4 0 6	接続部	
1 4 0 7	第 1 の電極	
1 4 0 8	隔壁	20
1 4 0 9	発光層	
1 4 1 0	第 2 の電極	
1 4 1 1	カラーフィルター (R 1)	
1 4 1 2	カラーフィルター (R 2)	
1 4 1 3	カラーフィルター (G 1)	
1 4 1 4	カラーフィルター (G 2)	
1 4 1 5	カラーフィルター (B 1)	
1 4 1 6	カラーフィルター (B 2)	
1 4 1 7	対向基板	
1 6 0 0	絵素	30
1 6 0 1	第 1 の画素	
1 6 0 2	第 2 の画素	
1 6 0 3	第 3 の画素	
1 6 0 4	第 4 の画素	
1 6 0 5	第 5 の画素	
1 6 0 6	第 6 の画素	
1 7 0 0	絵素	
1 7 0 1	第 1 の画素	
1 7 0 2	第 2 の画素	
1 7 0 3	第 3 の画素	40
1 7 0 4	第 4 の画素	
1 7 0 5	第 5 の画素	
1 7 0 6	第 6 の画素	
1 7 1 0	絵素	
1 8 0 0	絵素	
1 8 0 1	第 1 の画素	
1 8 0 2	第 2 の画素	
1 8 0 3	第 3 の画素	
1 8 0 4	第 4 の画素	
1 8 0 5	第 5 の画素	50

1 8 0 6	第 6 の画素	
1 8 0 7	第 7 の画素	
1 8 0 8	第 8 の画素	
1 8 0 9	第 9 の画素	
1 9 0 0	絵素	
1 9 0 1	第 1 の画素	
1 9 0 2	第 2 の画素	
1 9 0 3	第 3 の画素	
1 9 0 4	第 4 の画素	
1 9 0 5	第 5 の画素	10
1 9 0 6	第 6 の画素	
1 9 0 7	第 7 の画素	
2 0 0 1	第 1 のトランジスタ	
2 0 0 2	第 2 のトランジスタ	
2 0 0 3	第 3 のトランジスタ	
2 0 0 4	発光素子	
2 0 0 5	保持容量	
2 0 0 6	信号線	
2 0 0 7	第 1 の走査線	
2 0 0 8	第 2 の走査線	20
2 0 0 9	電源線	
2 0 1 0	対向電極	
2 1 0 1	フレーム期間	
2 1 1 0	基板	
2 1 1 3	第 1 の電極	
2 1 1 4	隔壁	
2 1 1 5 B	発光層	
2 1 1 5 G	発光層	
2 1 1 5 R	発光層	
2 1 1 6	第 2 の電極	30
2 1 2 1	発光領域	
2 1 2 2	隔壁	
2 2 0 1	フレーム期間	
2 2 0 2	期間	
2 2 0 3	期間	
2 2 0 4	期間	
2 2 0 5	期間	
2 2 0 6	期間	
2 2 0 7	期間	
2 3 0 1	消去ダイオード	40
2 3 0 2	走査線	
2 3 0 3	データ線	
2 3 0 4	隔壁	
2 3 0 6	入力端子	
2 3 0 7	入力端子	
2 3 0 8	接続配線	
2 3 0 9 a	F P C	
2 3 0 9 b	F P C	
2 3 1 0	基板	
2 3 1 1	シール材	50

2 4 0 1	トランジスタ	
2 6 0 1 A	スイッチングトランジスタ	
2 6 0 1 B	スイッチングトランジスタ	
2 6 0 2 A	駆動トランジスタ	
2 6 0 2 B	駆動トランジスタ	
2 6 0 4	信号線	
2 6 0 5 A	走査線	
2 6 0 5 B	走査線	
2 6 0 6	電源線	
2 7 0 1 A	保持容量	10
2 7 0 1 B	保持容量	
3 0 0 1	信号線駆動回路	
3 0 0 2	画素部	
3 0 0 3	走査線駆動回路	
3 0 0 4	封止基板	
3 0 0 5	シール材	
3 0 0 6	走査線駆動回路	
3 0 0 7	空間	
3 0 0 8	配線	
3 0 0 9	F P C	20
3 0 1 0	基板	
3 0 1 1	T F T	
3 0 1 2	T F T	
3 0 1 3	第 1 の電極	
3 0 1 4	絶縁物	
3 0 1 6	発光層	
3 0 1 7	第 2 の電極	
3 0 1 8	発光素子	
3 0 1 9	I C チップ	
3 0 2 0	Nチャネル型 T F T	30
3 0 2 1	Nチャネル型 T F T	
3 1 0 0	基板	
3 1 0 1	信号線駆動回路	
3 1 0 2	画素部	
3 1 0 3	走査線駆動回路	
3 1 0 4	走査線駆動回路	
3 1 0 5	F P C	
3 1 0 6	I C チップ	
3 1 0 7	I C チップ	
3 1 0 8	封止基板	40
3 1 0 9	シール材	
3 1 1 0	基板	
3 1 1 1	信号線駆動回路	
3 1 1 2	画素部	
3 1 1 3	走査線駆動回路	
3 1 1 4	走査線駆動回路	
3 1 1 5	F P C	
3 1 1 6	I C チップ	
3 1 1 7	I C チップ	
3 1 1 8	封止基板	50

3 1 1 9	シール材	
3 2 0 0	基板	
3 2 0 1	周辺駆動回路	
3 2 0 2	画素部	
3 2 0 4	F P C	
3 2 0 5	I C チップ	
3 2 0 6	I C チップ	
3 2 0 7	封止基板	
3 2 0 8	シール材	
3 2 1 0	基板	10
3 2 1 1	周辺駆動回路	
3 2 1 2	画素部	
3 2 1 3	F P C	
3 2 1 4	F P C	
3 3 0 1	表示パネル	
3 3 0 2	画素部	
3 3 0 3	走査線駆動回路	
3 3 0 4	信号線駆動回路	
3 3 1 1	回路基板	
3 3 1 2	コントロール回路	20
3 3 1 3	信号分割回路	
3 3 1 4	接続配線	
3 4 0 1	チューナ	
3 4 0 2	映像信号増幅回路	
3 4 0 3	映像信号処理回路	
3 4 0 4	信号線駆動回路	
3 4 0 5	音声信号増幅回路	
3 4 0 6	音声信号処理回路	
3 4 0 7	スピーカー	
3 4 0 8	制御回路	30
3 4 0 9	入力部	
3 4 1 0	走査線駆動回路	
3 4 1 1	表示パネル	
3 4 1 2	コントロール回路	
3 4 1 3	信号分割回路	
3 5 0 1	筐体	
3 5 0 2	表示画面	
3 5 0 3	スピーカー	
3 5 0 4	操作スイッチ	
3 5 1 0	充電器	40
3 5 1 2	筐体	
3 5 1 3	表示部	
3 5 1 6	操作キー	
3 5 1 7	スピーカー部	
3 6 0 1	表示パネル	
3 6 0 2	プリント配線基板	
3 6 0 3	画素部	
3 6 0 4	走査線駆動回路	
3 6 0 5	走査線駆動回路	
3 6 0 6	信号線駆動回路	50

3 6 0 7	コントローラ	
3 6 0 8	C P U	
3 6 0 9	メモリ	
3 6 1 0	電源回路	
3 6 1 1	音声処理回路	
3 6 1 2	送受信回路	
3 6 1 3	フレキシブル配線基板	
3 6 1 4	I / F 部	
3 6 1 5	アンテナ用ポート	
3 6 1 6	V R A M	10
3 6 1 7	D R A M	
3 6 1 8	フラッシュメモリ	
3 6 1 9	インターフェイス	
3 6 2 0	制御信号生成回路	
3 6 2 1	デコーダ	
3 6 2 2	レジスタ	
3 6 2 3	演算回路	
3 6 2 4	R A M	
3 6 2 5	入力手段	
3 6 2 6	マイク	20
3 6 2 7	スピーカ	
3 6 2 8	アンテナ	
3 7 0 1	表示パネル	
3 7 1 3	F P C	
3 7 3 0	ハウジング	
3 7 3 1	プリント基板	
3 7 3 2	スピーカ	
3 7 3 3	マイクロフォン	
3 7 3 4	送受信回路	
3 7 3 5	信号処理回路	30
3 7 3 6	入力手段	
3 7 3 7	バッテリー	
3 7 3 9	筐体	
3 7 4 0	アンテナ	
3 9 0 1	点線	
3 9 0 2	点線	
3 9 0 3	点線	
3 9 0 4	点線	
3 9 0 5	三角形	
4 0 0 0	基板	40
4 0 0 1	下地絶縁膜	
4 0 0 2	半導体層	
4 0 0 3	ゲート絶縁膜	
4 0 0 4	ゲート電極	
4 0 0 5	層間絶縁膜	
4 0 0 6	接続部	
4 0 0 7	第 1 の電極	
4 0 0 8	隔壁	
4 0 0 9 A	発光層	
4 0 0 9 B	発光層	50

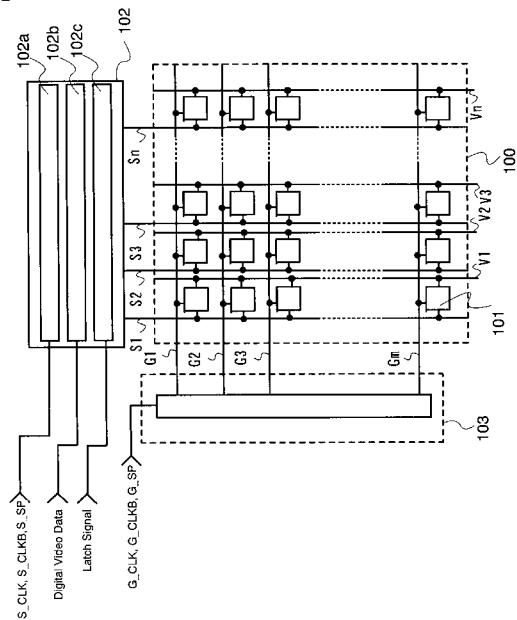
4 0 1 0	第 2 の電 極	
4 0 1 1	色変換層 (R 1)	
4 0 1 2	色変換層 (G 1)	
4 0 1 3	色変換層 (R 2)	
4 0 1 4	色変換層 (G 2)	
4 0 1 5	対向基板	
4 1 0 9 A	発光層	
4 1 0 9 B	発光層	
4 4 0 1	第 1 のトランジスタ	
4 4 0 2	第 2 のトランジスタ	10
4 4 0 3	信号線	
4 4 0 4	第 1 電源供給線	
4 4 0 5	第 2 電源供給線	
4 4 0 6	発光素子	
4 4 0 7	走査線	
4 6 0 1	カラム信号線駆動回路	
4 6 0 2	ロウ信号線駆動回路	
4 6 0 3	画素部	
4 6 0 4	発光素子	
5 0 0 1	第 1 の基板	20
5 0 0 2	カラム信号線	
5 0 0 3	ロウ信号線	
5 0 0 4	隔壁	
5 0 0 5	交差部	
5 0 0 6	入力端子	
5 0 0 7	入力端子	
5 0 0 8	接続配線	
5 0 0 9 a	F P C	
5 0 0 9 b	F P C	
5 0 1 0	第 2 の基板	30
5 0 1 1	シール材	
5 1 0 1	層間絶縁膜	
5 1 0 2	配線	
5 1 0 3	反射電極	
5 1 0 4	反射電極	
6 0 0 1	第 1 のトランジスタ	
6 0 0 2	第 2 のトランジスタ	
6 0 0 3	信号線	
6 0 0 4	第 1 電源供給線	
6 0 0 5	第 2 電源供給線	40
6 0 0 6	発光素子	
6 0 0 7	走査線	
6 0 0 8	電流源回路	
6 0 0 9	第 3 のトランジスタ	
6 0 1 0	保持容量	
7 0 0 1	第 1 のトランジスタ	
7 0 0 2	第 2 のトランジスタ	
7 0 0 3	信号線	
7 0 0 4	第 1 電源供給線	
7 0 0 5	第 2 電源供給線	50

7 0 0 6	発光素子	
7 0 0 7	第 1 の走査線	
7 0 0 9	第 3 のトランジスタ	
7 0 1 0	保持容量	
7 0 1 6	第 2 の走査線	
7 6 0 1	基板	
7 6 0 2	下地膜	
7 6 0 3	画素電極	
7 6 0 4	第 1 の電極	
7 6 0 5	配線	10
7 6 0 6	配線	
7 6 0 7	N 型半導体層	
7 6 0 8	N 型半導体層	
7 6 0 9	半導体層	
7 6 1 0	ゲート絶縁膜	
7 6 1 1	絶縁膜	
7 6 1 2	ゲート電極	
7 6 1 3	第 2 の電極	
7 6 1 4	層間絶縁物	
7 6 1 5	発光層	20
7 6 1 6	対向電極	
7 6 1 7	発光素子	
7 6 1 8	駆動トランジスタ	
7 6 1 9	保持容量	
7 6 2 0	第 1 の電極	
7 7 0 1	基板	
7 7 0 2	下地膜	
7 7 0 3	ゲート電極	
7 7 0 4	第 1 の電極	
7 7 0 5	ゲート絶縁膜	30
7 7 0 6	半導体層	
7 7 0 7	半導体層	
7 7 0 8	N 型半導体層	
7 7 0 9	N 型半導体層	
7 7 1 0	N 型半導体層	
7 7 1 1	配線	
7 7 1 2	配線	
7 7 1 3	導電層	
7 7 1 4	画素電極	
7 7 1 5	絶縁物	40
7 7 1 6	発光層	
7 7 1 7	対向電極	
7 7 1 8	発光素子	
7 7 1 9	駆動トランジスタ	
7 7 2 0	保持容量	
7 7 2 1	第 2 の電極	
7 8 0 1	絶縁物	
7 8 0 2	絶縁物	
8 0 1 0	筐体	
8 0 1 1	表示部	50

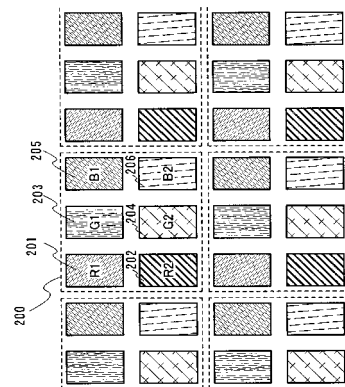
8 0 1 2	リモコン装置	
8 0 1 3	スピーカ－部	
9 7 0 1	電車車両本体	
9 7 0 2	表示パネル	
9 7 0 3	表示パネル	
9 7 0 4	表示パネル	
9 8 0 1	電柱	
9 8 0 2	表示パネル	
9 8 0 3	移動体	
9 9 0 1	車体	10
9 9 0 2	表示パネル	
1 0 0 0 1	ユニットバス	
1 0 0 0 2	表示パネル	
1 0 1 0 1	飛行機車体	
1 0 1 0 2	表示パネル	
1 0 1 0 3	ヒンジ部	
3 8 1 0 1	筐体	
3 8 1 0 2	支持台	
3 8 1 0 3	表示部	
3 8 2 0 1	本体	20
3 8 2 0 2	表示部	
3 8 2 0 3	受像部	
3 8 2 0 4	操作キー	
3 8 2 0 5	外部接続ポート	
3 8 2 0 6	シャッター	
3 8 3 0 1	本体	
3 8 3 0 2	筐体	
3 8 3 0 3	表示部	
3 8 3 0 4	キーボード	
3 8 3 0 5	外部接続ポート	30
3 8 3 0 6	ポインティングデバイス	
3 8 4 0 1	本体	
3 8 4 0 2	表示部	
3 8 4 0 3	スイッチ	
3 8 4 0 4	操作キー	
3 8 4 0 5	赤外線ポート	
3 8 5 0 1	本体	
3 8 5 0 2	筐体	
3 8 5 0 3	表示部 A	
3 8 5 0 4	表示部 B	40
3 8 5 0 5	部	
3 8 5 0 6	操作キー	
3 8 5 0 7	スピーカ－部	
3 8 6 0 1	本体	
3 8 6 0 2	表示部	
3 8 6 0 3	イヤホン	
3 8 6 0 4	支持部	
3 8 7 0 1	筐体	
3 8 7 0 2	表示部	
3 8 7 0 3	スピーカ－部	50

3 8 7 0 4	操作キー
3 8 7 0 5	記憶媒体挿入部
3 8 8 0 1	本体
3 8 8 0 2	表示部
3 8 8 0 3	操作キー
3 8 8 0 4	スピーカー
3 8 8 0 5	シャッター
3 8 8 0 6	受像部
3 8 8 0 7	アンテナ

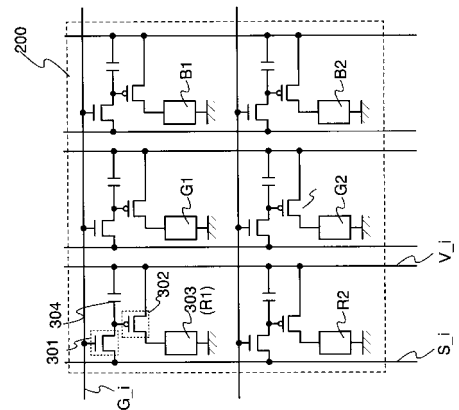
【図 1】



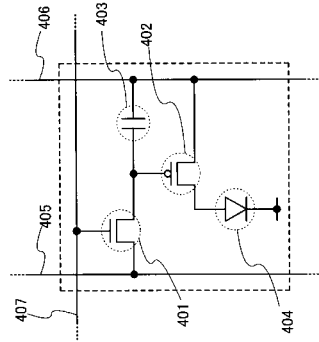
【図 2】



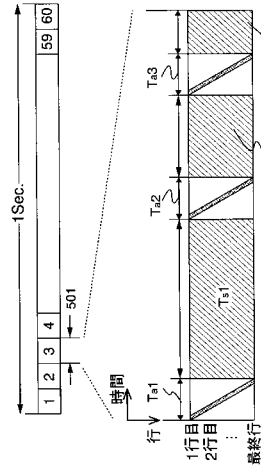
【図 3】



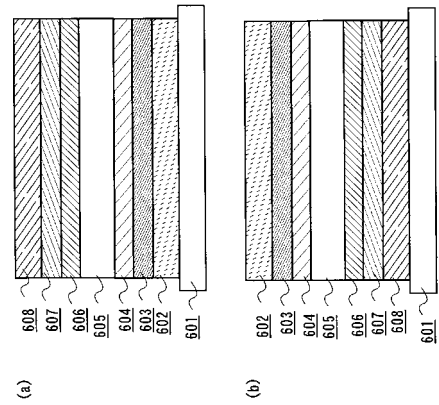
【図 4】



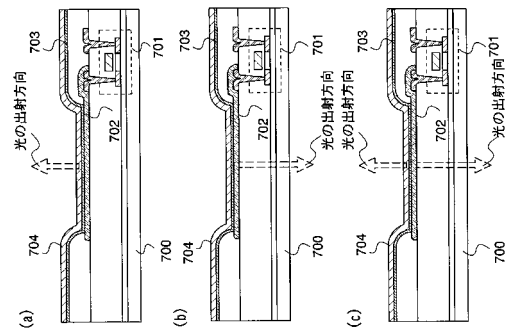
【図 5】



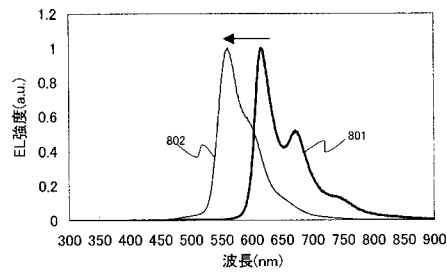
【図 6】



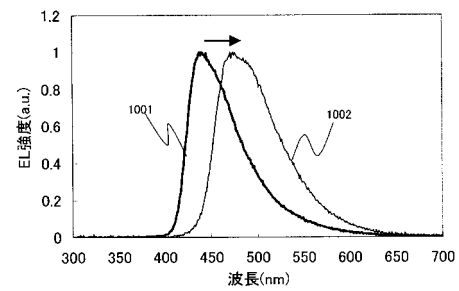
【図 7】



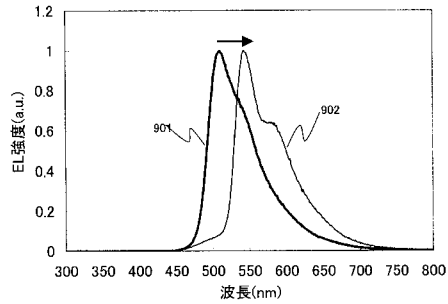
【図 8】



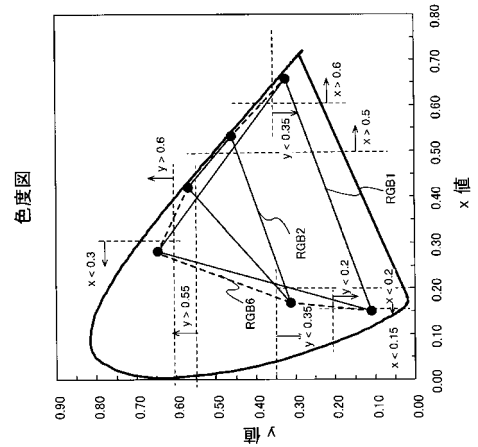
【図 10】



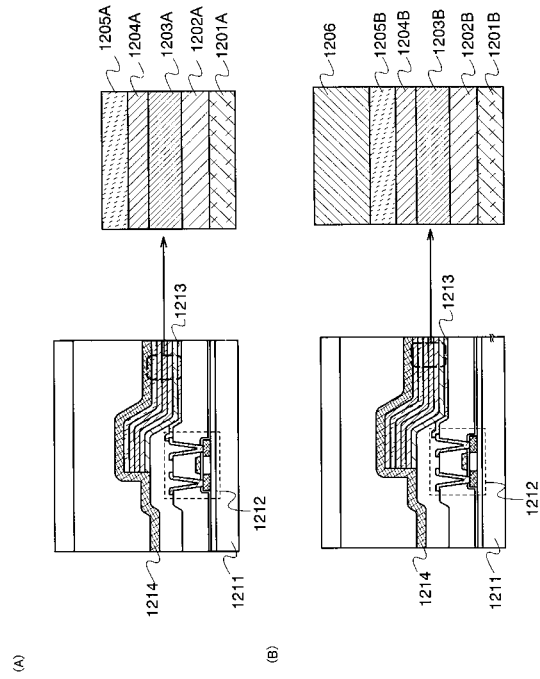
【図 9】



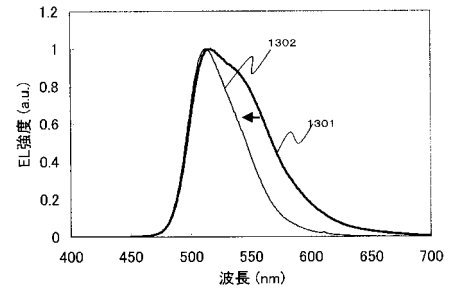
【図 11】



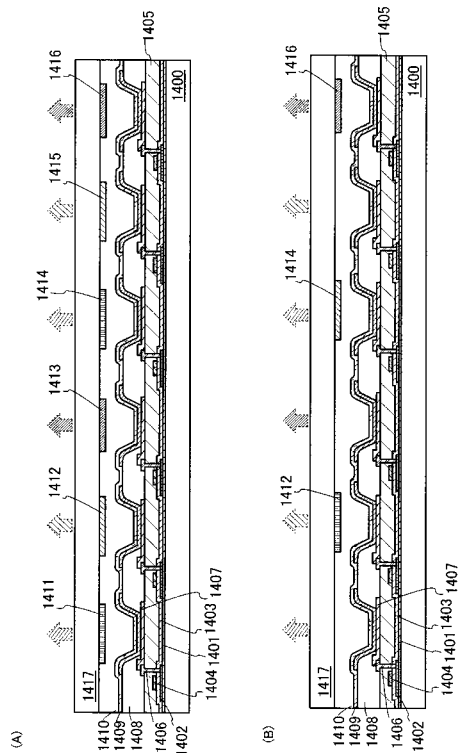
【図 1 2】



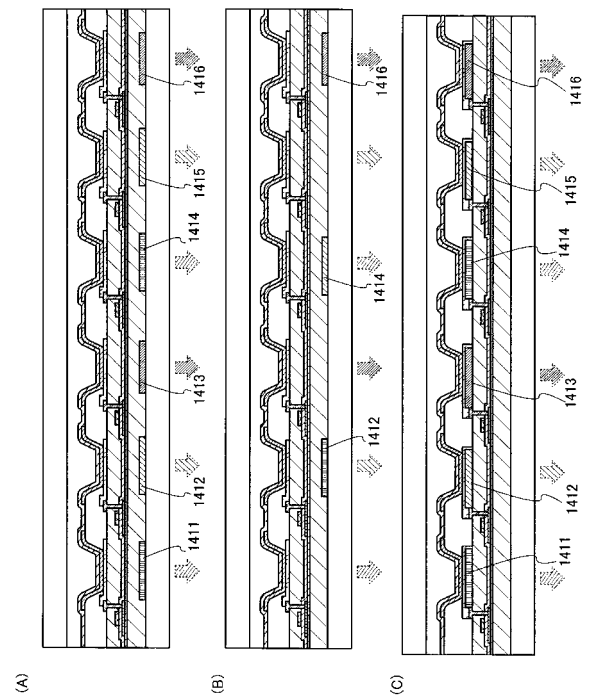
【図 1 3】



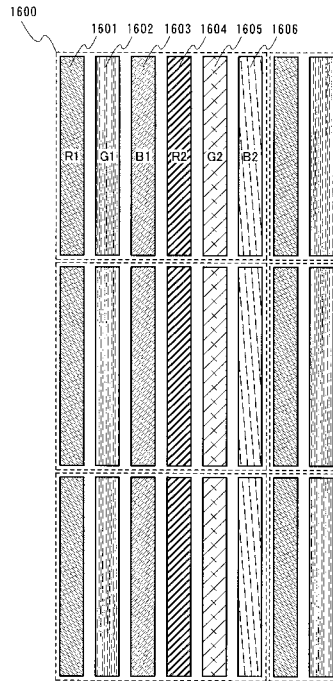
【図 1 4】



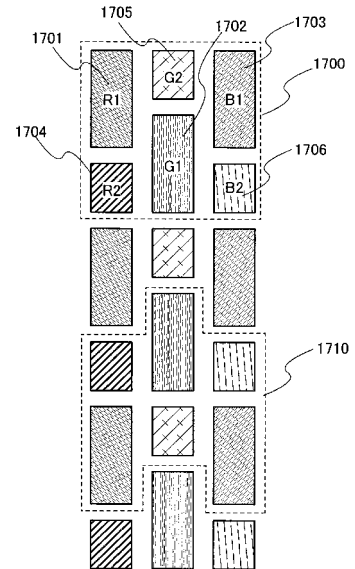
【図 1 5】



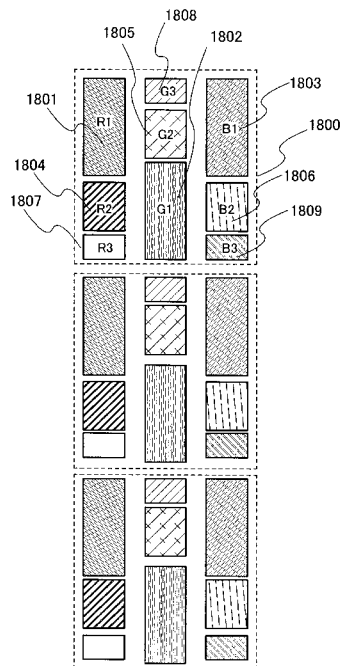
【図 16】



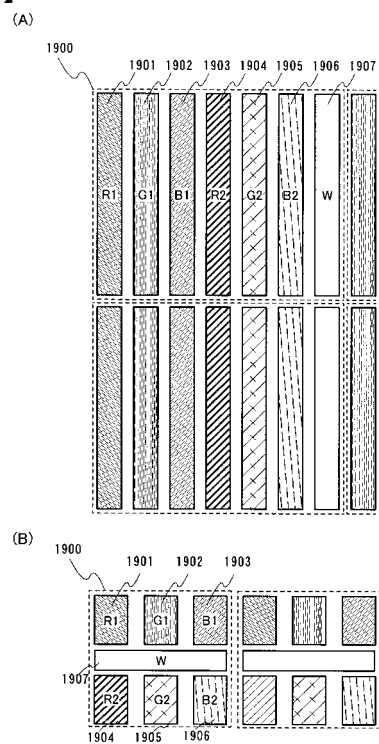
【図 17】



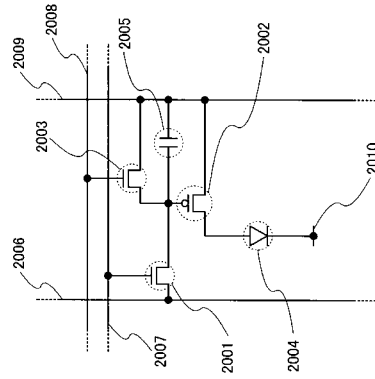
【図 18】



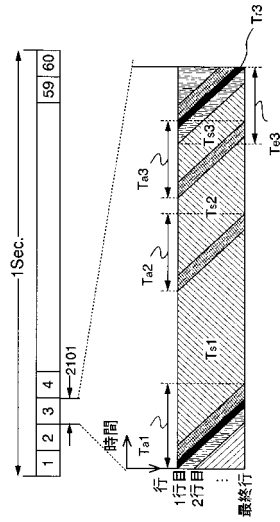
【図 19】



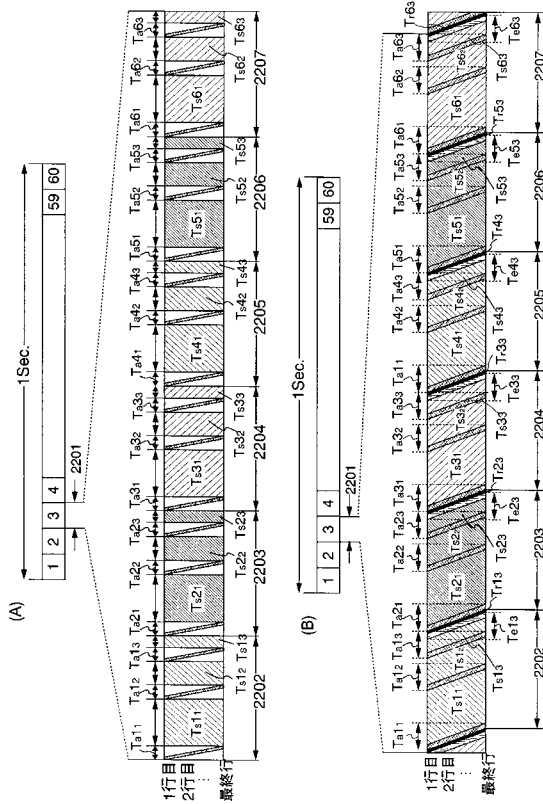
【図 20】



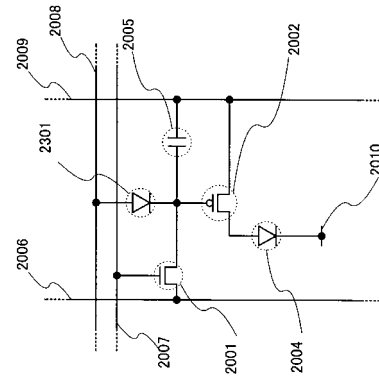
【図 21】



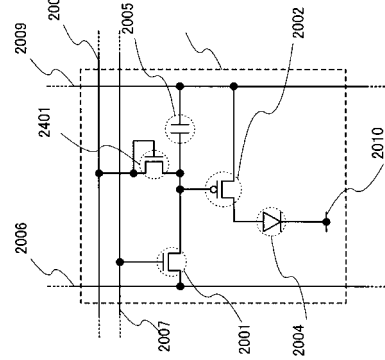
【図 22】



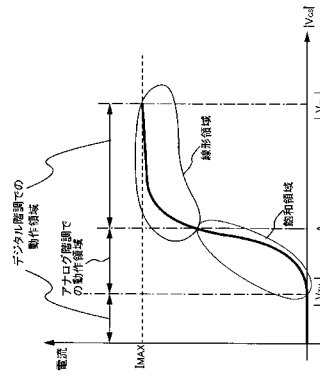
【図 23】



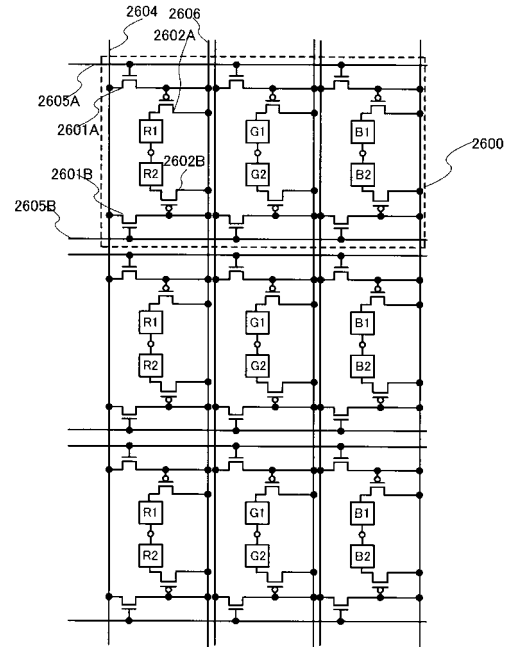
【図 24】



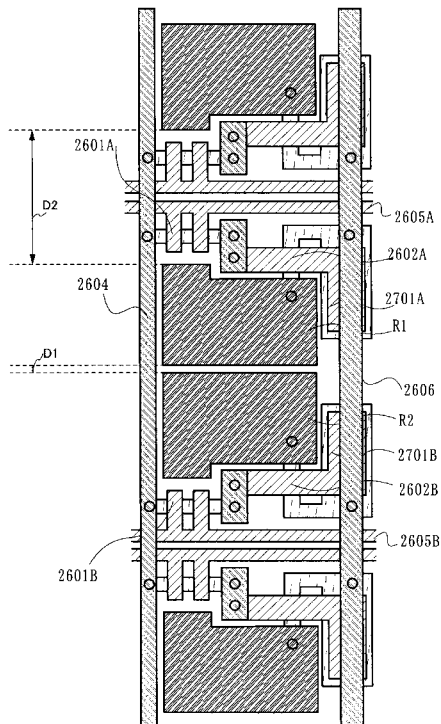
【図 25】



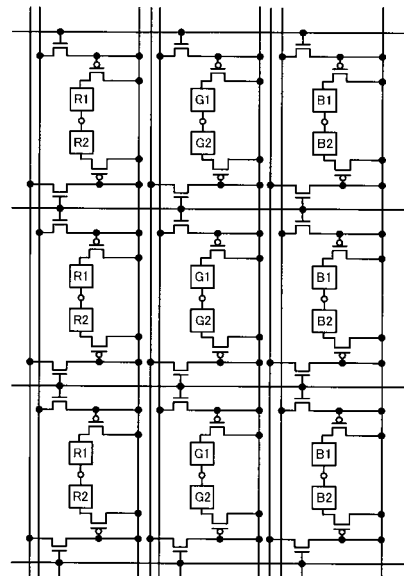
【図 26】



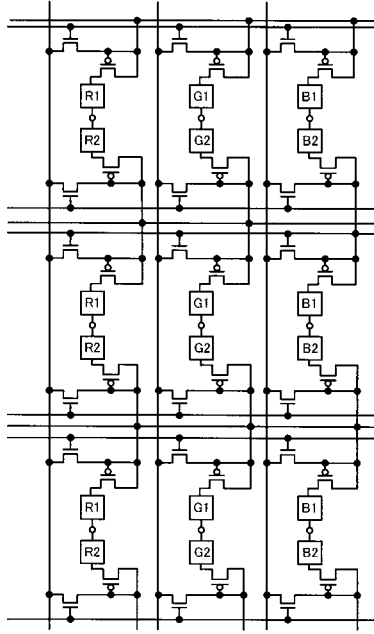
【図 27】



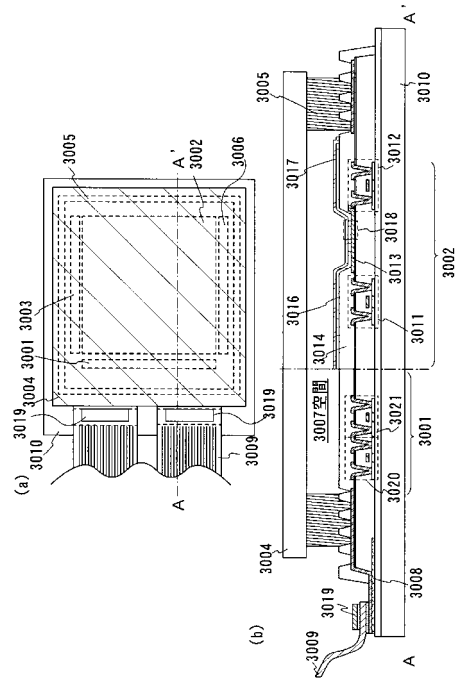
【図 28】



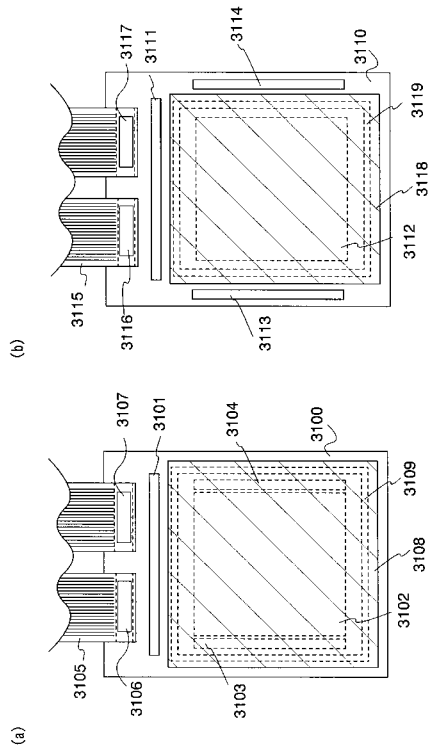
【図 29】



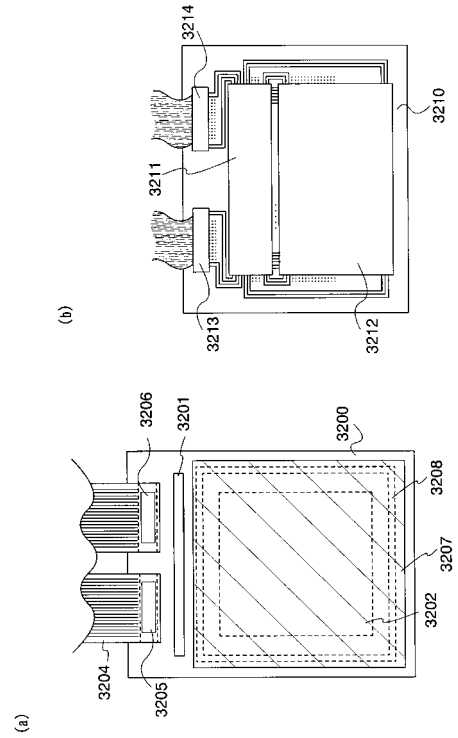
【図 30】



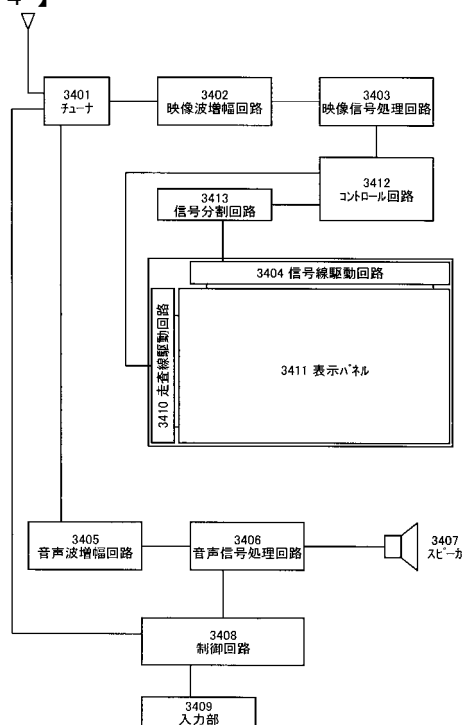
【図 31】



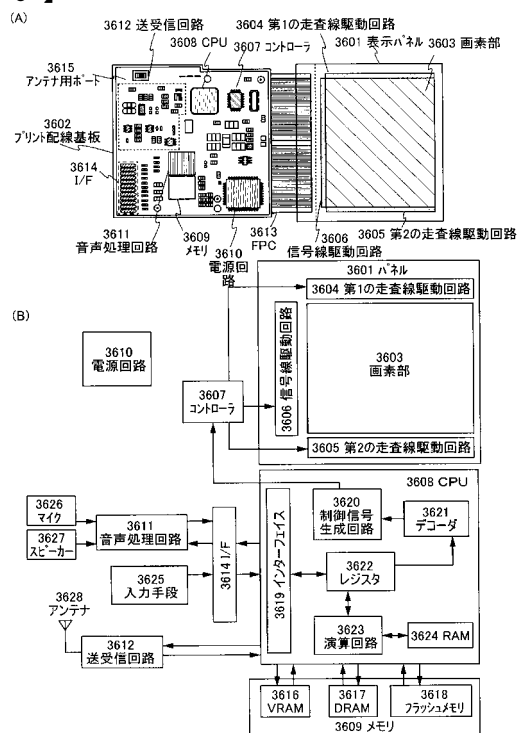
【図 32】



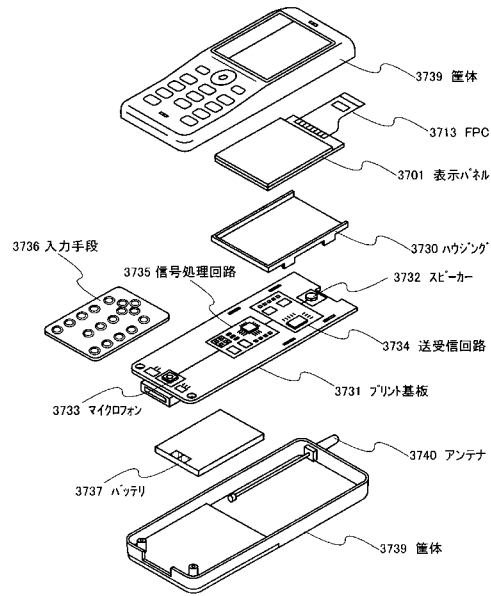
【 図 3 4 】



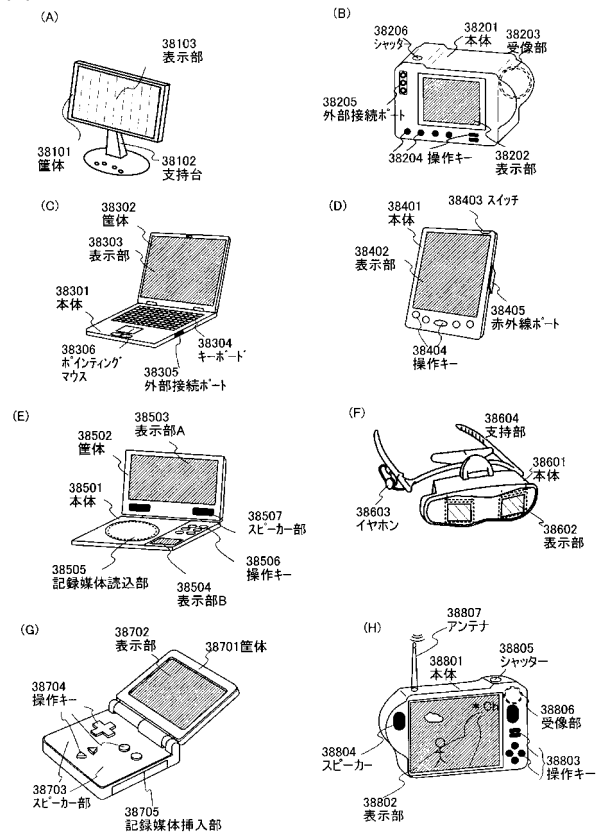
【 図 3 6 】



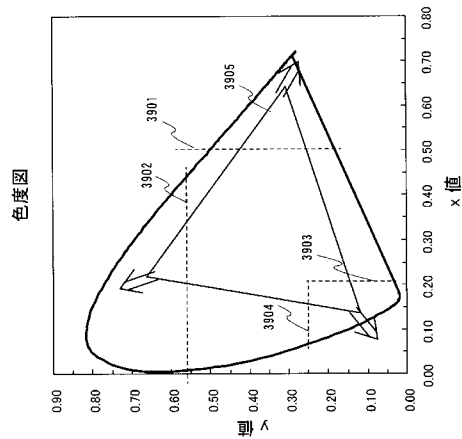
【図 37】



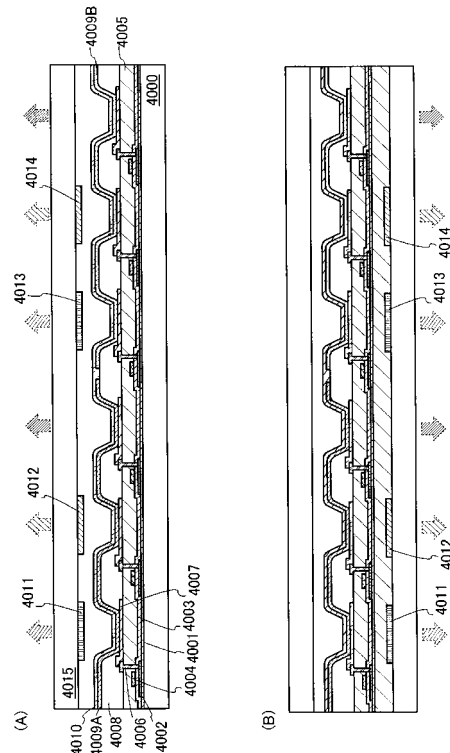
【図 38】



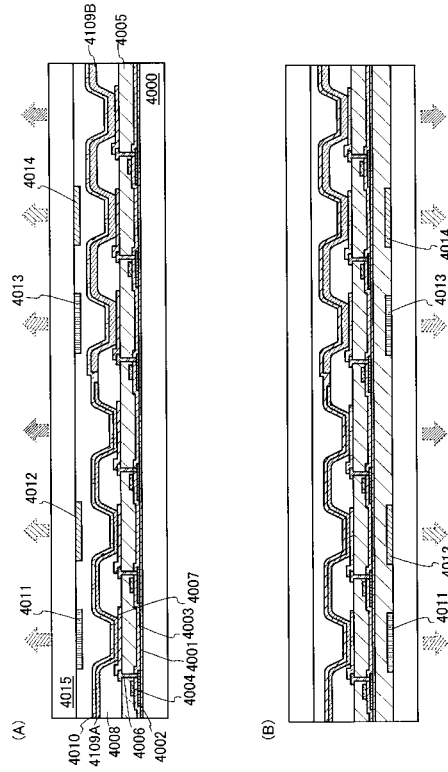
【図 39】



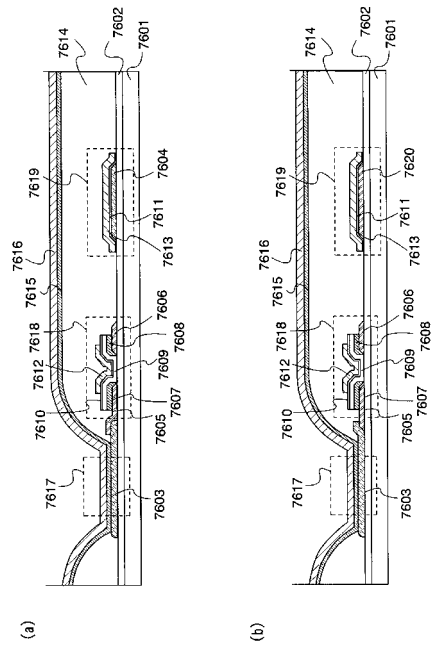
【図 40】



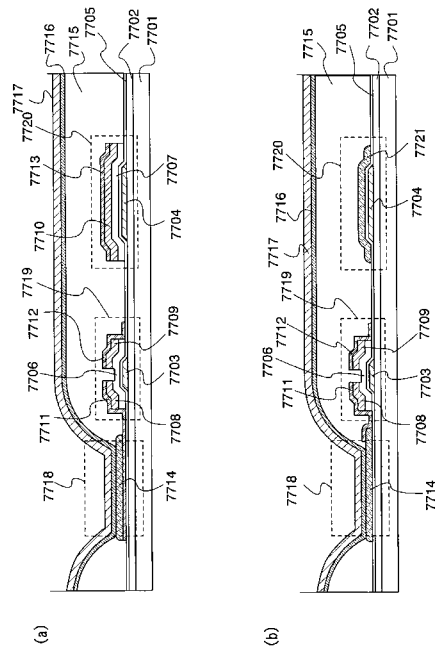
【図 4 1】



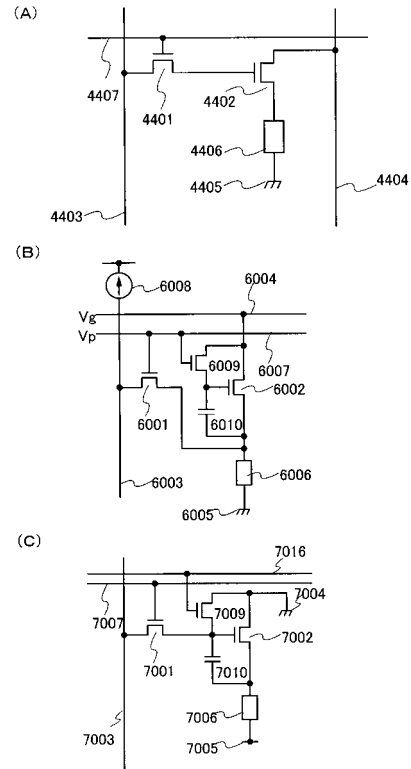
【図 4 2】



【図 4 3】



【図 4 4】



(A)



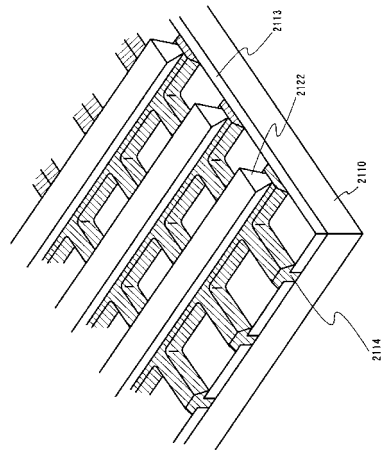
【 図 4 6 】



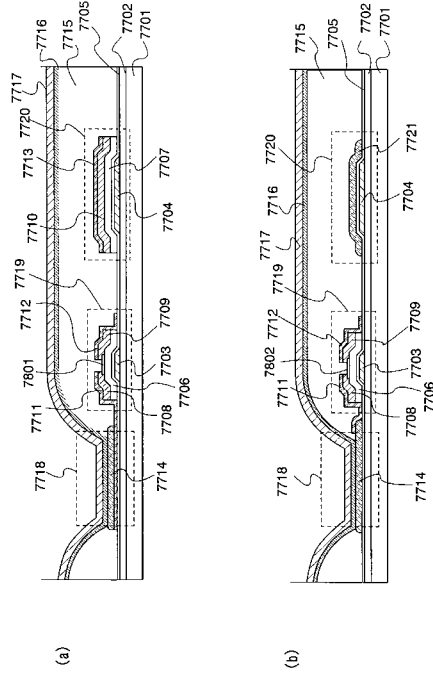
(C) B-B'断面



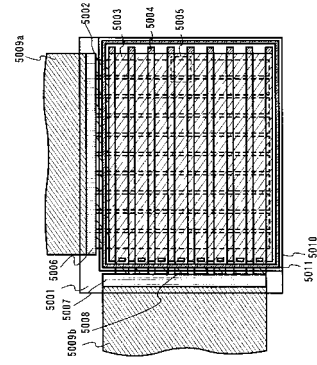
【 図 4 8 】



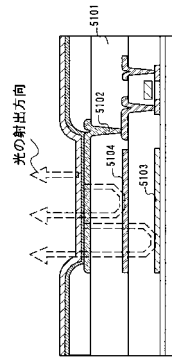
【図 49】



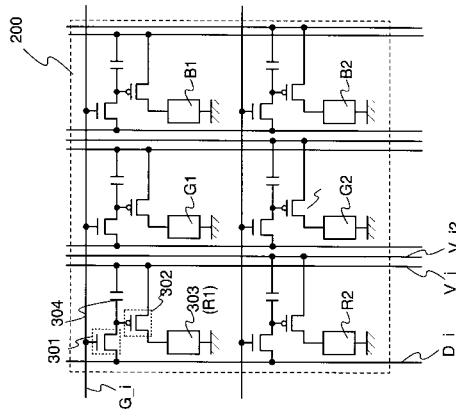
【図 50】



【図 51】

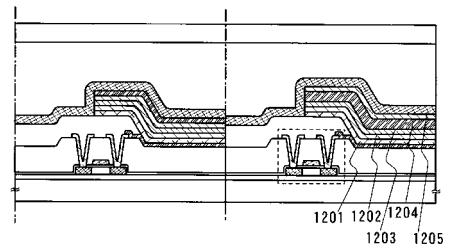


【図 52】

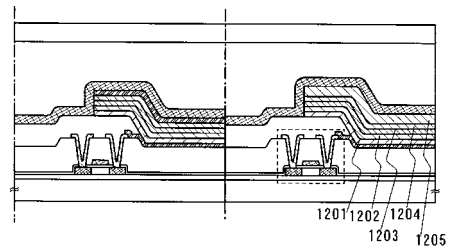


【図 54】

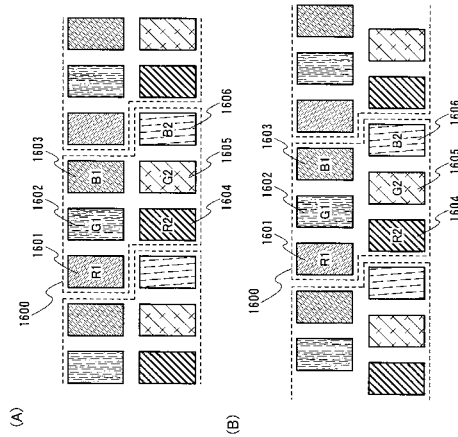
(A)



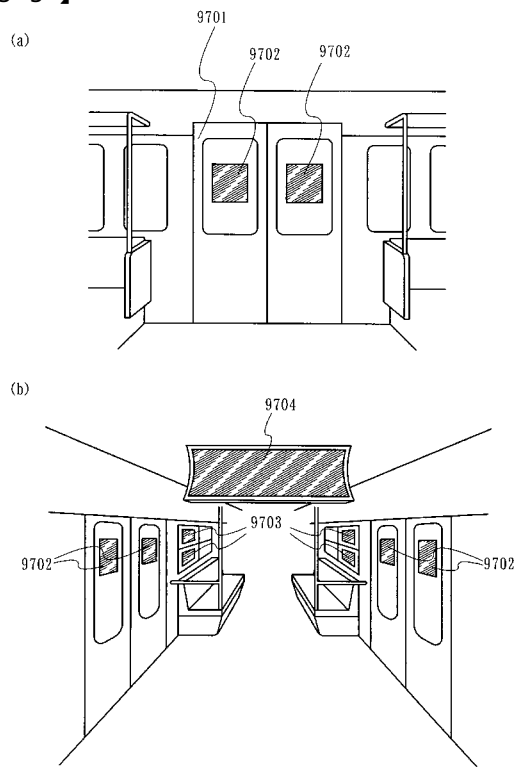
(B)



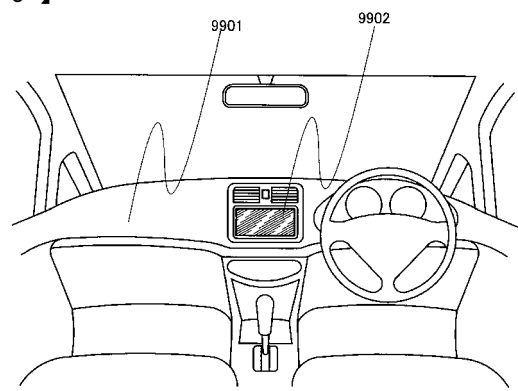
【図 53】



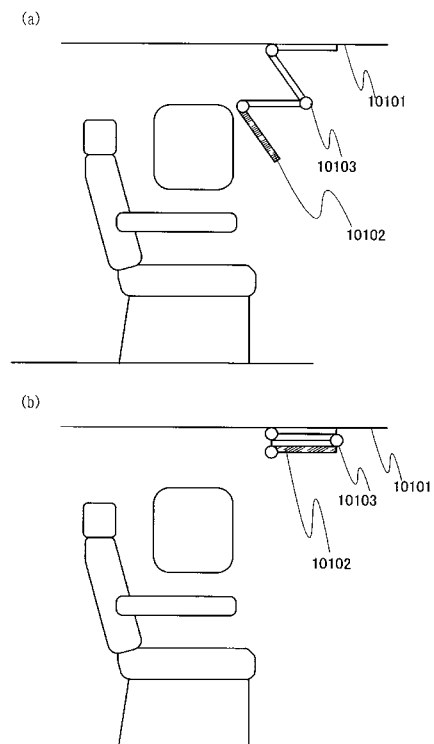
【図 5 5】



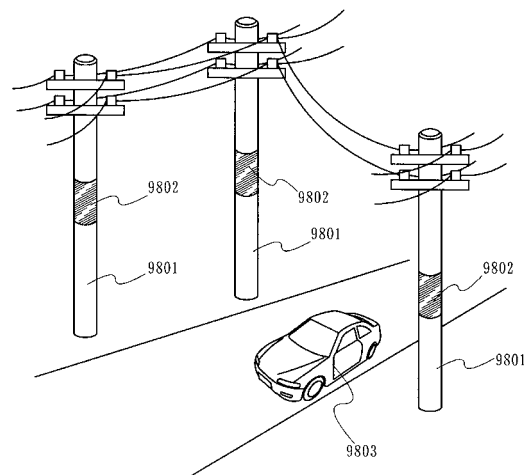
【図 5 6】



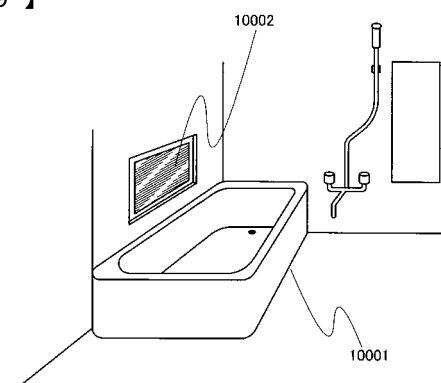
【図 5 7】



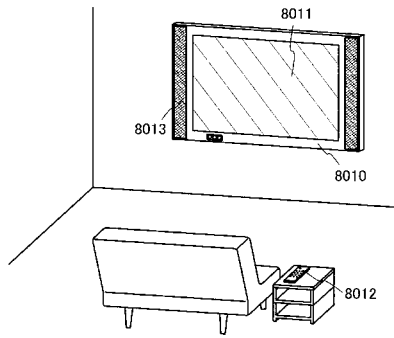
【図 5 8】



【図 5 9】



【図 60】



フロントページの続き

(51) Int.Cl.

H 0 1 L 51/50 (2006.01)

F I

H 0 5 B 33/12

B

H 0 5 B 33/14

A

H 0 5 B 33/12

E

テーマコード(参考)