[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 21/76 (2006.01)
H01L 21/8247 (2006.01)
H01L 27/115 (2006.01)

[12] 发明专利说明书

专利号 ZL 01137905.7

[45] 授权公告日 2006 年 12 月 13 日

[11] 授权公告号 CN 1290171C

[22] 申请日 2001.9.19 [21] 申请号 01137905.7

[30] 优先权

[32] 2001. 3.29 [33] US [31] 60/280313

[32] 2001. 7.26 [33] US [31] 09/916423

[73] 专利权人 硅存储技术公司

地址 美国加利福尼亚州

[72] 发明人 C·H·王

审查员 杨子芳

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 王 勇 梁 永

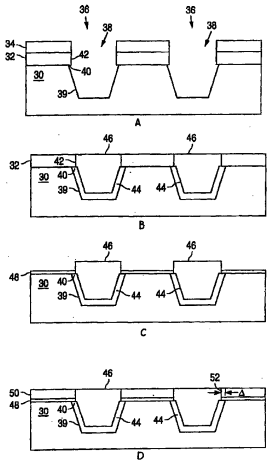
权利要求书 2 页 说明书 4 页 附图 2 页

[54] 发明名称

为快速电可擦除可编程只读存储器单元形成相对于有源区自对准的浮动栅多晶硅层的方法

[57] 摘要

本发明涉及用于在电可编程和可擦除存储器件中隔离有源区的方法和设备。 在衬底上形成第一绝缘材料层。 在第一绝缘材料层上形成导电材料层。 多个间隔开的沟槽通过第一绝缘材料层和导电材料层并进入到衬底中。 第二绝缘材料层形成在沟槽的侧壁部分上。 在沟槽中形成绝缘材料块。 对于每个沟槽，导电材料层的边缘部分以预定的距离 Δ 与 第一绝缘材料层和可能的绝缘材料块的一部分重叠并在其上延伸。 对于每个沟槽，预定的距离 Δ 是 如此选择的：在对衬底和导电层进行后段处理后，导电材料层的边缘部分对准隔离沟槽的侧壁部分。



1．一种用于形成半导体器件中隔离区和有源区的自对准方法，该方法包括如下步骤：

在一个半导体衬底上形成第一材料层；

形成多个间隔开的沟槽，它们穿过第一材料层延伸进入衬底中；

沿着沟槽的侧壁部分形成第一绝缘材料层，其中，所述第一绝缘材料层具有一个厚度；

用绝缘材料填充沟槽；

去除第一材料层来暴露衬底的部分；

在衬底的暴露部分上形成第二绝缘材料层；以及

在第二绝缘材料层上形成导电材料层，

其中，对于每个沟槽，所述导电材料层有一个边缘部分，所述边缘部分以一个预定的距离△与第二绝缘材料层重叠并在其上延伸，所述预定的距离△比所述第一绝缘材料层的所述厚度小。

2．根据权利要求1的方法，其特征在于：沟槽的侧壁部分位于衬底内，沿着沟槽的侧壁部分形成第一绝缘材料层。

3．根据权利要求1的方法，其特征在于：对于每个沟槽，预定的距离△是如此选择的：在对衬底和导电层进行后段处理之后，边缘部分对准沟槽的侧壁。

4．根据权利要求1的方法，其特征在于：对于每个沟槽，第一绝缘材料层的形成包括：使侧壁部分进一步延伸进入衬底，以增加沟槽下部的宽度。

5．一种用于制造电可编程和可擦除存储器件的半导体结构，包括：

一个第一导电类型的半导体材料的衬底；

在衬底上形成的第一绝缘材料层；

在第一绝缘材料层上形成的导电材料层；

多个间隔开的沟槽，它们穿过第一绝缘材料层和导电材料层并进入到衬底中；

第二绝缘材料层，它形成在沟槽的侧壁部分上，所述第二绝缘材料层具有一个厚度；以及

在沟槽中形成的绝缘材料块，

其中，对于每个沟槽，导电材料层的一个边缘部分以预定的距离△与第二绝缘材料层重叠并在其上延伸，所述预定的距离△比所述第一绝缘材料层的所述厚度小。

6．根据权利要求 5 的半导体结构，其特征在于：对于每个沟槽，预定的距离△是如此选择的：在对衬底和导电层进行后段处理后，边缘部分对准沟槽的侧壁部分。

为快速电可擦除可编程只读存储器单元形成相对于有源区自对准的浮动栅多晶硅层的方法

本发明涉及一种形成浮动栅存储单元的半导体存储器阵列的自对准方法，特别是涉及在形成存储单元的有源区之间来形成隔离区的一种改进的方法。

使用浮动栅来存储电荷的非易失性半导体存储单元和在半导体衬底中形成的这种非易失性存储单元的存储器阵列是本领域公知的。通常，这种浮动栅存储单元具有分栅型、或叠栅型、或是它们的组合。

制造半导体浮动栅存储单元阵列所面临的其中一个问题是各个部件（诸如源极、漏极、控制栅、浮动栅）以及含有这些部件的有源区之间的隔离区的对准。随着半导体工艺集成的设计尺寸的缩小，减小了最小的光刻线条（部件），精确对准变得更重要了。各部件的对准同样决定着半导体产品的制造成品率。

自对准在本领域是公知的。自对准是指如此处理涉及一种或多种材料的一个或多个步骤的动作：使各线条在所述步骤中相互间自动对准。相应的，本发明使用自对准技术来制造用于半导体存储器阵列（诸如浮动栅存储单元型的存储器阵列）的隔离区。

图 1A－1B 显示出公知的浅沟槽工艺（STI），该工艺用于在存储器阵列半导体器件的有源区之间形成隔离区。如图 1A 所示，诸如二氧化硅（“氧化物”）之类的绝缘材料的第一层 12 在衬底 10 上形成。一个多晶硅层 14（用于形成浮动栅）淀积在该绝缘材料层 12 的顶部。一个氮化硅层 16（“氮化物”）淀积在多晶硅层 14 的上面。一种合适的光致抗蚀剂材料 18 随后涂敷到氮化硅层 16 上，并且进行掩模步骤来选择性地从特定的区域（条 20）去除光致抗蚀剂材料。在去除光致抗蚀剂材料 18 的位置，使用标准的蚀刻技术（即，各向异性蚀刻工艺），蚀刻掉平行条 20 中的氮化硅 16、多晶硅 14 和下面的绝缘材料 12。该蚀刻继续进行来形成延伸进衬底 10 中的沟槽 22。随着硅衬底被蚀刻而形成了沟槽 22，一个微小的横向钻蚀 26 就形成了，在此，氧化物层 12 和多晶硅层 14 外悬于沟槽 22 之上。在光致抗蚀剂 18 没有被去除的位置，氮化硅 16、第一多

晶硅区 14 和下面的绝缘区 12 被保留下来。

进一步处理该结构，去除剩余的光致抗蚀剂 18，随后，在沟槽 22 中形成了诸如二氧化硅之类的隔离材料 24（例如，通过淀积一个氧化物层，并接着进行 CMP 蚀刻）。然后，选择性地去除氮化物层 18。所获得的结构如图 1B 所示。剩余的多晶硅层 14 和下面的第一绝缘材料层 12 形成了有源区，在这些有源区中形成存储单元。由此，此时，衬底 10 具有交替的有源区和隔离区的条，并且这些隔离区是由浅沟槽绝缘材料 24 形成的。

图 1B 中的结构代表了一种自对准结构，它比用非自对准方法形成的结构要紧凑。然而，在隔离完成后和在形成存储单元期间这种结构会产生一些问题。图 1C 示出了在为完成存储单元阵列结构的形成而进行后段处理步骤后的结构。在这种后段处理步骤中多晶硅层损失是比较典型的，由此，曾经是在隔离沟槽 22 之上延伸和外悬的多晶硅层 14 的侧边，此后就从该隔离沟槽 22 回缩。这就导致在多晶硅层 14 的侧边和隔离沟槽 22 的边缘之间形成一个间隙 δ，使得氧化物层 12 和衬底 10 的一部分暴露出来而没有受到多晶硅层 14 的保护。这种情况带来了一些不利的后果。首先，该结构容易在有源区中产生硅蚀坑，在此依靠多晶硅层 14 保护的工艺步骤有可能在间隙 δ 中损坏氧化层 12 和衬底 10。另外，最终产品的电性能会受到不利的影响，因为多晶硅层 14（它形成了控制下面衬底中的导电的浮动栅）不再覆盖相邻隔离沟槽之间的衬底 10 的整个宽度。常规 STI 隔离的另一个缺点是，会发生多晶硅层上升（即微笑（smiling）效应），这意味着，靠近多晶硅层 14 侧边的氧化物层 12 的厚度增大。发生多晶硅层上升是因为多晶硅层 14 是在隔离沟槽氧化物 24 形成之前形成的。

因此需要有一种隔离工艺来解决这些问题。

本发明通过利用使多晶硅层相对于扩散边缘自对准的工艺解决了上述的问题，其中在多晶硅层的侧壁和隔离区之间形成增大的重叠。本发明的工艺可以按自对准方式独立地优化。

本发明是一种用于在半导体器件中形成隔离区和有源区的自对准方法，并且包括如下步骤：在一个半导体衬底上形成第一材料层；形成多个间隔开的沟槽，它们穿过第一材料层延伸进入衬底中；沿着沟槽的侧壁部分形成第一绝缘材料层；用绝缘材料填充沟槽；去除第一材料层来暴露衬底的部分；在衬底的暴露部分上形成第二绝缘材料层；以及在第二绝缘材料层上形成导电材料层。

按本发明的另一方面，一种用于制造电可编程和可擦除存储器件的半导体结构，包括：第一导电类型的半导体材料的衬底；在衬底上形成的第一绝缘材料层；在第一绝缘材料层上形成的导电材料层；多个间隔开的沟槽，它们穿过第一绝缘材料层和导电材料层并进入到衬底中；第二绝缘材料层，它形成在沟槽的侧壁部分上；以及在沟槽中形成的绝缘材料塞块。对于每个沟槽，导电材料层的一个边缘部分以预定的距离△与第一绝缘材料层重叠并在其上延伸。

通过参考说明书、权利要求书和附图，本发明的其它目的和特征会变得更清楚。

图 1A－1B 是在半导体存储器件中形成隔离条的常规方法的剖面图；

图 1C 是使用常规隔离技术形成的、但在进行了后段处理步骤之后的半导体器件的剖面图；

图 2A－2D 是剖面图，它们顺序地显示出在存储器阵列半导体器件中形成隔离区的半导体器件的后续处理步骤。

本发明的工艺显示在图 2A－2D 中，它从半导体衬底 30 开始，半导体衬底 30 优选是 P 型的，并且这是本领域公知的。优选通过化学汽相淀积（CVD），在硅衬底 30 上淀积一个氮化硅（下称“氮化物”）层 32。在氮化物层 32 上涂敷合适的光致抗蚀剂材料 34，并且进行一个掩模制作步骤而从平行条区域 36 去除光致抗蚀剂材料。在去除了光致抗蚀剂材料 34 的位置，使用标准的的蚀刻技术（即，各向异性蚀刻工艺）蚀刻掉暴露的氮化物层 32 的条，从而暴露出下面的硅衬底 30 的条。接着在条 36 中进行硅蚀刻工艺来形成沟槽 38，沟槽 38 穿过氮化物层 32 延伸进入硅衬底 30。这些沟槽最初是由氮化物的边缘 42 和在硅衬底 30 中形成的侧壁部分 39 来界定的。所获得的结构显示在图 2A 中，并且包括微小的钻蚀部分 40，在此，氮化物层的边缘 42 延伸超出在硅衬底 30 中形成的沟槽侧壁部分 39。

对该结构进一步处理，去除剩余的光致抗蚀剂 34。随后，进行一个线性氧化工艺，用以通过钝化沟槽侧壁部分 39 而沿着衬底 30 中的沟槽侧壁部分 39 形成氧化层 44。该氧化步骤进而使沟槽侧壁部分 39 在氮化物层 32 下面横向延伸，这样就增加了沟槽 38 在衬底 30 中的宽度，并通过在侧壁部分 39 和相邻的氮化物层 32 的边缘 42 之间形成自对准的偏移（offset）而放大了钻蚀部分 40。随后通过常规的氧化物淀积和平面化（例如 CMP）工艺，沟槽 38 由氧化物填充而

形成氧化物块46。所获得的结构如图2B所示。

进行一种氮化物蚀刻（湿法或干法）工艺，去除氮化物层32。随后在衬底30所暴露的部分上形成一个绝缘层48。最好是，绝缘层48是通过氧化物淀积（例如，CVD）或通过使衬底30的暴露表面氧化而形成的氧化层。所获得的结构如图2C所示。

随后在绝缘（氧化物）层48上面形成一个导电层50，使它的顶表面与沟槽46的顶表面平齐。在本优选实施例中，导电层是通过多晶硅淀积工艺和紧跟着的CMP平面化工艺来形成的。所获得的结构如图2D所示。

隔离区现在由氧化物块46和氧化物层44组合来界定。这里有了一个增大的重叠距离△，其中导电层50的边缘52与隔离区（即，氧化物层44）重叠。该重叠距离△的尺寸主要由在隔离沟槽38中形成的氧化物层44的厚度来决定，它是可控制的。由此，重叠距离△可用自对准方式独立地优化来提供一个增大的重叠，这可抵制在以后的后段处理过程中的多晶硅层损失，以便使多晶硅层50的边缘在所有处理步骤都完成后能更好地与隔离区的边缘对准。另外，因为多晶硅层50是在沟槽氧化物46、绝缘氧化物48和氧化物层44形成以后形成的，因此可避免多晶硅层的翘起。

应该理解，本发明并不局限于上述的和图示的实施例，而是包括所附权利要求范围内的任何和所有变型。例如，尽管上述方法描述了使用多晶硅作为导电材料，氮化物和氧化物作为绝缘材料，但本领域的普通技术人员会清楚，也可使用任何合适的导电材料和绝缘材料。此外，氧化物层44的厚度可小于外悬部分40的长度，由此，导电层50的边缘52也将部分地延伸并重叠于相应的氧化物块46的一部分之上。

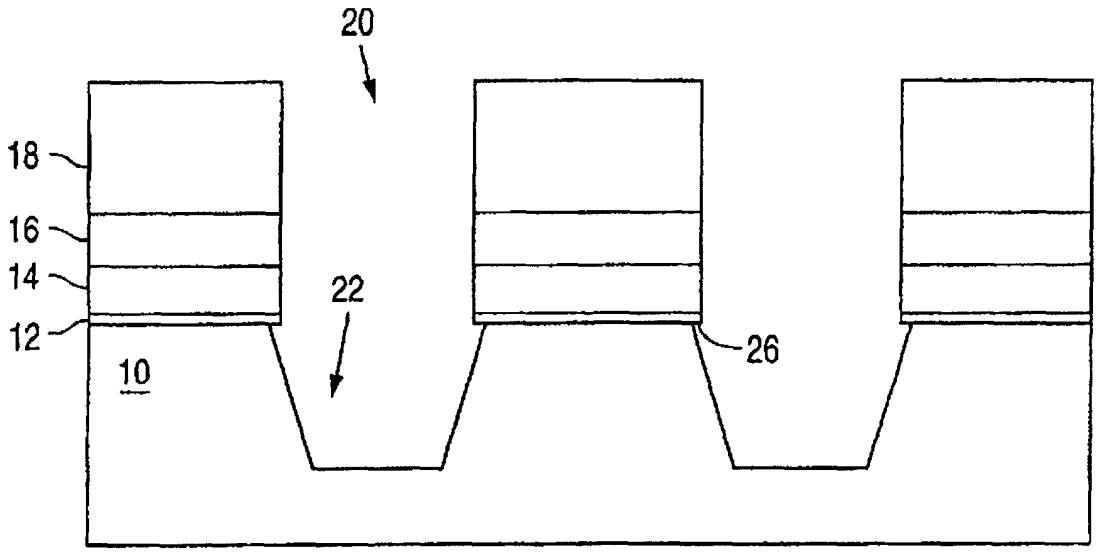


图 1A(现有技术)

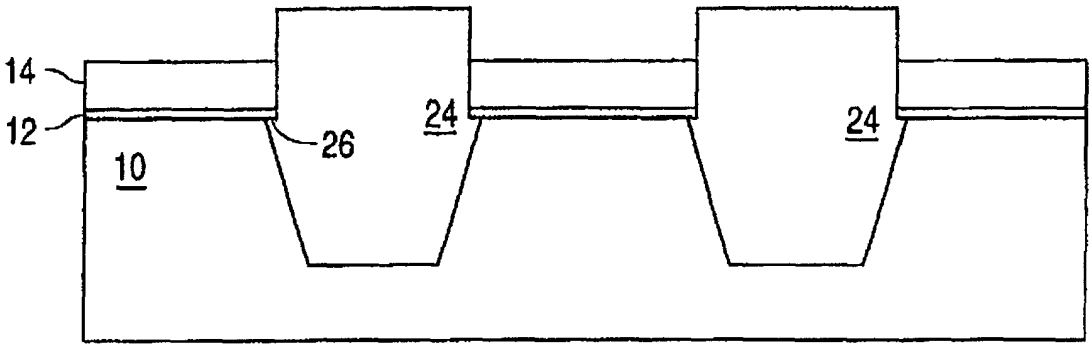


图 1B(现有技术)

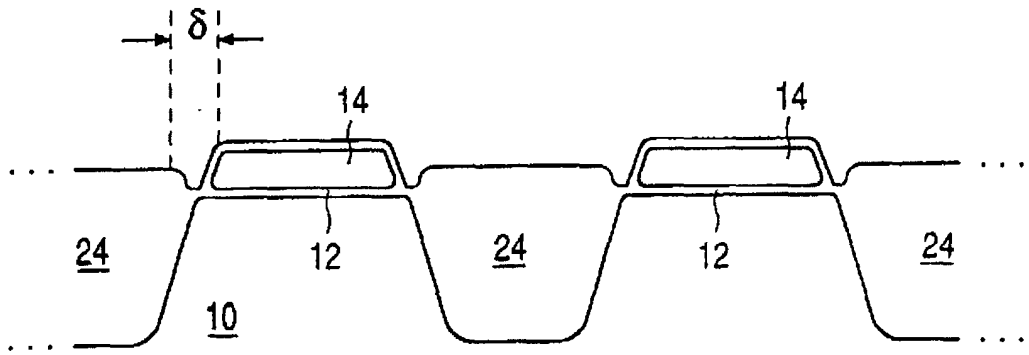


图 1C(现有技术)

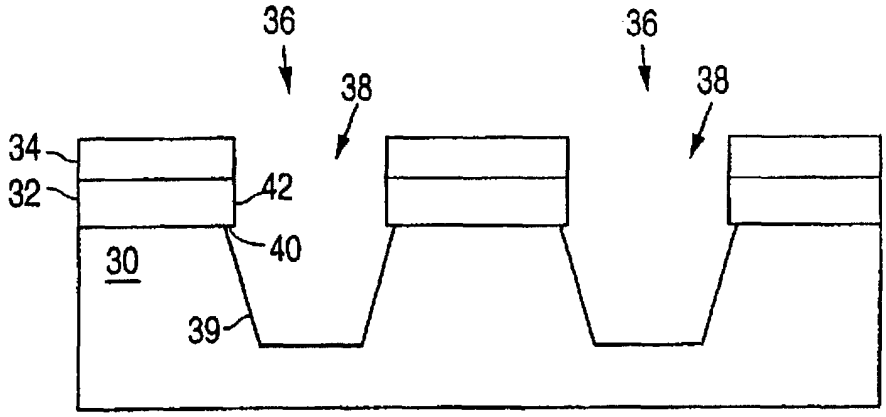


图 2A

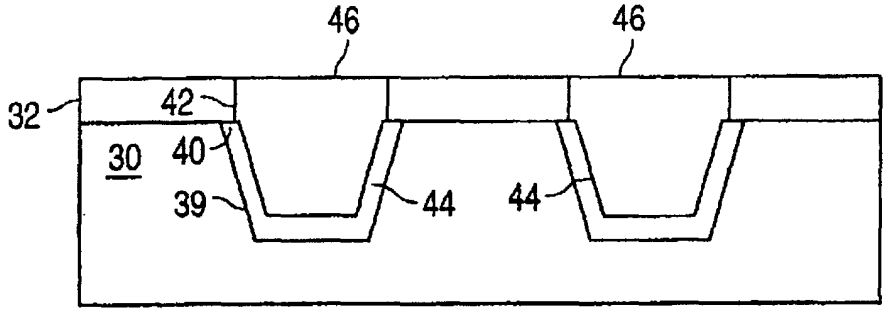


图 2B

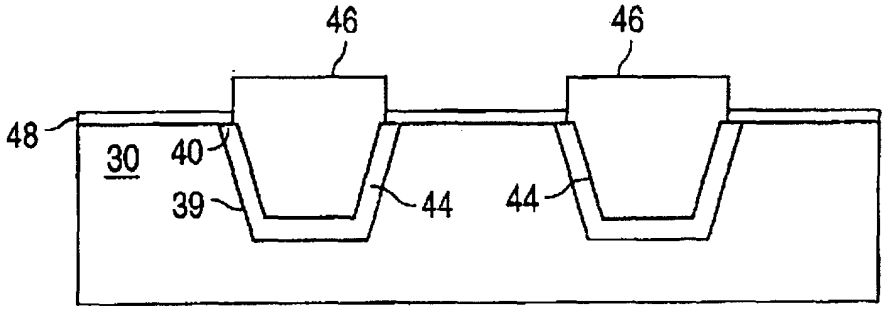


图 2C

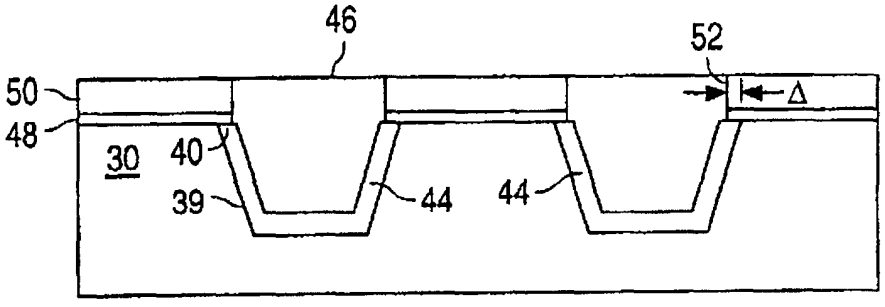


图 2D