(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年10月18日(18.10.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/190150 A1

(51) 国際特許分類:
H04N 5/3745 (2011.01) *H04N 5/355* (2011.01)
H04N 5/347 (2011.01)

(21) 国際出願番号： PCT/JP2018/013627

(22) 国際出願日： 2018年3月30日(30.03.2018)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2017-080316 2017年4月14日(14.04.2017) JP

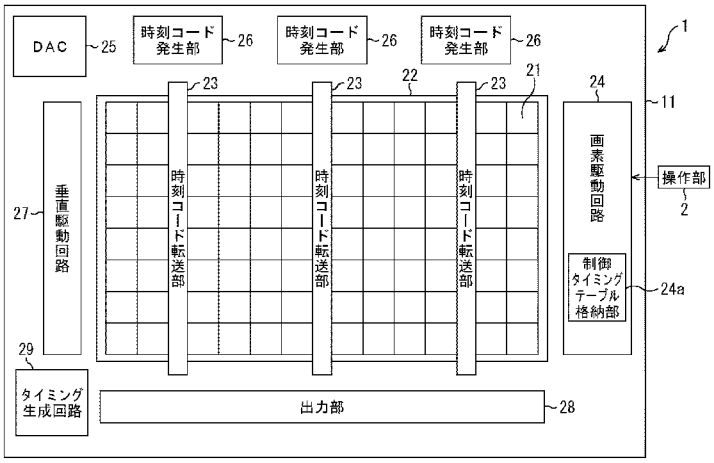
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

(72) 発明者: 飯田 聡子(IIDA Satoko); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 榊原 雅樹(SAKAKIBARA Masaki); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 坂野 頼人(SAKANO Yorito); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 浅利 直介(ASARI Naosuke); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(54) **Title:** SOLID-STATE IMAGING DEVICE, METHOD FOR CONTROLLING SOLID-STATE IMAGING DEVICE, AND ELECTRONIC DEVICE

(54) 発明の名称： 固体撮像装置および固体撮像装置の制御方法、並びに電子機器

FIG. 1



2 Operation unit
23 Time code transmission unit
24 Pixel drive circuit
24a Control timing table storage unit
26 Time code generation unit
27 Vertical drive circuit
28 Output unit
29 Timing generation circuit

(57) **Abstract:** The present disclosure relates to a solid-state imaging device, a method for controlling the solid-state imaging device, and to an electronic device, the solid-state imaging device being capable of appropriately expanding the dynamic range of a photographic subject moving at a high speed or a photographic subject for which the difference in brightness of light and dark is significant, and of reducing moving body distortion (motion artifacts). The exposure of a plurality of pixels is controlled individually by pixel unit. The present disclosure can be applied to a solid-state imaging device.

(57) 要約：本開示は、高速に動く被写体や、明暗の輝度差が大きい被写体に対して適切にダイナミックレンジを拡大し、動体歪（モーションアーチファクト）を低減することができるようにする固体撮像装置および固体撮像装置の制御方法、並びに電子機器に関する。 複数の画素の露光を画素単位で個別に制御する。本開示は、固体撮像装置に適用することができる。

WO 2018/190150 A1

［続葉有］

滝沢 正明(**TAKIZAWA Masaaki**)；〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP)．朝妻 智彦(**ASATSUMA Tomohiko**)；〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP)．古屋 晶吾(**FURUYA Shogo**)；〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP)．

(74) 代理人：西 川 孝，外 (**NISHIKAWA Takashi** et al.)；〒1600023 東京都新宿区西新宿７丁目５番２５号 西新宿プライムスクエア９階 Tokyo (JP)．

(81) 指定国（表示のない限り、全ての種類の国内保護が可能）：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW．

(84) 指定国（表示のない限り、全ての種類の広域保護が可能）：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)．

添付公開書類：

— 国際調査報告（条約第21条(3)）

明　細　書

発明の名称 ：

固体撮像装置および固体撮像装置の制御方法、並びに電子機器

技術分野

[0001] 本開示は、固体撮像装置および固体撮像装置の制御方法、並びに電子機器に関し、特に、高速に動く被写体や、明暗の輝度差が大きい被写体に対して適切にダイナミックレンジを拡大し、動体歪（モーションアーチファクト）を低減できるようにした固体撮像装置および固体撮像装置の制御方法、並びに電子機器に関する。

背景技術

[0002] 従来、例えば、車載カメラにおいて高速で動く被写体のダイナミックレンジを拡大するため、露光時間を短くすると、交通信号機の点灯期間において信号が飽和し、交通信号機の色を視認できない、交通信号機の点灯期間に信号をサンプリンできない、または、それらの両立ができないことがあった。

[0003] そこで、ダイナミックレンジを拡大する技術として長い露光時間の撮像と短い露光時間の撮像を複数回行い、後段の回路で合成画像を生成する方法が提案されている（特許文献１参照）。

[0004] このような構成により、長い露光時間に撮像する画像と短い露光時間に撮像する画像とを合成することで、よりダイナミックレンジを拡大することができる。

先行技術文献

特許文献

[0005] 特許文献1：特開２０１４－１５４９８２号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、特許文献１に記載の技術においては、行単位での露光時間制御がなされるため、高照度の被写体に飽和することなく捉える行と、低照

度の被写体に高感度に捉える行とが交互に配置されるため、全ての領域で広ダイナミックレンジにならない恐れがあった。

[0007] また、短い露光時間では、全て時分割となるため、高照度の被写体においてはモーションアーチファクトが生じ易く、未露光期間の被写体を捉えることができない恐れがあった。

[0008] さらに、蓄積期間内における短秒露光画像を生成する毎に、蓄えるメモリ数が増加する恐れがあった。

[0009] 本開示は、このような状況に鑑みてなされたものであり、特に、高速に動く被写体や、明暗の輝度差が大きい被写体に対して適切にダイナミックレンジを拡大し、動体歪（モーションアーチファクト）を低減できるようにするものである。

課題を解決するための手段

[0010] 本開示の一側面の固体撮像装置は、複数の画素からなる画素アレイ部と、前記複数の画素のうち、少なくとも一部の画素について露光を画素単位で個別に制御する画素駆動制御部とを含む固体撮像装置である。

[0011] 前記画素駆動制御部には、前記複数の画素の露光における、露光開始タイミング、および露光終了タイミングを画素単位で個別に制御させるようにすることができる。

[0012] 前記画素駆動制御部には、前記複数の画素の露光における、リセットタイミング、読み出しタイミング、前記露光開始タイミング、および前記露光終了タイミングを画素単位で個別に制御させるようにすることができる。

[0013] 前記画素駆動制御部には、前記複数の画素の露光における、露光単位時間の露光期間の回数を画素単位で個別に制御させるようにすることができる。

[0014] 前記画素駆動制御部には、前記複数の画素の露光における、前記露光単位時間の前記露光期間の回数を画素単位で個別に制御するとき、前記露光単位時間において、前記露光期間を時間的に等間隔に制御させるようにすることができる。

[0015] 前記複数の画素の露光における、前記露光期間が複数回数である場合、前

記画素より出力されるアナログデジタル変換された画素信号は、露光が終了する度に直前の画素信号にシフト加算されるようにすることができる。

[0016] 前記画素駆動制御部には、前記複数の画素の露光における、露光開始タイミング、および露光終了タイミングを所定数の画素単位で制御させるようにすることができる。

[0017] 前記画素駆動制御部には、前記複数の画素の露光を画素単位で個別に制御する制御情報からなる制御タイミングテーブルを複数に格納する制御タイミングテーブル格納部を含ませるようにすることができ、前記制御タイミングテーブルの制御情報に基づいて、前記複数の画素の露光を画素単位で個別に制御させるようにすることができる。

[0018] 前記画素駆動制御部には、前記制御タイミングテーブル格納部に格納された制御タイミングテーブルを所定の時間間隔で切り替えるようにさせることができる。

[0019] 前記画素駆動制御部には、前記制御タイミングテーブル格納部に格納された制御タイミングテーブルを所定数のフレーム毎に切り替えるようにさせることができる。

[0020] ユーザの操作を受け付けて、受け付けた操作信号を出力する操作部をさらに含ませるようにすることができ、前記画素駆動制御部には、前記制御タイミングテーブル格納部に格納された制御タイミングテーブルを、前記操作部からの操作信号に応じて切り替えるようにさせることができる。

[0021] 本開示の一側面の固体撮像装置の制御方法は、複数の画素からなる画素アレイ部の前記複数の画素のうち、少なくとも一部の画素について露光を画素単位で個別に制御するステップを含む固体撮像装置の制御方法である。

[0022] 本開示の一側面の電子機器は、複数の画素からなる画素アレイ部と、前記複数の画素のうち、少なくとも一部の画素について露光を画素単位で個別に制御する画素駆動制御部とを含む電子機器である。

[0023] 本開示の一側面においては、複数の画素からなる画素アレイ部と、前記複数の画素のうち、少なくとも一部の画素について露光が画素単位で個別に制

御される。

発明の効果

[0024] 本開示の一側面によれば、高速に動く被写体や、明暗の輝度差が大きい被写体に対して適切にダイナミックレンジを拡大し、動体歪（モーションアーチファクト）を低減することが可能となる。

図面の簡単な説明

[0025] [図1]本開示に係る固体撮像装置の概略構成を示す図である。

[図2]画素の詳細構成例を示すブロック図である。

[図3]比較回路の詳細構成例を示すブロック図である。

[図4]比較回路の動作中の各信号の遷移を表す図である。

[図5]画素回路の詳細構成について説明する図である。

[図6]画素の動作について説明するタイミングチャートである。

[図7]画素共有の場合の比較回路の構成例を示す回路図である。

[図8]画素共有された画素の第１の露光制御例である。

[図9]画素共有された画素の第１の露光制御例である。

[図10]画素共有された画素の第１の露光制御例である。

[図11]画素共有された画素の第１の露光制御例である。

[図12]図１の固体撮像装置による露光制御処理を説明するフローチャートである。

[図13]本開示の固体撮像装置を適用した電子機器としての撮像装置の構成例を示すブロック図である。

[図14]本開示の技術を適用した固体撮像装置の使用例を説明する図である。

発明を実施するための形態

[0026] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0027] また、以下の順序で説明を行う。

１．固体撮像装置の概略構成例

２．画素の詳細構成例

３．比較回路の構成例

４．画素共有の構成例

５．画素共有された画素の露光制御

６．露光制御処理

７．電子機器への適用例

８．固体撮像装置の使用例

[0028] ＜１．固体撮像装置の概略構成例＞

図１は、本開示に係る固体撮像装置の概略構成を示している。

[0029] 図１の固体撮像装置１は、半導体として例えばシリコン（Si）を用いた半導体基板１１に、画素２１が２次元アレイ状に配列された画素アレイ部２２を有する。画素アレイ部２２には、時刻コード発生部２６で生成された時刻コードを各画素２１に転送する時刻コード転送部２３も設けられている。そして、半導体基板１１上の画素アレイ部２２の周辺には、画素駆動回路２４、DAC（D/A Converter）２５、時刻コード発生部２６、垂直駆動回路２７、出力部２８、及びタイミング生成回路２９が形成されている。

[0030] ２次元アレイ状に配列された画素２１のそれぞれには、図２を参照して後述するように、画素回路４１とADC４２が設けられており、画素２１は、画素内の受光素子（例えば、フォトダイオード）で受光した光量に応じた電荷信号を生成し、デジタルの画素信号SIGに変換して出力する。

[0031] 画素駆動回路２４は、画素２１内の画素回路４１（図２）を駆動する。より詳細には、画素駆動回路２４は、制御タイミングテーブル格納部２４ａを備えている。制御タイミングテーブル格納部２４ａは、複数の画素２１の画素回路４１のそれぞれの駆動に係る制御タイミングを規定する情報が記録された制御タイミングテーブルが格納されており、画素回路４１の露光を制御するための単位時間である露光単位時間内における露光開始タイミング、露光終了タイミング、リセットのタイミング、および読み出しのタイミングが

記録されている。

[0032] 制御タイミングテーブルにおいて、露光開始タイミング、露光終了タイミング、リセットのタイミング、および読み出しのタイミングを様々に設定することで、露光時間の長さ、露光期間、および露光回数を画素２１単位で個別に設定することができる。画素駆動回路２４は、画素毎に、制御タイミングテーブルに記録された、画素回路４１のそれぞれの駆動に係る制御タイミングを規定する情報に基づいて画素回路４１の駆動を制御する。画素駆動回路２４は、制御タイミングテーブルを所定の間隔で切り替えるようにしても良いし、ユーザにより操作され、操作内容に応じた操作信号を出力する操作部２からの操作信号に応じて、指定された制御タイミングテーブルに切り替えるようにしても良い。

[0033] さらに、制御タイミングテーブルに記録された画素回路４１のそれぞれの駆動に係る制御タイミングを規定する情報に基づいて、一連の処理がなされた後に、異なる制御タイミングテーブルに切り替えるようにしてもよい。この場合、さらに、制御タイミングテーブルに、次に切り替える制御タイミングテーブルと、切り替えるタイミングを指定する情報を含ませるようにしてもよい。このようにすることで、画素駆動回路２４は、制御タイミングテーブルを切り替えながら画素回路４１の駆動を制御することが可能となる。

[0034] DAC２５は、時間経過に応じてレベル（電圧）が単調減少するスロープ信号である参照信号（基準電圧信号）REFを生成し、各画素２１に供給する。時刻コード発生部２６は、各画素２１が、アナログの画素信号SIGをデジタルの信号に変換（AD変換）する際に使用される時刻コードを生成し、対応する時刻コード転送部２３に供給する。時刻コード発生部２６は、画素アレイ部２２に対して複数個設けられており、画素アレイ部２２内には、時刻コード発生部２６に対応する数だけ、時刻コード転送部２３が設けられている。即ち、時刻コード発生部２６と、そこで生成された時刻コードを転送する時刻コード転送部２３は、１対１に対応する。

[0035] 垂直駆動回路２７は、画素２１内で生成されたデジタルの画素信号SIGを、

タイミング生成回路２９から供給されるタイミング信号に基づいて、所定の順番で出力部２８に出力させる制御を行う。画素２１から出力されたデジタルの画素信号SIGは、出力部２８から固体撮像装置１の外部へ出力される。出力部２８は、黒レベルを補正する黒レベル補正処理やCDS(Correlated Double Sampling；相関２重サンプリング)処理など、所定のデジタル信号処理を必要に応じて行い、その後、外部へ出力する。

[0036] タイミング生成回路２９は、各種のタイミング信号を生成するタイミングジェネレータなどによって構成され、生成した各種のタイミング信号を、画素駆動回路２４、DAC２５、垂直駆動回路２７等に供給する。

[0037] 固体撮像装置１は、以上のように構成されている。なお、図１では、上述したように、固体撮像装置１を構成する全ての回路が、１つの半導体基板１１上に形成されるように説明したが、固体撮像装置１を構成する回路を複数枚の半導体基板１１に分けて配置する構成とすることもできる。

[0038] ＜２．画素の詳細構成例＞

図２は、画素２１の詳細構成例を示すブロック図である。

[0039] 画素２１は、画素回路４１とADC（AD変換器）４２で構成されている。

[0040] 画素回路４１は、受光した光量に応じた電荷信号をアナログの画素信号SIGとしてADC４２に出力する。ADC４２は、画素回路４１から供給されたアナログの画素信号SIGをデジタル信号に変換する。

[0041] ADC４２は、比較回路５１とデータ記憶部５２で構成される。

[0042] 比較回路５１は、DAC２５から供給される参照信号REFと画素信号SIGを比較し、比較結果を表す比較結果信号として、出力信号VCOを出力する。比較回路５１は、参照信号REFと画素信号SIGが同一（の電圧）になったとき、出力信号VCOを反転させる。

[0043] 比較回路５１は、差動入力回路６１、電圧変換回路６２、及び正帰還回路（PFB:positive feedback）６３により構成されるが、詳細は図３を参照して後述する。

[0044] データ記憶部５２には、比較回路５１から出力信号VCOが入力される他、垂

直駆動回路２７から、画素信号の書き込み動作であることを表すWR信号、画素信号の読み出し動作であることを表すRD信号、及び、画素信号の読み出し動作中における画素２１の読み出しタイミングを制御するWORD信号が、垂直駆動回路２７から供給される。また、時刻コード転送部２３を介して、時刻コード発生部２６で生成された時刻コードも供給される。

[0045] データ記憶部５２は、WR信号及びRD信号に基づいて、時刻コードの書き込み動作と読み出し動作を制御するラッチ制御回路７１と、時刻コードを記憶するラッチ記憶部７２で構成される。

[0046] ラッチ制御回路７１は、時刻コードの書き込み動作においては、比較回路５１からHi（High）の出力信号VCOが入力されている間、時刻コード転送部２３から供給される、単位時間ごとに更新される時刻コードをラッチ記憶部７２に記憶させる。そして、参照信号REFと画素信号SIGが同一（の電圧）になり、比較回路５１から供給される出力信号VCOがLo(Low)に反転されたとき、供給される時刻コードの書き込み（更新）を中止し、最後にラッチ記憶部７２に記憶された時刻コードをラッチ記憶部７２に保持させる。ラッチ記憶部７２に記憶された時刻コードは、画素信号SIGと参照信号REFが等しくなった時刻を表しており、画素信号SIGがその時刻の基準電圧であったことを示すデータ、即ち、デジタル化された光量値を表す。

[0047] 参照信号REFの掃引が終了し、画素アレイ部２２内の全ての画素２１のラッチ記憶部７２に時刻コードが記憶された後、画素２１の動作が、書き込み動作から読み出し動作に変更される。

[0048] ラッチ制御回路７１は、時刻コードの読み出し動作においては、読み出しタイミングを制御するWORD信号に基づいて、画素２１が自分の読み出しタイミングとなったときに、ラッチ記憶部７２に記憶されている時刻コード（デジタルの画素信号SIG）を、時刻コード転送部２３に出力する。時刻コード転送部２３は、供給された時刻コードを、列方向（垂直方向）に順次転送し、出力部２８に供給する。

[0049] 以下では、時刻コードの書き込み動作においてラッチ記憶部７２に書き込

まれる時刻コードと区別するため、時刻コードの読み出し動作においてラッチ記憶部７２から読み出される出力信号VCOが反転したときの反転時刻コードである、画素信号SIGがその時刻の基準電圧であったことを示すデジタル化された画素データを、AD変換画素データとも称する。

[0050] ＜３．比較回路の構成例＞

図３は、比較回路５１を構成する差動入力回路６１、電圧変換回路６２、及び正帰還回路６３の詳細構成を示す回路図である。

[0051] 差動入力回路６１は、画素２１内の画素回路４１から出力された画素信号SIGと、DAC２５から出力された参照信号REFとを比較し、画素信号SIGが参照信号REFよりも高いときに所定の信号（電流）を出力する。

[0052] 差動入力回路６１は、差動対となるトランジスタ８１及び８２、カレントミラーを構成するトランジスタ８３及び８４、入力バイアス電流Vbに応じた電流IBを供給する定電流源としてのトランジスタ８５、並びに、差動入力回路６１の出力信号HVOを出力するトランジスタ８６により構成されている。

[0053] トランジスタ８１、８２、及び８５は、NMOS(Negative Channel MOS)トランジスタで構成され、トランジスタ８３、８４、及び８６は、PMOS(Positive Channel MOS)トランジスタで構成される。

[0054] 差動対となるトランジスタ８１及び８２のうち、トランジスタ８１のゲートには、DAC２５から出力された参照信号REFが入力され、トランジスタ８２のゲートには、画素２１内の画素回路４１から出力された画素信号SIGが入力される。トランジスタ８１と８２のソースは、トランジスタ８５のドレインと接続され、トランジスタ８５のソースは、所定の電圧VSS（VSS＜VDD2＜VDD1）に接続されている。

[0055] トランジスタ８１のドレインは、カレントミラー回路を構成するトランジスタ８３及び８４のゲート及びトランジスタ８３のドレインと接続され、トランジスタ８２のドレインは、トランジスタ８４のドレイン及びトランジスタ８６のゲートと接続されている。トランジスタ８３、８４、及び８６のソースは、第１電源電圧VDD1に接続されている。

[0056] 電圧変換回路６２は、例えば、NMOS型のトランジスタ９１で構成される。トランジスタ９１のドレインは、差動入力回路６１のトランジスタ８６のドレインと接続され、トランジスタ９１のソースは、正帰還回路６３内の所定の接続点に接続され、トランジスタ８６のゲートは、バイアス電圧VBIASに接続されている。

[0057] 差動入力回路６１を構成するトランジスタ８１乃至８６は、第１電源電圧VDD1までの高電圧で動作する回路であり、正帰還回路６３は、第１電源電圧VDD1よりも低い第２電源電圧VDD2で動作する回路である。電圧変換回路６２は、差動入力回路６１から入力される出力信号HVOを、正帰還回路６３が動作可能な低電圧の信号（変換信号）LVIに変換して、正帰還回路６３に供給する。

[0058] バイアス電圧VBIASは、定電圧で動作する正帰還回路６３の各トランジスタ１０１乃至１０５を破壊しない電圧に変換する電圧であれば良い。例えば、バイアス電圧VBIASは、正帰還回路６３の第２電源電圧VDD2と同じ電圧（VBIAS＝VDD2）とすることができる。

[0059] 正帰還回路６３は、差動入力回路６１からの出力信号HVOが第２電源電圧VDD2に対応する信号に変換された変換信号LVIに基づいて、画素信号SIGが参照信号REFよりも高いときに反転する比較結果信号を出力する。また、正帰還回路６３は、比較結果信号として出力する出力信号VCOが反転するときの遷移速度を高速化する。

[0060] 正帰還回路６３は、５つのトランジスタ１０１乃至１０５で構成される。ここで、トランジスタ１０１、１０２、及び１０４は、PMOSトランジスタで構成され、トランジスタ１０３及び１０５は、NMOSトランジスタで構成される。

[0061] 電圧変換回路６２の出力端であるトランジスタ９１のソースは、トランジスタ１０２及び１０３のドレインと、トランジスタ１０４及び１０５のゲートに接続されている。トランジスタ１０１及び１０４のソースは、第２電源電圧VDD2に接続され、トランジスタ１０１のドレインは、トランジスタ１０２のソースと接続され、トランジスタ１０２のゲートは、正帰還回路６３の

出力端でもあるトランジスタ１０４及び１０５のドレインと接続されている。トランジスタ１０３及び１０５のソースは、所定の電圧VSSに接続されている。トランジスタ１０１と１０３のゲートには、初期化信号INIが供給される。

[0062] トランジスタ１０４と１０５はインバータ回路を構成し、それらのドレインどうしの接続点は、比較回路５１が出力信号VCOを出力する出力端となっている。

[0063] 以上のように構成される比較回路５１の動作について説明する。図４は、比較回路５１の動作中の各信号の遷移を表す。なお、図４において“G86”はトランジスタ８６のゲート電位を表している。

[0064] まず、参照信号REFが、全ての画素２１の画素信号SIGよりも高い電圧に設定されるとともに、初期化信号INIがHiにされて、比較回路５１が初期化される。

[0065] より具体的には、トランジスタ８１のゲートには参照信号REFが、トランジスタ８２のゲートには画素信号SIGが印加される。参照信号REFの電圧が、画素信号SIGの電圧よりも高い電圧の時は電流源となるトランジスタ８５が出力した電流のほとんどがトランジスタ８１を経由してダイオード接続されたトランジスタ８３に流れる。トランジスタ８３と共通のゲートを持つトランジスタ８４のチャネル抵抗は十分低くなりトランジスタ８６のゲートをほぼ第１電源電圧VDD1レベルに保ち、トランジスタ８６は遮断される。したがって、電圧変換回路６２のトランジスタ９１が導通していたとしても、充電回路としての正帰還回路６３が変換信号LVIを充電することは無い。一方、初期化信号INIとしてHiの信号が供給されていることから、トランジスタ１０３は導通し、正帰還回路６３は変換信号LVIを放電する。また、トランジスタ１０１は遮断するので、正帰還回路６３がトランジスタ１０２を介して変換信号LVIを充電することもない。その結果、変換信号LVIは、所定の電圧VSSレベルまで放電され、正帰還回路６３は、インバータを構成するトランジスタ１０４と１０５によってHiの出力信号VCOを出力し、比較回路５１が初期化される。

[0066] 初期化の後、初期化信号INIがLoにされて、参照信号REFの掃引が開始される。

[0067] 参照信号REFが画素信号SIGよりも高い電圧の期間では、トランジスタ８６はオフとなるため遮断され、出力信号VCOはHiの信号となるので、トランジスタ１０２もオフとなり遮断される。トランジスタ１０３も、初期化信号INIはLoとなっているため遮断される。変換信号LVIは、高インピーダンス状態のまま所定の電圧VSSを保ち、Hiの出力信号VCOが出力される。

[0068] 参照信号REFが画素信号SIGよりも低くなると、電流源のトランジスタ８５の出力電流はトランジスタ８１を流れなくなり、トランジスタ８３と８４のゲート電位は上昇して、トランジスタ８４のチャネル抵抗は高くなる。そこに、トランジスタ８２を介して流れ込む電流が、電圧降下を起こしてトランジスタ８６のゲート電位を下げ、トランジスタ９１が導通する。トランジスタ８６から出力された出力信号HVOは、電圧変換回路６２のトランジスタ９１によって変換信号LVIに変換され、正帰還回路６３に供給される。充電回路としての正帰還回路６３は、変換信号LVIを充電し、電位を低電圧VSSから第２電源電圧VDD2へ近づけてゆく。

[0069] そして、変換信号LVIの電圧が、トランジスタ１０４と１０５で構成されるインバータの閾値電圧を超えると、出力信号VCOはLoとなり、トランジスタ１０２が導通する。トランジスタ１０１も、Loの初期化信号INIが印加されているため導通しており、正帰還回路６３は、トランジスタ１０１と１０２を介して、変換信号LVIを急速に充電し、電位を第２電源電圧VDD2まで一気に持ち上げる。

[0070] 電圧変換回路６２のトランジスタ９１は、ゲートにバイアス電圧VBIASが印加されているので、変換信号LVIの電圧が、バイアス電圧VBIASからトランジスタ閾値下がった電圧値に到達すれば遮断する。トランジスタ８６が導通したままだとしても、それ以上に変換信号LVIを充電することは無く、電圧変換回路６２は、電圧クランプ回路としても機能する。

[0071] トランジスタ１０２の導通による変換信号LVIの充電は、そもそも変換信号

LVIがインバータ閾値まで上昇してきたことを発端とし、その動きを加速する正帰還動作である。差動入力回路６１の電流源であるトランジスタ８５は、固体撮像装置１で並列同時に動作する回路数が膨大であることから１回路あたりの電流がきわめて僅かな電流に設定される。さらに、参照信号REFは、時刻コードが切り替わる単位時間に変化する電圧がAD変換のLSBステップとなるために極めて緩慢に掃引される。従って、トランジスタ８６のゲート電位の変化も緩慢であり、それによって駆動されるトランジスタ８６の出力電流の変化も緩慢である。しかし、その出力電流で充電される変換信号LVIに、後段から正帰還をかけることで、出力信号VCOは十分急速に遷移することができる。望ましくは、出力信号VCOの遷移時間は、時刻コードの単位時間の数分の１であり、典型例としては1ns以下である。本開示の比較回路５１は、電流源のトランジスタ８５に、例えば0.1uAの僅かな電流を設定しただけで、この出力遷移時間を達成することができる。

[0072] ＜画素回路の詳細構成例＞

図５を参照して、画素回路４１の詳細構成について説明する。

[0073] 図５は、図３に示した比較回路５１に、画素回路４１の詳細を追加して示した回路図である。

[0074] 画素回路４１は、光電変換素子としてのフォトダイオード（PD）１２１、排出トランジスタ１２２、転送トランジスタ１２３、リセットトランジスタ１２４、及び、FD(浮遊拡散層)１２５で構成されている。

[0075] 排出トランジスタ１２２は、露光期間を調整する場合に使用される。具体的には、露光期間を任意のタイミングで開始したいときに排出トランジスタ１２２をオンさせると、それまでの間にフォトダイオード１２１に蓄積されていた電荷が排出されるので、排出トランジスタ１２２がオフされた以降から、露光期間が開始されることになる。

[0076] 転送トランジスタ１２３は、フォトダイオード１２１で生成された電荷をFD１２５に転送する。リセットトランジスタ１２４は、FD１２５に保持されている電荷をリセットする。FD１２５は、差動入力回路６１のトランジスタ８

２のゲートに接続されている。これにより、差動入力回路６１のトランジスタ８２は、画素回路４１の増幅トランジスタとしても機能する。

[0077] リセットトランジスタ１２４のソースは、差動入力回路６１のトランジスタ８２のゲート、及び、FD１２５に接続されており、リセットトランジスタ１２４のドレインは、トランジスタ８２のドレインと接続されている。したがって、FD１２５の電荷をリセットするための固定のリセット電圧がない。これは、差動入力回路６１の回路状態を制御することで、FD１２５をリセットするリセット電圧を、参照信号REFを用いて任意に設定可能であるためである。

[0078] ＜画素部タイミングチャート＞

図６のタイミングチャートを参照して、図５に示した画素２１の動作について説明する。

[0079] 初めに、時刻ｔ１において、参照信号REFが、それまでのスタンバイ電圧Vstbから、FD１２５の電荷をリセットするリセット電圧Vrstに設定され、リセットトランジスタ１２４がオンされることにより、FD１２５の電荷がリセットされる。また、時刻ｔ１では、正帰還回路６３のトランジスタ１０１と１０３のゲートに供給される初期化信号INIがHiに設定され、正帰還回路６３が初期状態に設定される。

[0080] 時刻ｔ２において、参照信号REFが所定の電圧Vuまで持ち上げられ、参照信号REFと画素信号SIGの比較（参照信号REFの掃引）が開始される。この時点では、参照信号REFが画素信号SIGよりも大きいため出力信号VCOはHiとなっている。

[0081] 参照信号REFと画素信号SIGが同一となったと判定された時刻ｔ３において、出力信号VCOが反転（Lowに遷移）される。出力信号VCOが反転されると、上述したように正帰還回路６３によって出力信号VCOの反転が高速化される。また、データ記憶部５２では、出力信号VCOが反転した時点の時刻データ（NビットのDATA[1]乃至DATA[N]）が記憶される。

[0082] 信号書き込み期間が終了し、かつ、信号読み出し期間の開始時刻である時

刻ｔ４において、比較回路５１のトランジスタ８１のゲートに供給する参照信号REFの電圧が、トランジスタ８１がオフするレベル(スタンバイ電圧Vstb)まで引き下げられる。これにより、信号読み出し期間中の比較回路５１の消費電流が抑制される。

[0083] 時刻ｔ５において、読み出しタイミングを制御するWORD信号がHiとなり、Nビットのラッチ信号Col[n]（ｎ＝１乃至N）（不図示）が、データ記憶部５２のラッチ制御回路７１から出力される。ここで取得されるデータは、CDS(Correlated Double Sampling；相関２重サンプリング)処理する際のリセットレベルのP相データとなる。

[0084] 時刻ｔ６において、参照信号REFが所定の電圧Vuまで持ち上げられるとともに、トランジスタ１０１と１０３のゲートに供給される初期化信号INIがHiに設定され、正帰還回路６３が再び初期状態に設定される。

[0085] 時刻ｔ７において、Hiの転送信号TXにより画素回路４１の転送トランジスタ１２３がオンされ、フォトダイオード１２１で生成された電荷がFD１２５に転送される。

[0086] 初期化信号INIがLowに戻された後、参照信号REFと画素信号SIGの比較（参照信号REFの掃引）が開始される。この時点では、参照信号REFが画素信号SIGよりも大きいため出力信号VCOはHiとなっている。

[0087] そして、参照信号REFと画素信号SIGが同一となったと判定された時刻ｔ８において、出力信号VCOが反転（Lowに遷移）される。出力信号VCOが反転されると、正帰還回路６３によって出力信号VCOの反転が高速化される。また、データ記憶部５２には、出力信号VCOが反転した時点の時刻データ（NビットのDATA[1]乃至DATA[N]）が記憶される。

[0088] 信号書き込み期間が終了し、かつ、信号読み出し期間の開始時刻である時刻ｔ９において、比較回路５１のトランジスタ８１のゲートに供給する参照信号REFの電圧が、トランジスタ８１がオフするレベル(スタンバイ電圧Vstb)まで引き下げられる。これにより、信号読み出し期間中の比較回路５１の消費電流が抑制される。

[0089] 時刻ｔ１０において、読み出しタイミングを制御するWORD信号がHiとなり、Nビットのラッチ信号Col[n]（ｎ＝１乃至N）（不図示）が、データ記憶部５２のラッチ制御回路７１から出力される。ここで取得されるデータは、CDS処理する際の信号レベルのD相データとなる。時刻ｔ１１は、上述した時刻ｔ１と同じ状態であり、次の１V（１垂直走査期間）の駆動となる。

[0090] 以上の画素２１の駆動によれば、最初に、P相データ（リセットレベル）が取得された後、読み出され、次に、D相データ（信号レベル）が取得されて、読み出される。

[0091] 以上の動作により、固体撮像装置１の画素アレイ部２２の各画素２１は、全画素同時にリセットし、かつ、全画素同時に露光するグローバルシャッタ動作が可能である。全画素が同時に露光及び読み出しを行うことが出来るので、通常、画素内に設けられる、電荷が読み出されるまでの間、電荷を保持する保持部が不要である。また、画素２１の構成では、カラム並列読み出し型の固体撮像装置で必要であった、画素信号SIGを出力する画素を選択するための選択トランジスタ等も不要である。

[0092] 図６を参照して説明した画素２１の駆動では、排出トランジスタ１２２が常にオフに制御されていた。しかし、図６において破線で示されるように、所望の時刻で、排出信号OFGをHiに設定して排出トランジスタ１２２を一旦オンさせた後、オフさせることにより、任意の露光期間を設定することも可能である。

[0093] ＜４．画素共有の構成例＞

これまでに説明した比較回路５１は、１つの画素２１内に１つのADC４２が配置される構成とされていたが、複数の画素２１で、１つのADC４２を共有する構成とすることもできる。

[0094] 図７の右部では、画素２１A、画素２１B、画素２１C、及び画素２１Dの４つの画素２１で１つのADC４２を共有する場合の比較回路５１の構成例が示されている。画素２１A、画素２１B、画素２１C、及び画素２１Dの４つの画素２１は、例えば、図７の左部で示されるような２画素×２画素のレイアウト

とされ、ADC４２を共有する２画素×２画素の単位で、２次元アレイ状に配置される。

[0095] 図７の右部において、比較回路５１を構成する差動入力回路６１、電圧変換回路６２、及び正帰還回路６３の構成は、図３に示した構成と同様である。

[0096] 図７の右部では、４つの画素２１A乃至２１Dには画素回路４１A乃至４１Dが設けられ、画素回路４１A乃至４１Dには、フォトダイオード１２１ｑ、排出トランジスタ１２２ｑ、及び、転送トランジスタ１２３ｑが個別に設けられている。一方、リセットトランジスタ１７４とFD１７５は、４つの画素２１A乃至２１Dで共有されている。

[0097] より詳細には、図７の左部には、画素２１A、画素２１B、画素２１C、画素２１Dからなる４個の画素が列方向と行方向の双方に２個ずつ２次元状に配置されて単位画素群を構成した例と、該単位画素群が列方向と行方向の双方に複数個ずつ２次元状に配置されて画素アレイを構成した例とが、示されている。

[0098] 該単位画素群は、その内部に画素２１A乃至２１Dを備えている。そして、該単位画素群を構成する該画素２１A乃至２１Dは、１個のADC４２を共有する構成となっている。すなわち、該単位画素群は、内部に１個のADC４２を備え、該画素ADC４２を該画素２１A乃至２１Dが共有する構成となっている。

[0099] 図７の右部には、４個の該画素２１A乃至２１Dが1個のADC４２を共有した、該単位画素群の等価回路図が示されている。

[0100] 図７の右部に記載の等価回路図において、画素２１Aは、画素回路４１Aを含み、かつ、画素２１Aは、該単位画素群を構成する画素２１A乃至２１Dの４画素で共有される、FD１７５、リセットトランジスタ１７４、およびADC４２を含み、該ADC４２は、比較回路５１を構成する差動入力回路６１、電圧変換回路６２、および正帰還回路６３を含む。

[0101] 同様に、図７の右部に記載の等価回路図において、画素２１Bは、画素回路４１Bを含み、かつ、画素２１Bは、該単位画素群を構成する画素２１A乃至２

１Dの４画素で共有される、FD１７５、リセットトランジスタ１７４、およびADC４２を含み、該ADC４２は、比較回路５１を構成する差動入力回路６１、電圧変換回路６２、および正帰還回路６３を含む。

[0102] 同様に、図７の右部に記載の等価回路図において、画素２１Cは、画素回路４１Cを含み、かつ、画素２１Cは、該単位画素群を構成する画素２１A乃至２１Dの４画素で共有される、FD１７５、リセットトランジスタ１７４、およびADC４２を含み、該ADC４２は、比較回路５１を構成する差動入力回路６１、電圧変換回路６２、および正帰還回路６３を含む。

[0103] 同様に、図７の右部に記載の等価回路図において、画素２１Dは、画素回路４１Dを含み、かつ、画素２１Dは、該単位画素群を構成する画素２１A乃至２１Dの４画素で共有される、FD１７５、リセットトランジスタ１７４、およびADC４２を含み、該ADC４２は、比較回路５１を構成する差動入力回路６１、電圧変換回路６２、および正帰還回路６３を含む。

[0104] なお、図７の右部では、比較回路５１の回路構成として、図３に示した回路構成を採用しているが、その他の回路構成を採用してもよい。

[0105] ＜５．画素共有された画素の露光制御＞

上述したように、本開示の固体撮像装置１においては、画素単位で露光を制御することができる。

[0106] 画素駆動回路２４は、制御タイミングテーブル格納部２４ａに予め登録された制御タイミングテーブルにより、画素共有された４つの画素２１毎に、露光を制御するようにしてもよい。つまり、この場合、画素駆動回路２４は、画素アレイ部２２に２次元アレイ状に配置された画素２１を上述した２画素×２画素の単位で４種類に分類し、４種類の画素２１のそれぞれに対応する制御タイミングテーブルにより画素２１の露光を制御することができる。

[0107] 尚、画素を分類する種類の数は、４種類に限らず、その他の数であってもよい。また、露光に関する制御は、全画素を個別に制御してもよいし、一部の画素を個別に制御してもよい。

[0108] （第１の露光制御例）

例えば、図８で示されるように、画素２１A乃至２１Dの露光をそれぞれ個別のタイミングにすることができる。

[0109] 図８の上段は、上から画素２１A乃至２１D、画素２１A乃至２１Dの順序で、水平右方向が時間の経過を示しており、黒色方形状のマークで示される、リセットしてP相データが読み出されるタイミングと、白色方形状のマークで露光を終了してD相データが読み出されるタイミングとが示されたタイミングチャートである。尚、以降においては、黒色方形状のマークで示されるタイミングの処理は、単に、リセット処理と称し、白色方形状のマークで示されるタイミングの処理は、単に読み出し処理と称する。

[0110] また、黒色方形状のマークおよび白色方形状のマークの間に設けられた模様が付された帯状のマークが露光期間を示している。また、同一の色が付された露光期間のマークは、同一の長さの露光期間であることを示している。さらに、図８の下段においては、画素２１A乃至２１Dのレイアウトに対応した枠内に、水平方向の長さを１回の露光単位時間としたときの露光期間が示されている。したがって、同一の制御タイミングテーブルを使用し続ける限り、露光単位時間の制御パターンで繰り返し露光が制御される。

[0111] すなわち、図８の上段で示されるように、画素２１Aは、時刻ｔ１において、リセット処理がなされた後、その直後のタイミングで、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始され、時刻ｔ８において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、読み出し処理がなされる。このため、画素２１Aは、時刻ｔ１におけるリセット処理がなされた後のタイミングから時刻ｔ８までの期間が露光期間とされる。

[0112] また、画素２１Bは、時刻ｔ２においてリセット処理がなされた後、転送信号TXにより転送トランジスタ１２３がオンにされることで露光がなされず、時刻ｔ７において、再びリセット処理がなされた直後のタイミングで、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始され、時刻ｔ９において、転送信号TXにより転送トランジスタ１２３がオンにさ

れることで露光が終了されて、読み出し処理がなされる。このため、画素２１Ｂは、時刻ｔ７におけるリセット処理がなされた後のタイミングから時刻ｔ９までの期間が露光期間とされる。

[0113] さらに、画素２１Ｃは、時刻ｔ３においてリセット処理がなされた後、転送信号TXにより転送トランジスタ１２３をオンにされることで露光がなされず、時刻ｔ６において、再びリセット処理がなされた直後のタイミングで、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始され、時刻ｔ１０において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、読み出し処理がなされる。このため、画素２１Ｃは、時刻ｔ６におけるリセット処理がなされた後のタイミングから時刻ｔ１０が露光期間とされる。

[0114] また、画素２１Ｄは、時刻ｔ４においてリセットされてリセット処理がなされた直後のタイミングで、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始され、時刻ｔ５において、読み出し処理がなされた後、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、時刻ｔ１１においてリセット処理がなされている。このため、画素２１Ｄは、時刻ｔ４におけるリセット処理がなされた後のタイミングから時刻ｔ５の期間が露光期間とされる。

[0115] 図８の下段で示されるように、画素２１Ａは、１回の露光単位時間の全期間が露光期間とされ、画素２１Ｂは、１回の露光単位時間の最後から１／３程度の期間が露光期間とされ、画素２１Ｃは、１回の露光単位時間の最後から２／３程度の期間が露光期間とされ、画素２１Ｄは、１回の露光単位時間の最初から１／６程度の期間が露光期間とされる。

[0116] このように画素共有された４画素のそれぞれの画素において、露光期間のタイミングと長さとを個別に制御することができる。

[0117] 尚、図８において、リセット処理と、読み出し処理とがいずれも同一のタイミングとなることがないのは、画素共有によりADC４２が４つの画素２１で共有されているからであり、画素共有しておらず、個々の画素にADC４２が設

けられている場合、同一のタイミングにすることもできる。

[0118] また、図８で示される、リセット処理がなされるタイミングと、読み出し処理がなされるタイミングと、露光開始タイミング、および露光終了タイミングである転送信号TXにより転送トランジスタ１２３をオンまたはオフに制御するタイミングを示す情報が、それぞれ画素２１毎に制御タイミングテーブル格納部２４ａに格納されており、画素駆動回路２４は、この制御タイミングテーブルの情報に基づいて、各画素２１の画素回路４１の動作を制御することで、上述した画素２１単位の露光制御を実現する。

[0119] （第２の露光制御例）

以上においては、画素２１A乃至２１Dが１回の露光単位時間で１回露光し、露光期間のタイミングも長さも個別に異なるように制御する例について説明してきたが、露光回数を複数回数とし、それぞれの長さを揃えるようにしてもよい。

[0120] すなわち、図９の上段で示されるように、画素２１Aは、時刻ｔ２１においてリセット処理がなされた後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始され、時刻ｔ２５において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第１の読み出し処理がなされる。

[0121] その後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始され、時刻ｔ２９において、転送信号TXにより転送トランジスタ１２３をオンにされることで露光が終了されて、第２の読み出し処理がなされる。

[0122] さらに、その後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始され、時刻ｔ３３において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了され、第３の読み出し処理がなされる。

[0123] また、図９の上段で示されるように、画素２１Bは、時刻ｔ２２においてリセット処理がなされた後、転送信号TXにより転送トランジスタ１２３がオフ

にされることで露光が開始され、時刻ｔ２６において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第１の読み出し処理がなされる。

[0124] その後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始され、時刻ｔ３０において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第２の読み出し処理がなされる。さらに、その後、時刻ｔ３４において、第３の読み出し処理がなされる。

[0125] さらに、図９の上段で示されるように、画素２１Cは、時刻ｔ２３においてリセット処理がなされた後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始され、時刻ｔ２７において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第１の読み出し処理がなされる。

[0126] その後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始され、時刻ｔ３１において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第２の読み出し処理がなされる。

[0127] さらに、その後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始され、時刻ｔ３５において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第３の読み出し処理がなされる。

[0128] また、図９の上段で示されるように、画素２１Dは、時刻ｔ２４においてリセット処理がなされた後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始され、時刻ｔ２８において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第１の読み出し処理がなされる。

[0129] その後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始され、時刻ｔ３２において、転送信号TXにより転送トランジスタ

１２３がオンにされることで露光が終了されて、第２の読み出し処理がなされる。

[0130] さらに、その後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始され、時刻ｔ３６において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第３の読み出し処理がなされる。

[0131] 尚、図９において、リセット処理がなされて、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始されてから、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第１の読み出し処理がなされるまでの露光期間は、第１の露光期間と称する。

[0132] また、第１の読み出し処理がなされた後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始され、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第２の読み出し処理がなされるまでの露光期間は第２の露光期間と称する。

[0133] さらに、第２の読み出し処理がなされて、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始され、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第３の読み出し処理がなされるまでの露光期間が、第３の露光期間と称する。

[0134] ここで、第１の露光期間乃至第３の露光期間は、それぞれ画素２１A乃至２１Dのいずれにおいても同一である。

[0135] 以上のような制御により、画素２１A乃至２１Dの露光回数を複数回数とし、画素２１の単位でそれぞれの長さを揃えるような露光制御を実現することが可能となる。

[0136] （第３の露光制御例）

以上においては、画素２１A乃至２１Dが露光期間の露光回数を複数回とし、タイミングと長さを揃えて制御する例について説明してきたが、露光回数を複数回数とし、画素毎に露光回数を異なるようにしてもよい。

[0137] すなわち、図１０の上段で示されるように、画素２１Aは、時刻ｔ５１にお

いてリセット処理がなされた後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始されて、時刻ｔ６３において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、読み出し処理がなされる。

[0138] すなわち、図１０の下段で示されるように、画素２１Aは、１回の露光単位時間が全て露光期間とされる。

[0139] また、図１０の上段で示されるように、画素２１Bは、時刻ｔ５２においてリセット処理がなされた後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始されて、時刻ｔ５６において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第１の読み出し処理がなされる。

[0140] その後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始されて、時刻ｔ６０において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第２の読み出し処理がなされる。

[0141] さらに、その後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始されて、時刻ｔ６４において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第３の読み出し処理がなされる。

[0142] すなわち、図１０の下段で示されるように、画素２１Bは、１回の露光単位時間について、ほぼ３等分された期間の露光が３回繰り返される。

[0143] さらに、図１０の上段で示されるように、画素２１Cは、時刻ｔ５３においてリセット処理がなされた後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始されて、時刻ｔ５８において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第１の読み出し処理がなされる。

[0144] その後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始されて、時刻ｔ６５において、転送信号TXにより転送トランジス

タ１２３がオンにされることで露光が終了されて、第２の読み出し処理がなされる。

[0145] すなわち、図１０の下段で示されるように、画素２１Cは、１回の露光単位時間について、ほぼ２等分された期間の露光が２回繰り返される。

[0146] また、図１０の上段で示されるように、画素２１Dは、時刻ｔ５４においてリセット処理がなされた後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始されて、時刻ｔ５５において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第１の読み出し処理がなされる。

[0147] その後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始されて、時刻ｔ５７において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第２の読み出し処理がなされる。

[0148] さらに、その後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始されて、時刻ｔ５９において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第３の読み出し処理がなされる。

[0149] また、その後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始されて、時刻ｔ６１において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第４の読み出し処理がなされる。

[0150] さらに、その後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始されて、時刻ｔ６２において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第５の読み出し処理がなされる。

[0151] その後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始されて、時刻ｔ６６において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第６の読み出し処理がな

される。

[0152] すなわち、図１０の下段で示されるように、画素２１Dは、１回の露光単位時間について、ほぼ６等分された期間の露光が６回繰り返される。

[0153] 以上の処理により、画素２１A乃至２１Dのそれぞれについて、異なる回数で露光時間を等間隔に実現することが可能となる。

[0154] （第４の露光制御例）

以上においては、画素２１A乃至２１Dが露光期間の露光回数を複数回とし、露光期間を等間隔に制御する例について説明してきたが、露光回数、およびタイミングをそれぞれ異なるようにしてもよい。

[0155] すなわち、図１１の上段で示されるように、画素２１Aは、時刻ｔ８１においてリセット処理がなされた後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始されて、時刻ｔ８８において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第１の読み出し処理がなされる。

[0156] その後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始されて、時刻ｔ９１において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第２の読み出し処理がなされる。

[0157] さらに、その後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始されて、時刻ｔ９４において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第３の読み出し処理がなされる。

[0158] また、図１１の上段で示されるように、画素２１Bは、時刻ｔ８２においてリセット処理がなされた後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始されて、時刻ｔ９０において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第１の読み出し処理がなされる。

[0159] その後、転送信号TXにより転送トランジスタ１２３がオフにされることで

露光が開始されて、時刻ｔ９２において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第２の読み出し処理がなされる。さらに、その後、時刻ｔ９５において、第３の読み出し処理がなされる。

[0160] さらに、図１１の上段で示されるように、画素２１Cは、時刻ｔ８３においてリセット処理がなされた後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始されて、時刻ｔ８６において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第１の読み出し処理がなされる。

[0161] その後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始されて、時刻ｔ８９において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第２の読み出し処理がなされる。

[0162] さらに、その後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始されて、時刻ｔ９６において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第３の読み出し処理がなされる。

[0163] また、図１１の上段で示されるように、画素２１Dは、時刻ｔ８４においてリセット処理がなされた後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始されて、時刻ｔ８５において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第１の読み出し処理がなされる。

[0164] その後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始されて、時刻ｔ８７において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第２の読み出し処理がなされる。

[0165] さらに、その後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始されて、時刻ｔ９３において、転送信号TXにより転送ト

ランジスタ１２３がオンにされることで露光が終了されて、第３の読み出し処理がなされる。

[0166] また、その後、転送信号TXにより転送トランジスタ１２３がオフにされることで露光が開始されて、時刻ｔ９７において、転送信号TXにより転送トランジスタ１２３がオンにされることで露光が終了されて、第４の読み出し処理がなされる。

[0167] すなわち、図１１の下段で示されるように、画素２１A乃至２１Dは、１回の露光単位時間について、それぞれ異なる露光回数で、かつ。異なるタイミングで、かつ、異なる長さの期間での露光制御を実現することができる、

[0168] 以上の露光制御例についてまとめると、本開示の固体撮像素子１においては、以下のような露光制御が可能となる。すなわち、ADC４２を共有する複数の光電変換部のうち、少なくとも１つ以上の画素２１の露光時間が、その他の光電変換部の露光時間と異なり、かつ、露光終了時刻が異なる露光制御を実現することが可能となる。また、それぞれ露光期間を切り替えることができ、例えば、画素毎に2のn乗倍ずつ変化させることができる。

[0169] 例えば、１個の画素２１内において、露光比と読み出し回数を複数設けることで［露光比］bit×［読み出し回数］分の信号量を得ることができる。

[0170] また、ADC４２を共有する複数の画素２１A乃至２１Dのそれぞれ同士において、露光比を設けてそれぞれ読み出すことで、［露光比］bit×［複数画素］分の信号量を得ることができる。

[0171] さらに、所定の１個の画素２１内において、露光比と読み出し回数を複数設け、かつADC４２を共有する複数画素２１同士において、露光比を設けてそれぞれ読み出す設定を適用すれば、さらに取扱い信号量を増やすことができる。

[0172] より詳細には、基本の１個の画素２１のADC４２の信号量が14bitで、ノイズ量が3bitの場合、例えば、以下のような各状態でダイナミックレンジは次のように計算される。

[0173] 画素２１A乃至２１Dのうち１個の画素２１においては露光比16倍で読み出

し回数を3回とし、他の３個の画素２１もそれぞれ同様の露光期間が与えられた場合、SN＝14bit+4bit×3回×1画素－3bit=23bit=130dBとなる。

[0174] また、画素２１A乃至２１Dからなる４個の画素２１がそれぞれ露光比16倍、異なる露光期間が与えられた場合、SN＝14bit+4bit×3画素－3bit=23bit=130dBとなる。

[0175] さらに、画素２１A乃至２１Dからなる４個がそれぞれ露光比16倍、異なる露光期間が与えられ、かつ自画素においても4回読みだす場合、SN＝14bit＋4bit×3画素＋2bit－3bit=25bit=150dBとなる。

[0176] また、複数回の露光により読み出される画素信号は画素毎にADC４２によりAD変換されるため、その結果をシフト加算するだけで、合成画像を生成することができ、メモリの増大を防ぐことができる。

[0177] シフト加算とは、バイナリコードからなる画素信号を左シフト（言い換えれば、２のべき乗で乗算）して加算するものである。シフト量には、露光時間の比率（露光比）に応じた値が設定される。

[0178] 例えば、画素２１A乃至２１Dのそれぞれの露光時間をＥａ、Ｅｂ、ＥｃおよびＥｄとする。これらの露光時間には、例えば、次の式（１）乃至式（３）を満たす値が設定されるものとする。

[0179] Ｅｃ＝２×Ｅｄ

・・・（１）

Ｅｂ＝２×Ｅｃ＝４×Ｅｄ

・・・（２）

Ｅａ＝２×Ｅｂ＝８×Ｒｄ

・・・（３）

[0180] このように、最小の露光時間に対する他の露光時間の比率（露光比）を２のべき乗（２、４および８）に設定した場合、乗算をシフト加算により行うことができる。例えば、画素２１Bからの画素信号は、１ビット分、左シフトされる。また、画素２１Cからの画素信号は、２ビット分、左シフトされ、画素２１Dからの画素信号は、３ビット分、左シフトされる。一方、画素２１A

からの画素信号は、シフトされない。

[0181] なお、露光比を２のべき乗としているが、露光比を２のべき乗以外の値に設定してもよい。露光比が２のべき乗でない場合には、露光比を乗算すればよい。

[0182] このように、ビットシフトにより加算処理を実現することができるので、メモリの増大を防ぐことが可能となる。

[0183] 尚、上述したシフト加算に係る信号処理は、全ての画素信号が飽和していないことを前提としたものであり、画素信号のレベルがロジックのフルスケール値や、フルスケール値に相当するコードを出力するなど、画素信号が飽和しているような場合については、加算や、シフトを行わず、データを破棄するという処理を入れることがより望ましい。

[0184] さらに、上述した第１の露光制御例乃至第４の露光制御例について、それぞれ制御タイミングテーブルを設けて、制御タイミングテーブル格納部２４ａに格納しておき、例えば、所定数のフレーム単位など所定の時間間隔で切り替えてもよいし、ユーザによる操作部２の切り替え操作などで切り替えて使用するようにしてもよい。

[0185] ＜６．露光制御処理＞

次に、図１２のフローチャートを参照して、図１の固体撮像装置１による露光制御処理について説明する。尚、図１２のフローチャートを参照して説明する露光制御処理は、１個の画素２１分の処理を説明するものであり、４個の画素２１のそれぞれについては、それぞれ独立した処理が実行される。

[0186] ステップＳ３１において、画素駆動回路２４は、制御タイミングテーブル格納部２４ａより所定の制御タイミングテーブルを読み出す。

[0187] ステップＳ３２において、画素駆動回路２４は、制御タイミングテーブルの情報に基づいて、画素２１のリセット処理を実行する。

[0188] ステップＳ３３において、画素駆動回路２４は、制御タイミングテーブルの情報に基づいて、現在のタイミングが露光開始タイミングであるか否かを判定する。

[0189] ステップＳ３２において、現在のタイミングが露光開始タイミングである場合、処理は、ステップＳ３６に進む。

[0190] ステップＳ３６において、画素駆動回路２４は、転送信号TXにより転送トランジスタ１２３をオフにして露光状態とする。

[0191] ステップＳ３７において、画素駆動回路２４は、制御タイミングテーブルの情報に基づいて、タイミング生成回路２９からの現在のタイミングが露光終了タイミングであるか否かを判定する。

[0192] ステップＳ３７において、現在のタイミングが露光終了タイミングではない場合、処理は、ステップＳ３６に戻る。すなわち、露光終了タイミングになるまで、ステップＳ３６，Ｓ３７の処理が繰り返されて、露光状態が継続される。

[0193] ステップＳ３７において、露光終了タイミングであると判定された場合、処理は、ステップＳ３８に進む。

[0194] ステップＳ３８において、画素駆動回路２４は、転送信号TXにより転送トランジスタ１２３をオンにして、画素２１の読み出し処理を実行する。

[0195] ステップＳ３９において、画素駆動回路２４は、制御タイミングテーブルの情報に基づいて、１回分の露光単位時間が経過したか否かを判定し、経過していない場合、処理は、ステップＳ３３に戻る。

[0196] また、ステップＳ３９において、１回分の露光単位時間が経過したとみなされた場合、処理は、ステップＳ４２に進む。

[0197] 一方、ステップＳ３３において、露光開始タイミングではないとみなされた場合、処理は、ステップＳ４０に進む。

[0198] ステップＳ４０において、画素駆動回路２４は、制御タイミングテーブルの情報に基づいて、１回分の露光単位時間が経過したか否かを判定し、経過していない場合、処理は、ステップＳ３４に進む。

[0199] ステップＳ３４において、画素駆動回路２４は、制御タイミングテーブルの情報に基づいて、現在のタイミングが露光開始タイミングであるか否かを判定する。

[0200] ステップＳ３４において、露光開始タイミングではない場合、処理は、ステップＳ４０に戻る。

[0201] すなわち、ステップＳ３２の処理である１回分の露光単位時間の最初のリセット直後に露光開始が指示されている場合は、処理は、ステップＳ３６に進み、直ぐに露光を開始する。

[0202] しかしながら、例えば、図８の時刻ｔ２，ｔ３で示されるように、最初のリセット直後に露光開始が指示されていない場合は、処理は、ステップＳ３４，Ｓ４０に進み、１回分の露光単位時間が経過するまで、ステップＳ４０，Ｓ３４の処理が繰り返される。

[0203] そして、１回分の露光単位時間が経過するまでの間に、ステップＳ３４において、露光開始タイミングであるとみなされた場合、処理は、ステップＳ３５に進む。

[0204] ステップＳ３５において、画素駆動回路２４は、制御タイミングテーブルの情報に基づいて、画素２１のリセット処理を実行し、処理は、ステップＳ３６に進む。

[0205] すなわち、例えば、図８の時刻ｔ６，ｔ７で示されるように、最初のリセット直後に露光開始が指示されていない場合であって、その後、露光開始タイミングになったときには、再びリセットがなされて、露光が開始される。

[0206] また、ステップＳ４０において、１回分の露光単位時間が経過したとみなされた場合、処理は、ステップＳ４１に進む。

[0207] ステップＳ４１において、画素駆動回路２４は、制御タイミングテーブルの情報に基づいて、画素２１のリセット処理を実行し、処理は、ステップＳ４２に進む。

[0208] すなわち、１回分の露光単位時間が経過するまで、ステップＳ３３乃至Ｓ４０の処理が繰り返される。

[0209] そして、１回分の露光単位時間が経過する、または、１回分の露光単位時間が経過して、ステップＳ４１において、リセット処理がなされた場合、処理は、ステップＳ４２に進む。

[0210] ステップＳ４２において、画素駆動回路２４は、処理終了か否かを判定し、終了ではない場合、処理は、ステップＳ４３に進む。

[0211] ステップＳ４３において、画素駆動回路２４は、制御タイミングテーブルを切り替えるタイミングであるか否かを判定する。例えば、操作部２が操作されて、所定の制御タイミングテーブルに切り替える操作信号が供給されてくる、または、直前まで使用していた制御タイミングテーブルに記載される情報に、所定時間が経過した後、他の所定の制御タイミングテーブルを使用することが指示されているような場合、画素駆動回路２４は、制御タイミングテーブルを切り替えるものと判定し、処理は、ステップＳ４４に進む。

[0212] ステップＳ４４において、画素駆動回路２４は、制御タイミングテーブル格納部２４ａに格納されている制御タイミングテーブルのうち、切り替えるべき制御タイミングテーブルを読み出して、切り替え、処理は、ステップＳ３２に戻り、それ以降の処理が繰り返される。

[0213] 一方、ステップＳ４３において、制御タイミングテーブルを切り替えるタイミングではないと判定された場合、ステップＳ４４の処理はスキップされる。この場合、現在読み込んでいる制御タイミングテーブルがそのまま使用され続ける。

[0214] ステップＳ４２において、処理の終了が指示されている場合、処理は、終了する。

[0215] 以上の処理により、上述した画素２１A乃至２１Dを個別に制御することが可能になるので、全ての領域で広ダイナミックレンジを実現することが可能となる。また、露光期間が時分割となることや、未露光期間の発生を防止することが可能となり、また短時間で高照度に発光する被写体も確実に捉えることが可能となる。

[0216] 結果として、高速に動く被写体や、明暗の輝度差が大きい被写体に対して適切にダイナミックレンジを拡大することが可能となる。また、動体歪（モーションアーチファクト）を低減することが可能となる。

[0217] また、複数回の短期間の露光信号は画素毎にADC４２によりAD変換されるた

め、その結果をシフト加算するだけで、合成画像を生成することができ、メモリの増大を防ぐことができる。

[0218] 以上においては、図６のタイミングチャートを用いた動作の説明に基づいたリセット処理と読み出し処理を例にして説明を進めてきたが、排出トランジスタ１２２を用いて、同様の動作を実現するようにしても良い。排出トランジスタ１２２を用いるようにすることで、露光制御の自由度を高めることが可能となる。

[0219] また、ADC４２は、画素２１内に設けられる例について説明してきたが、画素外であってもよいし、AD変換できるものであれば、ADC４２以外の構成であってもよい。

[0220] ＜７．電子機器への適用例＞

上述した固体撮像装置１は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像装置、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

[0221] 図１３は、本技術を適用した電子機器としての撮像装置の構成例を示すブロック図である。

[0222] 図１３に示される撮像装置２０１は、光学系２０２、シャッタ装置２０３、固体撮像素子２０４、駆動回路２０５、信号処理回路２０６、モニタ２０７、およびメモリ２０８を備えて構成され、静止画像および動画像を撮像可能である。

[0223] 光学系２０２は、１枚または複数枚のレンズを有して構成され、被写体からの光（入射光）を固体撮像素子２０４に導き、固体撮像素子２０４の受光面に結像させる。

[0224] シャッタ装置２０３は、光学系２０２および固体撮像素子２０４の間に配置され、駆動回路２０５の制御に従って、固体撮像素子２０４への光照射期間および遮光期間を制御する。

[0225] 固体撮像素子２０４は、上述した固体撮像素子を含むパッケージにより構成される。固体撮像素子２０４は、光学系２０２およびシャッタ装置２０３

を介して受光面に結像される光に応じて、一定期間、信号電荷を蓄積する。固体撮像素子２０４に蓄積された信号電荷は、駆動回路２０５から供給される駆動信号（タイミング信号）に従って転送される。

[0226] 駆動回路２０５は、固体撮像素子２０４の転送動作、および、シャッタ装置２０３のシャッタ動作を制御する駆動信号を出力して、固体撮像素子２０４およびシャッタ装置２０３を駆動する。

[0227] 信号処理回路２０６は、固体撮像素子２０４から出力された信号電荷に対して各種の信号処理を施す。信号処理回路２０６が信号処理を施すことにより得られた画像（画像データ）は、モニタ２０７に供給されて表示されたり、メモリ２０８に供給されて記憶（記録）されたりする。

[0228] このように構成されている撮像装置２０１においても、上述した固体撮像素子２０４に代えて、固体撮像装置１を適用することにより、高速に動く被写体や、明暗の輝度差が大きい被写体に対して適切にダイナミックレンジを拡大し、動体歪（モーションアーチファクト）を低減することが可能となる。

＜８．固体撮像装置の使用例＞

[0229] 図１４は、上述の固体撮像装置１を使用する使用例を示す図である。

[0230] 上述したカメラモジュールは、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0231] ・ディジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアーコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0232] 尚、本開示は、以下のような構成も取ることができる。

＜１＞ 複数の画素からなる画素アレイ部と、

前記複数の画素のうち、少なくとも一部の画素について露光を画素単位で個別に制御する画素駆動制御部と

を含む固体撮像装置。

＜２＞ 前記画素駆動制御部は、前記複数の画素の露光における、露光開始タイミング、および露光終了タイミングを画素単位で個別に制御する

＜１＞に記載の固体撮像装置。

＜３＞ 前記画素駆動制御部は、前記複数の画素の露光における、リセットタイミング、読み出しタイミング、前記露光開始タイミング、および前記露光終了タイミングを画素単位で個別に制御する

＜２＞に記載の固体撮像装置。

＜４＞ 前記画素駆動制御部は、前記複数の画素の露光における、露光単位時間の露光期間の回数を画素単位で個別に制御する

＜３＞に記載の固体撮像装置。

＜５＞ 前記画素駆動制御部は、前記複数の画素の露光における、前記露光単位時間の前記露光期間の回数を画素単位で個別に制御するとき、前記露光単位時間において、前記露光期間を時間的に等間隔に制御する

＜４＞に記載の固体撮像装置。

＜６＞　前記複数の画素の露光における、前記露光期間が複数回数である場合、前記画素より出力されるアナログデジタル変換された画素信号は、露光が終了する度に直前の画素信号にシフト加算される

＜４＞に記載の固体撮像装置。

＜７＞　前記画素駆動制御部は、前記複数の画素の露光における、露光開始タイミング、および露光終了タイミングを所定数の画素単位で制御する

＜２＞に記載の固体撮像装置。

＜８＞　前記画素駆動制御部は、

前記複数の画素の露光を画素単位で個別に制御する制御情報からなる制御タイミングテーブルを複数に格納する制御タイミングテーブル格納部を含み、

前記制御タイミングテーブルの制御情報に基づいて、前記複数の画素の露光を画素単位で個別に制御する

＜１＞乃至＜７＞のいずれかに記載の固体撮像装置。

＜９＞　前記画素駆動制御部は、

前記制御タイミングテーブル格納部に格納された制御タイミングテーブルを所定の時間間隔で切り替える

＜８＞に記載の固体撮像装置。

＜１０＞　前記画素駆動制御部は、

前記制御タイミングテーブル格納部に格納された制御タイミングテーブルを所定数のフレーム毎に切り替える

＜９＞に記載の固体撮像装置。

＜１１＞　ユーザの操作を受け付けて、受け付けた操作信号を出力する操作部をさらに含み、

前記画素駆動制御部は、

前記制御タイミングテーブル格納部に格納された制御タイミングテーブルを、前記操作部からの操作信号に応じて切り替える

＜９＞に記載の固体撮像装置。

＜１２＞　複数の画素からなる画素アレイ部の前記複数の画素のうち、少なくとも一部の画素について露光を画素単位で個別に制御する

ステップを含む固体撮像装置の制御方法。

＜１３＞　複数の画素からなる画素アレイ部と、

前記複数の画素のうち、少なくとも一部の画素について露光を画素単位で個別に制御する画素駆動制御部と

を含む電子機器。

符号の説明

[0233] １　固体撮像装置，　２１　画素，　２２　画素アレイ部，　２３　時刻コード転送部，　２４　画素駆動回路，　２４ａ　制御タイミングテーブル，　２６　時刻コード発生部，　２８　出力部，　４１　画素回路，　４２　ADC，　５１　比較回路，　５２　データ記憶部，　６１　差動入力回路，　６２　電圧変換回路，　６３　正帰還回路，　７１　ラッチ制御回路，　７２　ラッチ記憶部，　８１乃至８７，９１　トランジスタ，　１０１乃至１０５，１１１乃至１１３　トランジスタ

請求の範囲

[請求項1] 複数の画素からなる画素アレイ部と、

前記複数の画素のうち、少なくとも一部の画素について露光を画素単位で個別に制御する画素駆動制御部と

を含む固体撮像装置。

[請求項2] 前記画素駆動制御部は、前記複数の画素の露光における、露光開始タイミング、および露光終了タイミングを画素単位で個別に制御する

請求項１に記載の固体撮像装置。

[請求項3] 前記画素駆動制御部は、前記複数の画素の露光における、リセットタイミング、読み出しタイミング、前記露光開始タイミング、および前記露光終了タイミングを画素単位で個別に制御する

請求項２に記載の固体撮像装置。

[請求項4] 前記画素駆動制御部は、前記複数の画素の露光における、露光単位時間の露光期間の回数を画素単位で個別に制御する

請求項３に記載の固体撮像装置。

[請求項5] 前記画素駆動制御部は、前記複数の画素の露光における、前記露光単位時間の前記露光期間の回数を画素単位で個別に制御するとき、前記露光単位時間において、前記露光期間を時間的に等間隔に制御する

請求項４に記載の固体撮像装置。

[請求項6] 前記複数の画素の露光における、前記露光期間が複数回数である場合、前記画素より出力されるアナログデジタル変換された画素信号は、露光が終了する度に直前の画素信号にシフト加算される

請求項４に記載の固体撮像装置。

[請求項7] 前記画素駆動制御部は、前記複数の画素の露光における、露光開始タイミング、および露光終了タイミングを所定数の画素単位で制御する

請求項２に記載の固体撮像装置。

[請求項8] 前記画素駆動制御部は、

前記複数の画素の露光を画素単位で個別に制御する制御情報からなる制御タイミングテーブルを複数に格納する制御タイミングテーブル格納部を含み、

前記制御タイミングテーブルの制御情報に基づいて、前記複数の画素の露光を画素単位で個別に制御する

請求項１に記載の固体撮像装置。

[請求項9] 前記画素駆動制御部は、

前記制御タイミングテーブル格納部に格納された制御タイミングテーブルを所定の時間間隔で切り替える

請求項８に記載の固体撮像装置。

[請求項10] 前記画素駆動制御部は、

前記制御タイミングテーブル格納部に格納された制御タイミングテーブルを所定数のフレーム毎に切り替える

請求項９に記載の固体撮像装置。

[請求項11] ユーザの操作を受け付けて、受け付けた操作信号を出力する操作部をさらに含み、

前記画素駆動制御部は、

前記制御タイミングテーブル格納部に格納された制御タイミングテーブルを、前記操作部からの操作信号に応じて切り替える

請求項９に記載の固体撮像装置。

[請求項12] 複数の画素からなる画素アレイ部の前記複数の画素のうち、少なくとも一部の画素について露光を画素単位で個別に制御する

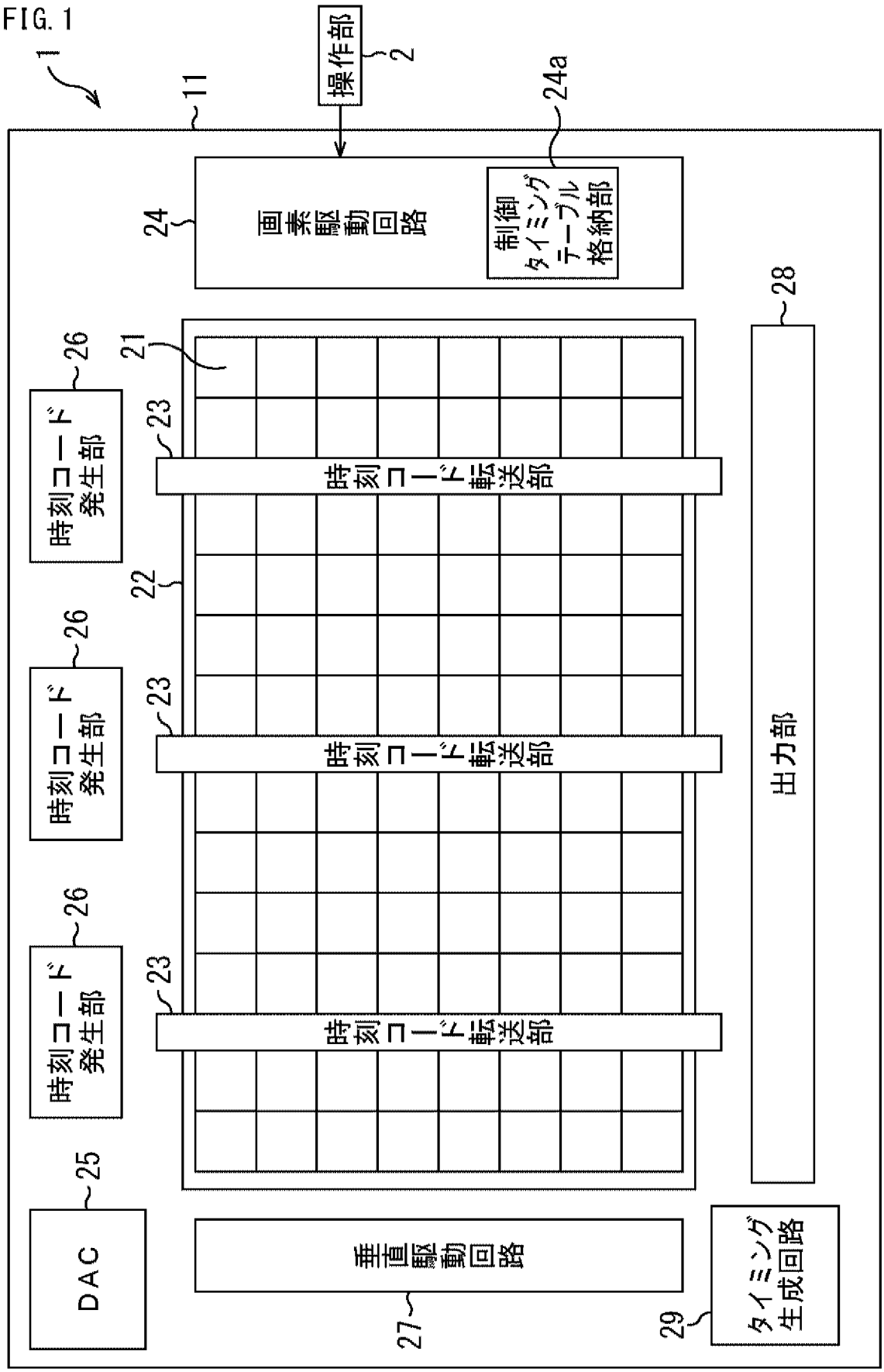
ステップを含む固体撮像装置の制御方法。

[請求項13] 複数の画素からなる画素アレイ部と、

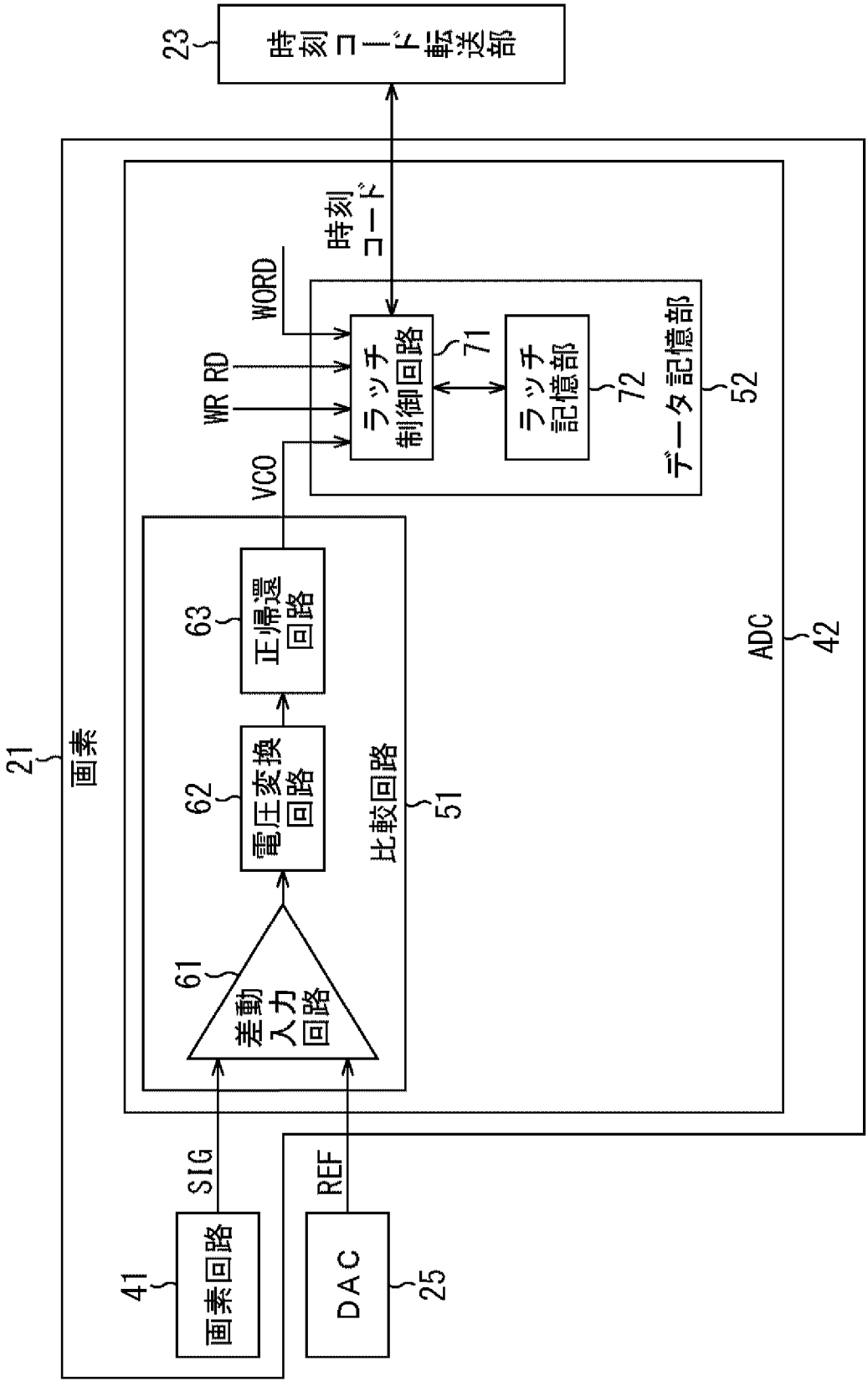
前記複数の画素のうち、少なくとも一部の画素について露光を画素単位で個別に制御する画素駆動制御部と

を含む電子機器。

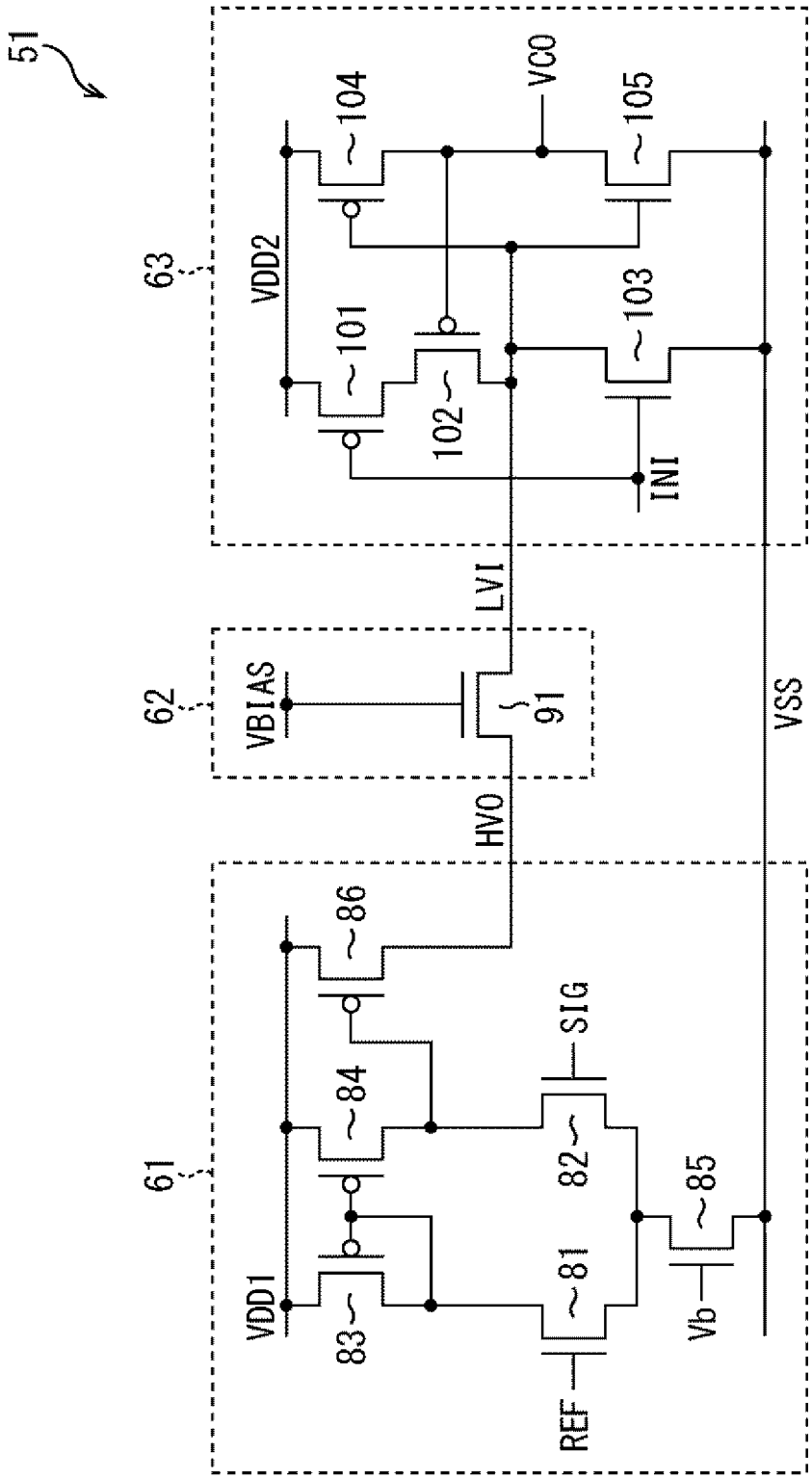
[図1]
FIG. 1


1
11
操作部
2
24a
24
画素駆動回路
制御タイミングテーブル格納部
28
26
21
23
時刻コード転送部
時刻コード発生部
22
出力部
25
DAC
垂直駆動回路
27
29
タイミング生成回路

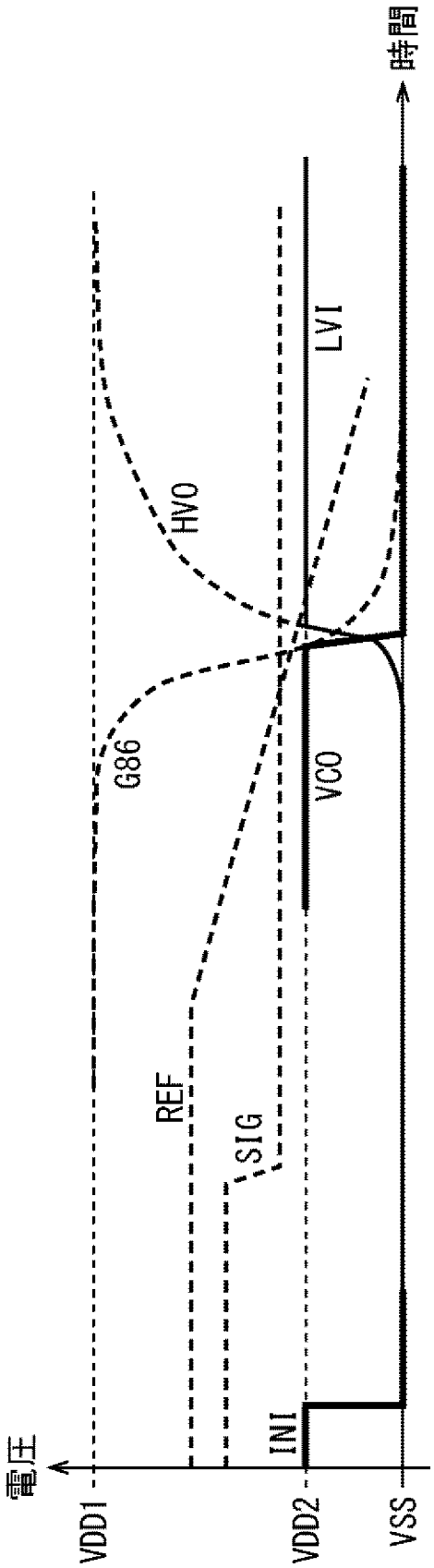
[図2]
FIG. 2


23
時刻コード転送部
時刻コード
WORD
WR RD
VCO
ラッチ制御回路
71
ラッチ記憶部
72
データ記憶部
52
63
正帰還回路
62
電圧変換回路
61
差動入力回路
比較回路
51
ADC
42
21
画素
SIG
REF
41
画素回路
DAC
25

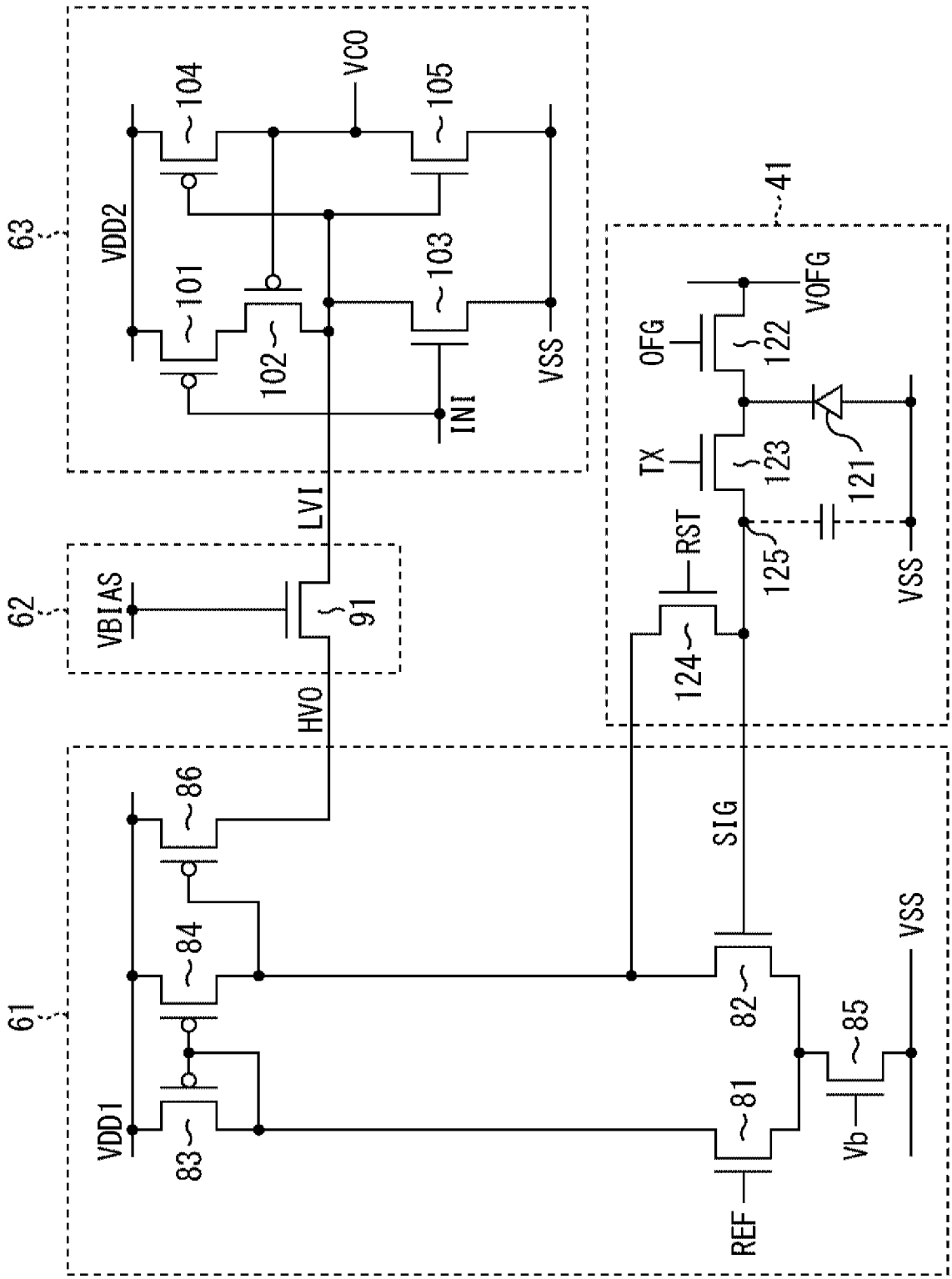
[図3]
FIG. 3


51
63
VDD2
104
VCO
105
101
103
102
INI
LVI
62
VBIAS
91
VSS
HVO
61
86
SIG
84
82
85
VDD1
83
81
Vb
REF

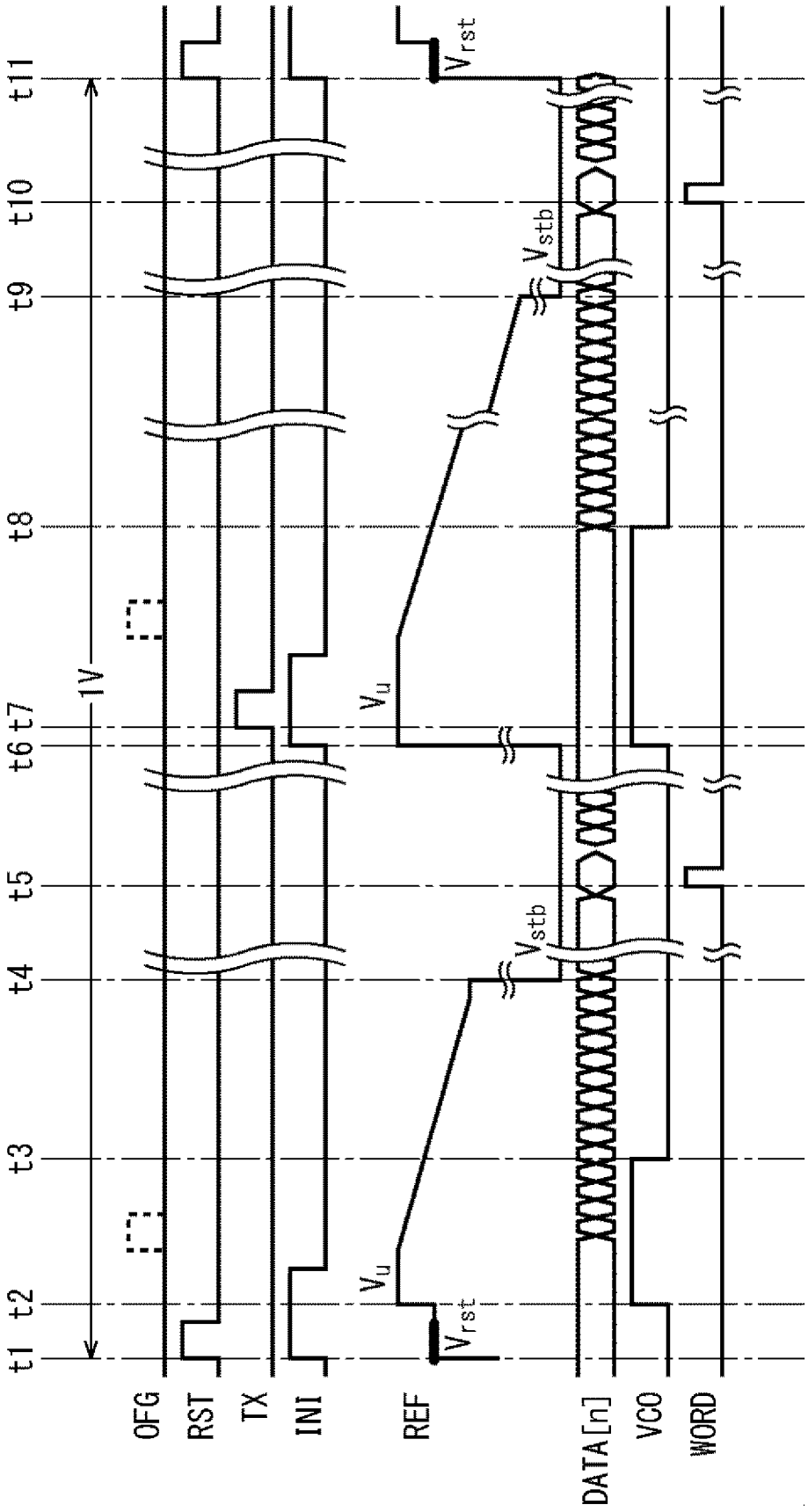
[図4]
FIG. 4



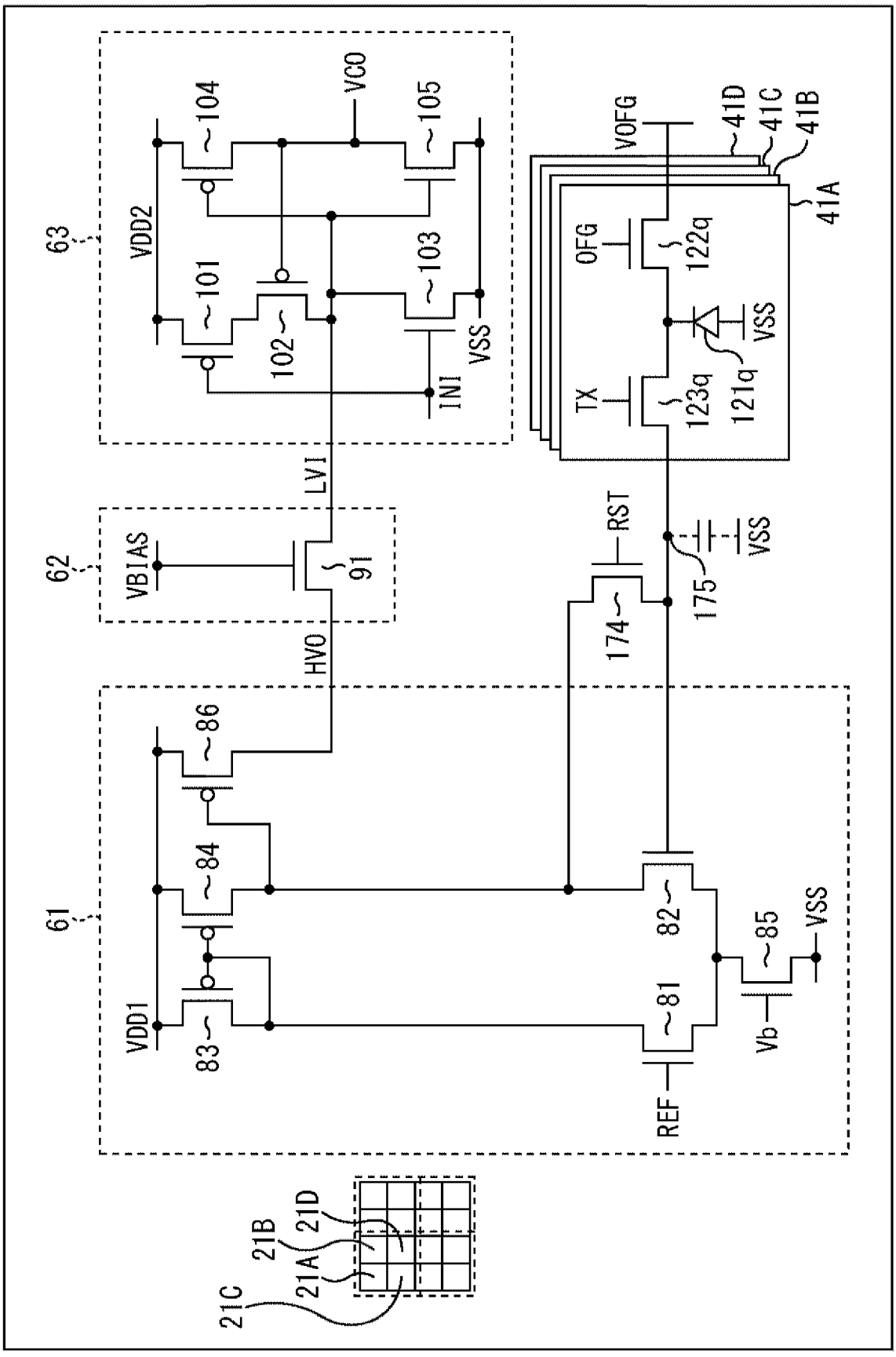
[図5]
FIG. 5


63
VDD2
104
VCO
105
101
102
103
INI
VSS
41
OFG
122
VOFG
TX
123
121
RST
125
124
VSS
62
VBIAS
91
LVI
HVO
61
86
84
83
VDD1
SIG
82
81
85
REF
Vb
VSS

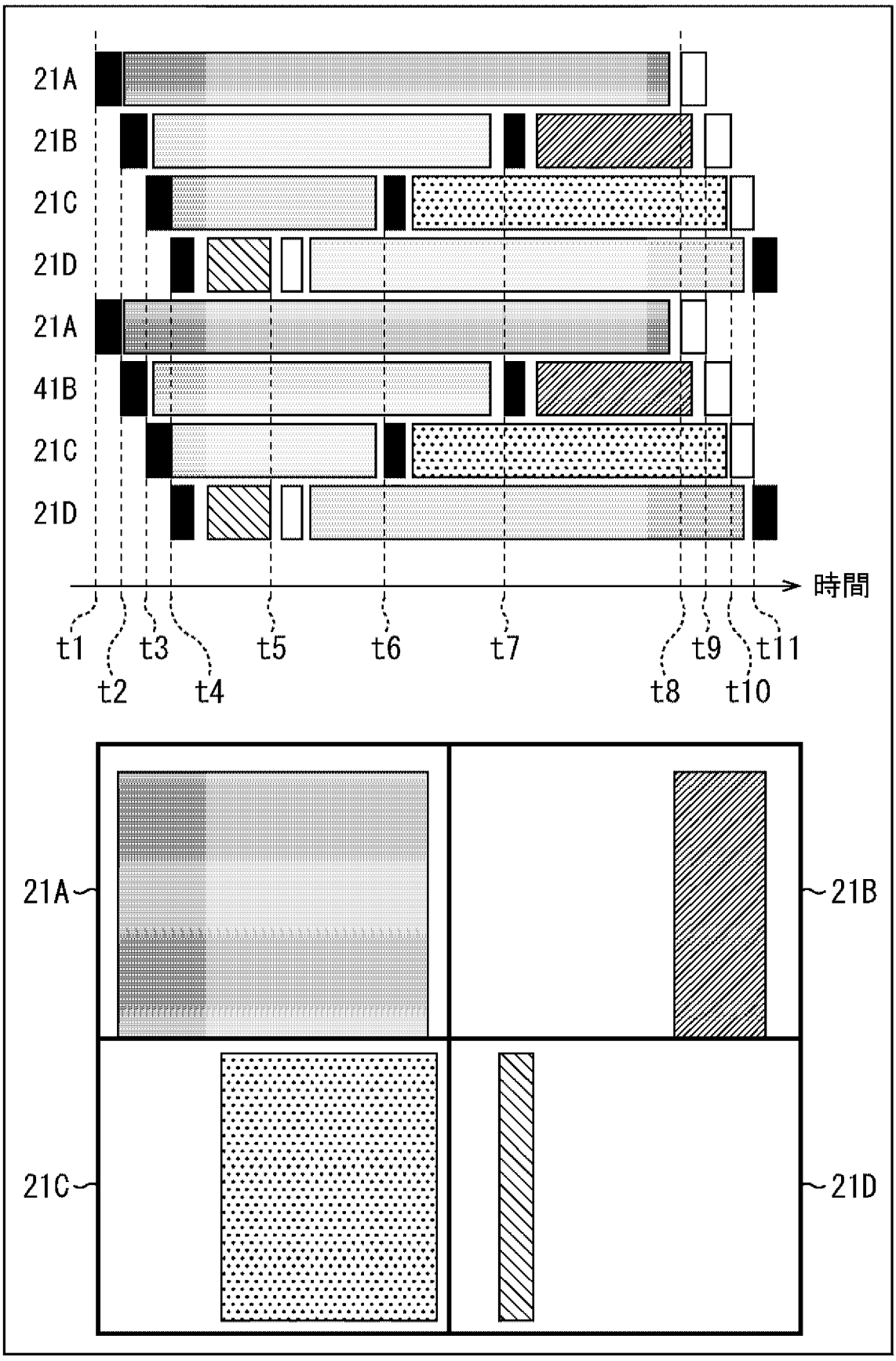
[図6]
FIG. 6


t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
1V
OFG
RST
TX
INI
REF
DATA[n]
VCO
WORD
V_{rst}
V_{stb}
V_{ul}
V_{stb}
V_{ul}
V_{rst}

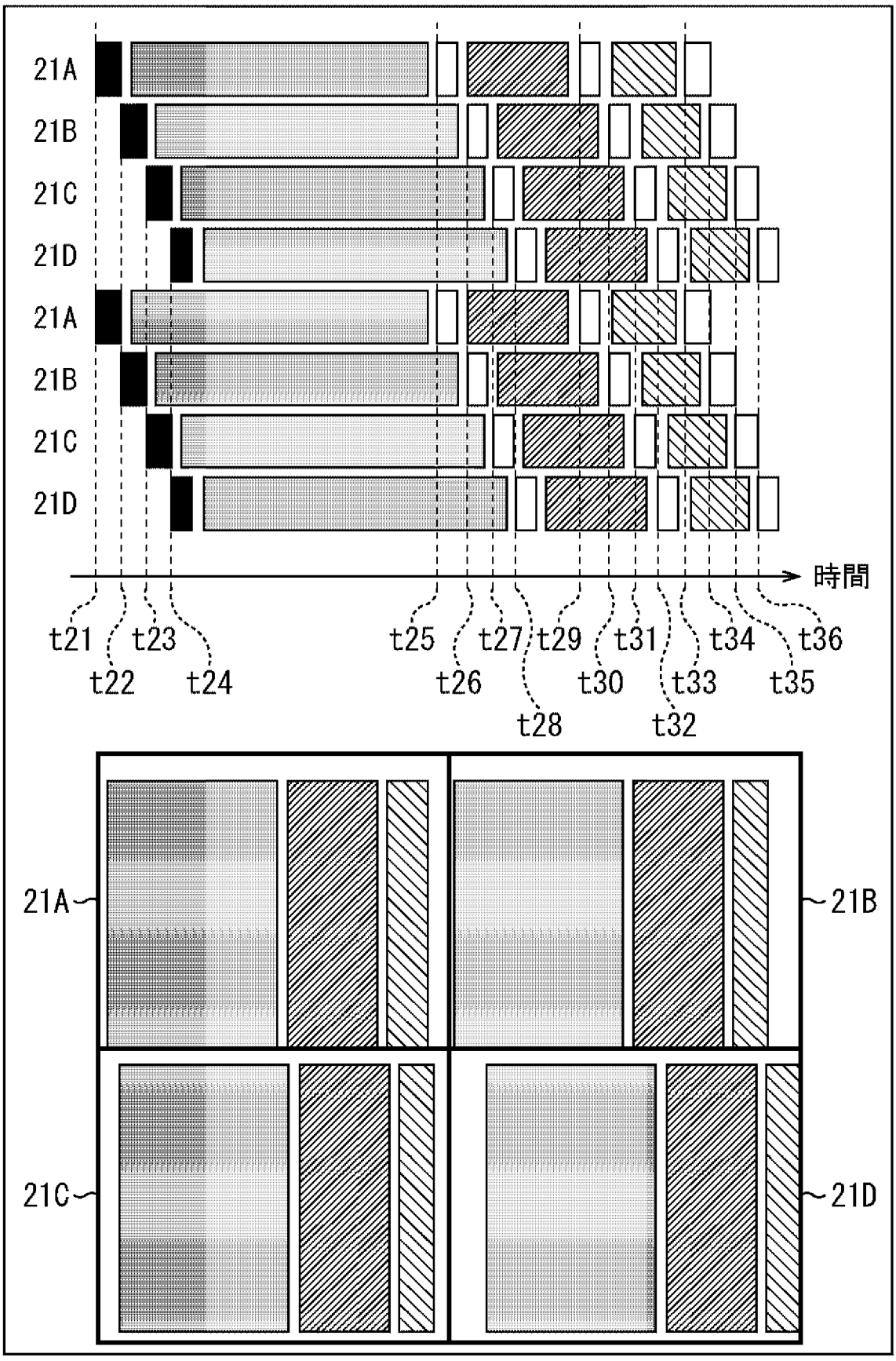
[図7]
FIG. 7


63
VDD2
104
VCO
105
101
102
103
INI
VSS
62
VBIAS
91
LVI
HVO
61
VDD1
83
84
86
82
81
85
Vb
REF
RST
174
175
VOFG
41D
41C
41B
41A
OFG
122q
TX
123q
121q
21B
21D
21A
21C

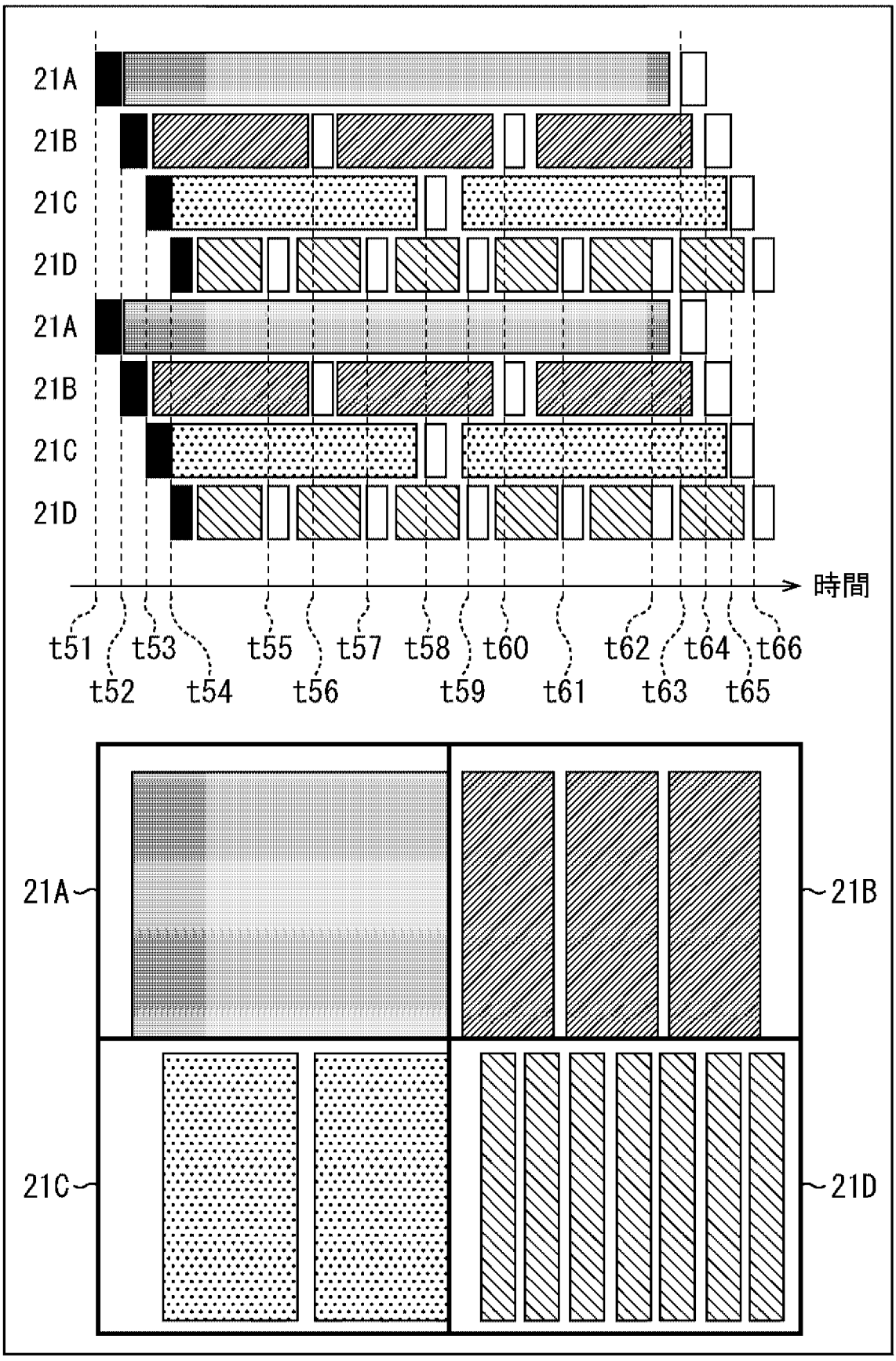
[図8]
FIG. 8


21A
21B
21C
21D
21A
41B
21C
21D
時間
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
21A
21B
21C
21D

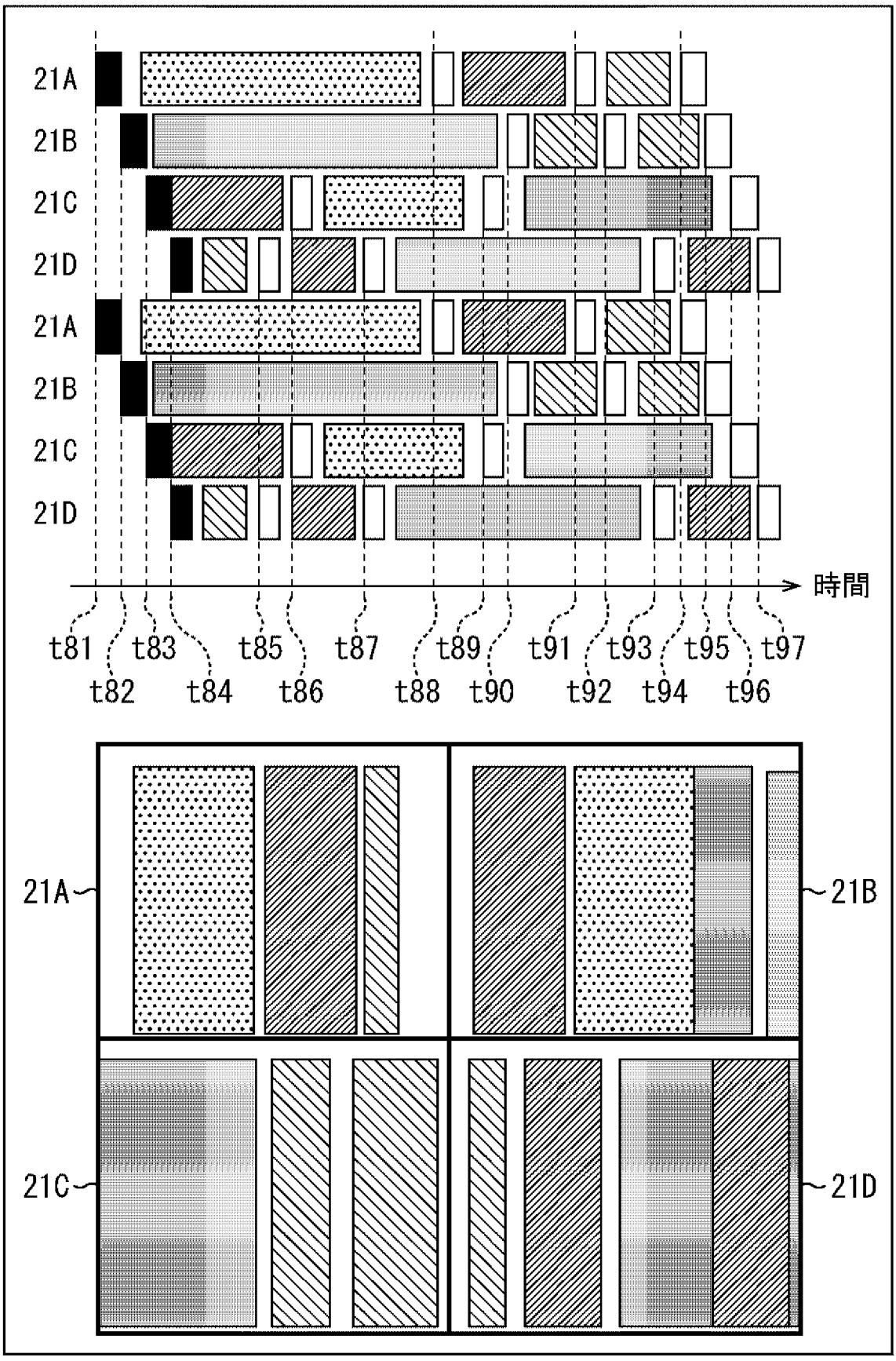
[図9]
FIG. 9


21A
21B
21C
21D
21A
21B
21C
21D
時間
t21
t22
t23
t24
t25
t26
t27
t28
t29
t30
t31
t32
t33
t34
t35
t36
21A
21B
21C
21D

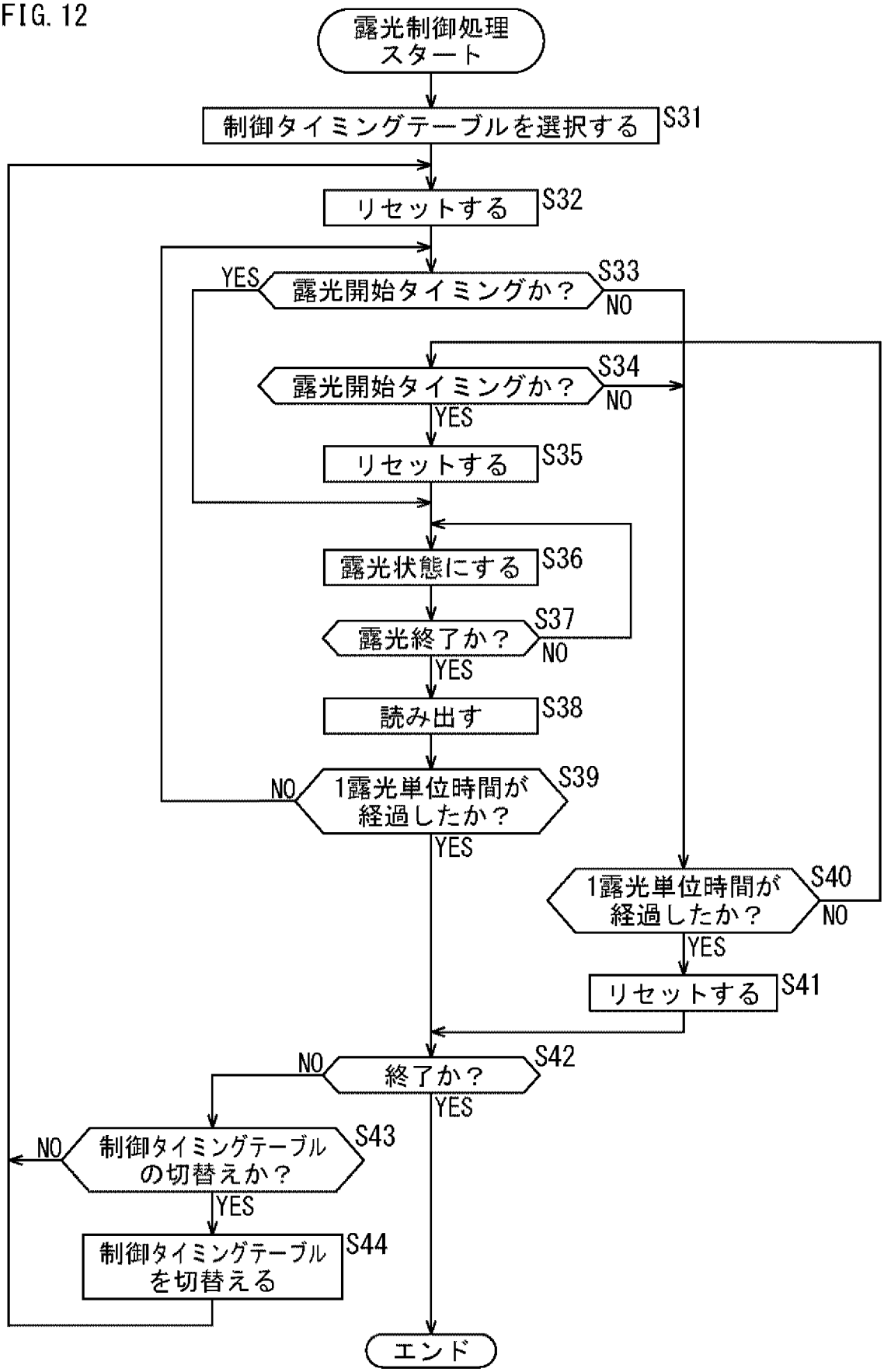
[図10]
FIG. 10


21A
21B
21C
21D
21A
21B
21C
21D
時間
t51
t52
t53
t54
t55
t56
t57
t58
t59
t60
t61
t62
t63
t64
t65
t66
21A
21B
21C
21D

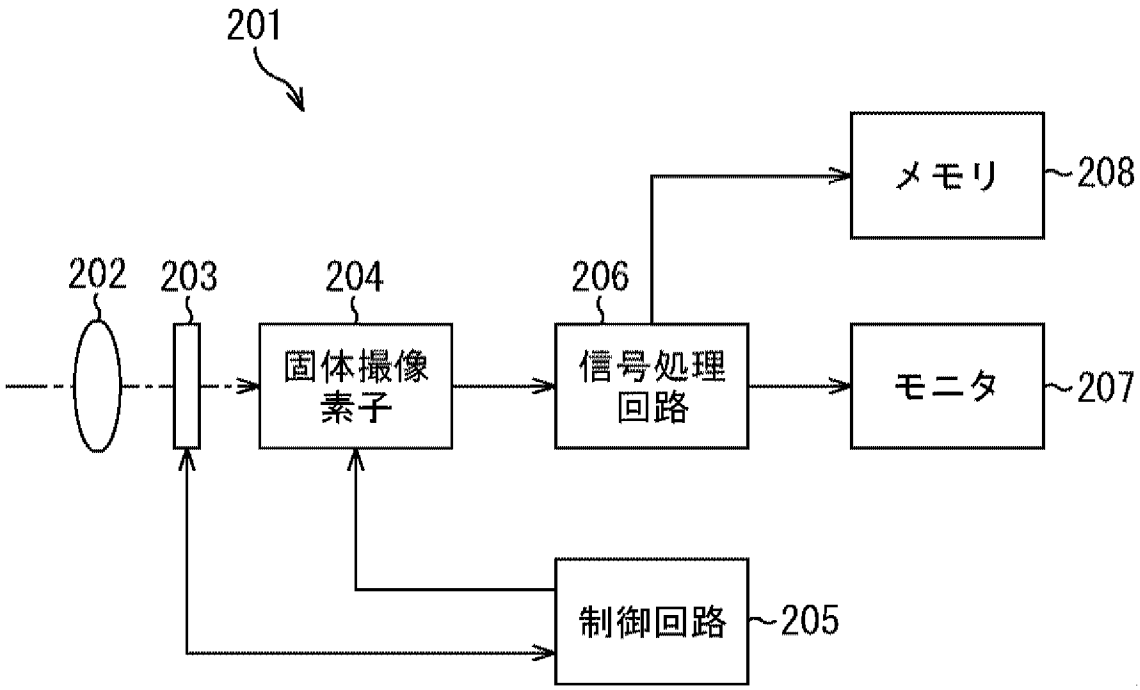
[図11]
FIG. 11


21A
21B
21C
21D
21A
21B
21C
21D
時間
t81
t82
t83
t84
t85
t86
t87
t88
t89
t90
t91
t92
t93
t94
t95
t96
t97
21A
21B
21C
21D

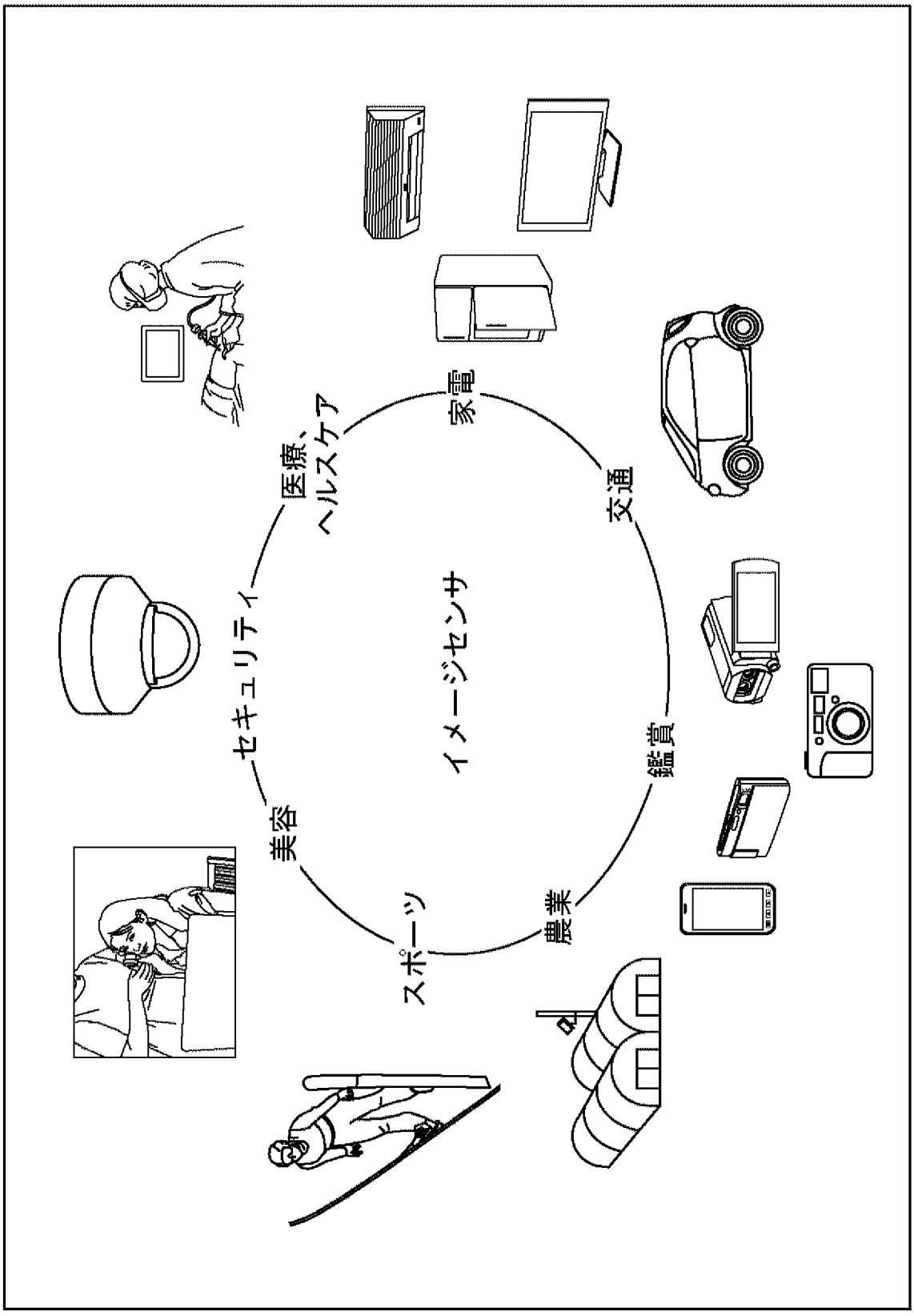
[図12]
FIG. 12


露光制御処理
スタート
制御タイミングテーブルを選択する
S31
リセットする
S32
YES
露光開始タイミングか？
S33
NO
露光開始タイミングか？
S34
NO
YES
リセットする
S35
露光状態にする
S36
露光終了か？
S37
NO
YES
読み出す
S38
NO
1露光単位時間が
経過したか？
S39
YES
1露光単位時間が
経過したか？
S40
NO
YES
リセットする
S41
NO
終了か？
S42
YES
NO
制御タイミングテーブル
の切替えか？
S43
YES
制御タイミングテーブル
を切替える
S44
エンド

[図13]
FIG. 13



[図14]
FIG. 14



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/013627

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. H04N5/3745(2011.01)i, H04N5/347(2011.01)i, H04N5/355(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. H04N5/3745, H04N5/347, H04N5/355

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2018
Registered utility model specifications of Japan 1996-2018
Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2016-192707 A (SONY CORP.) 10 November 2016, paragraphs [0001], [0039], [0061]-[0067], [0081]-[0091], [0137]-[0139], fig. 5-8 (Family: none)	1-3, 7, 12-13 4-5 6, 8-11
X A	JP 2015-216594 A (HAMAMATSU PHOTONICS KABUSHIKI KAISHA) 03 December 2015, paragraphs [0013], [0027], [0028], fig. 1, 4, 12 & US 2017/0078595 A1, paragraphs [0024], [0039], [0040], fig. 1, 4, 12 & WO 2015/174169 A1 & EP 3145178 A1 & CN 106464822 A	1, 12-13 2-11
X A	JP 2014-220644 A (KONICA MINOLTA, INC.) 20 November 2014, paragraphs [0033], [0077], [0130], fig. 6-7B (Family: none)	1, 12-13 2-11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
06.06.2018	19.06.2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/013627

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-160987 A (CANON INC.) 04 September 2014, paragraphs [0028]-[0030], [0052], fig. 5, 13 & US 2014/0232929 A1, paragraphs [0043]-[0045], [0068], fig. 5, 13 & CN 104010128 A	4-5

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１８／０１３６２７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/3745(2011.01)i, H04N5/347(2011.01)i, H04N5/355(2011.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/3745, H04N5/347, H04N5/355

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y A	JP 2016-192707 A (ソニー株式会社) 2016.11.10, 段落[0001],[0039],[0061]-[0067],[0081]-[0091], [0137]-[0139], 図5-8 (ファミリーなし)	1-3,7,12-13 4-5 6,8-11
X A	JP 2015-216594 A (浜松ホトニクス株式会社) 2015.12.03, 段落[0013],[0027]-[0028], 図1,4,12 & US 2017/0078595 A1, 段落[0024],[0039]-[0040], 図1,4,12 & WO 2015/174169 A1 & EP 3145178 A1 & CN 106464822 A	1,12-13 2-11

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０６．０６．２０１８	１９．０６．２０１８

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｖ　５５８７
粕谷　満成
電話番号　０３－３５８１－１１０１　内線　３５７１

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2014-220644 A (コニカミノルタ株式会社)	1,12-13
A	2014.11.20, 段落[0033],[0077],[0130], 図 6-7B (ファミリーなし)	2-11
Y	JP 2014-160987 A (キヤノン株式会社) 2014.09.04, 段落[0028]-[0030],[0052], 図 5,13 & US 2014/0232929 A1, 段落[0043]-[0045],[0068], 図 5,13 & CN 104010128 A	4-5