(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)公開番号
特開2025-72713
(P2025-72713A)
(43)公開日　令和7年5月12日(2025.5.12)

(51)国際特許分類			FI			テーマコード（参考）
H10D	*86/40*	*(2025.01)*	H01L	29/78	613B	5B225
G11C	*11/54*	*(2006.01)*	G11C	11/54		5F083
H10D	*30/67*	*(2025.01)*	H01L	29/78	622	5F110
H10B	*51/30*	*(2023.01)*	H10B	51/30		
G11C	*16/04*	*(2006.01)*	H01L	29/78	613Z	

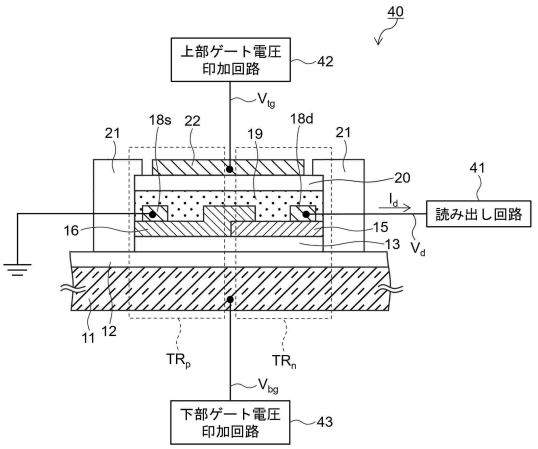
審査請求　未請求　請求項の数　15　ＯＬ　（全20頁）　最終頁に続く

(21)出願番号　特願2023-182963(P2023-182963)
(22)出願日　令和5年10月25日(2023.10.25)

(71)出願人　301023238
国立研究開発法人物質・材料研究機構
茨城県つくば市千現一丁目２番地１
(72)発明者　新ヶ谷 義隆
茨城県つくば市千現一丁目２番地１ 国立研究開発法人物質・材料研究機構内
(72)発明者　早川 竜馬
茨城県つくば市千現一丁目２番地１ 国立研究開発法人物質・材料研究機構内
(72)発明者　相見 順子
茨城県つくば市千現一丁目２番地１ 国立研究開発法人物質・材料研究機構内
(72)発明者　若山 裕
茨城県つくば市千現一丁目２番地１ 国立研究開発法人物質・材料研究機構内
最終頁に続く

(54)【発明の名称】　電子装置、及びトランジスタの駆動方法

(57)【要約】
【課題】正負のいずれか一方の極性のパルス電圧を用いて、興奮性シナプスと抑制性シナプスの両方の動作を実現できるようにすること。
【解決手段】第１のゲート電極と、第１のゲート絶縁膜と、第１のゲート絶縁膜の上に設けられた第１の導電型の第１の半導体膜と、第１のゲート絶縁膜の上に設けられ、一部が第１の半導体膜に接する第２の導電型の第２の半導体膜と、第１の半導体膜と第２の半導体膜の各々の上に設けられたメモリ膜と、メモリ膜の上に設けられた第２のゲート絶縁膜と、第２のゲート絶縁膜の上に設けられた第２のゲート電極とを備えたトランジスタと、トランジスタのドレイン電流を第１の期間において読み出す第１の回路と、ドレイン電流が流れるゲート電圧を第１の期間に第２のゲート電極に印加し、第２の期間に第２のゲート電極にパルス電圧を印加する第２の回路とを有する電子装置による。
【選択図】図６



【特許請求の範囲】
【請求項１】
第１のゲート電極と、
前記第１のゲート電極の上に設けられた第１のゲート絶縁膜と、
前記第１のゲート絶縁膜の上の第１の領域に設けられた第１の導電型の第１の半導体膜と、
前記第１のゲート絶縁膜の上の第２の領域に設けられ、一部が前記第１の半導体膜に接する第２の導電型の第２の半導体膜と、
前記第１の半導体膜と前記第２の半導体膜の各々の上に設けられ、内部電界が残留するメモリ膜と、
前記メモリ膜の上に設けられた第２のゲート絶縁膜と、
前記第２のゲート絶縁膜の上に設けられた第２のゲート電極とを備えたトランジスタと、
前記第１の半導体膜と前記第２の半導体膜との間を流れるドレイン電流を第１の期間において読み出す第１の回路と、
前記ドレイン電流が流れる程度のゲート電圧を前記第１の期間に前記第２のゲート電極に印加すると共に、前記第１の期間とは異なる第２の期間に前記第２のゲート電極にパルス電圧を印加する第２の回路と、
を有する電子装置。
【請求項２】
前記ゲート電圧は、前記パルス電圧を印加した累積時間が増大するにつれて前記ドレイン電流が減少する第１のゲート電圧であることを特徴とする請求項１に記載の電子装置。
【請求項３】
前記ゲート電圧は、前記パルス電圧を印加した累積時間が増大するにつれて前記ドレイン電流が増大する第２のゲート電圧であることを特徴とする請求項１に記載の電子装置。
【請求項４】
前記ゲート電圧は、前記パルス電圧を印加した累積時間が増大するにつれて前記ドレイン電流が増加から減少に転じる第３のゲート電圧であることを特徴とする請求項１に記載の電子装置。
【請求項５】
前記第２の回路は、前記ドレイン電流が増加から減少に転じる前の前記パルス電圧のパルス幅を、前記ドレイン電流が増加から減少に転じた後の前記パルス電圧のパルス幅と比較して狭くすることを特徴とする請求項４に記載の電子装置。
【請求項６】
前記第２の回路は、前記累積時間が増大するにつれて前記ドレイン電流が増加する期間の前に、前記パルス電圧とは極性が反対の電圧を印加することを特徴とする請求項４又は請求項５に記載の電子装置。
【請求項７】
前記第１の回路は、前記第１の期間に前記第１の半導体膜と前記第２の半導体膜との間に順方向の電圧を印加することを特徴とする請求項１乃至請求項６のいずれか１項に記載の電子装置。
【請求項８】
前記メモリ膜は、キャリアを蓄積するキャリア蓄積膜、又は強誘電体膜であることを特徴とする請求項１乃至請求項７のいずれか１項に記載の電子装置。
【請求項９】
前記キャリア蓄積膜は、金属フタロシアニンにポリスチレンが結合したスターポリスチレンであることを特徴とする請求項８に記載の電子装置。
【請求項１０】
トランジスタの駆動方法であって、
前記トランジスタは、

第１のゲート電極と、
前記第１のゲート電極の上に設けられた第１のゲート絶縁膜と、
前記第１のゲート絶縁膜の上の第１の領域に設けられた第１の導電型の第１の半導体膜と、
前記第１のゲート絶縁膜の上の第２の領域に設けられ、一部が前記第１の半導体膜に接する第２の導電型の第２の半導体膜と、
前記第１の半導体膜と前記第２の半導体膜の各々の上に設けられ、内部電界が残留するメモリ膜と、
前記メモリ膜の上に設けられた第２のゲート絶縁膜と、
前記第２のゲート絶縁膜の上に設けられた第２のゲート電極とを備え、
前記駆動方法は、
前記第１の半導体膜と前記第２の半導体膜との間を流れるドレイン電流を第１の期間において読み出すことと、
前記ドレイン電流が流れる程度のゲート電圧を前記第１の期間に前記第２のゲート電極に印加することと、
前記第１の期間とは異なる第２の期間に前記第２のゲート電極にパルス電圧を印加することとを含む、
トランジスタの駆動方法。
【請求項１１】
前記ゲート電圧は、前記パルス電圧を印加した累積時間が増大するにつれて前記ドレイン電流が減少する第１のゲート電圧であることを特徴とする請求項１０に記載のトランジスタの駆動方法。
【請求項１２】
前記ゲート電圧は、前記パルス電圧を印加した累積時間が増大するにつれて前記ドレイン電流が増大する第２のゲート電圧であることを特徴とする請求項１０に記載のトランジスタの駆動方法。
【請求項１３】
前記ゲート電圧は、前記パルス電圧を印加した累積時間が増大するにつれて前記ドレイン電流が増加から減少に転じる第３のゲート電圧であることを特徴とする請求項１０に記載のトランジスタの駆動方法。
【請求項１４】
前記ドレイン電流が増加から減少に転じる前の前記パルス電圧のパルス幅を、前記ドレイン電流が増加から減少に転じた後の前記パルス電圧のパルス幅と比較して狭くすることを特徴とする請求項１３に記載のトランジスタの駆動方法。
【請求項１５】
前記累積時間が増大するにつれて前記ドレイン電流が増加する期間の前に、前記パルス電圧とは極性が反対の電圧を印加することを更に含むことを特徴とする請求項１３又は請求項１４に記載のトランジスタの駆動方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、電子装置、及びトランジスタの駆動方法に関する。
【背景技術】
【０００２】
Ｉｎｔｅｒｎｅｔ　ｏｆ　Ｔｈｉｎｇｓ（ＩｏＴ）社会、脱炭素社会の実現に向けて、情報を高速かつ低消費電力で処理することが可能な集積回路の開発が行われている。そのような集積回路の一つに神経細胞模倣コンピュータがある。プロセッサが命令を逐次実行して結果をメモリに書き込むノイマン型コンピュータでは、プロセッサとメモリとの間の通信がボトルネックになって高速化に限度がある。これに対し、神経細胞模倣コンピュータは、人工ニューラルネットワークを構成する複数のニューロンが独立して並列に動作す

るため高速動作が容易である。しかも、神経細胞模倣コンピュータは、複数のニューロンのうちシナプスで信号を受けたニューロンのみが独立して動作するため消費電力を抑えることもできる。

【０００３】

神経細胞模倣コンピュータは、メムリスタをはじめとした様々な方法で実現されている。また、電界効果トランジスタとフローティングゲートメモリとを組み合わせたアンチアンバイポーラトランジスタによって神経細胞模倣コンピュータを実現する技術も提案されている（非特許文献１）。

【０００４】

非特許文献１のアンチアンバイポーラトランジスタでは、ゲート電極の上にHfO_2のゲート絶縁膜を形成し、そのゲート絶縁膜の一部領域にｎ型半導体のReS_2膜とｐ型半導体の黒燐膜とをこの順に積層する。ゲート絶縁膜の一部領域の横にはReS_2膜が存在せず、黒燐膜がその自然酸化膜を介してゲート絶縁膜の上に形成される。黒燐膜の自然酸化膜は電荷を溜めるフローティングゲートとして機能し、その電荷量によってトランジスタの閾値電圧が変化する。

【０００５】

例えば、ゲート電極に正のパルス電圧を繰り返し印加すると自然酸化膜に電子が蓄積され、これによりパルス電圧の印加回数と共にドレイン電流が増大する興奮性シナプスに対応した動作を実現できる。その後にゲート電極に負のパルス電圧を繰り返し印加すると、自然酸化膜に蓄積されていた電子が抜けて、パルスの印加数と共にドレイン電流が減少する抑制性シナプスに対応した動作を実現できる。このようなドレイン電流の変化を人工ニューラルネットワークの重み付け係数として用いることで、神経細胞模倣コンピュータを実現できる。

【先行技術文献】

【非特許文献】

【０００６】

【非特許文献１】Ｘ．Ｘｉｏｎｇ ｅｔ ａｌ．，“Ｒｅｃｏｎｆｉｇｕｒａｂｌｅ Ｌｏｇｉｃ－ｉｎ－Ｍｅｍｏｒｙ ａｎｄ Ｍｕｌｔｉｌｉｎｇｕａｌ Ａｒｔｉｆｉｃｉａｌ Ｓｙｎａｐｓｅｓ Ｂａｓｅｄ ｏｎ ２Ｄ Ｈｅｔｅｒｏｓｔｒｕｃｔｕｒｅｓ”，Ａｄｖａｎｃｅｄ Ｆｕｎｃｔｉｏｎａｌ Ｍａｔｅｒｉａｌｓ，ｖｏｌ．３０，ｐａｇｅ １９０９６４５，２０２０

【発明の概要】

【発明が解決しようとする課題】

【０００７】

しかしながら、非特許文献１の技術では、興奮性シナプスと抑制性シナプスの両方の動作を実現するために正負の二つの極性のパルス電圧をゲート電極に印加する必要がある。そのため、パルス電圧を生成する電圧生成回路の回路構成が複雑になり、それに伴う回路遅延によってパルス電圧の生成間隔を短くするのが難しくなる。

【０００８】

一つの側面では、本発明は、正負のいずれか一方の極性のパルス電圧を用いて、興奮性シナプスと抑制性シナプスの両方の動作を実現できるようにすることを目的とする。

【課題を解決するための手段】

【０００９】

一つの側面によれば、電子装置は、第１のゲート電極と、前記第１のゲート電極の上に設けられた第１のゲート絶縁膜と、前記第１のゲート絶縁膜の上の第１の領域に設けられた第１の導電型の第１の半導体膜と、前記第１のゲート絶縁膜の上の第２の領域に設けられ、一部が前記第１の半導体膜に接する第２の導電型の第２の半導体膜と、前記第１の半導体膜と前記第２の半導体膜の各々の上に設けられ、内部電界が残留するメモリ膜と、前記メモリ膜の上に設けられた第２のゲート絶縁膜と、前記第２のゲート絶縁膜の上に設けられた第２のゲート電極とを備えたトランジスタと、前記第１の半導体膜と前記第２の半

導体膜との間を流れるドレイン電流を第１の期間において読み出す第１の回路と、前記ドレイン電流が流れる程度のゲート電圧を前記第１の期間に前記第２のゲート電極に印加すると共に、前記第１の期間とは異なる第２の期間に前記第２のゲート電極にパルス電圧を印加する第２の回路と、を有する。

【００１０】

上記電子装置において、前記ゲート電圧は、前記パルス電圧を印加した累積時間が増大するにつれて前記ドレイン電流が減少する第１のゲート電圧でもよい。

【００１１】

上記電子装置において、前記ゲート電圧は、前記パルス電圧を印加した累積時間が増大するにつれて前記ドレイン電流が増大する第２のゲート電圧でもよい。

【００１２】

上記電子装置において、前記ゲート電圧は、前記パルス電圧を印加した累積時間が増大するにつれて前記ドレイン電流が増加から減少に転じる第３のゲート電圧でもよい。

【００１３】

上記電子装置において、前記第２の回路は、前記ドレイン電流が増加から減少に転じる前の前記パルス電圧のパルス幅を、前記ドレイン電流が増加から減少に転じた後の前記パルス電圧のパルス幅と比較して狭くしてもよい。

【００１４】

上記電子装置において、前記第２の回路は、前記累積時間が増大するにつれて前記ドレイン電流が増加する期間の前に、前記パルス電圧とは極性が反対の電圧を印加してもよい。

【００１５】

上記電子装置において、前記第１の回路は、前記第１の期間に前記第１の半導体膜と前記第２の半導体膜との間に順方向の電圧を印加してもよい。

【００１６】

上記電子装置において、前記メモリ膜は、キャリアを蓄積するキャリア蓄積膜、又は強誘電体膜でもよい。

【００１７】

上記電子装置において、前記キャリア蓄積膜は、金属フタロシアニンにポリスチレンが結合したスターポリスチレンでもよい。

【００１８】

一つの側面によれば、トランジスタの駆動方法は、トランジスタの駆動方法であって、前記トランジスタは、第１のゲート電極と、前記第１のゲート電極の上に設けられた第１のゲート絶縁膜と、前記第１のゲート絶縁膜の上の第１の領域に設けられた第１の導電型の第１の半導体膜と、前記第１のゲート絶縁膜の上の第２の領域に設けられ、一部が前記第１の半導体膜に接する第２の導電型の第２の半導体膜と、前記第１の半導体膜と前記第２の半導体膜の各々の上に設けられ、内部電界が残留するメモリ膜と、前記メモリ膜の上に設けられた第２のゲート絶縁膜と、前記第２のゲート絶縁膜の上に設けられた第２のゲート電極とを備え、前記駆動方法は、前記第１の半導体膜と前記第２の半導体膜との間を流れるドレイン電流を第１の期間において読み出すことと、前記ドレイン電流が流れる程度のゲート電圧を前記第１の期間に前記第２のゲート電極に印加することと、前記第１の期間とは異なる第２の期間に前記第２のゲート電極にパルス電圧を印加することとを含む。

【００１９】

上記トランジスタの駆動方法において、前記ゲート電圧は、前記パルス電圧を印加した累積時間が増大するにつれて前記ドレイン電流が減少する第１のゲート電圧でもよい。

【００２０】

上記トランジスタの駆動方法において、前記ゲート電圧は、前記パルス電圧を印加した累積時間が増大するにつれて前記ドレイン電流が増大する第２のゲート電圧でもよい。

【００２１】

上記トランジスタの駆動方法において、前記ゲート電圧は、前記パルス電圧を印加した累積時間が増大するにつれて前記ドレイン電流が増加から減少に転じる第３のゲート電圧でもよい。

【００２２】

上記トランジスタの駆動方法において、前記ドレイン電流が増加から減少に転じる前の前記パルス電圧のパルス幅を、前記ドレイン電流が増加から減少に転じた後の前記パルス電圧のパルス幅と比較して狭くしてもよい。

【００２３】

上記トランジスタの駆動方法において、前記累積時間が増大するにつれて前記ドレイン電流が増加する期間の前に、前記パルス電圧とは極性が反対の電圧を印加することを更に含んでもよい。

【発明の効果】

【００２４】

本発明によれば、正負のいずれか一方の極性のパルス電圧を用いて、興奮性シナプスと抑制性シナプスの両方の動作を実現できる。

【図面の簡単な説明】

【００２５】

【図１】図１（ａ）、（ｂ）は、本実施形態に係るアンチアンバイポーラトランジスタの製造途中の断面図（その１）である。

【図２】図２（ａ）、（ｂ）は、本実施形態に係るアンチアンバイポーラトランジスタの製造途中の断面図（その２）である。

【図３】図３は、本実施形態に係るアンチアンバイポーラトランジスタの製造途中の断面図（その３）である。

【図４】図４（ａ）、（ｂ）は、本実施形態に係る製造途中のアンチアンバイポーラトランジスタを上から撮影して得られた光学顕微鏡像である。

【図５】図５（ａ）、（ｂ）は、本実施形態に係るアンチアンバイポーラトランジスタの動作について説明するための模式断面図である。

【図６】図６は、本実施形態に係るアンチアンバイポーラトランジスタを備えた電子装置の模式図である。

【図７】図７は、本実施形態に係るアンチアンバイポーラトランジスタの電流電圧特性を調査して得られた図である。

【図８】図８（ａ）～（ｃ）は、興奮性シナプスや抑制性シナプスに類似の動作が実現できることを調査して得られた図（その１）である。

【図９】図９（ａ）～（ｃ）は、興奮性シナプスや抑制性シナプスに類似の動作が実現できることを示す図（その２）である。

【図１０】図１０（ａ）～（ｃ）は、興奮性シナプスと抑制性シナプスの両方に類似の動作が実現できることを示す図（その３）である。

【図１１】図１１（ａ）～（ｃ）は、本実施形態に係るアンチアンバイポーラトランジスタを人工ニューラルネットワークに応用し得ることを示す模式図である。

【発明を実施するための形態】

【００２６】

以下、図面を参照しながら本発明の実施の形態を説明する。なお、同様の要素には同様の符号を付し、その説明を省略する。

【００２７】

本実施形態に係るアンチアンバイポーラトランジスタでは、下部ゲート電圧を調節することで、正負いずれかのパルス電圧のみで興奮性シナプスと抑制性シナプスの両方の動作を実現する。そのアンチアンバイポーラトランジスタについてその製造工程を追いながら説明する。

【００２８】

図１～図３は、本実施形態に係るアンチアンバイポーラトランジスタの製造途中の断面

図である。

【００２９】

まず、図１（ａ）に示すように、第１のゲート電極１１としてシリコン基板を用意し、そのシリコン基板の表面を熱酸化することにより下地絶縁膜１２として酸化シリコン膜を９０ｎｍ程度の厚さに形成する。

【００３０】

次に、図１（ｂ）に示すように、トランジスタのチャネル領域Ｒ０における下地絶縁膜１２の上に第１のゲート絶縁膜１３として厚さが２４ｎｍ程度の六方晶窒化ホウ素（ｈ－ＢＮ）膜をドライ転写法で転写する。そのドライ転写法では、不図示のスタンプに付着した六方晶窒化ホウ素膜を下地絶縁膜１２に押し当てることにより六方晶窒化ホウ素膜を下地絶縁膜１２に転写する。スタンプとしては、例えば表面をＰＰＣ（ｐｏｌｙｐｒｏｐｙｌｅｎｅ　ｃａｒｂｏｎａｔｅ）膜でコーティングしたゲル状のＰＤＭＳ（ｐｏｌｙｄｉｍｅｔｈｙｌｓｉｌｏｘａｎｅ）スタンプがある。

【００３１】

更に、第１の領域Ｒ１における第１のゲート絶縁膜１３の上にｎ型の第１の半導体膜１５として厚さが１１ｎｍ程度のReS_2膜を転写する。そして、第２の領域Ｒ２における第１のゲート絶縁膜１３と第１の半導体膜１５の上に第２の半導体膜１６として厚さが１３ｎｍ程度のWSe_2膜を転写する。各半導体膜１５、１６はいずれも二次元層状化合物であって、下地絶縁膜１２と同様にＰＤＭＳスタンプを用いたドライ転写によって転写される。なお、ｎ型は第１導電型の一例であり、ｐ型は第２導電型の一例である。

【００３２】

また、各領域Ｒ１、Ｒ２は、チャネル領域Ｒ０の一部で相互に重複するように設定される。そのため、第２の半導体膜１６の一部１６ａが第１の半導体膜１５の上面に接するように形成され、これにより各半導体膜１５、１６の界面にｐｎ接合が形成される。

【００３３】

なお、各半導体膜１５、１６は上記に限定されず有機半導体膜であってもよい。また、この例では第１の半導体膜１５の上に第２の半導体膜１６の一部１６ａが積層されているが、積層順はこれに限定されない。例えば、最初に第１のゲート絶縁膜１３の上に第２の半導体膜１６を形成し、その後に第１のゲート絶縁膜１３の上に第１の半導体膜１５を形成することで、第２の半導体膜１６の上に第１の半導体膜１５の一部を積層してもよい。

【００３４】

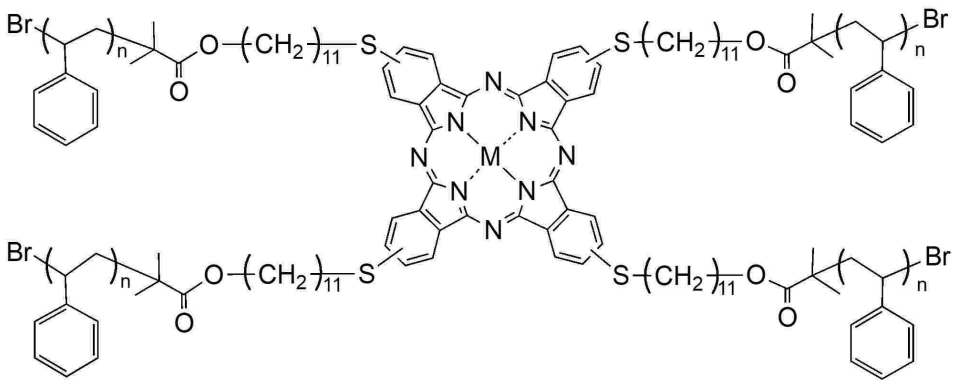
次に、図２（ａ）に示すように、第１の半導体膜１５の上にクロム膜と金膜とをこの順に電子線加熱蒸着により積層し、更にその積層膜を電子線リソグラフィによりパターニングしてドレイン電極１８ｄとして残す。また、第２の半導体膜１６の上にパラジウム膜と金膜とをこの順に電子線加熱蒸着により積層し、更にその積層膜を電子線リソグラフィによりパターニングしてソース電極１８ｓとして残す。

【００３５】

次いで、図２（ｂ）に示すように、各半導体膜１５、１６と各電極１８ｄ、１８ｓの上にスピンコート法によりメモリ膜１９として$ZnPc-PS_4$膜を２０ｎｍ程度の厚さに形成する。メモリ膜１９は、電圧印加によって各半導体膜１５、１６から移動してきたキャリアを蓄積することで、印加電圧を取り去った後でもキャリアに起因した内部電界が残留するキャリア蓄積膜である。キャリア蓄積膜の材料である$ZnPc-PS_4$は、以下の一般式における金属元素Ｍとして亜鉛を採用した材料であり、金属フタロシアニンがキャリアを蓄積する役割を担う。

【００３６】

【化１】



【００３７】
上記の一般式に示されるように、ＺｎＰｃ－ＰＳ$_4$は、金属フタロシアニン錯体の四つのベンゼン環にポリスチレンが結合したスターポリスチレン（ＭＰｃ－ＰＳ$_4$）において、中心金属Ｍとして亜鉛を採用した材料である。メモリ膜１９の材料はＺｎＰｃ－ＰＳ$_4$に限定されず、中心金属Ｍとして銅、ニッケル、コバルト、鉄、及びマンガンのいずれかの遷移金属を採用したＭＰｃ－ＰＳ$_4$でもよい。
【００３８】
次に、図３に示すように、前述の転写法によりメモリ膜１９の上に第２のゲート絶縁膜２０として六方晶窒化ホウ素膜を転写する。なお、第２のゲート絶縁膜２０の材料は六方晶窒化ホウ素に限定されず、アルミナ（Al_2O_3）や酸化ハフニウム（HfO_2）でもよい。更に、下地絶縁膜１２の上側全面に電子線加熱蒸着により酸化シリコン膜を１００ｎｍ程度の厚さに形成し、その酸化シリコン膜を電子線リソグラフィによりパターニングしてチャネル領域Ｒ０の周囲に絶縁性サイドウォール２１として残す。その絶縁性サイドウォール２１により、メモリ膜１９がチャネル領域Ｒ０の周囲に溶出するのを防止することができる。
【００３９】
その後、第２のゲート絶縁膜２０の上に電子線加熱蒸着によりチタン膜と金膜とをこの順に積層し、更にその積層膜を電子線リソグラフィによりパターニングして第２のゲート電極２２とする。
【００４０】
以上により、本実施形態に係るアンチアンバイポーラトランジスタ１０の基本構造が完成する。
【００４１】
このアンチアンバイポーラトランジスタ１０は、ｐ型のＭＯＳトランジスタＴＲ$_p$とｎ型のＭＯＳトランジスタＴＲ$_n$とを並列接続したインバータ回路と等価である。
【００４２】
このうち、ＭＯＳトランジスタＴＲ$_n$は、ｎ型の第１の半導体膜１５をチャネルとするトランジスタであり、第１のゲート電極１１と第２のゲート電極２２の各々の電圧によってチャネルのオンオフが制御される。
【００４３】
また、ＭＯＳトランジスタＴＲ$_p$は、ｐ型の第２の半導体膜１６をチャネルとするトランジスタであり、第２の半導体膜１６の一部１６ａにおいてｎ型のＭＯＳトランジスタＴＲ$_n$のチャネルに接続される。そして、ＭＯＳトランジスタＴＲ$_p$のチャネルのオンオフ

は、第１のゲート電極１１と第２のゲート電極２２の各々の電圧によって制御される。

【００４４】

図４（ａ）、（ｂ）は、本実施形態の製造途中のアンチアンバイポーラトランジスタ１０を上から撮影して得られた光学顕微鏡像である。

【００４５】

このうち、図４（ａ）は、メモリ膜１９を形成する前の光学顕微鏡像である。図４（ａ）に示すように、第１のゲート絶縁膜１３として形成した六方晶窒化ホウ素膜は上面視でフレーク状であり、その上に上面視で長尺状の各半導体膜１５、１６が設けられる。また、この例では、ソース電極１８ｓとドレイン電極１８ｄをそれぞれ二本形成する。

【００４６】

一方、図４（ｂ）は、第２のゲート電極２２を形成した後の光学顕微鏡像である。図４（ｂ）に示すように、第２のゲート絶縁膜２０として形成した六方晶窒化ホウ素膜も上面視でフレーク状であり、その上に上面視で矩形状の第２のゲート電極２２が設けられる。

【００４７】

更に、メモリ層１９は絶縁性サイドウォール２１の外側には存在せず、メモリ層１９の周囲への溶出が絶縁性サイドウォール２１によって防止されることが確認できる。

【００４８】

次に、本実施形態に係るアンチアンバイポーラトランジスタ１０の動作について説明する。

【００４９】

図５（ａ）、（ｂ）は、本実施形態に係るアンチアンバイポーラトランジスタ１０の動作について説明するための模式断面図である。以下では、第１のゲート電極１１に印加する電圧を下部ゲート電圧V_{bg}と書き、第２のゲート電極２２に印加する電圧を上部ゲート電圧V_{tg}と書く。

【００５０】

図５（ａ）は、$V_{tg}-V_{bg}$が負の場合の模式断面図である。図５（ａ）に示すように、この場合は、各半導体膜１５、１６からメモリ膜１９の$MPc-PS_4$にホールが移動し、チャネル領域Ｒ０のほぼ全領域におけるメモリ膜１９にホールが蓄積する。

【００５１】

図５（ｂ）は、$V_{tg}-V_{bg}$が正の場合の模式断面図である。図５（ｂ）に示すように、この場合は、第１の半導体膜１５からメモリ膜１９の$MPc-PS_4$に電子が移動し、ドレイン電極１８ｄ寄りのメモリ膜１９に電子が蓄積する。一方、第２の半導体膜１６からメモリ膜１９には電子が殆ど移動せず、ソース電極１８ｓ寄りのメモリ膜１９には殆ど電子が蓄積しない。

【００５２】

これは、各ゲート電極１１、２２（図３参照）に電圧を印加した直後では、第２の半導体膜１６からソース電極１８ｓ寄りのメモリ膜１９にも電子が移動するものの、第２の半導体膜１６を構成するWSe_2の作用によって、時間の経過と共に第２の半導体膜１６近傍の電子がメモリ膜１９の外部に移動するためと考えられる。

【００５３】

アンチアンバイポーラトランジスタ１０では、このように$V_{tg}-V_{bg}$の値の正のときに、メモリ膜１９に蓄積される電子に偏りが生じる。

【００５４】

なお、メモリ膜１９の材料は、キャリアを蓄積することで内部電界が残留する材料であれば$MPc-PS_4$に限定されない。例えば、絶縁膜と金属膜とをこの順に積層した積層膜をメモリ膜１９として採用し、その金属膜にキャリアを蓄積させてもよい。その積層膜の絶縁膜は、各電極１８ｓ、１８ｄと各半導体膜１５、１６とを金属膜から絶縁する役割を担う。

【００５５】

更に、メモリ膜１９として強誘電体膜を形成してもよい。この場合、下部ゲート電圧Ｖ

ｂｇと上部ゲート電圧Ｖｔｇとの電位差に応じた分極がメモリ膜１９に生じ、その分極によって内部電界が残留する。

【００５６】

図６は、本実施形態に係るアンチアンバイポーラトランジスタ１０を備えた電子装置の模式図である。

【００５７】

図６に示すように、この電子装置４０は、アンチアンバイポーラトランジスタ１０、読み出し回路４１、上部ゲート電圧印加回路４２、及び下部ゲート電圧印加回路４３を備える。

【００５８】

読み出し回路４１は、ソース電極１８ｓが接地された状態でドレイン電極１８ｄにドレイン電圧Ｖｄを印加することにより、第１の半導体膜１５と第２の半導体膜１６との間を流れるドレイン電流Ｉｄを読み出す回路である。また、読み出し回路４１は、ドレイン電圧Ｖｄの値と、ドレイン電圧Ｖｄを印加する期間とを設定する。なお、読み出し回路４１は第１の回路の一例である。

【００５９】

上部ゲート電圧印加回路４２は、第２の回路の一例であって、第２のゲート電極２２に上部ゲート電圧Ｖｔｇを印加する回路である。更に、上部ゲート電圧印加回路４２は、上部ゲート電圧Ｖｔｇの値と、上部ゲート電圧Ｖｔｇを印加する期間とを設定する。

【００６０】

また、下部ゲート電圧印加回路４３は、第３の回路の一例であって、第１のゲート電極１１に下部ゲート電圧Ｖｂｇを印加する回路である。更に、下部ゲート電圧印加回路４３は、下部ゲート電圧Ｖｂｇの値と、下部ゲート電圧Ｖｂｇを印加する期間とを設定する。

【００６１】

図７は、各回路４１～４３を用いてアンチアンバイポーラトランジスタ１０の電流電圧特性を調査して得られた図である。この調査では、上部ゲート電圧Ｖｔｇとドレイン電流Ｉｄとの関係を調査した。ドレイン電流Ｉｄを読み出す際の下部ゲート電圧Ｖｂｇは－１０Ｖとし、ドレイン電圧Ｖｄは－０．５Ｖとした。

【００６２】

図７における実線は、メモリ膜１９にホールや電子が蓄積されていない初期状態での電流電圧特性を示すグラフである。初期状態では、上部ゲート電圧Ｖｔｇの増大と共にドレイン電流Ｉｄも増大し、Ｖｔｇ＝－０．０５Ｖ付近にドレイン電流Ｉｄのピークが位置した。上部ゲート電圧Ｖｔｇが－０．０５Ｖを超えるとドレイン電流Ｉｄは減少に転じ、Ｖｔｇ＝１．５Ｖ付近でゼロとなった。

【００６３】

前述のように、アンチアンバイポーラトランジスタ１０は、各ＭＯＳトランジスタＴＲｎ、ＴＲｐを並列接続したインバータ回路に等価である。図７のように上部ゲート電圧Ｖｔｇが負の領域でドレイン電流がピーク高さよりも低いのは、ｐ型のＭＯＳトランジスタＴＲｐはオン状態であるものの、ｎ型のＭＯＳトランジスタＴＲｎがオフ状態に近いためである。これとは逆に、上部ゲート電圧Ｖｔｇが正の領域でドレイン電流がピーク高さよりも低いのは、ｎ型のＭＯＳトランジスタＴＲｎはオン状態であるものの、ｐ型のＭＯＳトランジスタＴＲｐがオフ状態に近いためである。

【００６４】

また、図７における点線は、パルス幅が１０秒間でＶｔｇ＝－１６Ｖのパルス電圧を第２のゲート電極２２に１０回印加した後に測定した電流電圧特性を示すグラフである。この場合は、ドレイン電流Ｉｄのピーク高さは初期状態とほぼ同じであった。但し、ドレイン電流Ｉｄのピーク位置がＶｔｇ＝－１．０５Ｖとなり、初期状態と比較してＶｔｇが負の方向にピーク位置がシフトした。これは、図５（ａ）のようにチャネル領域Ｒ０のほぼ全領域に蓄積したホールによってメモリ膜１９に内部電界が残留しており、その内部電界が第２のゲート電極２２の周囲の電界を弱め、これによりＭＯＳトランジスタＴＲｎ、Ｔ

Ｒｐの両方の閾値電圧が低下したためと考えられる。

【００６５】

一方、図７における破線は、パルス幅が１０秒間でＶｔｇ＝＋１５Ｖのパルス電圧を第２のゲート電極２２に１０回印加した後に測定した電流電圧特性を示すグラフである。この場合は、ドレイン電流Ｉｄのピーク高さが初期状態よりも低くなった。これは、図５（ｂ）のようにドレイン電極１８ｄ寄りのメモリ膜１９に蓄積した電子によってｎ型のＭＯＳトランジスタＴＲｎの閾値電圧が初期状態よりも増加するのに対し、電子が蓄積していないｐ型のＭＯＳトランジスタＴＲｐの閾値電圧は初期状態とほぼ同じであるためと考えられる。

【００６６】

このように、このアンチアンバイポーラトランジスタ１０によれば、上部ゲート電圧Ｖｔｇとして負のパルス電圧を繰り返し印加すると、ドレイン電流Ｉｄがピークとなる上部ゲート電圧Ｖｔｇが負の方向にシフトする。一方、上部ゲート電圧Ｖｔｇとして正のパルス電圧を繰り返し印加すると、ドレイン電流Ｉｄがピークとなる上部ゲート電圧Ｖｔｇが正の方向にシフトし、かつピーク高さが低くなる。このようなピーク位置のシフトを利用すると、以下のように興奮性シナプスや抑制性シナプスに類似の動作を実現できる。

【００６７】

図８（ａ）～（ｃ）は、興奮性シナプスや抑制性シナプスに類似の動作が実現できることを調査して得られた図（その１）である。

【００６８】

図８（ａ）は、正のパルス電圧を第２のゲート電極２２に印加することで抑制性シナプスの動作を実現するための上部ゲート電圧Ｖｔｇと下部ゲート電圧Ｖｂｇの各波形を示す図である。

【００６９】

図８（ａ）に示すように、この例では、第１の期間Ｔ１において下部ゲート電圧印加回路４３（図６参照）が下部ゲート電圧Ｖｂｇを－１０Ｖに設定した。第１の期間Ｔ１における下部ゲート電圧Ｖｂｇは、第１の半導体層１５と第２の半導体層１６の各々のチャネルをオン状態にするオン電圧の一例である。これについては後述の図８（ｂ）、図９（ａ）、図９（ｂ）、図１０（ａ）、及び図１０（ｂ）でも同様である。

【００７０】

また、第１の期間Ｔ１は、読み出し回路４１がドレイン電流Ｉｄを読み出す期間であり、ここでは０．５秒とした。更に、読み出し回路４１は、第１の期間Ｔ１におけるドレイン電圧Ｖｄを－０．５Ｖに設定した。これにより、各半導体膜１５、１６との間に順方向の電圧が印加されることになる。

【００７１】

そして、第１の期間Ｔ１における上部ゲート電圧Ｖｔｇは、第１のゲート電圧の一例であり、上部ゲート電圧印加回路４２によって－４Ｖに設定された。

【００７２】

更に、第１の期間Ｔ１とは異なる第２の期間Ｔ２において、上部ゲート電圧印加回路４２（図６参照）が上部ゲート電圧Ｖｔｇとして＋１５Ｖのパルス電圧を印加した。第２の期間Ｔ２は、そのパルス電圧が持続しているパルス幅であって、ここでは５０ミリ秒とした。

【００７３】

この例では、第１の期間Ｔ１と第２の期間Ｔ２とを含む２秒間を１サイクルとし、そのサイクルを複数繰り返すことでドレイン電流Ｉｄの読み出しとパルス電圧の印加とを繰り返した。一例として、１サイクルの始めから０．５秒～１．０秒の期間を第１の期間Ｔ１とし、１サイクルの最後の５０ミリ秒を第２の期間Ｔ２とした。

【００７４】

図８（ｂ）は、負のパルス電圧を第２のゲート電極２２に印加することで興奮性シナプスの動作を実現するための上部ゲート電圧Ｖｔｇと下部ゲート電圧Ｖｂｇの各波形を示す

図である。
【００７５】
この場合の各期間Ｔ１、Ｔ２の開始時期と期間の長さ、及び下部ゲート電圧Ｖ$_{bg}$の値は図８（ａ）の場合と同じである。また、第２の期間Ｔ２においてパルス電圧として印加する上部ゲート電圧Ｖ$_{tg}$の値は－１６Ｖとした。第１の期間Ｔ１における上部ゲート電圧Ｖ$_{tg}$は、図８（ａ）と同様に－４Ｖとした。
【００７６】
図８（ｃ）は、図８（ａ）と図８（ｂ）のそれぞれの電圧で実現されるアンチアンバイポーラトランジスタ１０の特性を調査して得られた図である。
【００７７】
この例では、期間Ａにおいて図８（ａ）のサイクルを１００サイクル繰り返した後、期間Ｂにおいて図８（ｂ）のサイクルを１００サイクル繰り返した。図８（ｃ）の横軸は、パルス電圧を印加した第２の期間Ｔ２の累積時間を示す。また、図８（ｃ）の縦軸は、第１の期間Ｔ１において読み出し回路４１が読み出したドレイン電流Ｉ$_{d}$の値を示す。
【００７８】
図８（ｃ）に示すように、上部ゲート電圧Ｖ$_{tg}$として正のパルス電圧を印加した期間Ａにおいては、累積時間が増大するにつれドレイン電流Ｉ$_{d}$が減少した。これは、図７に示したように、読み出し時の上部ゲート電圧Ｖ$_{tg}$（－４．０Ｖ）が初期状態のピーク位置よりも左側に位置しているため、正のパルス電圧の印加に伴ってピーク位置が右に移動すると、Ｖ$_{tg}$＝－４．０Ｖにおけるドレイン電流Ｉ$_{d}$が減少したためである。
【００７９】
この場合、シナプスが受容した神経伝達物質にパルス電圧を対応させ、そのシナプスのシナプス電位にドレイン電流Ｉ$_{d}$を対応させると、期間Ａにおいては興奮性シナプスに類似の動作が実現されていることになる。
【００８０】
一方、上部ゲート電圧Ｖ$_{tg}$として負のパルス電圧を印加した期間Ｂにおいては、累積時間の経過と共にドレイン電流Ｉ$_{d}$が増加した。これは、前述のように読み出し時の上部ゲート電圧Ｖ$_{tg}$（－４．０Ｖ）が初期状態のピーク位置の左側に位置していることで（図７参照）、負のパルス電圧の印加に伴ってピーク位置が左に移動すると、Ｖ$_{tg}$＝－４．０Ｖにおけるドレイン電流Ｉ$_{d}$が増加したためである。
【００８１】
この場合に上記と同様にシナプスが受容した神経伝達物質にパルス電圧を対応させ、そのシナプスのシナプス電位にドレイン電流Ｉ$_{d}$を対応させると、期間Ｂにおいては興奮性シナプスに類似の動作が実現されていることになる。
【００８２】
図９（ａ）～（ｃ）は、興奮性シナプスや抑制性シナプスに類似の動作が実現できることを示す図（その２）である。
【００８３】
図９（ａ）は、正のパルス電圧を第２のゲート電極２２に印加することで興奮性シナプスの動作を実現するための上部ゲート電圧Ｖ$_{tg}$と下部ゲート電圧Ｖ$_{bg}$の各波形を示す図である。
【００８４】
この場合、読み出し回路４１は、第１の期間Ｔ１におけるドレイン電圧Ｖ$_{d}$を－０．５Ｖに設定した。そして、第１の期間Ｔ１における上部ゲート電圧Ｖ$_{tg}$は、第２のゲート電圧の一例であり、上部ゲート電圧印加回路４２によって＋１．５Ｖに設定された。これ以外は図８（ａ）と同様である。
【００８５】
図９（ｂ）は、負のパルス電圧を第２のゲート電極２２に印加することで抑制性シナプスの動作を実現するための上部ゲート電圧Ｖ$_{tg}$と下部ゲート電圧Ｖ$_{bg}$の各波形を示す図である。

【００８６】
この場合も上部ゲート電圧印加回路４２が第１の期間Ｔ１における上部ゲート電圧Ｖｔｇを＋１．５Ｖに設定した。これ以外は図８（ｂ）と同様である。
【００８７】
図９（ｃ）は、図９（ａ）と図９（ｂ）のそれぞれの電圧で実現されるアンチアンバイポーラトランジスタ１０の特性を調査して得られた図である。
【００８８】
図８（ｃ）と同様に、この例でも期間Ａにおいて図９（ａ）のサイクルを１００サイクル繰り返した後、期間Ｂにおいて図９（ｂ）のサイクルを１００サイクル繰り返した。図９（ｃ）の横軸と縦軸の意味は図８（ｃ）における意味と同様なのでその説明は省略する。
【００８９】
図９（ｃ）に示すように、上部ゲート電圧Ｖｔｇとして正のパルス電圧を印加した期間Ａにおいては、累積時間の経過と共にドレイン電流Ｉｄが増加している。これは、図７に示したように、読み出し時の上部ゲート電圧Ｖｔｇ（＋１．５Ｖ）が初期状態のピーク位置よりも右側に位置しているため、正のパルス電圧の印加に伴ってピーク位置が右に移動すると、Ｖｔｇ＝＋１．５Ｖにおけるドレイン電流Ｉｄが増加するためである。
【００９０】
これにより、期間Ａにおいては、アンチアンバイポーラトランジスタ１０が興奮性シナプスに類似の動作を示すことが分かった。
【００９１】
一方、上部ゲート電圧Ｖｔｇとして負のパルス電圧を印加した期間Ｂにおいては、累積時間の経過と共にドレイン電流Ｉｄが減少している。これは、前述のように読み出し時の上部ゲート電圧Ｖｔｇ（＋１．５Ｖ）が初期状態のピーク位置の右側に位置していることで（図７参照）、負のパルス電圧の印加に伴ってピーク位置が左に移動すると、Ｖｔｇ＝＋１．５Ｖにおけるドレイン電流Ｉｄが減少するためである。
【００９２】
これにより、期間Ｂにおいては、アンチアンバイポーラトランジスタ１０が抑制性シナプスに類似の動作を示すことが分かった。
【００９３】
図１０（ａ）～（ｃ）は、興奮性シナプスと抑制性シナプスの両方に類似の動作が実現できることを示す図（その３）である。
【００９４】
図１０（ａ）は、正のパルス電圧を第２のゲート電極２２に印加することで、抑制性シナプスと興奮性シナプスの両方の動作を実現するための上部ゲート電圧Ｖｔｇと下部ゲート電圧Ｖｂｇの各波形を示す図である。
【００９５】
この例では、読み出し回路４１は、第１の期間Ｔ１におけるドレイン電圧Ｖｄを－０．５Ｖに設定した。そして、第１の期間Ｔ１における上部ゲート電圧Ｖｔｇは、第３のゲート電圧の一例であり、上部ゲート電圧印加回路４２によって－０．３Ｖに設定された。
【００９６】
また、上部ゲート電圧印加回路４２（図６参照）は、第２の期間Ｔ２において上部ゲート電圧Ｖｔｇとして＋１３Ｖのパルス電圧を印加した。第２の期間Ｔ２は、図８（ａ）と図９（ａ）のいずれよりも短い５ミリ秒とした。
【００９７】
図１０（ｂ）は、第２の期間Ｔ２の長さを図１０（ａ）における長さよりも長い２０ミリ秒とした場合の上部ゲート電圧Ｖｔｇと下部ゲート電圧Ｖｂｇの各波形を示す図である。第２の期間Ｔ２の長さ以外は図１０（ａ）におけるのと同じである。
【００９８】
図１０（ｃ）は、図１０（ａ）と図１０（ｂ）のそれぞれの電圧で実現されるアンチア

ンバイポーラトランジスタ１０の特性を調査して得られた図である。
【００９９】
この例では、期間Ａにおいて図１０（ａ）のサイクルを１００サイクル繰り返した後、期間Ｂにおいて図１０（ｂ）のサイクルを７５サイクル繰り返した。図１０（ｃ）の横軸と縦軸の意味は図８（ｃ）及び図９（ｃ）における意味と同様なのでその説明は省略する。
【０１００】
なお、ここでは、期間Ａの前に、上部ゲート電圧印加回路４２が、正のパルス電圧とは極性が反対の負の電圧を第２のゲート電極２２に印加した。その負の電圧の電圧値は－１６Ｖであり、印加期間は１０秒である。また、負の電圧を印加した回数は１０回である。なお、このように負の電圧を複数回印加するのに代えて、上部ゲート電圧印加回路４２が第２のゲート電極２２に負の電圧を一回だけ印加してもよい。このように上部ゲート電圧印加回路４２は正のパルス電圧の他に負の電圧を生成するが、期間Ａや期間Ｂにおける正のパルス電圧と比較して負の電圧の印加期間は長い。そのため、上部ゲート電圧印加回路４２が負の電圧のオンオフを高速に切り替える必要はなく、上部ゲート電圧印加回路４２の回路構成が大きく複雑化することはない。
【０１０１】
図１０（ｃ）に示すように、期間Ａにおいては、期間の初期では累積時間の増加と共にドレイン電流Ｉｄが増加しているものの、累積時間が増大するにつれドレイン電流Ｉｄが増加から減少に転じた。期間の初期でドレイン電流Ｉｄが増加しているのは、上記した負のパルス電圧の印加によって図７の点線のように初期状態よりもピーク位置が負側に予めシフトし、そのピーク位置よりも読み出し時の上部ゲート電圧Ｖｔｇ（－０．３Ｖ）が右側に位置しているためである。この場合は、正のパルス電圧の印加に伴ってピーク位置が右に移動することで、Ｖｔｇ＝－０．３Ｖにおけるドレイン電流Ｉｄが増加する。
【０１０２】
なお、図１０（ｃ）の例では、期間Ａにおけるピーク高さが約－２８．５ｎＡであり、図７の点線のピーク高さ（約－２４．５ｎＡ）よりも高くなっている。これは、図７ではパルス電圧のパルス幅が１０秒と長くキャリアの移動が落ち着いた状態を測定しているのに対し、図１０（ｃ）の例ではパルス幅が５ミリ秒と短く過渡的な状態を測定しているためと考えられる。
【０１０３】
そして、累積時間が更に増大してゲート電圧Ｖｔｇ（－０．３Ｖ）がピーク位置の左側に位置するようになるとドレイン電流Ｉｄが減少に転じる。
【０１０４】
特に、この例では、図５（ｂ）に示したようにドレイン電極１８ｄ寄りのメモリ膜１９に電子が蓄積されることで、図７の破線のように正のパルス電圧を印加したときのピーク電圧が初期状態（実線）よりも低くなる。これにより、累積時間の増大と共に確実にドレイン電流Ｉｄを減少させることができる。
【０１０５】
また、期間Ｂにおいては、図８（ｃ）と同じ理由によって累積時間が増大するにつれドレイン電流Ｉｄが減少した。
【０１０６】
このように、ドレイン電流Ｉｄを読み出すときの上部ゲート電圧Ｖｔｇを－０．３Ｖとすると、期間Ａの初期において興奮性シナプスに類似した動作が実現され、期間Ａの終期とその後の期間Ｂにおいて抑制性シナプスに類似した動作が実現された。
【０１０７】
特に、この例では、上部ゲート電圧印加回路４２が、期間Ａにおいてドレイン電流Ｉｄが増加から減少に転じる前の第２の期間Ｔ２の長さを５ミリ秒とし、ドレイン電流Ｉｄが増加から減少に転じた後の期間Ｂにおける第２の期間Ｔ２の長さ（２０ミリ秒）よりも短くした。これにより、期間Ａにおいてドレイン電流Ｉｄが増加から減少に転じる前に一回

のパルス電圧でメモリ膜１９に蓄積される電子を減らすことができ、ドレイン電流Ｉｄが増加する期間が電子の急激な蓄積によって短くなってしまうのを防止できる。

【０１０８】

以上説明した電子装置４０によれば、上部ゲート電圧印加回路４２が、ドレイン電流Ｉｄが流れる程度のゲート電圧を第１の期間Ｔ１に第２のゲート電極２２に印加すると共に、第２の期間Ｔ２に第２のゲート電極２２にパルス電圧を印加する。これにより、パルス電圧を印加した累積時間に応じた量のキャリアがメモリ層１９に蓄積されて閾値電圧が変調され、ゲート電圧の値に応じてドレイン電流Ｉｄの挙動を制御できる。

【０１０９】

その結果、正負の極性のうちの一方の正のパルス電圧のみであっても、抑制性シナプス（図８（ｃ）の期間Ａ）、興奮性シナプス（図９（ｃ）の期間Ａ）、及び興奮性シナプスと抑制性シナプスの両方（図１０（ｃ））に類似したドレイン電流Ｉｄの挙動を実現できる。そのため、正負のパルス電圧のうち正のパルス電圧のみを発生するように上部ゲート電圧印加回路４２（図６参照）を簡易化でき、回路遅延によってパルス電圧の生成間隔が短くなるのを抑制できる。

【０１１０】

なお、負のパルス電圧のみを用いて興奮性シナプス（図８（ｃ）の期間Ｂ）と抑制性シナプス（図９（ｃ）の期間Ｂ）を実現してもよい。

【０１１１】

しかも、図８（ａ）、図９（ａ）、及び図１０（ａ）のいずれにおいても、第１の期間Ｔ１に下部ゲート電圧印加回路４３（図６参照）が第１のゲート電極１１にオン電圧を印加する。更に、読み出し回路４１が、第１の期間Ｔ１において各半導体膜１５、１６の間に順方向の電圧が印加されるようなドレイン電圧Ｖｄを印加する。これにより、１の期間Ｔ１にドレイン電流Ｉｄが流れるようになり、読み出し回路４１がそのドレイン電流Ｉｄを読み出すことができる。

【０１１２】

図１１（ａ）～（ｃ）は、本実施形態に係るアンチアンバイポーラトランジスタ１０を人工ニューラルネットワークに応用し得ることを示す模式図である。

【０１１３】

このうち、図１１（ａ）は、興奮性シナプスの挙動を示す模式図である。図１１（ａ）においては、シナプス前部６１からシナプス後部６２にシグナル伝達をする場合を例示している。興奮性シナプスにおいては、シナプス前部６１から放出された神経伝達物質６４をシナプス後部６２の受容体６３が受容すると、シナプス後部６２のシナプス電位が上昇する。

【０１１４】

図１１（ｂ）は、抑制性シナプスの挙動を示す模式図である。図１１（ｂ）に示すように、抑制性シナプスにおいては、神経伝達物質６４を受容体６３が受容すると、シナプス後部６２のシナプス電位が下降する。

【０１１５】

図１１（ｃ）は、アンチアンバイポーラトランジスタ１０によってシグナル伝達が模擬できることを示す模式図である。前述のように、アンチアンバイポーラトランジスタ１０のドレイン電流Ｉｄは、読み出し時の上部ゲート電圧Ｖｔｇの値に応じて、パルス電圧の印加と共に増加する挙動と減少する挙動とを示す。そのため、ドレイン電流Ｉｄをシナプス電位に対応させることで、興奮性シナプスと抑制性シナプスの両方を模擬することができる。

【０１１６】

このような特徴を活かして、本実施形態に係るアンチアンバイポーラトランジスタ１０を人工ニューラルネットワークに適用することができる。例えば、人工ニューラルネットワークの重み付け係数にドレイン電流Ｉｄを用い、逆誤差伝搬法により重み付け係数を更新することで、複数のアンチアンバイポーラトランジスタ１０の各々の重み付け係数の最

適な組み合わせを導き出すことができる。このとき、正負のうちの一方の極性のパルス電圧のみで抑制性と興奮性とを切り替えることができるため、重み付け係数の最適な組み合わせに短時間で到達できる。

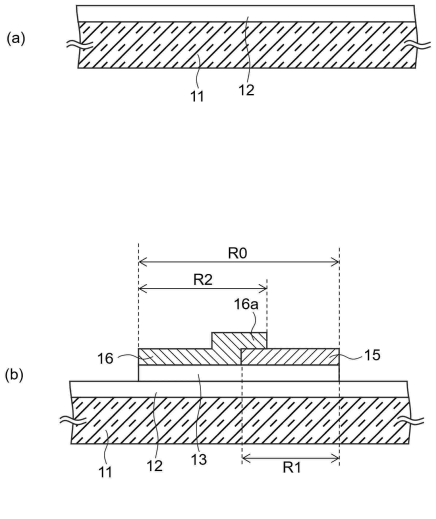
【符号の説明】

【０１１７】

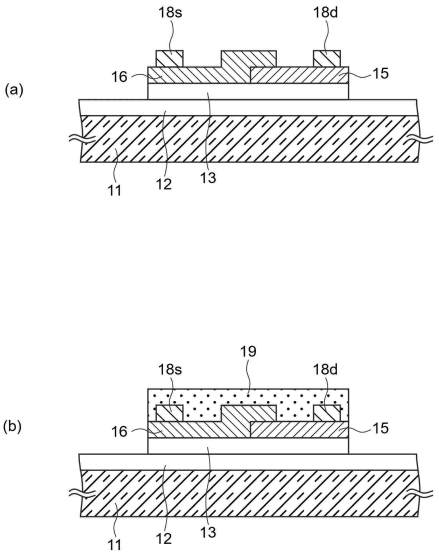
１１…第１のゲート電極、１２…下地絶縁膜、１３…第１のゲート絶縁膜、１５…第１の半導体膜、１６…第２の半導体膜、１６ａ…一部、１８ｓ…ソース電極、１８ｄ…ドレイン電極、１９…メモリ膜、２１…絶縁性サイドウォール、２２…第２のゲート電極、４０…電子装置、４１…読み出し回路、４２…上部ゲート電圧印加回路、４３…下部ゲート電圧印加回路、６１…シナプス前部、６２…シナプス後部、６３…受容体、６４…神経伝達物質、Ｒ０…チャネル領域、Ｒ１…第１の領域、Ｒ２…第２の領域、V_{tg}…上部ゲート電圧、V_{bg}…下部ゲート電圧、V_{d}…ドレイン電圧、TR_{n}…ｎ型のＭＯＳトランジスタ、TR_{p}…ｐ型のＭＯＳトランジスタ。

【図面】

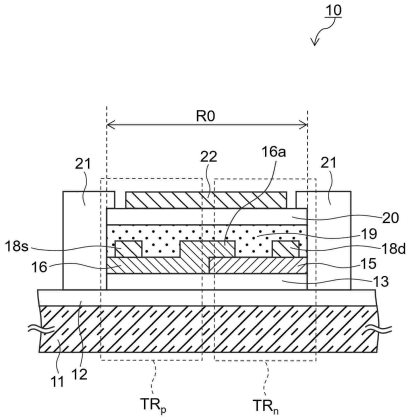
【図１】



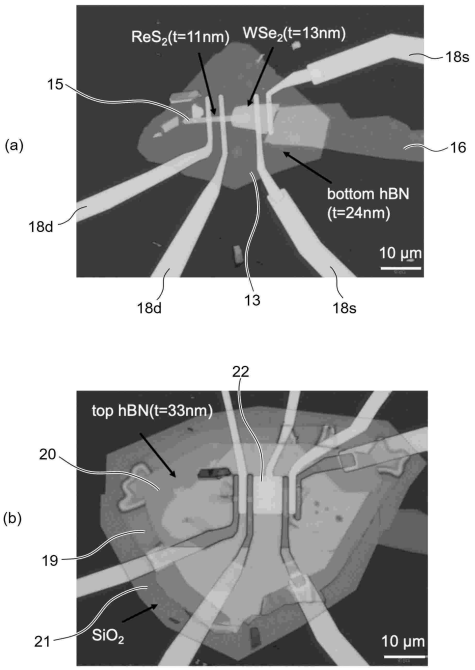
【図２】



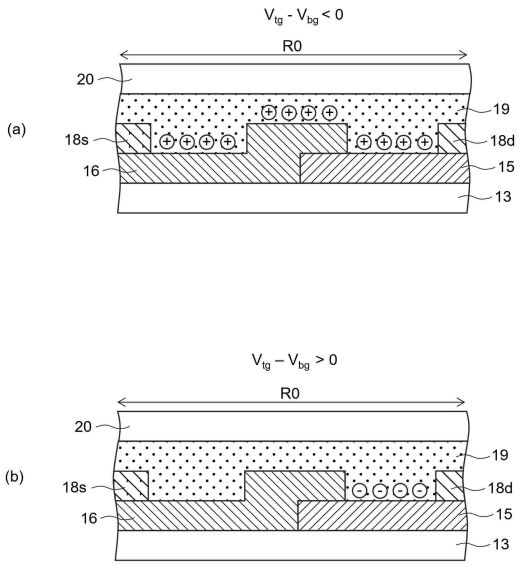
【図３】


10
R0
21
22
16a
21
20
19
18s
18d
16
15
13
11
12
TRp
TRn

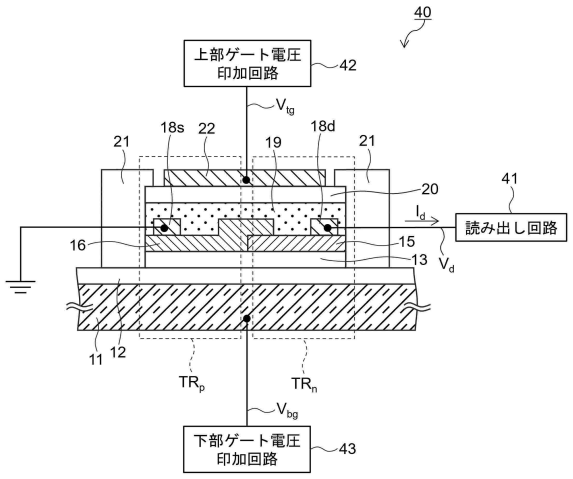
【図４】


ReS2(t=11nm)
WSe2(t=13nm)
18s
15
(a)
16
bottom hBN
(t=24nm)
18d
10 μm
18d
13
18s
22
top hBN(t=33nm)
20
(b)
19
21
SiO2
10 μm

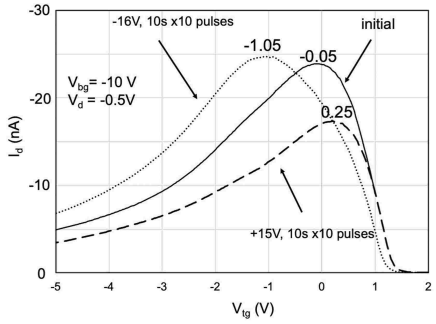
【図５】


Vtg - Vbg < 0
R0
20
19
(a)
18s
18d
16
15
13
Vtg – Vbg > 0
R0
20
19
(b)
18s
18d
16
15
13

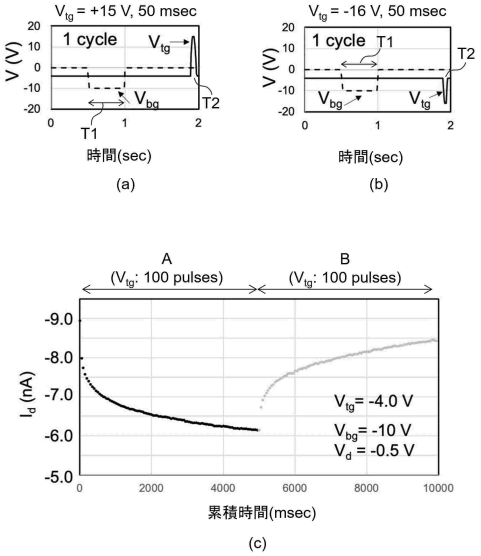
【図６】


40
上部ゲート電圧
印加回路
42
Vtg
21
18s
22
19
18d
21
20
41
Id
読み出し回路
16
15
13
Vd
11
12
TRp
TRn
Vbg
下部ゲート電圧
印加回路
43

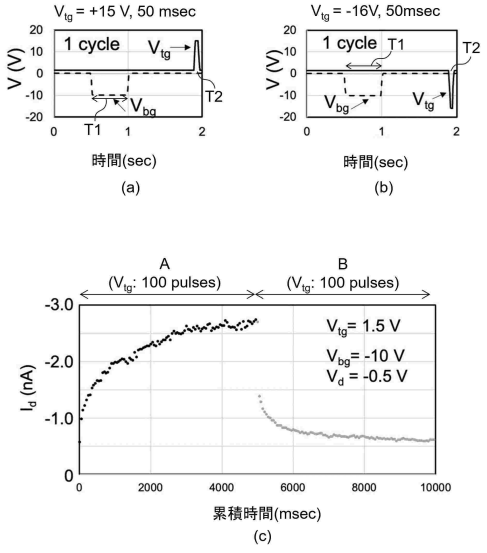
【図７】


-16V, 10s x10 pulses
initial
-1.05
-0.05
0.25
V_{bg}= -10 V
V_d = -0.5V
+15V, 10s x10 pulses
I_d (nA)
V_{tg} (V)

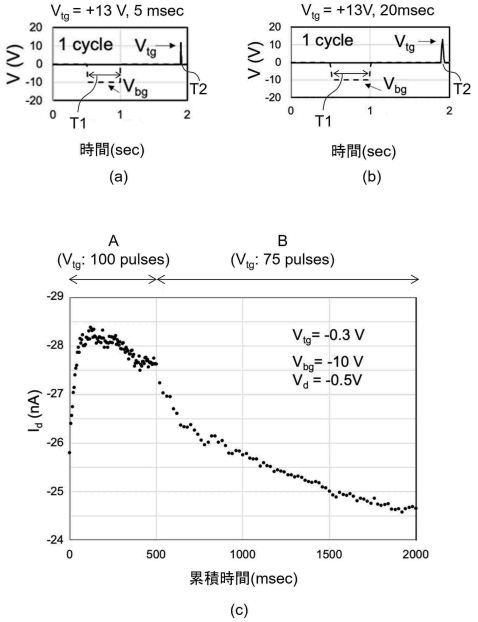
【図８】


V_{tg} = +15 V, 50 msec
1 cycle
V_{tg}
V_{bg}
T1
T2
V (V)
時間(sec)
(a)
V_{tg} = -16 V, 50 msec
1 cycle
T1
T2
V_{bg}
V_{tg}
V (V)
時間(sec)
(b)
A
(V_{tg}: 100 pulses)
B
(V_{tg}: 100 pulses)
V_{tg}= -4.0 V
V_{bg}= -10 V
V_d = -0.5 V
I_d (nA)
累積時間(msec)
(c)

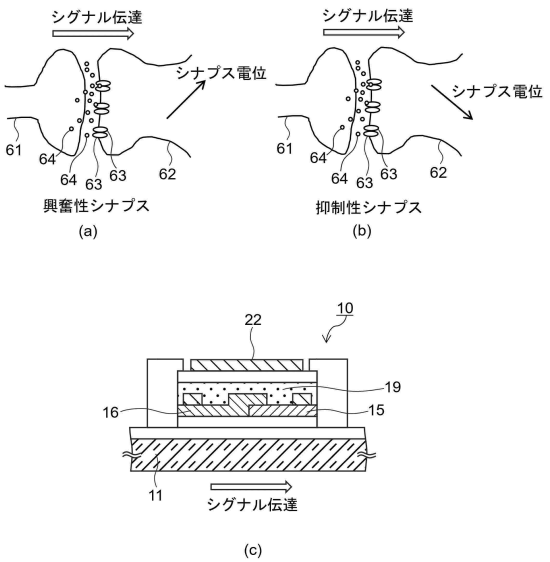
【図９】


V_{tg} = +15 V, 50 msec
1 cycle
V_{tg}
V_{bg}
T1
T2
V (V)
時間(sec)
(a)
V_{tg} = -16V, 50msec
1 cycle
T1
T2
V_{bg}
V_{tg}
V (V)
時間(sec)
(b)
A
(V_{tg}: 100 pulses)
B
(V_{tg}: 100 pulses)
V_{tg}= 1.5 V
V_{bg}= -10 V
V_d = -0.5 V
I_d (nA)
累積時間(msec)
(c)

【図１０】


V_{tg} = +13 V, 5 msec
1 cycle
V_{tg}
V_{bg}
T1
T2
V (V)
時間(sec)
(a)
V_{tg} = +13V, 20msec
1 cycle
V_{tg}
V_{bg}
T1
T2
V (V)
時間(sec)
(b)
A
(V_{tg}: 100 pulses)
B
(V_{tg}: 75 pulses)
V_{tg}= -0.3 V
V_{bg}= -10 V
V_d = -0.5V
I_d (nA)
累積時間(msec)
(c)

【図１１】


シグナル伝達
シナプス電位
61
64
64
63
63
62
興奮性シナプス
(a)
シグナル伝達
シナプス電位
61
64
64
63
63
62
抑制性シナプス
(b)
22
10
19
16
15
11
シグナル伝達
(c)

フロントページの続き

(51)国際特許分類		FI			テーマコード（参考）
G06N	*3/065(2023.01)*	G11C	16/04	150	
		G06N	3/065		

Fターム（参考）
5B225 BA08 CA07 DA09 FA02
5F083 FR06 FZ10 JA02 JA38 JA39 JA60 PR12
5F110 BB05 BB13 CC07 DD05 EE02 EE04 EE08 EE30 EE42 FF01
FF02 FF09 FF21 FF23 GG01 GG05 GG07 GG19 GG22 GG25 HK02
HK04 HK21 HK32 NN02