

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-527097
(P2005-527097A)

(43) 公表日 平成17年9月8日(2005.9.8)

(51) Int. Cl.⁷
H01L 21/20

F I
H01L 21/20

テーマコード (参考)
5FO52

審査請求 未請求 予備審査請求 有 (全 20 頁)

(21) 出願番号 特願2003-514603 (P2003-514603)
 (86) (22) 出願日 平成14年7月17日 (2002.7.17)
 (85) 翻訳文提出日 平成16年1月28日 (2004.1.28)
 (86) 国際出願番号 PCT/US2002/022800
 (87) 国際公開番号 W02003/009357
 (87) 国際公開日 平成15年1月30日 (2003.1.30)
 (31) 優先権主張番号 09/908, 707
 (32) 優先日 平成13年7月20日 (2001.7.20)
 (33) 優先権主張国 米国 (US)

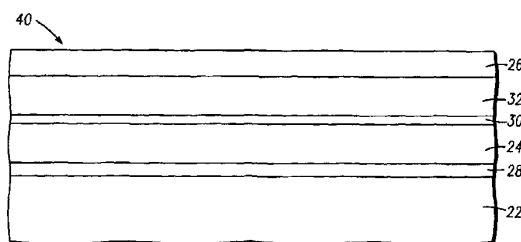
(71) 出願人 390009597
 モトローラ・インコーポレイテッド
 MOTOROLA INCORPORATED
 アメリカ合衆国イリノイ州シャンバーグ、
 イースト・アルゴンクイン・ロード1303
 (74) 代理人 100116322
 弁理士 桑垣 衛
 (72) 発明者 アイゼンバイザー、カート ダブリュ、
 アメリカ合衆国 85284 アリゾナ州
 テンプ エス、ベック アベニュー 9
 442

最終頁に続く

(54) 【発明の名称】 絶縁体上のエピタキシャル半導体 (SOI) の構造体及びデバイス

(57) 【要約】

単結晶材料 (26) の高品質のエピタキシャル層は、単結晶層を成長させるために、適合基板を形成することにより、大きなシリコンウェハ等の単結晶基板を覆うように成長され得る。適合緩衝層 (24) は、酸化シリコンの非晶質接触層 (28) によって、シリコンウェハ (22) から離間した酸化物の単結晶層を備える。非晶質接触層は、歪みを解消し、高品質の単結晶酸化適合緩衝層の成長を可能にする。適合緩衝層が、基となるシリコンウェハと覆う単結晶材料層との双方と、格子が一致している。次に、単結晶層 (26) は、単結晶層の格子定数が、実質的に、次に成長した単結晶膜の格子定数と適合する等、適合緩衝層を覆って形成される。



【特許請求の範囲】

【請求項 1】

単結晶基板と、
 前記基板上に形成した適合緩衝層と、
 前記単結晶適合緩衝層上に形成したテンプレートと、
 前記テンプレートを覆って形成した単結晶層とを備え、該単結晶層は、 Si 、 SiC 、 Ge 、及び $Si_y Ge_{1-y}$ からなる群から選択された金属を含み、ここで y は $0 \sim 1$ の範囲にある半導体構造体。

【請求項 2】

前記単結晶基板、及び前記適合緩衝層の間に非晶質層を、更に備える請求項 1 に記載の半導体構造体。 10

【請求項 3】

前記非晶質層は、酸化シリコンを含む請求項 2 に記載の半導体構造体。

【請求項 4】

前記非晶質層は、厚さが、約 $0.5 \sim 5.0$ ナノメートルである請求項 2 に記載の半導体構造体。

【請求項 5】

前記適合緩衝層は、チタン酸アルカリ土類金属、ジルコン酸アルカリ土類金属、ハフニウム酸アルカリ土類金属、タンタル酸アルカリ土類金属、ルテニウム酸アルカリ土類金属、ニオブ酸アルカリ土類金属、及びペロブスカイト型の酸化物からなる群から選択された酸化物を含む請求項 1 に記載の半導体構造体。 20

【請求項 6】

前記適合緩衝層は、 $Ca_z Sr_{1-z} TiO_3$ を含み、 z は $0 \sim 1$ の範囲にある請求項 1 に記載の半導体構造体。

【請求項 7】

前記適合緩衝層は、厚さが、約 $2 \sim 100$ ナノメートルである請求項 1 に記載の半導体構造体。

【請求項 8】

前記適合緩衝層は、厚さが、約 5 ナノメートルである請求項 1 に記載の半導体構造体。

【請求項 9】

前記勾配単結晶層は、厚さが約 1 ナノメートルから約 100 ミクロンである請求項 1 に記載の半導体構造体。 30

【請求項 10】

前記勾配単結晶層は、厚さが、約 0.1 から約 5 ミクロンである請求項 9 に記載の半導体構造体。

【請求項 11】

キャップ層を、更に備える請求項 1 に記載の半導体構造体。

【請求項 12】

前記キャップ層は、単結晶シリコンを含む請求項 11 に記載の半導体構造体。

【請求項 13】

前記適合緩衝層としては、非晶質膜が含まれる請求項 1 に記載の半導体構造体。 40

【請求項 14】

前記適合緩衝層としては、単結晶膜が含まれる請求項 1 に記載の半導体構造体。

【請求項 15】

請求項 1 に記載の半導体構造体を使用して形成したマイクロ電子デバイス。

【請求項 16】

単結晶基板を提供する工程と、

前記単結晶半導体基板を覆う単結晶適合緩衝層をエピタキシャル成長させる工程と、

前記単結晶基板と前記適合緩衝層との間に、非晶質層を形成する工程と、

Si と、 SiC と、 Ge と、 $Si_y Ge_{1-y}$ とからなる群から選択された材料を含み 50

、 y は 0 ~ 1 の範囲にある単結晶層を、前記適合緩衝層を覆うようにエピタキシャル成長させる工程とを備える半導体構造体の製造方法。

【請求項 17】

前記単結晶適合緩衝層をエピタキシャル成長させる工程は、 $Ca_z Sr_{1-z} TiO_3$ を含み、 z は 0 ~ 1 の範囲にある前記単結晶適合緩衝層を、エピタキシャル成長させる工程を備える請求項 16 に記載の方法。

【請求項 18】

前記単結晶適合緩衝層、及び前記非晶質層を加熱することにより、前記単結晶適合緩衝層を、非晶質に変化させることを生じる工程を備える請求項 16 に記載の方法。

【請求項 19】

前記加熱する工程は、高速熱アニールを含む請求項 18 に記載の方法。

【請求項 20】

前記単結晶適合緩衝層上に、第一テンプレートを形成する工程を、更に備える請求項 19 に記載の方法。

【請求項 21】

前記テンプレートを覆って、キャップ層を形成する工程を、更に備える請求項 20 に記載の方法。

【請求項 22】

前記単結晶基板を覆って、テンプレートを形成する工程を、更に備える請求項 16 に記載の方法。

【請求項 23】

前記単結晶層を覆って、単結晶材料層をエピタキシャル成長する工程を、更に含む請求項 16 に記載の方法。

【請求項 24】

請求項 16 に記載の方法を使用して、マイクロ電子デバイスを形成する方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体構造体及びデバイス、及びそれらの製造方法に関する。より詳細には、半導体材料、及び/又は金属及び非金属等、他の種類の材料を含む単結晶材料層を有した、SOI 構造体、及びデバイス、並びに SOI 構造体、デバイス、及び集積回路の製造方法及び使用方法とに関する。

【背景技術】

【0002】

半導体デバイスは、しばしば導体、絶縁体、及び半導体の複数の層を備える。しばしば、このような層の所望の特性は、層の結晶性に伴って向上する。例えば、半導体層の電子移動度及びバンドギャップは、層の結晶性の増加によって向上する。同様に、導体層の自由電子濃度と、絶縁性膜又は誘電性膜の電荷の置換及び電子エネルギーの復元可能性とが、それらの層の結晶性の増加によって向上する。

【0003】

長年の間、シリコン (Si) 等の外部の基板に、様々な一体構造の薄膜を成長させるために、試みがなされてきた。しかし、様々な一体構造層の最適な特性を実現するために、高い結晶品質の単結晶膜が必要とされる。例えば、ゲルマニウム、シリコン、及び様々な絶縁体上に、様々な単結晶層を成長させるために、試みが行われてきた。主結晶と成長した結晶との格子不整合により、生じた単結晶材料層が、低い結晶品質となることを生じさせてしまうため、これらの試みは、一般的に成功しなかった。

【0004】

大面積の高品質の単結晶材料が、安価に利用可能な場合、多様な半導体装置は、半導体材料のバルクウェハを使用して開始した、又は半導体材料のバルクウェハ上でこのような材料のエピタキシャル膜から出発した素子等の、製造コストと比較して安価なこの膜によ

10

20

30

40

50

り、又はこの膜の使用によって、有利に製造され得る。これに加えて、高品質の単結晶材料の薄膜が、シリコンウェハ等のバルクウェハから出発して利用可能にされ得る場合、集積デバイス構造は、シリコンと高品質の単結晶材料との双方の最適な特性を利用して実現され得る。

【0005】

従って、別の単結晶材料を覆う高品質の単結晶膜、又は層を設けた半導体構造体と、このような構造を製造する方法とに対する必要性が存在する。言い換えれば、基となる基板と同一の結晶方向を有して成長した単結晶膜を有する、高品質の半導体構造体、デバイス、及び集積回路の構成のための、正確な平面的な成長を実現するために、高品質の単結晶材料層に適合している単結晶基板の構成を提供する必要性がある。単結晶材料層は、半導体材料と、金属及び非金属等の他の種類の材料とを含み得る。

10

【0006】

当業者は、図の要素が、容易に、明確に例示され、寸法が記載される必要がないことを理解する。例えば、図において、同一の寸法の要素が、他の要素と比べて比較的強調されることにより、本発明の実施の理解の増進を補助し得る。

【発明を実施するための最良の形態】

【0007】

図1は、本発明の実施形態に基づいた半導体構造体20の一部の概略的な横断面図を示している。半導体構造体20は、単結晶基板22、単結晶材料からなる適合緩衝層24、及び単結晶材料層26を備える。本願において、「単結晶」の用語は、半導体業界において一般的に使用される意味を有する。この用語は、単結晶、又は実質的に単結晶である材料を言い、半導体業界において一般的に見出される、シリコン、又はゲルマニウム、又はシリコンとゲルマニウムの混合物、更にこれらの材料のエピタキシャル層の基板において、一般的に見出される転位等の、欠陥を比較的になずかな数のみ有する材料を含むものである。

20

【0008】

更に、本発明の実施形態による、構造20は、基板22と適合緩衝層24の間に位置した非晶質中間層28を備える。更に、構造20は、適合緩衝層と単結晶材料層26の間にテンプレート層30を備え得る。詳細は後述するが、テンプレート層は、適合緩衝層において、単結晶材料層の成長の開始を補助する。非晶質層中間層は、適合緩衝層の歪みの緩和を補助し、そうすることにより、高い結晶品質の適合緩衝層の成長に役立つ。

30

【0009】

本発明の実施形態による基板22は、単結晶半導体ウェハであり、好適には、大きな半径を有する。例えば、ウェハは、周期表の第4族の材料であり得る。第4族の半導体材料の例は、シリコン、ゲルマニウム、シリコンとゲルマニウムの混合物、シリコンとカーボンの混合物、シリコンとゲルマニウムとカーボンの混合物、等を含む。好適には、基板22は、シリコン又はゲルマニウムを含むウェハであり、最適には、半導体業界において、使用される高品質の単結晶シリコンウェハである。適合緩衝層24は、好適には、基となる基板上でエピタキシャル成長した酸化物又は窒化物の単結晶である。本発明の実施形態による非晶質中間層28は、基板22と、層24の成長中に、基板22の酸化により成長する適合緩衝層との間の接触面において、基板22上に成長する。非晶質中間層は、それがないければ、基板と緩衝層との格子定数の違いの結果により、単結晶適合緩衝層に生じ得る歪みの緩和に役立つ。本願の使用では、格子定数は、表面の平面において測定したセルの原子間距離を言う。このような歪みが、非晶質中間層によって、緩和されない場合、歪みは、適合緩衝層の結晶構造に欠陥を生じ得る。言い換えると適合緩衝層の結晶構造の欠陥は、半導体材料、金属又は非金属等の他の種類の材料を含み得る単結晶材料層26において、高品質の結晶構造の実現を困難にし得る。

40

【0010】

適合緩衝層24は、好適には、基となる基板、及び被覆材料層の結晶性を適応させるために選択される単結晶の酸化物、又は窒化物である。例えば、材料は、基板、又は続いて

50

適用される単結晶材料層にほぼ一致した格子構造を有する酸化物又は窒化物であり得る。適合緩衝層に適切な材料は、チタン酸アルカリ土類金属、ジルコン酸アルカリ土類金属、ハフニウム酸アルカリ土類金属、タンタル酸アルカリ土類金属、ルテニウム酸アルカリ土類金属、ニオブ酸アルカリ土類金属、バナジウム酸アルカリ土類金属、スズベースのペロブスカイト型のアルカリ土類金属、アルミン酸ランタン、酸化ランタン・スカンジウム、及び、酸化カドミニウム等の金属酸化物を備える。これに加えて、窒化ガリウム、窒化アルミニウム、窒化炭素等の、様々な窒化物もまた、適合緩衝層に使用され得る。例えば、酸化ランタン・スカンジウムは、伝導体であるが、ほとんどの材料は絶縁体である。一般的に、これらの材料は、金属の酸化物、又は金属の窒化物であるが、より好適には、これらの酸化物又は窒化物は、典型的には少なくとも2つの異なる金属元素を含む。一部の特定の適用において、金属の酸化物又は金属の窒化物は、3つ以上の異なる金属元素を含み得る。

10

【0011】

本発明の実施形態によると、適合緩衝層24は実験式 ABO_x を有する材料であり、Aは、マグネシウム(Mg)、カルシウム(Ca)、ストロンチウム(Sr)、バリウム(Ba)、又はこれらの2つ以上の組合せであり、Bは、チタニウム(Ti)、ジルコニウム(Zr)、ハフニウム(Hf)、又はこれらの2つ以上の組合せである。好適には、適合緩衝層24の組成は、少なくとも部分的に、好適には実質的に、被覆材料層に格子を一致させるように選択される。

【0012】

非晶質中間層28は、好適には、基板22の表面の酸化によって、形成される酸化物であり、より好適には、シリコン酸化物からなる。層28の厚さは、基質22と適合緩衝層24の格子定数間の不一致に起因した歪みを緩和するために十分である。典型的には、層28は、厚さが約0.5~約5nmの範囲にある。

20

【0013】

一般的に、層32は、適合緩衝層24の格子定数と、勾配層32を覆って次に成膜した単結晶材料層の格子定数との間の格子定数の変化を提供する。より詳細には、層32の格子定数が、層32の組成の変更により変化され得、層32の下部が、適合緩衝層24と一致した格子であり、層32の上部が、次に適用される単結晶材料層と一致した格子であるように、層32のための材料は、選択される。

30

【0014】

勾配単結晶層32のための材料は、必要に応じて、特定の構造又は、用途に応じて選択され得る。例えば、層32の単結晶材料は、第4族半導体の混合物を備え得、材料の格子定数は、膜の構成要素の比率の変化による膜の厚さの関数として、変化する。本発明の実施形態において、層32は、 Si_yGe_{1-y} (yの範囲は0~1)からなり、ゲルマニウムの濃度が、テンプレート30の表面の近傍では低く(即ち0%)、層32の上部近傍では高い(即ち100%)。この場合、層32の下部表面は、適合緩衝層24を含む材料と密接に一致した格子であり、層32の上部は、ゲルマニウムに格子を一致させている。本発明の別の実施形態において、層32は、(SrTiO₃等、)適合緩衝層24を含む材料と密接に格子を一致させたゲルマニウムを含む。本願で使用される、「勾配」の用語は、一つ以上の半導体組成物からなる単結晶層を言い、ここで単一結晶材料の格子定数は、(Si_yGe_{1-y} 又はSiC等)膜内の構成要素の変化による、膜の厚さの関数として変化する。従って、構造20は、基板22、又は適合緩衝層24の各材料の格子定数と、相違する格子定数を有する次の単結晶材料の成長のために適切な基板を提供する。

40

【0015】

テンプレート30のための適切な材料は、後述する。適切なテンプレート材料は、選択した位置において、適合緩衝層24の表面と化学結合し、更に、勾配単結晶層32のエピタキシャル成長の核形成のための位置を提供する。使用時に、テンプレート層30は、厚さの範囲が約1から約10の単分子層を有する。

【0016】

50

図 2 は、更なる本発明の実施形態による、半導体構造体 40 の一部の断面図を示している。構造 40 は、単結晶材料の追加層 26 が勾配層 32 上に形成されていることを除けば、上記の半導体構造体 20 と同一である。層 26 材料は、絶縁体、半導体、導体材料を含み得る。例えば、層 26 は、第 4 族材料等の半導体材料、金属等の導体材料、酸化物等の絶縁体材料を含み得る。

【0017】

図 3 は、本発明の別の実施形態による、半導体構造体 34 の一部の断面図を示している。構造 34 は、構造 34 が、適合緩衝層 24、非晶質中間層 28、追加単結晶層 38 ではなく、非晶質層 36 を備えることを除けば、構造 20 と同一である。

【0018】

以下に詳細に説明されるように、非結晶質層 36 は、上記の同一の手段により、最初に、適合緩衝層と非結晶質中間層を形成することにより、形成され得る。次に単結晶層 38 は、単結晶適合緩衝層を覆って（エピタキシャル成長により）形成される。次に、適合緩衝層は、アニール処理をされることにより、単結晶適合緩衝層から非結晶質層へ変換される。この手法により形成した非晶質層 36 は、非晶質層が融合し得る、又はし得ない、適合緩衝層及び中間層の双方からの材料を備える。従って、層 36 は、1 つ又は 2 つの非結晶質層を含み得る。基板 22 と（層 38 の構成の次の）追加単結晶層 26 との間の非結晶層 36 の構成は、層 22 と層 38 との間の応力を緩和し、更に単結晶材料層 26 の構成等の、次の処理に対する正確な適合基板を提供する。

【0019】

図 1、図 2 に関して上記した処理は、単結晶基板を覆って単結晶材料層を成長させるために十分である。しかし、単結晶適合緩衝層から非結晶性酸化層への変換を備える、図 3 に関して記載した処理は、層 26 のいかなる歪みをも解消できるため、単結晶材料層の成長のためにより好適であり得る。

【0020】

追加単結晶層 38 は、単結晶材料層 26、又は追加緩衝層 32 のどちらに関しても、本願を通じて記載したいかなる材料をも含み得る。例えば、単結晶材料層 26 が、半導体材料を備える場合、層 38 は、第 4 族の材料の単結晶を含み得る。

【0021】

本発明の実施形態において、追加単結晶層 38 は、層 36 の構成中のアニールキャップとして続く単結晶層 26 構成のためのテンプレートとして役立つ。これに加えて、層 38 は、好適には、層 26 の成長のための適切なテンプレートを提供するために十分厚く、実質的に欠陥の無い単結晶材料として、層 38 の形成を可能にするために十分薄い。

【0022】

本発明の他の実施形態による追加単結晶層 38 は、層 38 内部に素子を形成するために十分に厚い（単結晶層 26 に関する上記した材料等、）単結晶材料を備える。この場合、本発明の実施形態による半導体構造体は、単結晶材料層 26 を備えない。言い換えると、本発明の実施形態による半導体構造体は、非晶質酸化層 36 上に配置した単結晶層のみを含む。

【0023】

以下の限定されない例示は、本発明の様々な実施形態による構造 20、40、34 に有用な材料の様々な組合せを示している。これらの例は、単なる事例であって、本発明が、これらの例示により、限定されることを意図していない。

実施例 1

本発明の実施形態による、単結晶基板 22 は、(100) 方向に配向したシリコンである。例えば、シリコン基板は、約 200 - 300 mm の直径を有する相補型金属酸化膜半導体 (CMOS) 集積回路を製造する際に一般的に使用される、シリコン基板であり得る。本発明の実施形態による、適合緩衝層 24 は、 $\text{Ca}_z\text{Sr}_{1-z}\text{TiO}_3$ の単結晶層であり、 z は、0 ~ 1 の範囲にある。更に非晶質中間層は、シリコン基板と適合緩衝層との

10

20

30

40

50

間の接触面において形成した酸化シリコン (SiO_x) の層である。z の値は、次に形成した層 38 の対応する格子定数に、密接に一致した 1 つ以上の格子定数を得るように選択される。適合緩衝層は、約 2 ~ 約 100 ナノメートル (nm) の厚さを有し得、好適には、約 5 nm の厚さを有する。一般的に、基板から勾配層を絶縁するために、十分な適合緩衝層の厚さであることが望ましい。100 nm よりも厚い層の厚さは、通常、不必要な費用の増加とともに、更なる利点をほとんど提供しないが、必要な場合、厚い層を加工し得る。酸化シリコンの非晶質中間層は、約 0.5 ~ 約 5 nm の厚さを有し得、好適には、約 1 ~ 約 2 nm の厚さを有し得る。

【0024】

本発明の実施形態において、単結晶層 32 は、 $\text{Si}_y\text{Ge}_{1-y}$ を備える第 4 族の半導体層であり (y は 0 ~ 1 の範囲)、約 1 nm ~ 約 100 μm の厚さ、好適には、約 0.1 μm ~ 約 10 μm の厚さ、より好適には、約 0.1 μm ~ 約 5 μm の厚さを有する。厚さは、一般的には、次に成膜する材料 (図 2、図 3 の層 26) に依存する。上記したような、他の化合物半導体の材料の組成は、更に、同じような手法により、層 32 の格子定数を処理するために同様に変更され得る。酸化物の単結晶上に勾配層のエピタキシャル成長を補助するように、テンプレート層は、酸化層のキャッピングにより形成される。テンプレート層は、好適には、 Sr-Si , SiO_x , Sr-Si-O , Ti-Si , Ti-Ge , Sr-Ge-O , Sr-Ge , GeO_x の 1 から 10 の単分子層である。

実施例 2

本発明の実施形態による、単結晶基板 22 は、上記のようにシリコン基板である。適合緩衝層は、立方体又は斜方晶層の、ストロンチウム又はバリウムのジルコン酸又はハフニウム酸による酸化物の単結晶であり、シリコン基板と、その適合緩衝層との間の接触面に形成した酸化シリコンの非晶質中間層を備える。適合緩衝層は、約 2 - 約 100 nm の厚さを有し得、更に、好適には、適切な結晶と表面の品質を保証するために、少なくとも 5 nm の厚さを有し、更に、 SrZrO_3 , BaZrO_3 , SrTiO_3 , BaTiO_3 の単結晶から形成されている。例えば、 $\text{Sr}(\text{Zr}, \text{Ti})\text{O}_3$ の単結晶酸化層は、約 700 の温度において、成長し得る。生じた酸化物の結晶の格子構造は基板シリコンの格子構造に関して 45 度回転して示される。

【0025】

ジルゴン酸塩、又はチタン酸塩の材料から形成した適合緩衝層は、ゲルマニウム (Ge) 等の半導体材料からなり、約 1.0 nm から約 10 μm の厚さを有す、単結晶材料層の成長のために適切である。この構造に対して適切なテンプレートは、 Ti-Ge , Sr-Ge-O , Sr-Ge , GeO_x の 1 から 10 の単分子層であり、更に、好適には、これらの材料の 1 つの 1 - 2 の単分子層である。一例として、 $\text{Sr}(\text{Zr}, \text{Ti})\text{O}_3$ 適合緩衝層のために、表面は、 Ti-Ge テンプレートを形成するために、ゲルマニウムの 1 - 2 の単分子層の成膜に後続する、チタニウムの 1 - 2 の単分子層で終結される。次に、ゲルマニウムの単結晶層が、テンプレート層上に成長される。半導体材料の生じる格子構造は、適合緩衝層格子構造に関して 45 度回転して示され、更に、(100) Ge に対する格子の不整合が、2.5% 未満、好適には約 1.0% 未満で示される。

実施例 3

本実施例は、図 2 に示された構造 40 に有用な材料を示している。基板材料 22、適合緩衝層 24、単結晶勾配層 32、及びテンプレート 30 は、上記の実施例 1 と同一であり得る。本実施形態の一樣態による、層 32 は、 $\text{Si}_y\text{Ge}_{1-y}$ を含み、ここでシリコン組成は 0 から約 50% まで変化する。緩衝層は、好適には、約 10 - 約 30 nm の厚さを有する。層 32 の SiGe から Ge への組成の変化は、基となる単結晶酸化材料と、本実施例では Ge 層である被覆層の単結晶材料との間の格子の一致を提供するために役に立つ。

10

20

30

40

50

実施例 4

本実施例は、図 3 に示された構造 3 4 に有用な典型的な材料を提供する。基板材料 2 2、テンプレート 3 0、単結晶材料層 2 6 は、上記の実施例 4 と同一であり得る。

【0026】

非晶質層 3 6 は、(上記の層 2 8 材料等)非晶質中間層材料、及び(上記の層 2 4 材料等)適合緩衝層の組合せにより適切に形成した非晶質層 3 6 である。例えば、非結晶層 3 6 としては、非晶質層 3 6 を形成するためのアニール処理中により、少なくとも一部において、合成した又は混合した、 SiO_x 、 Sr_zBa_{1-z} 、 TiO_3 (Z は 0 ~ 1 の範囲)、及び Si の組合せを含み得る。

【0027】

非晶質層 3 6 の厚さは、用途に応じて多様であり得、層 3 6 の必要な絶縁特性、層 2 6 を備える単結晶材料の種類等、このような因子に依存し得る。本実施形態の例に基づき、層 3 6 の厚さは、約 2 nm から約 100 nm であり、好適には、約 2 - 約 10 nm であり、より好適には、約 5 - 約 6 nm である。

10

【0028】

層 3 8 は、適合緩衝層 2 4 を形成するために使用される材料等、単結晶材料を覆ってエピタキシャル成長され得る単結晶材料を含む。本発明の実施形態において、層 3 8 は、層 2 6 を形成する材料と同一の材料を含有する。例えば、層 2 6 が SiGe を含む場合、層 3 8 もまた、SiGe を含む。しかし、本発明の他の実施形態による、層 3 8 は、層 2 6 を形成するために使用される材料と異なる材料を含む。本発明の実施形態において、層 3 8 は、シリコンを含み、約 1 単分子層から約 100 nm である。

20

【0029】

再び図 1 ~ 図 3 を参照すると、基板 2 2 は、単結晶シリコン基板などの、単結晶基板である。単結晶基板の結晶構造は、格子定数と格子配向により、特性付けられる。同一の手法により、更に適合緩衝層 2 4 は単結晶材料であり、そして、単結晶材料の格子は、格子定数と格子配向により、特性付けられる。適合緩衝層と単結晶基板の格子定数は、密接に一致させるべきであり、又は別の方法では、一方の結晶配向に関して他方の結晶配向の回転により、格子定数の実質的な一致が実現されるべきである。本願において、「実質的に同等」及び「実質的な一致」は、基となる層上に高品質の結晶層の成長を可能するために、十分な格子定数間の類似性という意味である。

30

【0030】

図 4 は、主結晶と成長した結晶とにおける格子定数間の不一致の関数として、高い結晶品質の成長結晶層として達成可能な厚さの関係を示すグラフである。曲線 4 2 は高い結晶品質の材料の境界を示している。曲線 4 2 の右側の領域は、多数の欠陥を有する層を示している。格子の不整合が無い場合、理論的には、主結晶上において、高品質のエピタキシャル層が、無限の厚さに成長する可能性がある。格子定数の不整合が増加するにつれ、高品質の結晶層の、達成可能な厚さは、急速に減少する。例えば、参照の点として、主結晶と成長した層の格子定数が、2%を越える不一致の場合、約 20 nm を越える単結晶のエピタキシャル層は実現し得ない。

【0031】

本発明の実施形態において、基板 2 2 は、(100)、又は(111)に配向した単結晶シリコンウェハであり、更に、適合緩衝層 2 4 は、チタン酸ストロンチウム・カルシウムの層である。これらの 2 つの材料の格子定数の実質的な一致は、シリコン基板ウェハの結晶配向に関して 45°チタン酸塩材料の結晶配向を回転することにより、実現される。非晶質接触層 2 8 の構造に含まれることにより、本実施例の酸化シリコン層は、十分な厚さの場合、ホストシリコンウェハと成長したチタン酸塩層の格子定数の不一致により生じ得る、チタン酸塩の単結晶層の歪みを減少するために役立つ。その結果、本発明の実施形態において、高品質、厚く、単結晶のチタン酸塩層が実現可能である。

40

【0032】

図 2、図 3 を参照すると、層 2 6 は、エピタキシャル成長した単結晶材料の層であり、

50

更に、結晶材料は、結晶の格子定数と結晶配向により特性付けられる。本発明の実施形態による、層26の格子定数は、基板22の格子定数と異なる。エピタキシャル成長した単結晶層32により、高い結晶品質を実現するため、適合緩衝層は高い結晶品質である必要がある。それに加えて、層26において高い結晶品質を実現するために、ホスト結晶、この場合は、単結晶層の格子定数と、成長する結晶の格子定数との実質的な一致が必要とされる。適切に選択した材料により、格子定数の実質的な一致は、層32の組成の変更による、層32の格子定数の変化の結果によって実現される。例えば、成長する結晶がSiGeであり、適合緩衝層が $Ca_z Sr_{1-z} TiO_3$ の単結晶である場合、2つの材料の結晶格子定数の実質的な一致は、 $Si_y Ge_{1-y}$ の層32の組成をシリコンからシリコン-ゲルマニウムへ変更することによって実現される。酸化物と成長した単結晶材料層との間の結晶層32は、格子定数の小さな差異により生じ得る、成長した単結晶材料層内の歪みを減少する。それによって、成長した単結晶材料層内のより良い結晶品質が、実現され得る。更に、層32は、層32と層36の接触面及びその近傍の結晶の欠陥、及び層26から離間した結晶の欠陥を限定することを容易にする。

10

20

30

40

50

【0033】

以下の実施例は、本発明の実施形態による、図1から図3に描写した構造等の半導体構造体を製造するための処理を示している。この処理は、シリコン又はゲルマニウムを含む単結晶半導体基板を提供することによって開始する。本発明の好適な実施形態による、半導体基板は、(100)配向を有するシリコンウェハである。基板は、好適には、軸方向に配向され、又は、軸から離れて配向しても最大5度である。下記のように、基板の他の部分が他の構造を有する場合を包含し得るが、半導体基板の少なくとも一部は、露出面を有する。「露出」の用語は、本願において、基板の一部の表面が、あらゆる酸化物、不純物、又は他の異物を除去するため洗浄されたことを意味する。周知のように、露出シリコンは、反応性が高く、容易に自然の酸化物を形成する。「露出」の用語は、このような自然の酸化物を包含することを意図する。更に、このような成長した酸化物が、本発明による処理の本質的な要素ではないが、しかし、薄い酸化シリコンが、半導体基板上に意図的に成長させられ得る。単結晶基板を覆う単結晶酸化層をエピタキシャル成長するために、自然の酸化物層は、基となる基板の結晶構造を露出するために、最初に除去される必要がある。以下の処理は、好適には分子線エピタキシー(MBE)により実行されるが、本発明による、他のエピタキシャル処理も使用され得る。自然の酸化物は、MBE装置によって、ストロンチウム、バリウム、ストロンチウムとバリウムの組合せ、又は他のアルカリ土類金属、又はアルカリ土類金属の組合せの薄膜を最初に熱成膜することにより、除去され得る。ストロンチウムを使用する場合、次に、基板は約750の温度まで加熱されることによって、ストロンチウムは、自然の酸化層と反応を生じる。ストロンチウムは、酸化シリコンの無い表面にするために、酸化シリコンを減少することに役立つ。残りの表面は、2×1の規則構造を示し得る。2×1の規則構造が実現されない場合、構造は、2×1の規則構造が取得されるまで、更なるストロンチウムに露出される。2×1の規則構造は、単結晶酸化物の被覆層の規則化成長のためのテンプレートを形成する。テンプレートは、被覆層の結晶成長のための核形成に、必要な化学材料及び物理的特性を提供する。

【0034】

本発明の他の実施形態において、自然の酸化シリコンは変更されることが可能であり、更に基板の表面は、低温のMBEにより、基板表面に酸化ストロンチウム、酸化ストロンチウムバリウム、酸化バリウム等の、アルカリ土類金属酸化物を成膜することにより、更に、構造を、約750の温度に加熱することにより、単結晶酸化層の成長のための準備がされ得る。この温度において、固定状態反応が、酸化ストロンチウムと自然の酸化物間で生じることにより、自然の酸化シリコンの減少を生じ、2×1の規則構造となる。再び、これは、次の単結晶酸化層の規則化成長のためにテンプレートを形成する。

【0035】

基板の表面から酸化シリコンの除去に続いて、本発明の実施形態による、基板は、約200-800の範囲の温度に冷却され、更にチタン酸ストロンチウムの層は、分子線エ

ピタキシーにより、テンプレート層上に成長させられる。M B E 処理は、ストロンチウム、チタニウム及び酸素ソースに露出するために、M B E 装置のシャッタを開口することにより開始される。

【0036】

ストロンチウムとチタニウムの比率は、約1対1である。酸素の分圧は、化学量論的にチタン酸ストロンチウムが、毎分当り約0.3から0.5nmの成長速度で成長するために、初期に最小値で設定される。チタン酸ストロンチウムの成長が開始した後、酸素の分圧は、開始における最小値よりも増加される。酸素の超過分圧は、基となる基板と、成長するチタン酸ストロンチウム層の間の接触面において非晶質酸化シリコンの成長を生じる。酸化シリコン層の成長は、酸素が、チタン酸ストロンチウム層を通じて、基となる基板の表面において、シリコンと反応する接触面までへの酸素の拡散によって生じる。チタン酸ストロンチウムは、基となる基板に関して45°回転した(100)結晶配向を伴う、規則化(100)単結晶として成長する。シリコン基板と成長する結晶との間の格子定数の小さな不一致のために、他の方法では、チタン酸ストロンチウム層に存在し得る歪みは、非晶質酸化シリコン中間層により緩和される。

10

【0037】

チタン酸ストロンチウム層を、所望の厚さまで成長させた後に、単結晶チタン酸ストロンチウムは、所望の単結晶層32のエピタキシャル層の、次の成長を助けるテンプレート層によって、キャップされる。例えば、次の単結晶ゲルマニウム層の成長のため、M B E 成長によるチタン酸ストロンチウム層は、1-2単分子層のチタニウム、1-2単分子層のチタニウム-酸素、又はストロンチウム-酸素を使用して成長を終了することによって、キャップされ得る。以下のキャッピング層の構成により、シリコンキャップ層31は、M B E 成長技術を使用して形成され得る。以下のテンプレート(更に、必要な場合キャップ層31)の構成により、層32は、ゲルマニウムの層等の、エピタキシャル成長により、形成される。

20

【0038】

図2に示される構造は、成膜工程において、上記の処理に、追加単結晶層26の追加により、形成され得る。層26は、上記の方法を使用して、テンプレート又はキャップ層を覆って適切に形成される。

【0039】

図3に示される構造34は、上記のように、適合緩衝層の成長と、構造22を覆う非晶質酸化層の形成と、適合緩衝層を覆う単結晶層32の成長とにより形成され得る。次に、適合緩衝層と、非晶質酸化層と、キャップ層とは、適合緩衝層の結晶構造を、単結晶から非結晶質に、変化するために、十分なアニーリング処理にさらし、それによって、非晶質酸化層と、現非晶質適合緩衝層と、キャップ層31の一部との組合せが、単一の非結晶層36を形成するように、非結晶質層を形成する。本発明の実施形態による、次に、層32と層26は、次に層31覆って成長する。別の方法では、アニーリング処理は、層32の成長に続いて実行され得る。

30

【0040】

本発明の実施形態による、層36は、基板22、適合緩衝層、及び非晶質酸化層が、約5秒から約10分の処理時間の、約700 から約1000 のピーク温度の急速熱アニール処理にさらされることによって、形成される。しかし、他の適切なアニール処理が、本発明の実施形態による、適合緩衝層から非晶質層に変換するために、採用され得る。例えば、レーザアニーリング、電子ビームアニーリング、又は「従来の」熱アニーリング処理は(適切な環境において)、層36を形成するために使用され得る。従来の熱アニーリングが、層36を形成するために採用された場合、層30及び/又は層31の一つ以上の構成要素の超過分圧が、アニーリング処理中に、層の分解の防止のために必要とされ得る。

40

【0041】

上記の処理は、分子線エピタキシーの処理によって、シリコン基板と、覆っている酸化

50

物層と、ゲルマニウム半導体層を含む単結晶材料層とを備える半導体構造体を形成するための処理である。この処理は、更に、化学気相成長法（CVD）、有機金属化学気相成長法（MOCVD）、マイグレーション エンハンスド エピタキシャル（MEE）、原子層エピタキシー（ALE）、物理的気相成長法（PVD）、化学溶液堆積法（CSD）、パルスレーザ蒸着（PLD）等の処理によって、実行され得る。更に、同様の処理は、チタン酸アルカリ土類金属、ジルコン酸塩、ハフニウム酸塩、タンタル酸塩、バナジウム酸塩、ルテニウム酸塩、ニオブ酸塩、スズベースのペロブスカイト型のアルカリ土類金属等のペロブスカイト型酸化物、アルミン酸ランタン、酸化スカンジウム・ランタン、酸化ガドリニウム等の他の単結晶適合緩衝層を、成長させ得る。更に、MBE等の同様の処理により、他の半導体、金属及び他の材料を含む他の単結晶材料層は、単結晶勾配層を覆って成膜し得る。

【0042】

単結晶材料層、単結晶勾配層、単結晶適合緩衝層の各変形は、好適には、単結晶層の成長を開始するために、適切なテンプレートを使用する。例えば、適合緩衝層がジルコン酸アルカリ土類金属である場合、酸化物は、ジルコニウムの薄層により、キャップされ得る。ジルコニウムの成膜は、シリコンゲルマニウムの成膜の前駆体として、ジルコニウムと反応するシリコンの成膜に後続する。同様に、単結晶適合緩衝層が、ハフニウム酸アルカリ土類金属である場合、酸化物層は、ハフニウムの薄層により、キャップされ得る。ハフニウムの成膜は、シリコンの成膜に後続する。同様の手法により、チタン酸ストロンチウムは、ストロンチウムの層、又はストロンチウムと酸素の層によりキャップされ得、チタン酸バリウムは、バリウム、又はバリウムと酸素の層によりキャップされ得る。各成膜は、シリコンの成膜に後続することにより、キャッピング材料と反応し、SiGe、及びSiC等の勾配単結晶材料を含む単結晶材料層の成膜のテンプレートを形成し得る。

【0043】

図5 - 図7は、本発明による素子構造の他の実施形態による構成の概略断面図を示している。この実施形態では、包接結合、又はチントル（Zintl）結合を使用する転位層として機能する適合層を備える。より詳細には、実施形態は、材料層間の接触面の表面エネルギーを減少させる合金テンプレート層を利用することにより、層の成長によって、2次元層を可能にする。

【0044】

図5に示される構造は、単結晶基板102、非結晶質接触層108、及び適合緩衝層104を含む。図1と図2に関して上記したように、非結晶中間層108は、基板102と適合緩衝層104の間の接触面において、基板102上に成長する。非結晶接触面層108は、図1と図2の非晶質接触面層28に関して上記した、いかなる材料を含み得るが、好適には、 $Ca_z Sr_{1-z} TiO_3$ の単結晶層等の、単結晶酸化材料を含む。ここでzは、0~1の範囲である。基板102は、好適にはシリコンであるが、更に、図1から図3の基板22に関して上記した、いかなる材料を含み得る。

【0045】

テンプレート層130は、図5で示したような、適合緩衝層104を覆って配置されるが、好適には、金属、及び多大なイオン性の特性有する准金属からなるチントル層材料の薄層を含む。上記の実施形態のように、テンプレート層130は、MBE、CVD、MOCVD、MEE、ALE、PVD、CSD、PLD等の方法によって、成膜されることにより、単分子層の厚さを実現する。テンプレート層130は、非配向性の結合を伴う「柔軟な」層であるが、しかし、格子の不一致を有する層の間に構成される応力を吸収する高結晶性として機能する。テンプレート130のための材料は、 $SrAl_2$ 、 $(MgCaYb)Ga_2$ 、 $(Ca, Sr, Eu, Yb)In_2$ 、 $BaGe_2As$ 、 $SrSn_2As_2$ 等、 Si 、 Ga 、 In 、 Sr 、及び Sb を含む材料を含み得るが、これに限定されない。

【0046】

単結晶勾配材料層126は、図7で示される最終構造を実現するために、テンプレート層130を覆ってエピタキシャル成長する。具体例として、 $SrAl_2$ 層は、テンプレ

ト層 130、及び $SrAl_2$ を覆って成長する化合物半導体材料 Si_yGe_{1-y} 等の適切な単結晶材料層 126 として使用され得る。ここで y は、0 ~ 1 の範囲である。(z が 0 ~ 1 の範囲である、 $Ca_zSr_{1-z}TiO_3$ の適合緩衝層からの) $Al-Ti$ 結合は、大部分が金属結合であるが、(Si_yGe_{1-y} 層の) $Al-Ge$ 結合は、弱い共有結合である。 Sr は、 $Ca_zSr_{1-z}TiO_3$ を含む下部適合緩衝層 104 内の酸素原子に、電荷の一部を与え、イオン結合に加わり、更に、典型的には、チントル層材料から放出される等の方法によって、 Al に他の加電子の一部を供給する、2 つの異なる種類の結合に加わる。電荷の移動の量は、原子間の距離と同様に、テンプレート層 130 を含む要素の相対的な電気陰性度に依存する。本実施例では、 Al は、 SP^3 混成軌道を引き受け、本実施例では、半導体材料 Si_yGe_{1-y} を含む単結晶材料層 126 と、容易に結合を形成する。 10

【0047】

本実施形態で、使用されるチントル型テンプレート層の使用により、製造したコンプリカント基板は、大量のエネルギーを使用せずに、大きな歪みを吸収し得る。上記の例では、 Al の結合強度は、 $SrAl_2$ 層の量の変更により調整され、それによって、 Si 素子の一体型集積化、 $CMOS$ 技術の高誘電率絶縁膜 ($high-k dielectric$) の一体化集積化を含む特定の適用のために、素子を調整可能にする。

【0048】

図 8 は、本発明の更なる実施形態による、素子構造 140 の概略的概念図を示している。素子構造 140 は、単結晶半導体基板 142 を含み、好適には、単結晶シリコンウェハを備える。単結晶半導体基板は、2 つの領域 143 及び 144 を備える。点線 146 により全体を示される電子半導体要素は、少なくとも部分的には、領域 143 に、形成される。電子要素 146 は、レジスタと、キャパシタと、ダイオード、又はトランジスタ、又は $CMOS$ 集積回路等の集積回路等の活性半導体とであり得る。例えば、電子半導体要素 146 は、デジタル信号処理、又はシリコン集積回路が非常に適している他の機能を実行するように構成された $CMOS$ 集積回路であり得る。領域 143 の電子半導体要素は、半導体業界において、周知で幅広く実施されている、従来の半導体処理により形成され得る。二酸化シリコン等、絶縁体材料 148 の層は、電子半導体要素 146 の上にあり得る。 20

【0049】

領域 143 の半導体要素 146 の処理中に形成され得た絶縁体材料 148、及び他の層は、その領域に露出したシリコン表面を提供するために、領域 144 の表面から除去される。周知のように、露出したシリコンは、高い反応性であり、そして、自然の酸化シリコンが、露出した表面に、瞬時に形成され得る。ストロンチウム、又はストロンチウムと酸素の層は、領域 144 の表面の自然の酸化層に成膜され、更に、第一テンプレート層 (図示せず) を形成するために、酸化した表面と反応させられる。本発明の実施形態において、単結晶酸化層は、分子線エピタキシーの処理により、テンプレート層を覆うように形成される。カルシウム、ストロンチウム、チタニウム、酸素を含む反応物は、テンプレート層に成膜することにより、単結晶酸化層を形成する。成膜中の最初に、酸素の分圧は、カルシウム、ストロンチウム、及びチタニウムが完全に反応し、チタン酸ストロンチウム・カルシウム単結晶を形成するために、必要最小限の近くに押えられる。次に酸素の分圧は、増加されることにより、酸素の超過分圧を提供し、成長する単結晶酸化層を通じて、酸素が拡散することを可能にする。チタン酸ストロンチウム・カルシウムを通じて拡散する酸素は、第二領域において、及びシリコン基板と単結晶酸化物の間の接触面において、酸化シリコンの非結晶質層を形成するため、領域 144 の表面においてシリコンと反応する。 30

【0050】

本発明の実施形態において、単結晶酸化層を成膜する工程は、チタニウム、バリウム、ストロンチウム、バリウムと酸素、チタニウムと酸素、又はストロンチウムと酸素の 1-10 の単分子層であり得る層 150 の成膜によって終了する。次に、単結晶半導体材料のキャップ層 152 は、分子線エピタキシーの処理により第二テンプレート層を覆って成膜 40

される。

【0051】

本発明の実施形態において、層152の構成の後、基板142とチタン酸塩層の間に配置される、単結晶チタン酸化層と酸化シリコン層は、チタン酸化層と酸化層が非結晶質酸化層154を形成するように、アニーリング処理にさらされる。本発明の実施形態において、 $Si_y Ge_{1-y}$ (y は0~1の範囲)を含む勾配層156は、図1の層32に関する上記の技術を使用して、層152を覆ってエピタキシャル成長させられる。別の方法では、上記のアニール処理は、テンプレート層152の構成前に、実行され得る。

【0052】

次に、Ge等、単結晶材料158の層は、勾配層156上に形成される。層158は、層26に関して上記した、いかなる材料、いかなる技術を使用することにより、形成され得る。

10

【0053】

本発明の更なる実施形態による、点線160により、全体を示される半導体要素は、化合物半導体層158内で、少なくとも部分的に、形成される。半導体要素160は、Ge素子の加工に従来使用される処理工程によって、形成され得る。線162で概略的に示される金属導体は、素子146と素子160とを電子的に接続するために形成され得、従って、シリコン基板に形成した少なくとも一つの要素と、単結晶材料層に形成した一つの素子とを含む集積素子が実装される。実例の構造140は、シリコン基板142に形成され、ストロンチウム、又はチタン酸ストロンチウム・カルシウム層と、ゲルマニウム層158とを有する構造として記載されてきたが、同一の素子は、本願の他の場所で記載された、他の単結晶基板、酸化層、及び他の単結晶材料層を使用することにより、加工され得る。

20

【0054】

例えば、図9は、本発明の更なる実施形態において、素子構造170の概略的な横断面図を示している。素子構造170は、単結晶半導体基板172を含み、好適には、単結晶シリコンウェハを含む。単結晶半導体基板172は、2つの領域173と174を含む。点線176によって、全体的に示される電子半導体要素は、領域173内に、少なくとも部分的に、形成される。電子要素176は、レジスタと、キャパシタと、ダイオード、又はトランジスタ、又はCMOS集積回路等の集積回路等の活性半導体とであり得る。例えば、電子半導体要素176は、デジタル信号処理、又はシリコン集積回路が非常に適している他の機能を実行するように構成されたCMOS集積回路であり得る。領域173の電子半導体要素は、半導体業界において、周知で幅広く実施されている、従来の半導体処理により形成され得る。二酸化シリコン等の、絶縁体材料178の層は、電子半導体要素176の上であり得る。

30

【0055】

領域173の半導体要素176の処理中に形成され得た絶縁体材料178、及び他の層は、その領域に露出したシリコン表面を提供するために、領域174の表面から除去される。ストロンチウム、又はストロンチウムと酸素の層は、領域174の表面の自然の酸化層に成膜され、更に、第一テンプレート層(図示せず)を形成するため酸化した表面と反応させられる。本発明の実施形態による、単結晶酸化層は、分子線エピタキシーの処理によって、テンプレート層を覆うように形成される。ストロンチウム、チタニウム、酸素を含む反応物は、テンプレート層に成膜することにより、単結晶酸化層を形成する。成膜中の最初に、酸素の分圧は、ストロンチウム、及びチタニウムが完全に反応し、チタン酸ストロンチウム単結晶を形成するために、必要最小限近くに押えられる。次に酸素の分圧は、増加されることにより、酸素の超過分圧を提供し、成長する単結晶酸化層を通じて、酸素が、拡散することを可能にする。チタン酸ストロンチウムを通じて拡散する酸素は、第二領域において、更にシリコン基板と単結晶酸化層の間の接触面において、酸化シリコンの非結晶質層を形成するため、領域174の表面において、シリコンと反応する。

40

【0056】

50

本発明の実施形態による、単結晶酸化層の成膜の工程は、チタニウム、バリウム、ストロンチウム、バリウムと酸素、チタニウムと酸素、又はストロンチウムと酸素の1 - 10の単分子層であり得る層180の成膜によって、終了する。次に、単結晶半導体材料のキャップ層182は、分子線エピタキシーの処理により第二テンプレート層を覆って成膜される。

【0057】

本発明の実施形態による、層182の構成の後、基板172とチタン酸塩層の間に配置される、単結晶チタン酸化層と酸化シリコン層は、チタン酸化層と酸化層が非結晶質酸化層184を形成するように、アニール処理にさらされる。本発明の実施形態による、Geを含む層186は、図1の層32に関する上記した技術を使用することにより、層182を覆ってエピタキシャル成長する。別の方法では、上記のアニール処理は、テンプレート層182の構成前に、実行され得る。

10

【0058】

次に、Ge等、単結晶材料188の層は、層186上に形成される。層188は、層26に関して上記した、いかなる材料、いかなる技術を使用することにより、形成され得る。

【0059】

本発明の更なる実施形態による、点線160によって、全体を示される半導体要素は、化合物半導体層188内で、少なくとも部分的に、形成される。線162により概略的に示される金属導体は、素子176と素子160とを電子的に接続するために形成され得、従って、シリコン基板に形成した少なくとも一つの要素と、単結晶材料層に形成した一つの素子とを含む集積素子が実装される。

20

【0060】

明らかに、2つの異なる第4族の半導体部分を有する構造を詳細に記載している実施形態は、本発明の実例を説明することを意味しているが、本発明を限定しない。他の多数の組合せ、更に本発明の他の実施形態がある。例えば、本発明は、金属又は非金属等の他の層を含む半導体構造体、素子、集積回路を形成する材料層を加工するための、構造及び方法を含む。より詳細には、本発明は、これらの構造、素子、集積回路を加工するために適した半導体構造体、素子、集積回路及び材料層の加工に使用される適合基板を形成するための構造及び方法を備える。

30

【0061】

本発明の実施形態による、単結晶ウェハは、ウェハを覆って単結晶材料層を形成するために使用され得る。この手法により、ウェハは、基本的に、ウェハを覆う単結晶層の内部に、半導体電子要素を加工する際に使用される「ハンドル」ウェハである。従って、電子要素は、少なくとも約200ミリメートル以上であり、おそらく少なくとも300ミリメートル以上のウェハを覆った半導体材料の内部に形成され得る。

【0062】

この型の基板の使用により、比較的安価な「ハンドル」ウェハは、比較的耐久力があり、容易に加工できる基となる材料の上に位置することにより、一部の単結晶材料ウェハの脆弱な性質を克服する。従って、集積回路は、基板自体が異なる単結晶半導体材料を備え得るとしても、全ての電子回路、特に、全ての活性電子回路が、単結晶材料層の内部に、又は単結晶材料層を使用して形成され得るように、形成され得る。(従来の化合物半導体等、)比較的小さく、より壊れやすい基板と比較すると、大きな基板が、より経済的で、より容易に処理し得るために、非シリコン単結晶材料を採用した一部の素子の加工費用が、減少し得る。

40

【0063】

上記の明細書により、本発明は具体的な実施例により記載されてきた。しかし、当業者は、公開した本発明の請求項の範囲から離れることなく多様な変更、及び変化を作成し得る。従って、明細書及び図は、限定というよりも、例示として尊重される。更に、このような変更は、本発明の範囲に入ると解する。利点と、長所と、課題の解決と、利点、長所

50

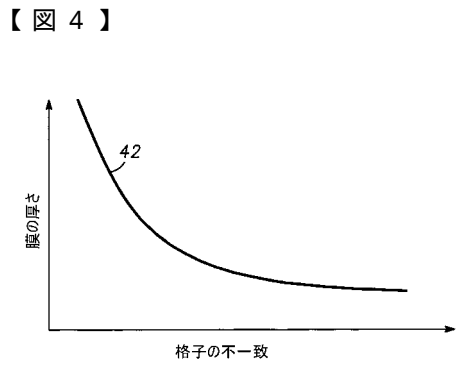
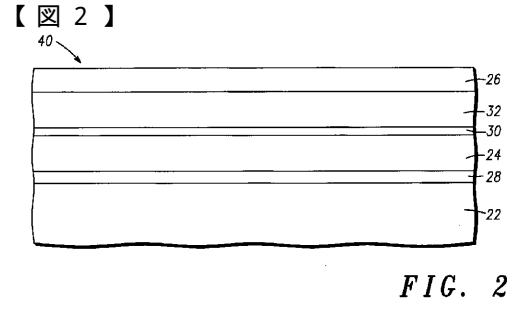
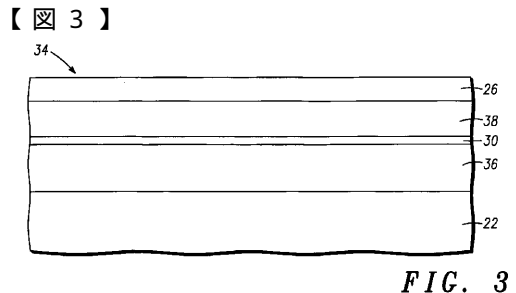
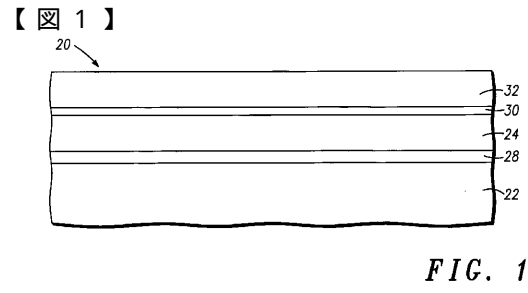
、及び課題の解決とを生じ言明され得るいかなる要素は、一部の請求項の重要な、必要な、又は本質的な、特性又は要素として解釈されない。ここで使用する「を備える」「を含む」等の用語は、列挙した要素が、これらの要素のみを含むのではなく、列挙され無かった又は、処置、方法、器具、装置に固有の他の要素を含み得る等、非限定的に保護されることを意図している。

【図面の簡単な説明】

【0064】

- 【図1】本発明の実施形態に基づいたデバイスの構造を示す概略断面図。
- 【図2】本発明の実施形態に基づいたデバイスの構造を示す概略断面図。
- 【図3】本発明の実施形態に基づいたデバイスの構造を示す概略断面図。
- 【図4】最大到達膜厚と、主結晶と成長した結晶性の覆った膜との間の格子の不一致との関係を示すグラフ。
- 【図5】本発明に基づいたデバイスの構造の別実施形態の構成を示す概略断面図。
- 【図6】本発明に基づいたデバイスの構造の別実施形態の構成を示す概略断面図。
- 【図7】本発明に基づいたデバイスの構造の別実施形態の構成を示す概略断面図。
- 【図8】本発明の実施形態に基づいた一体型の集積回路を示す概略断面図。
- 【図9】本発明の別の実施形態に基づいた一体型の集積回路を示す概略断面図。

10



【 図 5 】

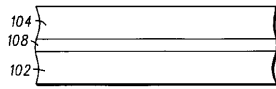


FIG. 5

【 図 6 】

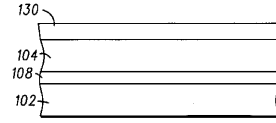


FIG. 6

【 図 7 】

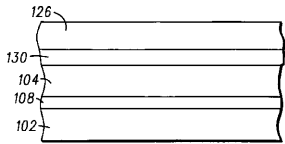


FIG. 7

【 図 8 】

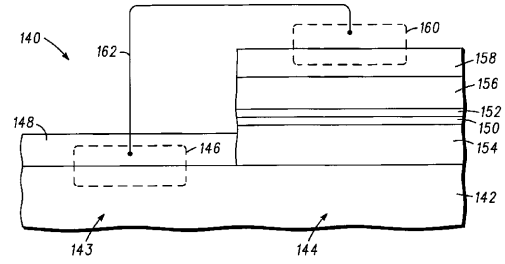


FIG. 8

【 図 9 】

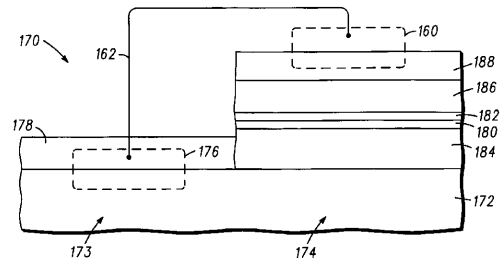


FIG. 9

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No PCT/US 02/22800
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L21/20 H01L21/762		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 059 895 A (CHU JACK OON ET AL) 9 May 2000 (2000-05-09) figure 4	1-3, 9-15
A	DE 100 17 137 A (SIEMENS AG) 26 October 2000 (2000-10-26) abstract; figure 1	1-24
A	US 5 556 463 A (GUENZER CHARLES S) 17 September 1996 (1996-09-17) column 2, line 35 - line 59; figure 2	1-24
A	US 5 830 270 A (WALKER FREDERICK JOSEPH ET AL) 3 November 1998 (1998-11-03) abstract	1-24
	--- -/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
22 April 2003		29/04/2003
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Le Meur, M-A

INTERNATIONAL SEARCH REPORT

 Int l Application No
 PCT/US 02/22800

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	YU Z ET AL: "Epitaxial oxide thin films on Si(001)" JOURNAL OF VACUUM SCIENCE AND TECHNOLOGY: PART B, AMERICAN INSTITUTE OF PHYSICS. NEW YORK, US, vol. 18, no. 4, July 2000 (2000-07), pages 2139-2145, XP002172595 ISSN: 0734-211X the whole document	1-24
A	EP 1 037 272 A (ASAHI CHEMICAL IND) 20 September 2000 (2000-09-20)	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/US 02/22800

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 6059895	A	09-05-2000	US 5906951 A JP 2908787 B2 JP 10308503 A TW 388969 B	25-05-1999 21-06-1999 17-11-1998 01-05-2000
DE 10017137	A	26-10-2000	DE 10017137 A1	26-10-2000
US 5556463	A	17-09-1996	US 5478653 A JP 8051106 A	26-12-1995 20-02-1996
US 5830270	A	03-11-1998	AU 3903497 A EP 0950132 A1 JP 2000517280 T KR 2000029832 A WO 9805807 A1 US 6023082 A US 6093242 A	25-02-1998 20-10-1999 26-12-2000 25-05-2000 12-02-1998 08-02-2000 25-07-2000
EP 1037272	A	20-09-2000	AU 8036898 A EP 1037272 A1 CN 1260907 T WO 9858408 A1 US 6528387 B1	04-01-1999 20-09-2000 19-07-2000 23-12-1998 04-03-2003

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW, ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES, FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,N O,NZ,OM,PH,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,UZ,VN,YU,ZA,ZM,ZW

(72)発明者 ユー、ジイ

アメリカ合衆国 8 5 2 3 3 アリゾナ州 ギルバート ダブリュ・メリル アベニュー 4 4 9

(72)発明者 ドルーパッド、ラビンドラネイス

アメリカ合衆国 8 5 2 2 6 アリゾナ州 チャンドラー ダブリュ・タイソン ストリート 4
5 1 5

Fターム(参考) 5F052 JA04 JA06 JA07 JA10 KA01 KA05