

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-202421
(P2006-202421A)

(43) 公開日 平成18年8月3日(2006.8.3)

(51) Int. Cl.

G11C 11/22 (2006.01)

F I

G11C 11/22 501F

テーマコード (参考)

審査請求 未請求 請求項の数 6 O L (全 23 頁)

(21) 出願番号 特願2005-13710 (P2005-13710)
(22) 出願日 平成17年1月21日 (2005.1.21)

(71) 出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号
(74) 代理人 100104433
弁理士 宮園 博一
(72) 発明者 官本 英明
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
(72) 発明者 境 直史
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
(72) 発明者 山田 光一
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

最終頁に続く

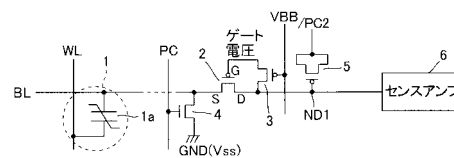
(54) 【発明の名称】 メモリ

(57) 【要約】

【課題】製造プロセスのばらつきに関係なく、データの読み出し時において、読み出し電圧が小さくなるのを抑制することが可能なメモリを提供する。

【解決手段】このメモリは、ビット線BLに接続され、データを保持するメモリセル1と、キャパシタ5と、ビット線BLとキャパシタ5との間に接続され、メモリセル1に保持されたデータに応じた電荷がビット線BLからキャパシタ5に転送されるのを制御するpチャネルトランジスタ2と、キャパシタ5に蓄積された電荷により生じる電圧に対応するメモリセル1のデータを読み出すセンスアンプ6とを備えている。そして、pチャネルトランジスタ2のゲート電圧は、pチャネルトランジスタ2のしきい値電圧 V_{tp} を利用して、pチャネルトランジスタ2がオン状態とオフ状態との境界状態の近傍のオフ状態となるしきい値電圧 V_{tp} に設定される。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

ビット線に接続され、データを保持するメモリセルと、
電荷蓄積手段と、

前記ビット線と前記電荷蓄積手段との間に接続され、前記メモリセルに保持された前記データに応じた電荷が前記ビット線から前記電荷蓄積手段に転送されるのを制御する第 1 電界効果型トランジスタと、

前記電荷蓄積手段に蓄積された前記電荷により生じる電圧に対応する前記メモリセルのデータを読み出すデータ判別手段とを備え、

前記第 1 電界効果型トランジスタの制御端子と残りの一方の端子との間の電圧は、前記第 1 電界効果型トランジスタのしきい値電圧を利用して、前記第 1 電界効果型トランジスタがオン状態とオフ状態との境界状態の近傍のオフ状態となる前記しきい値電圧に設定される、メモリ。

10

【請求項 2】

前記第 1 電界効果型トランジスタの制御端子と残りの他方の端子とは、接続されており、

前記第 1 電界効果型トランジスタの制御端子の電位が、前記第 1 電界効果型トランジスタの制御端子と残りの一方の端子との電位差の絶対値が前記しきい値電圧の絶対値よりも大きくなる第 1 電位に変化することにより、前記第 1 電界効果型トランジスタがオン状態になり、その後、前記第 1 電界効果型トランジスタの残りの一方の端子および他方の端子を介して電荷が移動することにより、前記第 1 電界効果型トランジスタの制御端子の電位が、上昇または低下されて、前記第 1 電界効果型トランジスタの制御端子の電位が、前記第 1 電界効果型トランジスタの制御端子と残りの一方の端子との電位差が前記しきい値電圧に等しくなる第 2 電位に達することにより、前記第 1 電界効果型トランジスタがオフ状態となる、請求項 1 に記載のメモリ。

20

【請求項 3】

前記第 1 電界効果型トランジスタの残りの一方の端子は、前記第 2 電位の絶対値よりも小さい絶対値の電位を有する第 3 電位側に接続されている、請求項 2 に記載のメモリ。

【請求項 4】

前記第 1 電界効果型トランジスタの残りの一方の端子と前記第 3 電位側との間に接続された第 2 電界効果型トランジスタをさらに備える、請求項 3 に記載のメモリ。

30

【請求項 5】

前記第 1 電界効果型トランジスタの制御端子と残りの他方の端子との間に接続され、前記第 1 電界効果型トランジスタの制御端子と残りの一方の端子との間の電圧を前記第 1 電界効果型トランジスタのしきい値電圧以上に保持するための第 3 電界効果型トランジスタをさらに備える、請求項 2 ~ 4 のいずれか 1 項に記載のメモリ。

【請求項 6】

前記電荷蓄積手段の一方電極は、前記第 1 電界効果型トランジスタの残りの他方の端子に接続されており、

前記電荷蓄積手段は、前記第 1 電界効果型トランジスタの残りの他方の端子の電位を上昇または低下させる機能を有する、請求項 1 ~ 5 のいずれか 1 項に記載のメモリ。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、メモリに関し、特に、データを保持するメモリセルを含むメモリに関する。

【背景技術】**【0002】**

従来、データを保持するメモリセルを含む強誘電体メモリが知られている（たとえば、特許文献 1 参照）。

【0003】

50

上記特許文献1に開示されたメモリセルを含む強誘電体メモリでは、メモリセルに接続されるビット線と、電荷を蓄積するキャパシタとの間に、ビット線からキャパシタへの電荷の転送を制御する電荷転送用トランジスタが接続されている。そして、データの読み出し時に、メモリセルからビット線および電荷転送用トランジスタを介してキャパシタに転送される電荷によって生じる電圧に基づいて、メモリセルから読み出したデータを判別している。さらに、この特許文献1に開示された強誘電体メモリでは、データの読み出し前において、電荷転送用トランジスタのしきい値電圧 V_t に相当する電圧を、別途設けられたしきい値電圧生成回路内のpチャネルトランジスタのしきい値電圧を利用して生成する。そして、その生成したしきい値電圧を電荷転送用トランジスタのゲートに印加して電荷転送用トランジスタのゲート-ソース間電圧 V_{GS} をしきい値電圧 V_t に保持することによって、電荷転送用トランジスタをオン状態とオフ状態との境界状態の近傍のオフ状態に保持している。これにより、上記特許文献1に開示された強誘電体メモリでは、データの読み出し時に、メモリセルのデータに応じた電荷がビット線から電荷転送用トランジスタのソースに入力されると、ゲート-ソース間電圧 V_{GS} がしきい値電圧 V_t 以下になるのに応答して電荷転送用トランジスタがオンする。これにより、メモリセルのデータに対応する電荷が、ビット線から電荷転送用トランジスタを介してキャパシタに転送される。

10

【0004】

【特許文献1】特開2002-133857号公報

【発明の開示】

【発明が解決しようとする課題】

20

【0005】

しかしながら、上記特許文献1に開示された強誘電体メモリでは、データの読み出し前に電荷転送用トランジスタをオン状態とオフ状態との境界状態の近傍のオフ状態に保持する際、電荷転送用トランジスタのゲートに印加するしきい値電圧 V_t に相当する電圧を、別途設けられたしきい値電圧生成回路内のpチャネルトランジスタのしきい値電圧を利用して生成している。このため、製造プロセスのばらつきによりしきい値電圧生成回路内のpチャネルトランジスタのしきい値電圧がばらつく場合には、しきい値電圧生成回路により電荷転送用トランジスタのしきい値電圧 V_t と異なる電圧が生成される場合があるという不都合がある。この場合には、しきい値電圧生成回路からゲートに入力される電圧によって生じる電荷転送用トランジスタのゲート-ソース間電圧 V_{GS} がしきい値電圧 V_t よりも小さくなるか、または、大きくなるので、データの読み出し前に電荷転送用トランジスタがオン状態とオフ状態との境界状態の近傍のオフ状態から、よりオフ状態になるか、または、オン状態になるという不都合がある。これにより、電荷転送用トランジスタがよりオフ状態になる場合には、メモリセルから電荷がビット線に出力されても、ビット線の電位が所定の値に立ち上がるまで電荷転送用トランジスタがオンしないことにより、メモリセルのデータに応じた電荷の一部しかキャパシタに転送されないという不都合がある。一方、電荷転送用トランジスタがオン状態になる場合には、データの読み出し前に電荷転送用トランジスタがオンすることによりキャパシタ側からビット線に供給される負電位によって、その後ビット線に出力されるメモリセルの電荷の一部が消失するという不都合がある。これらの結果、メモリセルに保持されたデータに対応する電荷を十分にキャパシタに転送するのが困難になるので、データの読み出し時において、読み出し電圧が小さくなるという問題点があった。

30

40

【0006】

この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、製造プロセスのばらつきに関係なく、データの読み出し時において、読み出し電圧が小さくなるのを抑制することが可能なメモリを提供することである。

【課題を解決するための手段および発明の効果】

【0007】

上記目的を達成するために、この発明の一の局面におけるメモリは、ビット線に接続され、データを保持するメモリセルと、電荷蓄積手段と、ビット線と電荷蓄積手段との間に

50

接続され、メモリセルに保持されたデータに応じた電荷がビット線から電荷蓄積手段に転送されるのを制御する第1電界効果型トランジスタと、電荷蓄積手段に蓄積された電荷により生じる電圧に対応するメモリセルのデータを読み出すデータ判別手段とを備えている。そして、第1電界効果型トランジスタの制御端子と残りの一方の端子との間の電圧は、第1電界効果型トランジスタのしきい値電圧を利用して、第1電界効果型トランジスタがオン状態とオフ状態との境界状態の近傍のオフ状態となるしきい値電圧に設定される。

【0008】

この一の局面によるメモリでは、上記のように、メモリセルに保持されたデータに応じた電荷がビット線から電荷蓄積手段に転送されるのを制御する第1電界効果型トランジスタを設けるとともに、その第1電界効果型トランジスタの制御端子と残りの一方の端子との間の電圧を、第1電界効果型トランジスタのしきい値電圧を利用して、第1電界効果型トランジスタがオン状態とオフ状態との境界状態の近傍のオフ状態となるしきい値電圧に設定することによって、第1電界効果型トランジスタの制御端子と残りの一方の端子との間の電圧を、その第1電界効果型トランジスタ自体のしきい値電圧を利用して、第1電界効果型トランジスタのしきい値電圧に設定することができる。これにより、第1電界効果型トランジスタの制御端子と残りの一方の端子との間の電圧を、正確に、第1電界効果型トランジスタのしきい値電圧に設定することができる。このため、別途設けたしきい値電圧生成回路内のトランジスタのしきい値電圧を利用して第1電界効果型トランジスタの制御端子と残りの一方の端子との間の電圧を第1電界効果型トランジスタのしきい値電圧に設定する場合と異なり、製造プロセスのばらつきに起因して第1電界効果型トランジスタの制御端子と残りの一方の端子との間の電圧を正確に第1電界効果型トランジスタのしきい値電圧に設定するのが困難であるという不都合が発生するのを抑制することができる。これにより、製造プロセスのばらつきに関係なく、メモリセルのデータに応じた電荷を第1電界効果型トランジスタを介してビット線から電荷蓄積手段に十分に転送することができる。その結果、製造プロセスのばらつきに関係なく、データの読み出し時において、読み出し電圧が小さくなるのを抑制することができる。

【0009】

また、第1電界効果型トランジスタの制御端子と残りの一方の端子との間の電圧を、第1電界効果型トランジスタがオン状態とオフ状態との境界状態の近傍のオフ状態となるしきい値電圧に設定することによって、たとえば、第1電界効果型トランジスタがpチャネルトランジスタであるとともに、データの読み出し時に、メモリセルのデータに応じた正電荷がビット線に出力されてビット線の電位が上昇する場合に、第1電界効果型トランジスタの制御端子と残りの一方の端子との間の電圧が第1電界効果型トランジスタのしきい値電圧以下になることにより、第1電界効果型トランジスタをオン状態にすることができる。この際、第1電界効果型トランジスタを介して、ビット線から電荷蓄積手段へ正電荷を転送するとともに、電荷蓄積手段側からビット線へ負電荷を供給すれば、メモリセルからビット線に正電荷が出力される場合にも、ビット線の電位が上昇するのを抑制することができる。これにより、強誘電体キャパシタによってメモリセルが構成される場合に、同一のビット線に繋がる、データを読み出したメモリセル以外の他のメモリセル（非選択セル）においてディスタ urb（分極状態の劣化によるデータの消失）が発生するのを抑制することができる。

【0010】

上記一の局面によるメモリにおいて、好ましくは、第1電界効果型トランジスタの制御端子と残りの他方の端子とは、接続されており、第1電界効果型トランジスタの制御端子の電位が、第1電界効果型トランジスタの制御端子と残りの一方の端子との電位差の絶対値がしきい値電圧の絶対値よりも大きくなる第1電位に変化することにより、第1電界効果型トランジスタがオン状態になり、その後、第1電界効果型トランジスタの残りの一方の端子および他方の端子を介して電荷が移動することにより、第1電界効果型トランジスタの制御端子の電位が、上昇または低下されて、第1電界効果型トランジスタの制御端子の電位が、第1電界効果型トランジスタの制御端子と残りの一方の端子との電位差がしき

10

20

30

40

50

い値電圧に等しくなる第2電位に達することにより、第1電界効果型トランジスタがオフ状態となる。このように構成すれば、第1電界効果型トランジスタの制御端子と残りの一方の端子との電位差がしきい値電圧に等しくなる第2電位に第1電界効果型トランジスタの制御端子の電位が達することにより第1電界効果型トランジスタがオフ状態となることにより、それ以上、第1電界効果型トランジスタの残りの一方の端子および他方の端子を介して電荷が移動しないので、第1電界効果型トランジスタの制御端子の電位が上昇または低下するのを停止させることができる。これにより、第1電界効果型トランジスタの制御端子の電位を第2電位に設定することができる。その結果、容易に、第1電界効果型トランジスタの制御端子と残りの一方の端子との間の電圧を、第1電界効果型トランジスタのしきい値電圧を利用して、第1電界効果型トランジスタがオン状態とオフ状態との境界状態の近傍のオフ状態となるしきい値電圧に設定することができる。

10

【0011】

上記第1電界効果型トランジスタの制御端子と残りの他方の端子とが接続されている構成において、好ましくは、第1電界効果型トランジスタの残りの一方の端子は、第2電位の絶対値よりも小さい絶対値の電位を有する第3電位側に接続されている。このように構成すれば、容易に、第1電界効果型トランジスタの制御端子の電位が第1電位に変化することにより第1電界効果型トランジスタがオン状態になった後、第1電界効果型トランジスタの残りの一方の端子および他方の端子を介して電荷を第3電位側に移動させることにより、第1電界効果型トランジスタの制御端子の電位を第3電位に向かって上昇または低下させることができる。

20

【0012】

上記第1電界効果型トランジスタの残りの一方の端子が第3電位側に接続されている構成において、好ましくは、第1電界効果型トランジスタの残りの一方の端子と、第3電位側との間に接続された第2電界効果型トランジスタをさらに備える。このように構成すれば、メモリセルのデータに応じた電荷を第1電界効果型トランジスタを介してビット線から電荷蓄積手段に転送する際に、第2電界効果型トランジスタをオフ状態にすれば、第1電界効果型トランジスタの残りの一方の端子を第3電位側に接続する場合にも、メモリセルのデータに応じた電荷を第1電界効果型トランジスタを介してビット線から電荷蓄積手段に転送するのが阻害されるのを抑制することができる。

30

【0013】

上記第1電界効果型トランジスタの制御端子と残りの他方の端子とが接続されている構成において、好ましくは、第1電界効果型トランジスタの制御端子と残りの他方の端子との間に接続され、第1電界効果型トランジスタの制御端子と残りの一方の端子との間の電圧を第1電界効果型トランジスタのしきい値電圧以上に保持するための第3電界効果型トランジスタをさらに備える。このように構成すれば、第1電界効果型トランジスタの制御端子と残りの一方の端子との間の電圧がしきい値電圧に設定された後、第1電界効果型トランジスタがオン状態になることによりメモリセルのデータに対応する電荷が第1電界効果型トランジスタを介してビット線から電荷蓄積手段に転送されることにより、第1電界効果型トランジスタの残りの一方の端子の電位が上昇または低下する場合にも、第3電界効果型トランジスタにより、第1電界効果型トランジスタの制御端子と残りの一方の端子との間の電圧を第1電界効果型トランジスタのしきい値電圧以上に保持することができる。これにより、第1電界効果型トランジスタをオン状態に保持することができるので、メモリセルのデータに応じた電荷を第1電界効果型トランジスタを介してビット線からキャパシタに十分に転送することができる。

40

【0014】

上記一の局面によるメモリにおいて、好ましくは、電荷蓄積手段の一方電極は、第1電界効果型トランジスタの残りの他方の端子に接続されており、電荷蓄積手段は、第1電界効果型トランジスタの残りの他方の端子の電位を上昇または低下させる機能を有する。このように構成すれば、データの読み出し時にメモリセルのデータに応じた正電荷がビット線に出力される場合に、電荷蓄積手段により、データの読み出し前に第1電界効果型トラン

50

ンジスタの残りの他方の端子の電位を、第1電界効果型トランジスタの残りの一方の端子に接続されたビット線の電位よりも低い負電位に低下させれば、容易に、メモリセルのデータに応じた正電荷をビット線から第1電界効果型トランジスタを介して電荷蓄積手段に転送することができる。また、データの読み出し時にメモリセルのデータに応じた負電荷がビット線に出力される場合に、電荷蓄積手段により、データの読み出し前に第1電界効果型トランジスタの残りの他方の端子の電位を、第1電界効果型トランジスタの残りの一方の端子に接続されたビット線の電位よりも高い電位に上昇させれば、ビット線に出力される負電荷に応じた量の正電荷を電荷蓄積手段から第1電界効果型トランジスタを介してビット線に転送することができる。これにより、容易に、電荷蓄積手段に蓄積された電荷によって生じる電圧をメモリセルのデータに対応させることができる。また、電荷蓄積手段を用いて第1電界効果型トランジスタの残りの他方の端子の電位を上昇または低下させることができるので、第1電界効果型トランジスタの残りの一方の端子の電位を上昇または低下させるための電圧を生成するために、別途、正電圧生成回路または負電圧生成回路を設ける必要がない。これにより、第1電界効果型トランジスタの残りの一方の端子の電位を上昇または低下させる場合にも、回路規模が増大するのを抑制することができる。

10

【発明を実施するための最良の形態】

【0015】

以下、本発明の実施形態を図面に基づいて説明する。

【0016】

(第1実施形態)

20

図1は、本発明の第1実施形態による強誘電体メモリの回路構成を示した回路図である。まず、図1を参照して、本発明の第1実施形態による強誘電体メモリの回路構成について説明する。

【0017】

この第1実施形態による強誘電体メモリは、図1に示すように、メモリセル1と、2つのpチャネルトランジスタ2および3と、nチャネルトランジスタ4と、キャパシタ5と、センスアンプ6とによって構成されている。なお、pチャネルトランジスタ2は、本発明の「第1電界効果型トランジスタ」の一例であり、pチャネルトランジスタ3は、本発明の「第3電界効果型トランジスタ」の一例である。また、nチャネルトランジスタ4は、本発明の「第2電界効果型トランジスタ」の一例であり、キャパシタ5は、本発明の「電荷蓄積手段」の一例である。また、センスアンプ6は、本発明の「データ判別手段」の一例である。

30

【0018】

メモリセル1は、ワード線WLとビット線BLとが交差する位置に配置された1つの強誘電体キャパシタ1aのみによって構成されている。また、pチャネルトランジスタ2は、しきい値電圧 $V_{tp} (< 0)$ を有している。このpチャネルトランジスタ2は、メモリセル1に記憶されたデータに対応する電荷がビット線BLからキャパシタ5へ転送されるのを制御するために設けられている。また、pチャネルトランジスタ2のソースは、ビット線BLに接続されている。また、pチャネルトランジスタ2のドレインとゲートとは、pチャネルトランジスタ3を介して接続されている。また、pチャネルトランジスタ3は、pチャネルトランジスタ2と同じしきい値電圧 $V_{tp} (< 0)$ を有している。このpチャネルトランジスタ3は、pチャネルトランジスタ2のソースおよびドレインを介してメモリセル1の電荷がビット線BLからキャパシタ5へ転送される際にpチャネルトランジスタ2のソースの電位が上昇しても、pチャネルトランジスタ2のゲート-ソース間電圧 V_{gs} の絶対値をしきい値電圧 V_{tp} の絶対値以上に保持する機能を有する。また、pチャネルトランジスタ3のゲートには、上記のしきい値電圧 V_{tp} の2倍以下の一定電圧である負電圧 $V_{BB} (< 2V_{tp})$ が供給されている。また、nチャネルトランジスタ4のソースは、pチャネルトランジスタ2のソースと接続されているとともに、他方は、接地されている。また、nチャネルトランジスタ4のゲートには、制御信号PCが入力される。

40

50

【0019】

また、キャパシタ5は、ソースとドレインとが互いに接続されたpチャネルトランジスタによって構成されている。このキャパシタ5の一方電極は、上記のpチャネルトランジスタ2のドレインに接続されている。また、キャパシタ5の他方電極には、制御信号/PC2が入力される。これにより、制御信号/PC2の電位を低下させる場合には、キャパシタ5の容量によって、キャパシタ5の一方電極が接続されたノードND1の電位が低下する方向にブートされるように構成されている。また、センスアンプ6は、pチャネルトランジスタ2のドレインに接続されている。このセンスアンプ6は、メモリセル1からのデータの読み出し時に、キャパシタ5に蓄積された電荷によって生じるノードND1の電位と、所定の参照電位とを比較してノードND1の電位を上昇または低下させることによりデータを判別する機能を有する。 10

【0020】

図2は、本発明の第1実施形態による強誘電体メモリのデータの読み出し動作を説明するための電圧波形図である。次に、図1および図2を参照して、本発明の第1実施形態による強誘電体メモリのデータの読み出し動作について説明する。

【0021】

この第1実施形態による強誘電体メモリでは、図2に示すように、データ読み出し動作の初期状態において、ワード線WLの電位は V_{ss} になっている。また、制御信号PCの電位は、 V_{dd} になっている。これにより、nチャネルトランジスタ4がオン状態になっている。このため、nチャネルトランジスタ4を介してビット線BLに接地電位(GND)が供給されることにより、ビット線BLの電位は V_{ss} (GND)になっている。また、pチャネルトランジスタ2のゲート電圧とノードND1の電位とは、共に、 V_{ss} になっている。これにより、pチャネルトランジスタ2のゲート-ソース間電圧 V_{gs} は、約0V($>V_{tp}$)になっているので、pチャネルトランジスタ2は、オフ状態になっている。このため、ノードND1は、フローティング状態になっている。また、制御信号/PC2の電位は、 V_{dd} になっている。また、pチャネルトランジスタ3のゲートには、 $2V_{tp}$ (V_{tp} : pチャネルトランジスタ2および3のしきい値電圧)以下の一定電圧に設定された負電圧 V_{BB} が入力されている。これにより、pチャネルトランジスタ3は、オン状態になっている。 20

【0022】

次に、第1実施形態では、キャパシタ5に入力される制御信号/PC2の電位を V_{dd} から V_{ss} に立ち下げる。これにより、キャパシタ5が接続されたフローティング状態のノードND1の電位は、キャパシタ5の容量によって低下する方向にブートされる。このため、ノードND1の電位は、 V_{ss} から $2V_{tp}$ ($V_{tp} < 0$)以下の負電位に低下される。そして、ノードND1の電位が低下するのに伴って、ノードND1にpチャネルトランジスタ3を介して繋がるpチャネルトランジスタ2のゲートの電位(ゲート電圧)も低下する。この際、pチャネルトランジスタ2のゲート電圧は、ノードND1の負電位($< 2V_{tp}$)よりもpチャネルトランジスタ3のしきい値電圧 V_{tp} の絶対値分だけ高い電圧まで低下する。すなわち、pチャネルトランジスタ2のゲート電圧は、 V_{tp} 以下の負電圧まで低下するので、pチャネルトランジスタ2はオン状態になる。そして、pチャネルトランジスタ2がオンすることにより、nチャネルトランジスタ4と、pチャネルトランジスタ2のソースおよびドレインと、pチャネルトランジスタ3とを介して、pチャネルトランジスタ2のゲートに接地電位(GND (V_{ss}))が供給される。これにより、pチャネルトランジスタ2のゲート電圧($< V_{tp}$)は、接地電位(GND (V_{ss}))側に上昇する。 40

【0023】

この際、第1実施形態では、pチャネルトランジスタ2のゲート電圧がしきい値電圧 V_{tp} に達した時点で、pチャネルトランジスタ2のゲート-ソース間電圧 V_{gs} がしきい値電圧 V_{tp} になるので、pチャネルトランジスタ2はオフする。これにより、pチャネルトランジスタ2のゲート電圧の上昇がしきい値電圧 V_{tp} で停止される。なお、このと 50

き、pチャネルトランジスタ2は、オン状態とオフ状態との境界状態の近傍のオフ状態に保持される。また、pチャネルトランジスタ2がオンした際、nチャネルトランジスタ4と、pチャネルトランジスタ2のソースおよびドレインとを介して、ノードND1の電位も $2V_{tp}$ 以下の負電位から上昇する。そして、pチャネルトランジスタ2のゲート電圧がしきい値電圧 V_{tp} に達することによりpチャネルトランジスタ2がオフすることによって、ノードND1の電位の上昇も停止される。このとき、ノードND1の電位は、 $2V_{tp}$ となる。

【0024】

この後、制御信号PCの電位をVddからVssに立ち下げる。これにより、nチャネルトランジスタ4がオフする。この際、pチャネルトランジスタ2もオフしているので、ビット線BLはフローティング状態になる。この後、ワード線WLの電位をVddに立ち上げる。これにより、メモリセル1の強誘電体キャパシタ1aに保持されたデータに対応する電荷がビット線BLに放出される。このため、ビット線BLの電位は上昇を開始する。この際、ビット線BLの電位がわずかに上昇すると、pチャネルトランジスタ2のゲート-ソース間電圧 V_{gs} がpチャネルトランジスタ2のしきい値電圧 V_{tp} 以下になるので、pチャネルトランジスタ2はオンする。これにより、強誘電体キャパシタ1aからビット線BLに放出された電荷が、pチャネルトランジスタ2を介して転送されるとともに、キャパシタ5に取り込まれる。このため、キャパシタ5が接続されたノードND1の電位は、 $2V_{tp}$ から上昇する。一方、ビット線BLの電位は、Vssからわずかに上昇した後、pチャネルトランジスタ2を介して供給されるノードND1の負電位により、その上昇が打ち消されて徐々に低下する。その結果、ビット線BLの電位は、Vssからほとんど上昇されない。

10

20

【0025】

なお、強誘電体キャパシタ1aからビット線BLに放出される電荷量は、メモリセル1に保持されたデータが「0」か「1」かによって異なる。すなわち、メモリセル1に保持されたデータが「0」の場合は、メモリセル1に保持されたデータが「1」の場合に比べて、ビット線BLに放出される電荷量が少ない。したがって、メモリセル1に保持されたデータが「0」の場合には、メモリセル1に保持されたデータが「1」の場合に比べて、ノードND1の電位の $2V_{tp}$ からの上昇量が小さくなる。この後、センスアンプ6により、ノードND1の電位と参照電位とが比較される。なお、参照電位は、データ「0」に対応するノードND1の電位とデータ「1」に対応するノードND1の電位との間に設定されている。そして、センスアンプ6により、ノードND1の電位と参照電位との電位差が増幅されるとともに、メモリセル1から読み出されたデータが「0」または「1」に判別される。この際、メモリセル1に保持されていたデータが「0」の場合には、センスアンプ6によりノードND1の電位は低下されるとともに、参照電位は上昇される。また、メモリセル1に保持されていたデータが「1」の場合には、センスアンプ6によりノードND1の電位は上昇されるとともに、参照電位は低下される。上記のようにして、第1実施形態による強誘電体メモリのデータの読み出し動作が行われる。

30

【0026】

第1実施形態では、上記のように、メモリセル1に保持されたデータに応じた電荷がビット線BLからキャパシタ5へ転送されるのを制御するpチャネルトランジスタ2を設けるとともに、pチャネルトランジスタ2のゲート電圧をpチャネルトランジスタ2のしきい値電圧 V_{tp} 以下に低下させることにより、pチャネルトランジスタ2がオン状態になった後、pチャネルトランジスタ2のソースおよびドレインを介して電荷を移動させることによりpチャネルトランジスタ2のゲート電圧をしきい値電圧 V_{tp} まで上昇させて、pチャネルトランジスタ2をオフ状態にすることによって、pチャネルトランジスタ2のゲート-ソース間電圧 V_{gs} を、そのpチャネルトランジスタ2自体のしきい値電圧 V_{tp} を利用して、pチャネルトランジスタ2のしきい値電圧 V_{tp} に設定することができる。これにより、pチャネルトランジスタ2のゲート-ソース間電圧 V_{gs} を、正確に、pチャネルトランジスタ2のしきい値電圧 V_{tp} に設定することができる。このため、別途

40

50

設けたしきい値電圧生成回路内のトランジスタのしきい値電圧を利用してpチャネルトランジスタ2のゲート-ソース間電圧 V_{GS} をしきい値電圧 V_{tp} に設定する場合と異なり、製造プロセスのばらつきに起因してpチャネルトランジスタ2のゲート-ソース間電圧 V_{GS} を正確にpチャネルトランジスタ2のしきい値電圧 V_{tp} に設定するのが困難であるという不都合が発生するのを抑制することができる。これにより、製造プロセスのばらつきに関係なく、メモリセル1のデータに応じた電荷をpチャネルトランジスタ2を介して十分にキャパシタ5に転送することができる。その結果、製造プロセスのばらつきに関係なく、データの読み出し時において、読み出し電圧が小さくなるのを抑制することができる。

【0027】

また、第1実施形態では、pチャネルトランジスタ2のゲート-ソース間電圧 V_{GS} を、pチャネルトランジスタ2がオン状態とオフ状態との境界状態の近傍のオフ状態となるしきい値電圧 V_{tp} に設定することによって、データの読み出し時に、メモリセル1のデータに応じた正電荷がビット線BLに出力されてビット線BLの電位が上昇する際に、pチャネルトランジスタ2のゲート-ソース間電圧 V_{GS} がpチャネルトランジスタ2のしきい値電圧 V_{tp} 以下になることにより、pチャネルトランジスタ2をオン状態にすることができる。この際、pチャネルトランジスタ2を介して、ビット線BLからキャパシタ5へ正電荷が転送されるとともに、キャパシタ5側からビット線BLへ負電荷が供給されるので、メモリセル1から出力される正電荷によるビット線BLの電位の上昇を抑制することができる。これにより、同一のビット線BLに繋がる、データを読み出したメモリセル1以外の他のメモリセル1の強誘電体キャパシタ1aに、ビット線BLの上昇した電位が印加されることに起因して、ディスターブ(分極状態の劣化によるデータの消失)が発生するのを抑制することができる。

【0028】

また、第1実施形態では、キャパシタ5の一方電極をpチャネルトランジスタ2のドレインに接続するとともに、キャパシタ5によりpチャネルトランジスタ2のドレインの電位を低下させる方向にブートすることによって、データの読み出し時にメモリセル1のデータに応じた正電荷がビット線BLに出力される場合に、キャパシタ5により、データの読み出し前にpチャネルトランジスタ2のドレインの電位を、pチャネルトランジスタ2のソースに接続されたビット線BLの電位よりも低い負電位に低下させることができる。これにより、容易に、データの読み出し時にメモリセル1のデータに応じた正電荷をビット線BLからpチャネルトランジスタ2を介してキャパシタ5に転送することができる。これにより、容易に、キャパシタ5に蓄積された電荷によって生じるノードND1の電圧をメモリセル1のデータに対応させることができる。

【0029】

(第2実施形態)

図3は、本発明の第2実施形態による強誘電体メモリの回路構成を示した回路図である。次に、図3を参照して、本発明の第2実施形態による強誘電体メモリの回路構成について説明する。

【0030】

この第2実施形態による強誘電体メモリは、上記第1実施形態による強誘電体メモリと異なり、ビット線BLと、キャパシタ5およびセンスアンプ6との間に接続されたpチャネルトランジスタ12のゲートに V_{SS} (GND(0V))の電位が印加されるように構成されている。また、pチャネルトランジスタ12のしきい値電圧 V_{tp0} は、ほぼ0Vに設定されている。また、この第2実施形態では、pチャネルトランジスタ12のゲートと、キャパシタ5が接続されたノードND1とは、接続されていないとともに、図1に示した第1実施形態による強誘電体メモリのノードND1とpチャネルトランジスタ2のゲートとの間に接続されたpチャネルトランジスタ3も設けられていない。第2実施形態による強誘電体メモリの上記以外の構成は、上記第1実施形態による強誘電体メモリの構成と同様である。

10

20

30

40

50

【0031】

図4は、本発明の第2実施形態による強誘電体メモリのデータの読み出し動作を説明するための電圧波形図である。次に、図3および図4を参照して、第2実施形態による強誘電体メモリのデータの読み出し動作について説明する。

【0032】

この第2実施形態による強誘電体メモリでは、図4に示すように、データ読み出し動作の初期状態において、ワード線WLの電位は V_{ss} になっている。また、制御信号PCの電位は、 V_{dd} になっている。これにより、nチャンネルトランジスタ4がオン状態になっている。このため、nチャンネルトランジスタ4を介してビット線BLに接地電位(GND)が供給されることにより、ビット線BLの電位は V_{ss} (GND)になっている。

10

【0033】

また、第2実施形態では、初期状態において、pチャンネルトランジスタ12のゲートに電位 V_{ss} (GND(0V))が印加されている。これにより、pチャンネルトランジスタ12のしきい値電圧 V_{tp0} がほぼ0Vに設定されていることにより、pチャンネルトランジスタ12はオン状態とオフ状態との境界状態の近傍のオフ状態に保持されている。また、pチャンネルトランジスタ12がオフしていることにより、ノードND1はフローティング状態になっている。また、制御信号/PC2の電位は、 V_{dd} になっている。

【0034】

次に、第2実施形態では、キャパシタ5に入力される制御信号/PC2の電位を V_{dd} から V_{ss} に立ち下げる。これにより、キャパシタ5が接続されたフローティング状態のノードND1の電位は、キャパシタ5の容量によって低下する方向にブートされる。そして、ノードND1の電位は、 V_{ss} から $2V_{tp}$ ($V_{tp} < 0$)以下の負電位に低下される。なお、このとき、pチャンネルトランジスタ12のゲートには V_{ss} に固定された電位が印加されるとともに、ソースにはnチャンネルトランジスタ4を介して接地電位(GND(V_{ss}))が供給されているので、pチャンネルトランジスタ12のゲート-ソース間電圧 V_{gs} は0Vに保持される。これにより、pチャンネルトランジスタ12では、オン状態とオフ状態との境界状態の近傍のオフ状態が維持される。

20

【0035】

この後、制御信号PCの電位を V_{dd} から V_{ss} に立ち下げる。これにより、nチャンネルトランジスタ4がオフする。この際、pチャンネルトランジスタ12もオフしているので、ビット線BLはフローティング状態になる。この後、ワード線WLの電位を V_{dd} に立ち上げる。これにより、メモリセル1の強誘電体キャパシタ1aに保持されたデータに対応する電荷がビット線BLに放出される。このため、ビット線BLの電位は上昇を開始する。この際、ビット線BLの電位がわずかに上昇すると、pチャンネルトランジスタ2のゲート-ソース間電圧 V_{gs} がpチャンネルトランジスタ12のしきい値電圧 V_{tp0} (=0V)以下になるので、pチャンネルトランジスタ12はオンする。これにより、強誘電体キャパシタ1aからビット線BLに放出された電荷が、pチャンネルトランジスタ12を介して転送されるとともに、キャパシタ5に取り込まれる。このため、キャパシタ5が接続されたノードND1の電位は、 $2V_{tp}$ 以下の負電位から上昇する。一方、ビット線BLの電位は、 V_{ss} からわずかに上昇した後、pチャンネルトランジスタ12を介して供給されるノードND1の負電位により、その上昇が打ち消されて徐々に低下する。その結果、ビット線BLの電位は、 V_{ss} からほとんど上昇されない。

30

40

【0036】

この後、上記第1実施形態と同様にして、センスアンプ6により、強誘電体キャパシタ1aから転送された電荷がキャパシタ5に蓄積されることにより生じたノードND1の電位と、参照電位との電位差が増幅されるとともに、メモリセル1から読み出されたデータが「0」または「1」に判別される。上記のようにして、第2実施形態による強誘電体メモリのデータの読み出し動作が行われる。

【0037】

第2実施形態では、上記のように、データの読み出し前にキャパシタ5を用いてpチャ

50

ネルトランジスタ12のソースおよびドレインの一方が繋がるノードND1の電位をビット線BLの電位(V_{SS})よりも低い負電位($< 2V_{tp}$)に低下させることができるので、ノードND1の電位をビット線BLの電位(V_{SS})よりも低い負電位に低下させる電圧を生成するための負電圧生成回路を別途設ける必要がない。これにより、データの読み出し前にノードND1の電位をビット線BLの電位(V_{SS})よりも低い負電位に低下させる場合にも、強誘電体メモリの回路規模が増大するのを抑制することができる。

【0038】

また、第2実施形態では、メモリセル1のデータに応じた電荷をビット線BLからキャパシタ5に転送するのを制御するために、しきい値電圧 V_{tp0} が V_{SS} ($0V$)のpチャネルトランジスタ12を用いることによって、データの読み出し前に、ビット線BLに繋がるpチャネルトランジスタ12のソースの電位を V_{SS} にすれば、pチャネルトランジスタ12のゲートに電位 V_{SS} を印加することにより、pチャネルトランジスタ12のゲート-ソース間電圧 V_{GS} をpチャネルトランジスタ12がオン状態とオフ状態との境界状態の近傍のオフ状態になるしきい値電圧 V_{tp0} ($0V$)に設定することができる。これにより、強誘電体メモリにおいて、一般的に用いられる電位 V_{SS} (GND)を用いて、pチャネルトランジスタ12のゲート-ソース間電圧 V_{GS} をpチャネルトランジスタ12のしきい値電圧 V_{tp0} に設定することができるので、たとえば、ビット線BLからキャパシタ5への電荷の転送を制御する負のしきい値電圧を有するpチャネルトランジスタのゲートに負電圧を印加することにより、ゲート-ソース間電圧 V_{GS} をそのpチャネルトランジスタのしきい値電圧に設定する場合と異なり、負電圧を生成するための負電圧生成回路を別途設ける必要がない。このため、強誘電体メモリの回路規模を増大させることなく、pチャネルトランジスタ12のゲート-ソース間電圧 V_{GS} をpチャネルトランジスタ12のしきい値電圧 V_{tp0} に設定することができる。

【0039】

また、第2実施形態では、上記の効果以外にも製造プロセスのばらつきに関係なく、データの読み出し時において、読み出し電圧が小さくなるのを抑制することができるなどの上記第1実施形態と同様の効果を得ることができる。

【0040】

(第3実施形態)

図5は、本発明の第3実施形態による強誘電体メモリの回路構成を示した回路図である。次に、図5を参照して、本発明の第3実施形態による強誘電体メモリの回路構成について説明する。

【0041】

この第3実施形態による強誘電体メモリは、上記第1実施形態と異なり、キャパシタ5を用いたブート動作によりノードND1に負電圧を発生させる代わりに、別途設けた負電圧生成回路によって生成した負電圧をノードND1に印加するように構成されている。具体的には、第3実施形態による強誘電体メモリでは、図5に示すように、キャパシタ5の接続されたノードND1にpチャネルトランジスタ20のソースおよびドレインの一方が接続されている。また、pチャネルトランジスタ20のソースおよびドレインの他方には、別途設けた負電圧生成回路(図示せず)により生成された負電圧 V_{BB} が供給されている。なお、この第3実施形態における負電圧 V_{BB} は、上記第1実施形態と異なり、 $3V_{tp}$ (V_{tp} : pチャネルトランジスタ2、3および20のしきい値電圧)以下の一定電圧である。また、この負電圧 V_{BB} は、ノードND1とpチャネルトランジスタ2のゲートとの間に接続されたpチャネルトランジスタ3のゲートにも印加されている。また、pチャネルトランジスタ20のゲートには、制御信号/PC3が入力される。これにより、制御信号/PC3に応じてpチャネルトランジスタ20がオンした際、負電圧生成回路(図示せず)により生成された負電圧 V_{BB} がpチャネルトランジスタ20を介してノードND1に印加されるように構成されている。第3実施形態による強誘電体メモリの上記以外の構成は、上記第1実施形態による強誘電体メモリの構成と同様である。

【0042】

10

20

30

40

50

図6は、本発明の第3実施形態による強誘電体メモリのデータの読み出し動作を説明するための電圧波形図である。次に、図5および図6を参照して、本発明の第3実施形態による強誘電体メモリのデータの読み出し動作について説明する。

【0043】

この第3実施形態による強誘電体メモリでは、図6に示すように、データ読み出し動作の初期状態において、ワード線WLの電位は V_{ss} になっている。また、制御信号PCの電位は、 V_{dd} になっている。これにより、nチャネルトランジスタ4がオン状態になっている。このため、nチャネルトランジスタ4を介してビット線BLに接地電位(GND)が供給されることにより、ビット線BLの電位は V_{ss} (GND)になっている。また、pチャネルトランジスタ2のゲート電圧とノードND1の電位とは、共に、 V_{ss} になっている。この際、pチャネルトランジスタ2のゲート-ソース間電圧 V_{gs} は、約0V($> V_{tp}$)になっているので、pチャネルトランジスタ2は、オフ状態になっている。また、pチャネルトランジスタ20のゲートに入力される制御信号/PC3の電位は、 V_{dd} になっているので、pチャネルトランジスタ20はオフしている。このため、ノードND1は、フローティング状態になっている。また、pチャネルトランジスタ3のゲートおよびpチャネルトランジスタ20のドレインには、それぞれ、負電圧生成回路(図示せず)により生成された負電圧 V_{BB} が入力されている。なお、この負電圧 V_{BB} は、 $3V_{tp}$ (V_{tp} : pチャネルトランジスタ2、3および20のしきい値電圧)以上の一定電圧に設定されている。これにより、pチャネルトランジスタ3は、オン状態になっている。

【0044】

次に、第3実施形態では、pチャネルトランジスタ20のゲートに入力される制御信号/PC3の電位を V_{dd} から V_{BB} ($< 3V_{tp}$)に立ち下げる。これにより、pチャネルトランジスタ20がオンするので、負電位がpチャネルトランジスタ20を介してノードND1に供給される。これにより、キャパシタ5が充電されるとともに、ノードND1の電位が V_{ss} から低下する。この際、ノードND1の電位は、pチャネルトランジスタ20に供給される負電圧 V_{BB} ($< 3V_{tp}$)よりもpチャネルトランジスタ20のしきい値電圧 V_{tp} の絶対値分だけ高い電圧までしか低下しない。このため、ノードND1の電位は、 V_{ss} から $2V_{tp}$ 以下の負電位に低下される。

【0045】

そして、ノードND1の電位が低下するのに伴って、ノードND1にpチャネルトランジスタ3を介して繋がるpチャネルトランジスタ2のゲートの電位(ゲート電圧)も低下する。この際、pチャネルトランジスタ2のゲート電圧は、ノードND1の負電位($< 2V_{tp}$)よりもpチャネルトランジスタ3のしきい値電圧 V_{tp} の絶対値分だけ高い電圧までしか低下しない。これにより、pチャネルトランジスタ2のゲート電圧は、 V_{tp} 以下の負電圧に低下する。このとき、pチャネルトランジスタ2はオン状態になる。この後、制御信号/PC3の電位を V_{BB} から V_{dd} に立ち上げる。これにより、pチャネルトランジスタ20は、オフ状態になる。そして、pチャネルトランジスタ2がオンすることにより、nチャネルトランジスタ4と、pチャネルトランジスタ2のソースおよびドレインと、pチャネルトランジスタ3とを介して、pチャネルトランジスタ2のゲートに接地電位(GND)が供給される。これにより、pチャネルトランジスタ2のゲート電圧($< V_{tp}$)は、接地電位(GND(V_{ss}))側に上昇する。

【0046】

この際、第3実施形態では、そして、pチャネルトランジスタ2のゲート電圧がしきい値電圧 V_{tp} に達した時点で、pチャネルトランジスタ2はオフする。これにより、pチャネルトランジスタ2のゲート電圧の上昇がしきい値電圧 V_{tp} で停止される。なお、このとき、pチャネルトランジスタ2は、オン状態とオフ状態との境界状態の近傍のオフ状態に保持される。また、pチャネルトランジスタ2がオンした際、nチャネルトランジスタ4と、pチャネルトランジスタ2のソースおよびドレインとを介して、ノードND1の電位も $2V_{tp}$ 以下の負電位から上昇する。そして、pチャネルトランジスタ2のゲート

電圧がしきい値電圧 V_{tp} に達することにより p チャンネルトランジスタ 2 がオフすることによって、ノード ND 1 の電位の上昇も停止される。このとき、ノード ND 1 の電位は、 $2V_{tp}$ となる。

【0047】

この後、制御信号 PC の電位を V_{dd} から V_{ss} に立ち下げる。これにより、n チャンネルトランジスタ 4 がオフする。この際、p チャンネルトランジスタ 2 もオフしているため、ビット線 BL はフローティング状態になる。この後、ワード線 WL の電位を V_{ss} から V_{dd} に立ち上げることによってノード ND 1 に発生した電位と、参照電位とをセンスアンプ 6 により比較してデータ「0」または「1」の判別を行う。この際の第 3 実施形態による動作は、上記第 1 実施形態による動作と同様である。上記のようにして、第 3 実施形態による強誘電体メモリのデータの読み出し動作が行われる。

10

【0048】

第 3 実施形態では、製造プロセスのばらつきに関係なく、データの読み出し時において、読み出し電圧が小さくなるのを抑制することができるなどの上記第 1 実施形態と同様の効果を得ることができる。

【0049】

(第 4 実施形態)

図 7 は、本発明の第 4 実施形態による強誘電体メモリの回路構成を示した回路図である。次に、図 7 を参照して、本発明の第 4 実施形態による強誘電体メモリの回路構成について説明する。

20

【0050】

この第 4 実施形態による強誘電体メモリは、図 7 に示すように、図 1 に示した上記第 1 実施形態による強誘電体メモリの p チャンネルトランジスタ 2 および 3 と、n チャンネルトランジスタ 4 と、ソースおよびドレインが互いに接続された p チャンネルトランジスタからなるキャパシタ 5 とを、それぞれ、n チャンネルトランジスタ 3 2 および 3 3 と、p チャンネルトランジスタ 3 4 と、ソースおよびドレインが互いに接続された n チャンネルトランジスタからなるキャパシタ 3 5 とに置き換えた回路構成を有している。なお、n チャンネルトランジスタ 3 2 は、本発明の「第 1 電界効果型トランジスタ」の一例であり、n チャンネルトランジスタ 3 3 は、本発明の「第 3 電界効果型トランジスタ」の一例である。また、p チャンネルトランジスタ 3 4 は、本発明の「第 2 電界効果型トランジスタ」の一例であり、キャパシタ 3 5 は、本発明の「電荷蓄積手段」の一例である。また、第 4 実施形態による強誘電体メモリでは、n チャンネルトランジスタ 3 3 のゲートに $V_{dd} + 2V_{tn}$ (V_{tn} : n チャンネルトランジスタ 3 2 および 3 3 のしきい値電圧) 以上の一定電圧に設定された正電圧 V_{PP} が入力されている。また、p チャンネルトランジスタ 3 4 のソースには、 V_{dd} の電位が供給されているとともに、ゲートには、制御信号 / PC が入力される。また、キャパシタ 3 5 のノード ND 1 に接続された電極と反対側の電極には、制御信号 PC 2 が入力される。第 4 実施形態による強誘電体メモリの上記以外の構成は、上記第 1 実施形態による強誘電体メモリの構成と同様である。

30

【0051】

図 8 は、本発明の第 4 実施形態による強誘電体メモリのデータの読み出し動作を説明するための電圧波形図である。次に、図 7 および図 8 を参照して、本発明の第 4 実施形態による強誘電体メモリのデータの読み出し動作について説明する。

40

【0052】

この第 4 実施形態による強誘電体メモリでは、図 8 に示すように、データ読み出し動作の初期状態において、ワード線 WL およびビット線 BL の電位は、共に V_{ss} になっている。また、制御信号 / PC の電位は、 V_{dd} になっている。これにより、p チャンネルトランジスタ 3 4 は、オフ状態になっている。また、n チャンネルトランジスタ 3 2 のゲート電圧とノード ND 1 の電位とは、共に、 V_{dd} になっている。この際、n チャンネルトランジスタ 3 2 のゲート-ソース間電圧 V_{GS} は、約 0 V になっているので、n チャンネルトランジスタ 3 2 は、オフ状態になっている。このため、ノード ND 1 は、フローティング状態

50

になっている。また、制御信号PC2の電位は、 V_{ss} になっている。また、 n チャンネルトランジスタ33のゲートには、 $V_{dd} + 2V_{tn}$ (V_{tn} : n チャンネルトランジスタ32および33のしきい値電圧)以上の一定電圧に設定された正電圧 V_{PP} が入力されている。これにより、 n チャンネルトランジスタ33は、オン状態になっている。

【0053】

次に、ワード線WLおよびビット線BLの各々の電位を同時に V_{dd} に立ち上げる。この際、メモリセル1の強誘電体キャパシタ1aの2つの電極間の電位差は、 V_{ss} ($0V$)に保持されるので、強誘電体キャパシタ1aからビット線BLへのデータの読み出し(電荷の出力)は、発生しない。この後、制御信号/PCの電位を V_{ss} に立ち下げる。これにより、 p チャンネルトランジスタ34がオン状態になるので、 p チャンネルトランジスタ34を介して電位 V_{dd} がビット線BLに供給される。これにより、ビット線BLの電位は、 V_{dd} に保持される。

【0054】

次に、第4実施形態では、キャパシタ35に入力される制御信号PC2の電位を V_{ss} から V_{dd} に立ち上げる。これにより、キャパシタ35が接続されたフローティング状態のノードND1の電位は、キャパシタ35の容量によって上昇する方向にブートされる。このため、ノードND1の電位は、 V_{dd} からさらに高電位の $V_{dd} + 2V_{tn}$ 以上の電位に上昇される。そして、ノードND1の電位が上昇するのに伴って、ノードND1に n チャンネルトランジスタ33を介して繋がる n チャンネルトランジスタ32のゲートの電位(ゲート電圧)も上昇する。この際、 n チャンネルトランジスタ32のゲート電圧は、ノードND1の電位($> V_{dd} + 2V_{tn}$)よりも n チャンネルトランジスタ33のしきい値電圧 V_{tn} の分だけ低い電圧までしか上昇しない。すなわち、 n チャンネルトランジスタ32のゲート電圧は、 $V_{dd} + V_{tn}$ 以上の電圧まで上昇する。このとき、 n チャンネルトランジスタ32はオン状態になる。そして、 n チャンネルトランジスタ32がオンすることにより、 p チャンネルトランジスタ34と、 n チャンネルトランジスタ32のソースおよびドレインと、 p チャンネルトランジスタ33とを介して、 n チャンネルトランジスタ32のゲートに V_{dd} の電位が供給される。これにより、 n チャンネルトランジスタ32のゲート電圧($> V_{dd} + V_{tn}$)は、 V_{dd} 側に低下する。

【0055】

この際、第4実施形態では、 n チャンネルトランジスタ32のゲート電圧が $V_{dd} + V_{tn}$ に達した時点で、 n チャンネルトランジスタ32のゲート-ソース間電圧 V_{GS} は、 n チャンネルトランジスタ32のしきい値電圧 V_{tn} に達するので、 n チャンネルトランジスタ32はオフする。これにより、 n チャンネルトランジスタ32のゲート電圧が $V_{dd} + V_{tn}$ まで低下した時点で、そのゲート電圧の低下が停止される。なお、このとき、 n チャンネルトランジスタ32は、オン状態とオフ状態との境界状態の近傍のオフ状態に保持される。また、 n チャンネルトランジスタ32がオンした際、 p チャンネルトランジスタ34と、 n チャンネルトランジスタ32のソースおよびドレインとを介して、ノードND1の電位も $V_{dd} + 2V_{tn}$ 以上の電位から低下する。そして、 n チャンネルトランジスタ32のゲート-ソース間電圧 V_{GS} がしきい値電圧 V_{tn} に達することにより n チャンネルトランジスタ32がオフすることによって、ノードND1の電位の低下も停止される。このとき、ノードND1の電位は、 $V_{dd} + 2V_{tn}$ となる。

【0056】

この後、制御信号/PCの電位を V_{ss} から V_{dd} に立ち上げる。これにより、 p チャンネルトランジスタ34がオフする。この際、 n チャンネルトランジスタ32もオフしているので、ビット線BLはフローティング状態になる。この後、ワード線WLの電位を V_{ss} に立ち下げる。これにより、ビット線BLからワード線WL側に電流が流れることにより、メモリセル1に記憶されたデータに対応する量の負電荷が強誘電体キャパシタ1aからビット線BLに出力される。このため、ビット線BLの電位は V_{dd} から低下しようとする。この際、ビット線BLの電位がわずかに低下すると、 n チャンネルトランジスタ32のゲート-ソース間電圧 V_{GS} が n チャンネルトランジスタ32のしきい値電圧 V_{tn} 以上に

10

20

30

40

50

なるので、 n チャネルトランジスタ32はオンする。これにより、強誘電体キャパシタ1aからビット線BLに出力された負電荷が、 n チャネルトランジスタ32を介してノードND1側に転送される。このため、キャパシタ35が接続されたノードND1の電位は、 $V_{dd} + 2V_{tn}$ から低下する。一方、ビット線BLの電位は、 V_{dd} からわずかに低下した後、ノードND1から n チャネルトランジスタ32を介して正電荷が供給されることにより、その低下が打ち消されて徐々に上昇する。その結果、ビット線BLの電位は、 V_{dd} からほとんど低下されない。

【0057】

なお、ノードND1からビット線BLに供給される電荷量は、メモリセル1に記憶されたデータが「0」か「1」かによって異なる。すなわち、メモリセル1に記憶されたデータが「0」の場合は、メモリセル1に記憶されたデータが「1」の場合に比べて、ノードND1からビット線BLに供給される電荷量は少ない。したがって、メモリセル1に記憶されたデータが「0」の場合には、メモリセル1に記憶されたデータが「1」の場合に比べて、ノードND1の電位の $V_{dd} + 2V_{tn}$ からの低下量が小さくなる。この後、センスアンプ6により、ノードND1の電位と参照電位とが比較される。なお、参照電位は、データ「0」に対応するノードND1の電位とデータ「1」に対応するノードND1の電位との間に設定されている。そして、センスアンプ6により、ノードND1の電位と参照電位との電位差が増幅されるとともに、メモリセル1から読み出されたデータが「0」または「1」に判別される。この際、メモリセル1に記憶されていたデータが「0」の場合には、センスアンプ6によりノードND1の電位は上昇されるとともに、参照電位は低下される。また、メモリセル1に記憶されていたデータが「1」の場合には、センスアンプ6によりノードND1の電位は低下されるとともに、参照電位は上昇される。上記のようにして、第4実施形態による強誘電体メモリのデータの読み出し動作が行われる。

【0058】

第4実施形態では、上記のように、メモリセル1に保持されたデータに応じた電荷がキャパシタ35からビット線BLへ転送されるのを制御する n チャネルトランジスタ32を設けるとともに、 n チャネルトランジスタ32のゲート電圧を $V_{dd} + 2V_{tn}$ 以上に上昇させることにより、 n チャネルトランジスタ32がオン状態になった後、 n チャネルトランジスタ32のソースおよびドレインを介して電荷を移動させることにより n チャネルトランジスタ32のゲート電圧を $V_{dd} + 2V_{tn}$ まで低下させて、 n チャネルトランジスタ32をオフ状態にすることによって、 n チャネルトランジスタ32のゲート-ソース間電圧 V_{GS} を、その n チャネルトランジスタ32自体のしきい値電圧 V_{tn} を利用して、 n チャネルトランジスタ32のしきい値電圧 V_{tn} に設定することができる。これにより、 n チャネルトランジスタ32のゲート-ソース間電圧 V_{GS} を、正確に、 n チャネルトランジスタ32のしきい値電圧 V_{tn} に設定することができる。このため、別途設けたしきい値電圧生成回路内のトランジスタのしきい値電圧を利用して n チャネルトランジスタ32のゲート-ソース間電圧 V_{GS} をしきい値電圧 V_{tn} に設定する場合と異なり、製造プロセスのばらつきに起因して n チャネルトランジスタ32のゲート-ソース間電圧 V_{GS} を正確に n チャネルトランジスタ32のしきい値電圧 V_{tn} に設定するのが困難であるという不都合が発生するのを抑制することができる。これにより、第4実施形態による強誘電体メモリでは、製造プロセスのばらつきに関係なく、メモリセル1のデータに応じた電荷を n チャネルトランジスタ32を介して十分にキャパシタ35からビット線BLに転送することができる。その結果、製造プロセスのばらつきに関係なく、データの読み出し時において、読み出し電圧が小さくなるのを抑制することができる。

【0059】

また、第4実施形態では、 n チャネルトランジスタ32のゲート-ソース間電圧 V_{GS} を、 n チャネルトランジスタ32がオン状態とオフ状態との境界状態の近傍のオフ状態となるしきい値電圧 V_{tn} に設定することによって、データの読み出し時に、メモリセル1のデータに応じた負電荷がビット線BLに出力されてビット線BLの電位が低下する際に、 n チャネルトランジスタ32のゲート-ソース間電圧 V_{GS} が n チャネルトランジスタ

10

20

30

40

50

32のしきい値電圧 V_{tn} 以上になることにより、 n チャンネルトランジスタ32をオン状態にすることができる。この際、 n チャンネルトランジスタ32を介して、ビット線BLからキャパシタ35へ負電荷が転送されるとともに、キャパシタ35側からビット線BLへ正電荷が供給されるので、メモリセル1から出力される負電荷によるビット線BLの電位の低下を抑制することができる。これにより、同一のビット線BLに繋がる、データを読み出したメモリセル1以外の他のメモリセル1の強誘電体キャパシタ1aに、ビット線BLの低下した電位が印加されることに起因して、ディスターブ(分極状態の劣化によるデータの消失)が発生するのを抑制することができる。

【0060】

また、第4実施形態では、キャパシタ35の一方電極を n チャンネルトランジスタ32のドレインに接続するとともに、キャパシタ35により n チャンネルトランジスタ32のドレインに繋がるノードND1の電位を上昇させる方向にブートすることによって、データの読み出し前にノードND1の電位を、 n チャンネルトランジスタ32のソースに接続されたビット線BLの電位(V_{dd})よりも高い電位($>V_{dd} + 2V_{tn}$)に上昇させることができる。これにより、容易に、データの読み出し時にメモリセル1のデータに応じた負電荷をビット線BLから n チャンネルトランジスタ32を介してキャパシタ35側に転送することができる。これにより、容易に、キャパシタ35に蓄積された電荷によって生じるノードND1の電圧をメモリセル1のデータに対応させることができる。

【0061】

(第5実施形態)

図9は、本発明の第5実施形態による強誘電体メモリの回路構成を示した回路図である。次に、図9を参照して、本発明の第5実施形態による強誘電体メモリの回路構成について説明する。

【0062】

この第5実施形態による強誘電体メモリは、上記第4実施形態による強誘電体メモリと異なり、ビット線BLと、キャパシタ35およびセンスアンプ6との間に接続された n チャンネルトランジスタ42のゲートに V_{dd} の電位が印加されるように構成されている。なお、この n チャンネルトランジスタ42は、本発明の「第1電界効果型トランジスタ」の一例である。また、 n チャンネルトランジスタ42のしきい値電圧 V_{tn0} は、ほぼ0Vに設定されている。また、この第5実施形態では、 n チャンネルトランジスタ42のゲートと、キャパシタ35が接続されたノードND1とは、接続されていないとともに、図7に示した第4実施形態による強誘電体メモリのノードND1と n チャンネルトランジスタ32のゲートとの間に接続された n チャンネルトランジスタ33も設けられていない。第5実施形態による強誘電体メモリの上記以外の構成は、上記第4実施形態による強誘電体メモリの構成と同様である。

【0063】

図10は、本発明の第5実施形態による強誘電体メモリのデータの読み出し動作を説明するための電圧波形図である。次に、図9および図10を参照して、第5実施形態による強誘電体メモリのデータの読み出し動作について説明する。

【0064】

この第5実施形態による強誘電体メモリでは、図10に示すように、データ読み出し動作の初期状態において、ワード線WLおよびビット線BLの電位は、共に V_{ss} になっている。また、制御信号/PCの電位は、 V_{dd} になっている。これにより、 p チャンネルトランジスタ34は、オフ状態になっている。また、ノードND1の電位は、 V_{dd} になっている。

【0065】

また、第5実施形態では、初期状態において、 n チャンネルトランジスタ42のゲートに電位 V_{dd} が印加されている。これにより、 n チャンネルトランジスタ42のしきい値電圧 V_{tn0} がほぼ0Vに設定されていることにより、 n チャンネルトランジスタ42はオン状態とオフ状態との境界状態の近傍のオフ状態に保持されている。また、 n チャンネルトラン

10

20

30

40

50

ジスタ42がオフしていることにより、ノードND1はフローティング状態になっている。また、制御信号PC2の電位は、Vssになっている。

【0066】

次に、ワード線WLおよびビット線BLの各々の電位を同時にVddに立ち上げる。この際、メモリセル1の強誘電体キャパシタ1aの2つの電極間の電位差は、Vss(0V)に保持されるので、強誘電体キャパシタ1aからビット線BLへのデータの読み出し(電荷の出力)は、発生しない。この後、制御信号PCの電位をVssに立ち下げる。これにより、pチャネルトランジスタ34がオン状態になるので、pチャネルトランジスタ34を介して電位Vddがビット線BLに供給される。これにより、ビット線BLの電位は、Vddに保持される。

10

【0067】

次に、第5実施形態では、キャパシタ35に入力される制御信号PC2の電位をVssからVddに立ち上げる。これにより、キャパシタ35が接続されたフローティング状態のノードND1の電位は、キャパシタ35の容量によって上昇する方向にブートされる。このため、ノードND1の電位は、Vddからさらに高電位のVdd+2Vtn以上の電位に上昇される。なお、このとき、nチャネルトランジスタ42のゲートにはVddに固定された電位が印加されるとともに、ソースにはpチャネルトランジスタ34を介してVddの電位が供給されているので、nチャネルトランジスタ42のゲート-ソース間電圧Vgsは0V(=しきい値電圧Vtn0)に保持される。これにより、nチャネルトランジスタ42では、オン状態とオフ状態との境界状態の近傍のオフ状態が維持される。

20

【0068】

この後、制御信号PCの電位をVssからVddに立ち上げる。これにより、pチャネルトランジスタ34がオフする。この際、nチャネルトランジスタ42もオフしているので、ビット線BLはフローティング状態になる。この後、ワード線WLの電位をVddからVssに立ち下げることによってノードND1に発生した電位と、参照電位とをセンスアンプ6により比較してデータ「0」または「1」の判別を行う。この際の第5実施形態による動作は、上記第4実施形態による動作と同様である。上記のようにして、第5実施形態による強誘電体メモリのデータの読み出し動作が行われる。

【0069】

第5実施形態では、上記のように、データの読み出し前にキャパシタ35を用いて、nチャネルトランジスタ42のソースおよびドレインの一方が繋がるノードND1の電位をビット線BLの電位(Vdd)よりも高い電位(>Vdd+2Vtn)に上昇させることができるので、ノードND1の電位をビット線BLの電位(Vdd)よりも高い電位に上昇させる電圧を生成するための正電圧生成回路を別途設ける必要がない。これにより、データの読み出し前にノードND1の電位をビット線BLの電位(Vdd)よりも高い電位に上昇させる場合にも、強誘電体メモリの回路規模が増大するのを抑制することができる。

30

【0070】

また、第5実施形態では、メモリセル1のデータに応じた負電荷をビット線BLからキャパシタ35が接続されたノードND1へ転送するのを制御するために、しきい値電圧Vtn0がVss(0V)のnチャネルトランジスタ42を用いることによって、データの読み出し前に、ビット線BLに繋がるnチャネルトランジスタ42のソースの電位をVddにすれば、nチャネルトランジスタ42のゲートに電位Vddを印加することにより、nチャネルトランジスタ42のゲート-ソース間電圧Vgsをnチャネルトランジスタ42がオン状態とオフ状態との境界状態の近傍のオフ状態になるしきい値電圧Vtn0(0V)に設定することができる。これにより、強誘電体メモリにおいて、一般的に用いられる電位Vddを用いて、nチャネルトランジスタ42のゲート-ソース間電圧Vgsをnチャネルトランジスタ42のしきい値電圧Vtn0に設定することができるので、たとえば、ビット線BLからキャパシタ35への負電荷の転送を制御するトランジスタのゲートにVddよりも高い正電圧を印加することにより、ゲート-ソース間電圧Vgsをそのト

40

50

ランジスタのしきい値電圧に設定する場合と異なり、トランジスタのゲートに印加する V_{dd} よりも高い正電圧を生成するための正電圧生成回路を別途設ける必要がない。このため、強誘電体メモリの回路規模を増大させることなく、 n チャネルトランジスタ42のゲート-ソース間電圧 V_{GS} を n チャネルトランジスタ42のしきい値電圧 V_{tn0} に設定することができる。

【0071】

また、第5実施形態では、上記の効果以外にも、製造プロセスのばらつきに関係なく、データの読み出し時において、読み出し電圧が小さくなるのを抑制することができるなどの上記第4実施形態と同様の効果を得ることができる。

【0072】

(第6実施形態)

図11は、本発明の第6実施形態による強誘電体メモリの回路構成を示した回路図である。次に、図11を参照して、本発明の第6実施形態による強誘電体メモリの回路構成について説明する。

【0073】

この第6実施形態による強誘電体メモリは、上記第4実施形態と異なり、キャパシタ35を用いたブート動作によりノードND1にビット線BLの電位よりも高い正電位を発生させる代わりに、別途設けた正電圧生成回路によって生成した正電圧を用いて、ノードND1にビット線BLの電位よりも高い正電位を発生させるように構成されている。具体的には、第6実施形態による強誘電体メモリでは、図11に示すように、キャパシタ35の接続されたノードND1に n チャネルトランジスタ40のソースが接続されている。また、 n チャネルトランジスタ40のドレインには、別途設けた正電圧生成回路(図示せず)により生成された正電圧 V_{PP} が供給されている。なお、この第6実施形態における正電圧 V_{PP} は、上記第4実施形態と異なり、 $V_{dd} + 3V_{tn}$ (V_{tn} : n チャネルトランジスタ32、33および40のしきい値電圧)以上の一定電圧である。また、この正電圧 V_{PP} は、ノードND1と n チャネルトランジスタ32のゲートとの間に接続された n チャネルトランジスタ33のゲートにも印加されている。また、 n チャネルトランジスタ40のゲートには、制御信号PC3が入力される。これにより、制御信号PC3に応じて n チャネルトランジスタ40がオンした際に、 n チャネルトランジスタ40のドレインに供給されている正電圧 V_{PP} によって、ノードND1にビット線BLの電位よりも高い正電位が発生するように構成されている。第6実施形態による強誘電体メモリの上記以外の構成は、上記第4実施形態による強誘電体メモリの構成と同様である。

【0074】

図12は、本発明の第6実施形態による強誘電体メモリのデータの読み出し動作を説明するための電圧波形図である。次に、図11および図12を参照して、本発明の第6実施形態による強誘電体メモリのデータの読み出し動作について説明する。

【0075】

この第6実施形態による強誘電体メモリでは、図12に示すように、データ読み出し動作の初期状態において、ワード線WLおよびビット線BLの電位は、共に V_{ss} になっている。また、制御信号/PCの電位は、 V_{dd} になっている。これにより、 p チャネルトランジスタ34は、オフ状態になっている。また、 n チャネルトランジスタ32のゲート電圧とノードND1の電位とは、共に、 V_{dd} になっている。この際、 n チャネルトランジスタ32のゲート-ソース間電圧 V_{GS} は、約0Vになっているので、 n チャネルトランジスタ32は、オフ状態になっている。また、制御信号PC3の電位は、 V_{ss} になっている。これにより、 n チャネルトランジスタ40は、オフ状態になっている。このため、ノードND1は、フローティング状態になっている。また、 n チャネルトランジスタ33のゲートには、 $V_{dd} + 3V_{tn}$ (V_{tn} : n チャネルトランジスタ32、33および40のしきい値電圧)以上の一定電圧に設定された正電圧 V_{PP} が入力されている。これにより、 n チャネルトランジスタ33は、オン状態になっている。

【0076】

10

20

30

40

50

次に、ワード線WLおよびビット線BLの各々の電位を同時にV_{dd}に立ち上げる。この際、メモリセル1の強誘電体キャパシタ1aの2つの電極間の電位差は、V_{ss}(0V)に保持されるので、強誘電体キャパシタ1aからビット線BLへのデータの読み出し(電荷の出力)は、発生しない。この後、制御信号/PCの電位をV_{ss}に立ち下げる。これにより、pチャンネルトランジスタ34がオン状態になるので、pチャンネルトランジスタ34を介して電位V_{dd}がビット線BLに供給される。これにより、ビット線BLの電位は、V_{dd}に保持される。

【0077】

次に、第6実施形態では、nチャンネルトランジスタ40のゲートに入力される制御信号PC3の電位をV_{ss}からV_{PP}($> V_{dd} + 3V_{tn}$)に立ち上げる。これにより、nチャンネルトランジスタ40がオンするので、正電位がnチャンネルトランジスタ40を介してノードND1に供給される。これにより、キャパシタ35が充電されるとともに、ノードND1の電位がV_{dd}から上昇する。この際、ノードND1の電位は、nチャンネルトランジスタ40に供給される正電圧V_{PP}($> V_{dd} + 3V_{tn}$)よりもnチャンネルトランジスタ40のしきい値電圧V_{tn}の分低い電位までしか上昇しない。このため、ノードND1の電位は、V_{dd}からV_{dd}+2V_{tn}以上の正電位に上昇される。

【0078】

そして、ノードND1の電位が上昇するのに伴って、ノードND1にnチャンネルトランジスタ33を介して繋がるnチャンネルトランジスタ32のゲートの電位(ゲート電圧)も上昇する。この際、nチャンネルトランジスタ32のゲート電圧は、ノードND1の正電位($> V_{dd} + 2V_{tn}$)よりもnチャンネルトランジスタ33のしきい値電圧V_{tn}の分低い電位までしか上昇しない。これにより、nチャンネルトランジスタ32のゲート電圧は、V_{dd}+V_{tn}以上の正電圧に上昇する。このとき、nチャンネルトランジスタ32はオン状態になる。この後、制御信号PC3の電位をV_{PP}からV_{ss}に立ち下げる。これにより、nチャンネルトランジスタ40は、オフ状態になる。そして、nチャンネルトランジスタ32がオンすることにより、pチャンネルトランジスタ34と、nチャンネルトランジスタ32のソースおよびドレインと、pチャンネルトランジスタ33とを介して、nチャンネルトランジスタ32のゲートにV_{dd}の電位が供給される。これにより、nチャンネルトランジスタ32のゲート電圧($> V_{dd} + V_{tn}$)は、V_{dd}側に低下する。

【0079】

この際、第6実施形態では、nチャンネルトランジスタ32のゲート電圧がV_{dd}+V_{tn}に達した時点で、nチャンネルトランジスタ32のゲート-ソース間電圧V_{gs}がしきい値電圧V_{tn}に達するので、nチャンネルトランジスタ32はオフする。これにより、nチャンネルトランジスタ32のゲート電圧がV_{dd}+V_{tn}まで低下した時点で、そのゲート電圧の低下が停止される。なお、このとき、nチャンネルトランジスタ32は、オン状態とオフ状態との境界状態の近傍のオフ状態に保持される。また、nチャンネルトランジスタ32がオンした際、pチャンネルトランジスタ34とnチャンネルトランジスタ32のソースおよびドレインとを介して供給される電位V_{dd}により、ノードND1の電位もV_{dd}+2V_{tn}以上の電位から低下する。そして、nチャンネルトランジスタ32のゲート-ソース間電圧V_{gs}がしきい値電圧V_{tn}に達することによりnチャンネルトランジスタ32がオフすることによって、ノードND1の電位の低下も停止される。このとき、ノードND1の電位は、V_{dd}+2V_{tn}となる。

【0080】

この後、制御信号/PCの電位をV_{ss}からV_{dd}に立ち上げる。これにより、pチャンネルトランジスタ34がオフする。この際、nチャンネルトランジスタ32もオフしているので、ビット線BLはフローティング状態になる。この後、ワード線WLの電位をV_{dd}からV_{ss}に立ち下げることによってノードND1に発生した電位と、参照電位とをセンスアンプ6により比較してデータ「0」または「1」の判別を行う。この際の第6実施形態による動作は、上記第4実施形態による動作と同様である。上記のようにして、第6実施形態による強誘電体メモリのデータの読み出し動作が行われる。

10

20

30

40

50

【0081】

第6実施形態では、製造プロセスのばらつきに関係なく、データの読み出し時において、読み出し電圧が小さくなるのを抑制することができるなどの上記第4実施形態と同様の効果を得ることができる。

【0082】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0083】

たとえば、上記実施形態では、本発明を適用するメモリの一例としての強誘電体メモリについて説明したが、本発明はこれに限らず、強誘電体メモリ以外の種々のメモリに対して本発明を適用することができる。

【図面の簡単な説明】

【0084】

【図1】本発明の第1実施形態による強誘電体メモリの回路構成を示した回路図である。

【図2】本発明の第1実施形態による強誘電体メモリのデータの読み出し動作を説明するための電圧波形図である。

【図3】本発明の第2実施形態による強誘電体メモリの回路構成を示した回路図である。

【図4】本発明の第2実施形態による強誘電体メモリのデータの読み出し動作を説明するための電圧波形図である。

【図5】本発明の第3実施形態による強誘電体メモリの回路構成を示した回路図である。

【図6】本発明の第3実施形態による強誘電体メモリのデータの読み出し動作を説明するための電圧波形図である。

【図7】本発明の第4実施形態による強誘電体メモリの回路構成を示した回路図である。

【図8】本発明の第4実施形態による強誘電体メモリのデータの読み出し動作を説明するための電圧波形図である。

【図9】本発明の第5実施形態による強誘電体メモリの回路構成を示した回路図である。

【図10】本発明の第5実施形態による強誘電体メモリのデータの読み出し動作を説明するための電圧波形図である。

【図11】本発明の第6実施形態による強誘電体メモリの回路構成を示した回路図である。

【図12】本発明の第6実施形態による強誘電体メモリのデータの読み出し動作を説明するための電圧波形図である。

【符号の説明】

【0085】

1 メモリセル

1 a 強誘電体キャパシタ

2 pチャネルトランジスタ(第1電界効果型トランジスタ)

3 pチャネルトランジスタ(第3電界効果型トランジスタ)

4 nチャネルトランジスタ(第2電界効果型トランジスタ)

5 キャパシタ(電荷蓄積手段)

6 センズアンプ(データ判別手段)

3 2 nチャネルトランジスタ(第1電界効果型トランジスタ)

3 3 nチャネルトランジスタ(第3電界効果型トランジスタ)

3 4 pチャネルトランジスタ(第2電界効果型トランジスタ)

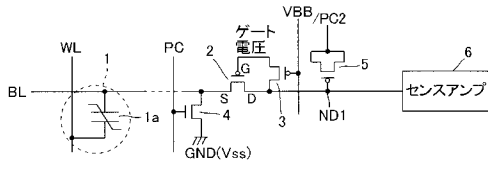
10

20

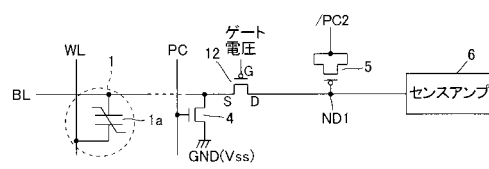
30

40

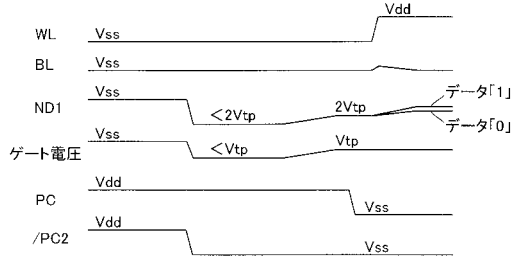
【 図 1 】



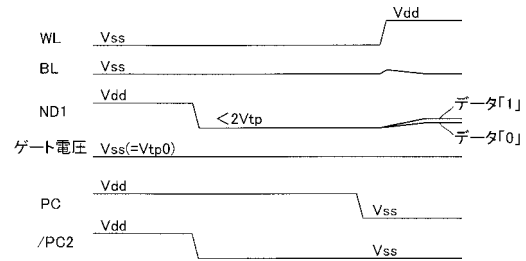
【 図 3 】



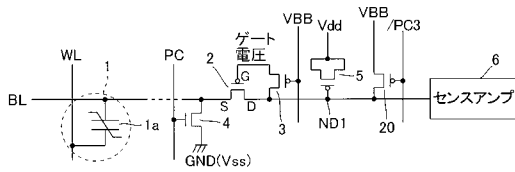
【 図 2 】



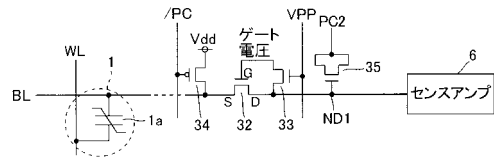
【 図 4 】



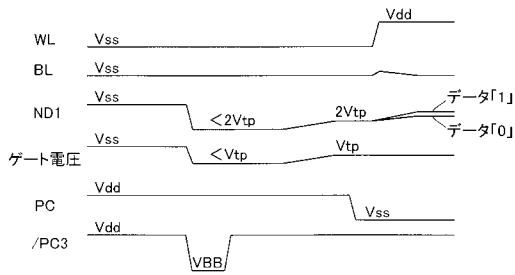
【 図 5 】



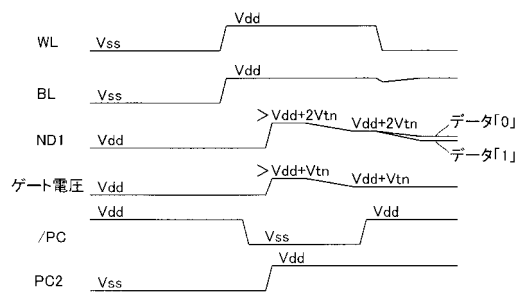
【 図 7 】



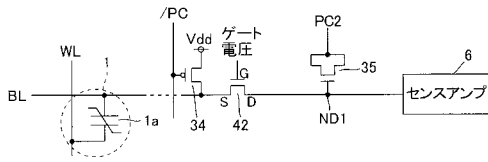
【 図 6 】



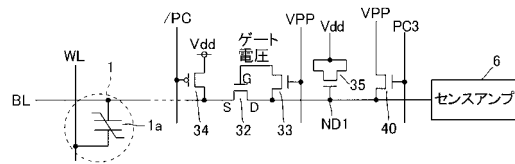
【 図 8 】



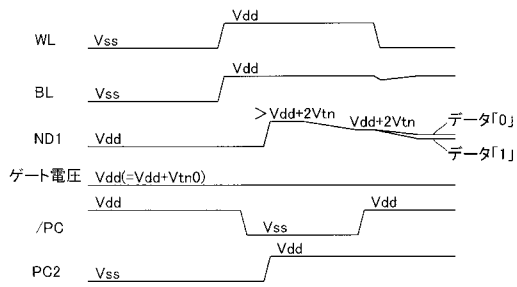
【 図 9 】



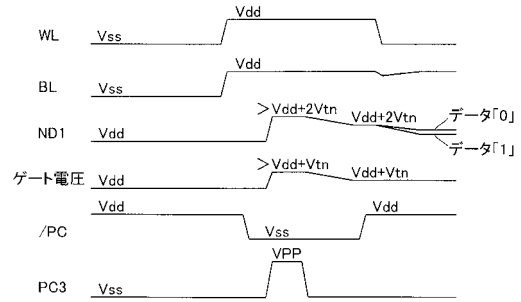
【 図 1 1 】



【 図 1 0 】



【 図 1 2 】



フロントページの続き

(72)発明者 松下 重治

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内