(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2008-541320
(P2008-541320A)
(43)公表日　平成20年11月20日(2008.11.20)

(51)Int.Cl.		F I			テーマコード（参考）
G11B 20/14	(2006.01)	G11B	20/14	341B	5D044
G11B 7/005	(2006.01)	G11B	20/14	351A	5D090
		G11B	7/005	B	

審査請求 未請求　予備審査請求 未請求　（全 15 頁）

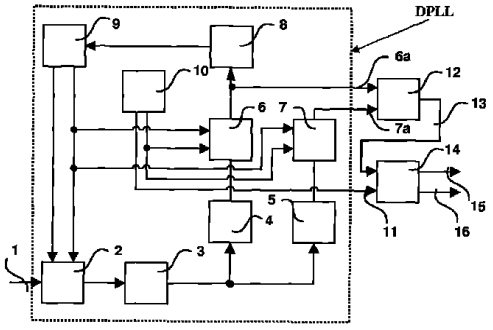
(21)出願番号　特願2008-505862 (P2008-505862)
(86)(22)出願日　平成18年4月4日 (2006.4.4)
(85)翻訳文提出日　平成19年12月11日 (2007.12.11)
(86)国際出願番号　PCT/EP2006/061305
(87)国際公開番号　WO2006/108777
(87)国際公開日　平成18年10月19日 (2006.10.19)
(31)優先権主張番号　05008160.3
(32)優先日　平成17年4月14日 (2005.4.14)
(33)優先権主張国　欧州特許庁 (EP)

(71)出願人　501263810
トムソン　ライセンシング
Ｔｈｏｍｓｏｎ　Ｌｉｃｅｎｓｉｎｇ
フランス国，　エフ－９２１００　ブローニュ　ビヤンクール，　ケ　アルフォンス　ル　ガロ，　４６番地
４６　Ｑｕａｉ　Ａ．　Ｌｅ　Ｇａｌｌｏ，　Ｆ－９２１００　Ｂｏｕｌｏｇｎｅ－Ｂｉｌｌａｎｃｏｕｒｔ，　Ｆｒａｎｃｅ
(74)代理人　100074930
弁理士　山本　恵一
(74)代理人　100131886
弁理士　坂本　隆志

最終頁に続く

(54)【発明の名称】周波数変調信号から２値ＤＣフリー符号を再生する方法及び構成

(57)【要約】
【課題】本発明は、周波数変調信号のいかなるアナログ信号復調なしに、周波数変調信号から２値ＤＣフリー符号を再生する方法及び構成に関する。特に、本発明は、例えば光記録媒体の高速記録に必要とされる、劣化ウォブルチャネルのＡＴＩＰバイフェーズチャネルビットとタイミングの再生に関する。
【解決手段】構成は、デジタル位相ロックループ（ＤＰＬＬ）を含み、位相検出器（１２）は位相トレリスを使用し、最尤検出が、バイフェーズチャネルビット信号（１６）及びバイフェーズクロック信号（１５）を供給するために位相トレリスに適用され、バイフェーズクロック信号（１５）は、２値符号を再生するために、バイフェーズチャネルビット信号（１６）のサンプリング点と合っている。本発明は、例えばモデム又は無線データ通信システムの様な周波数変調に基づく他のデータ伝送システムにも適用できる。
【選択図】図３



【特許請求の範囲】
【請求項１】
周波数変調信号（１）から周波数変調された２値ＤＣフリー符号を再生するための構成であって、
アナログ／デジタル変換された周波数変調信号（１）の同相検出器信号（７ａ）を供給する第１の位相検出器、及び、直交位相検出器信号（６ａ）を供給する第２の位相検出器を含むデジタル位相ロックループ（ＤＰＬＬ）に供給するアナログ／デジタル変換コンバータ（ＡＤＣ）と、
前記同相検出器信号（７ａ）と前記直交位相検出器信号（６ａ）間の位相シフトを検出する第３の位相検出器（１２）と、
前記２値符号再生用の、バイフェーズチャネルビット信号（１６）、及び、バイフェーズチャネルビット信号（１６）のサンプリング点に合っているバイフェーズクロック信号（１５）を供給するために、前記第３の位相検出器（１２）及び前記デジタル位相ロックループ（ＤＰＬＬ）のストローブ信号（１１）出力に共に接続されている、バイフェーズクロック生成器（ＢＣＧ）及びバイフェーズチャネルビット検出器（ＢＣＤ）と、
を備えている構成。
【請求項２】
前記第３の位相検出器（１２）は、前記同相検出器信号（７ａ）及び前記直交位相検出器信号（６ａ）から、位相トレリス信号（１３）を生成するためのステートマシン（ＳＴＭ）である、
請求項１に記載の構成。
【請求項３】
デジタル位相ロックループ（ＤＰＬＬ）の前記ストローブ信号（１１）出力は、前記デジタル位相ロックループ（ＤＰＬＬ）のウォブル位相カウンタ（１０）の出力である、
請求項１に記載の構成。
【請求項４】
バイフェーズチャネルビット検出器（ＢＣＤ）は、比較器（２２）に接続されている整合フィルタ（２０、２１）を含み、前記比較器は、バイフェーズチャネルビット信号（１６）のビット長を再生するために、整合フィルタ（２０、２１）の出力を、前記第３の位相検出器（１２）によって供給される位相トレリスの極性と比較する、
請求項１に記載の構成。
【請求項５】
バイフェーズクロック生成器（ＢＣＧ）は、整合フィルタ（２３）と、位相誤差検出器（２４）と、位相誤差アキュムレータ（２５）と、閾値検出器（２６）と、パルス生成器（２７）の直列接続を有し、
前記パルス発生器（２７）は、インパルスを生成する前記閾値検出器（２６）によって制御され、
前記インパルスは、バイフェーズクロック信号（１５）を供給するためのパルス生成器（２７）の位相をシフトし、
前記バイフェーズクロック信号（１５）は、前記２値符号を再生するため、バイフェーズチャネルビット信号（１６）のサンプリング点に合っている、
請求項１に記載の構成。
【請求項６】
アナログ／デジタル変換器（ＡＤＣ）は、アナログウォブル信号（ａＷＳ）から変換された周波数変調信号（１）を供給する、
請求項１に記載の構成。
【請求項７】
周波数変調信号（１）から周波数変調された２値ＤＣフリー符号を再生する方法であって、
周波数変調信号（１）をアナログ／デジタル変換するステップと、

デジタル位相ロックループ（ＤＰＬＬ）を使用し、アナログ／デジタル変換された周波数変調信号（１）の同相検出器信号（７ａ）及び直交位相検出器信号（６ａ）を生成するステップと、

前記同相検出器信号（７ａ）及び前記直交位相検出器信号（６ａ）から位相トレリスを形成するステップと、

バイフェーズチャネルビット信号（１６）及びクロック位相誤差信号（２５ａ）を供給するために、整合フィルタ（２１、２２、２３）を用いて最尤検出を位相トレリスに適用するステップであって、前記クロック位相誤差信号（２５ａ）は、バイフェーズクロック信号（１５）を供給するためのパルス生成器（２７）の位相をシフトし、前記バイフェーズクロック信号（１５）は、前記２値符号を再生するために前記バイフェーズチャネルビット信号（１６）に対するサンプリング点と合っている、ステップと、

を含む方法。

【請求項８】

整合フィルタ（２１、２２、２３）を用いて最尤検出を位相トレリスに適用する前記ステップは、前の位相トレリス値が次のものよりも小さい場合、バイフェーズチャネルビット信号（１６）の値１が供給され、前の位相トレリス値が大きい場合、バイフェーズチャネルビット信号（１６）の値０が供給されること、及び、バイフェーズクロック信号（１５）がバイフェーズチャネルビット信号（１６）に合っている場合、クロック位相誤差信号（２５ａ）が０であることを確実にするため、補間された位相トレリス値（１９ａ）の供給に続く位相トレリス値の各々の間の補間を、更に含む、

請求項７に記載の方法。

【請求項９】

±２π位相検出器（１２）が、前記位相トレリス生成に使用される、

請求項７に記載の方法。

【請求項１０】

前記２値ＤＣフリー符号は、周波数変調信号（１）にＡＴＩＰ情報を含み、周波数変調信号（１）は、光記録媒体から読み出されたアナログウォブル信号（ａＷＳ）から変換されたものである、

請求項７に記載の方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、低コストで、周波数変調信号のアナログ信号復調なしに、周波数変調信号から２値ＤＣフリー符号を再生する方法及び構成に関する。周波数変調信号に含まれる２値ＤＣフリー符号は、例えば、ＣＤ－ＲやＣＤ－ＲＷの様な、書き込み可能な光記録媒体のグルーブとしてエンボス加工された、例えば、いわゆるＡＴＩＰウォブル信号である。よって、本発明は、より詳細には、例えば光記録媒体への高速書き込みに必要な、劣化したウォブルチャネルのＡＴＩＰバイフェーズチャネルビット及びタイミング再生に関する。

【背景技術】

【０００２】

ＤＣフリー符号は、デジタル通信や、磁気又は光記録システムにおいて広く使用されている。ＤＣフリーは、符号化シーケンスがＤＣスペクトル成分を含まないことを意味している。信号のＤＣ成分は、ある時間間隔での平均電圧又は積分値である。ＭＳＮ（Ｍａｔｃｈｅｄ　Ｓｐｅｃｔｒａｌ　Ｎｕｌｌ）符号とも呼ばれる、周波数ゼロで、スペクトルがゼロの２値シーケンスは、通信及び記録システムにおいて広範囲な用途が見出されており、周波数変調信号をサンプリング及びラッチングし、所定のカウント値を、高周波クロック及び周波数変調信号から抽出したカウント値とデジタル的に比較することによって、２値符号を含む周波数変調信号を復調することはよく知られており、これには、通常、周波数変調アナログ信号の中心周波数のアナログ信号復調が必要である。そのような方法は、例えば、特許文献１に開示されている。前記方法の欠点は、デジタル位相ロックループ

に加えて、バイフェーズ変換器及び位相ロックループによるアナログ信号復調が必要なことと、高速用途では、高速カウンタに必要な分解能を与えるために、周波数クロックを増加しなければならないことである。それは、不利なことには、アナログ及びデジタル手段を、集積回路に実装しなければならないこと、開示された方法は、高周波のウォブル周波数信号のクロック周期変動を修正するのに必要な分解能を与えるために、非常に高いサンプル周波数を必要とすることを意味する。さらに、前記方法は、ノイズのみならず周波数変調信号のジッタに対してもあまり耐性がない。

【０００３】

【特許文献１】米国特許第５５０６８２４号明細書

【発明の開示】

【発明が解決しようとする課題】

【０００４】

本発明の目的は、低コストで、高速用途用に、デジタル手段のみで、周波数変調アナログ信号から２値ＤＣフリー符号を、デジタル再生する方法及び構成を提供することである。

【課題を解決するための手段】

【０００５】

これは、内部に２値ＤＣフリー符号を有する周波数変調アナログ信号のアナログデジタル変換と、ビット及びタイミング再生のためのデジタル位相ロックループ及び位相トレリスの使用により実現される。デジタル位相ロックループの使用により生じる誤差信号は、復調のための位相トレリスの使用により除去される。位相シフトは、位相トレリスの生成に使用され、デジタル位相ロックループのウォブル位相カウンタからのストローブ信号と、位相トレリス信号との組合せは、周波数変調アナログ信号に含まれる２値ＤＣフリー符号のビット及びタイミング再生に使用される。デジタル位相ロックループは、バイフェーズ信号及びクロック検出のための位相トレリスとの関連づけと同時に、クロック及びタイミング再生に、それぞれ、２回使用され、それにより低コストになる。デジタル位相ロックループのウォブル位相カウンタからのストローブ信号と、位相トレリス信号との組合せは、ビット長を再生するバイフェーズチャネルビット検出器を含み、タイミング及びバイフェーズクロックをそれぞれ再生するバイフェーズクロック生成器を含む。したがって、最尤検出が位相トレリスに適用される。

【０００６】

バイフェーズクロックの周波数を増加させるための周波数分周器と、周波数変調アナログ信号の中心周波数を復調するためのアナログ位相ロックループは、必要ではなく、それにより、本発明の方法及び対応する構成は、例えば、ＣＤ－ＲやＣＤ－ＲＷの様な、高速記録光ディスク媒体等の高速用途に有利に適用できる。デジタル手段だけが使用されるので、集積回路のデジタル環境において、構成の実現は簡単になる。

【０００７】

本発明をよりよく理解するために、以下では、例示的な実施形態について詳述する。本発明は、本発明の使用に関するこの例示的な実施形態に限定されるものではなく、詳述された特徴は、本発明の範囲を逸脱することなく適宜に組み合わせることができ、変更することもできるものである。

【０００８】

本発明の特定の好ましい実施形態において、本発明の主旨は、例えばＣＤ－ＲやＣＤ－ＲＷのような記録用光ディスク媒体で必要とされる、光ディスクのエンボス加工されたウォブル・グルーブからのいわゆるＡＴＩＰ情報を検出するのに使用される。ＡＴＩＰという略称はプリグルーブの絶対時間を意味し、それはディスクの現在位置を確定するための時間符号情報を含んでいる。ＡＴＩＰ時間符号信号のデジタル変調は、内部に２値ＤＣフリー符号を有する周波数変調アナログ信号によって表されるキャリア周波数のバイフェーズマーク変調により実現される。本発明によれば、ウォブル周波数変調信号は、ＡＴＩＰバイフェーズマークチャネルビット及びバイフェーズクロック信号を再生するために、直

交位相検出器を含むデジタル位相ロックループを使用することによって抽出される。直交位相検出器信号は、位相トレリス線図を生成するために使用される。位相トレリスは復調に使用され、その結果、前記復調によって引き起こされる誤差信号がフィルタで除去されるようになり、それにより１ウォブル信号周期より大きい期間での位相偏移範囲をもつ２値ＤＣフリー符号を再生するのに従来必要とされていた第２の位相ロックループの必要性と、増加クロック信号の使用が避けられる。バイフェーズチャネルビット信号及びクロック位相誤差信号を供給するために、整合フィルタを用いた最尤検出が位相トレリスに適用され、クロック位相誤差信号は、前記２値符号再生用の、バイフェーズチャネルビット信号に対するサンプリング点と合っているバイフェーズクロック信号を供給するために、パルス生成器の位相をシフトする。

【０００９】

更に、既存の解決策によるデータとキャリア周波数との比較のための増加したクロック信号を必要しないため、本解決策は高速記録用光媒体に有利に適用でき、ノイズ除去も改善される。本発明は、前記特徴により、伝送された周波数変調アナログ信号からの２値ＤＣフリー符号の再生に一般的に適用でき、また、例えばモデム又は無線データ通信システムのような周波数変調に基づいた他のデータ伝送システムにも適用できる。

【００１０】

本発明の特定の性質と、本発明の他の目的、利点、特徴及び用途は、図面を用いた好ましい実施形態についての以下の記述から明らかになる。

【発明を実施するための最良の形態】

【００１１】

異なる図面における同じ参照符号の使用は、同様の要素又は総ての要素を示す。

【００１２】

図１は、０．２から０．５０ＭＨｚの周波数範囲内における、－４０デシベル（ｄＢ）未満の全高調波歪を有する、１６倍の記録速度でのＡＴＩＰウォブル信号の拡散したスペクトラムを示す図である。内部に２値ＤＣフリー符号を有するその様な周波数変調アナログ信号を、本発明のより詳細な説明に使用する。

【００１３】

ＡＴＩＰウォブル信号は、書き込み可能なＣＤ－Ｒ及びＣＤ－ＲＷ媒体のグルーブとしてエンボス加工されている。ＡＴＩＰウォブル信号は周波数変調信号であり、変調された時間符号は、ディスク媒体の全体にわたって単調に増加する。キャリア周波数とも呼ばれるＡＴＩＰウォブル信号の中心周波数は、２２．０５ｋＨｚであり、チャネルビット１に対する偏移は＋１ｋＨｚ±１０％、チャネルビット０に対する偏移は－１ｋＨｚ±１０％である。したがって、ＡＴＩＰウォブルチャネルの拡散したスペクトラムは、図１の様になる。ＡＴＩＰ時間符号信号のデジタル変調は、バイフェーズマーク変調によって実現される。図２は、バイフェーズマークの状態図である。図２の表は、バイフェーズマーク変調規則であり、ｘは、０又は１のどちらでもよいことを意味しており、前のチャネルビットがｘ０又はｘ１であり、チャネルビットｃｂとして１１又は００が生じた場合、データビットｄｂの０が符号化され、前のチャネルビットがｘ０又はｘ１であり、チャネルビットｃｂとして１０又は０１が生じた場合、データビットｄｂの１が符号化されることを意味している。ＡＴＩＰフレームの同期符号は、バイフェーズマーク変調規則違反により実現される。８個の同期チャネルビットは、前のチャネルビットが０である場合、１１１０１０００であり、前のチャネルビットが１である場合、０００１０１１１である。１つのＡＴＩＰフレームの時間は、記録チャネルの、１つのサブ符号フレームと同じ時間である。したがって、ＡＴＩＰフレームの内容は、記録チャネルのデータ内容と直接関係がある。ウォブル周波数及びＡＴＩＰバイフェーズクロックは、単一速度で記録するための４４．１ｋＨｚのクロックを有する同じ周波数源から抽出される。チャネルビット周期は、３．５ウォブル周期であり、それは６３００ビット／秒を意味する。ＡＴＩＰ信号の最高周波数偏移は、３つのバイフェーズチャネルビットを含むＡＴＩＰフレームの同期パターンによって生成される。したがって、３つのバイフェーズチャネルビットに渡る最大周波数

偏移は、１１．５５ｋＨｚであり、それは２２．０５ｋＨｚウォブルの半分の周期と相関がある。

【００１４】

光学媒体への書き込みのため、ウォブル周波数、バイフェーズクロック及びバイフェーズマークチャネルビット信号は、周波数変調アナログ信号から抽出されなければならない。ウォブル周波数の再生は、光記録にとって特定の要件であるが、バイフェーズチャネルビット信号１６と、バイフェーズチャネルビット信号１６に対するサンプリング点と合っているバイフェーズクロック信号１５の再生は、周波数変調信号から２値符号を再生するために十分である。

【００１５】

これは、本発明によると、図１２に示す様に、アナログ／デジタル変換器ＡＤＣと、デジタル位相ロックループＤＰＬＬと、ステートマシンＳＴＭと、バイフェーズチャネルビット検出器ＢＣＤ及びバイフェーズクロック生成器ＢＣＧを含むＡＴＩＰ検出器１４とを備えている装置によって実行される。アナログウォブル信号ａＷＳは、アナログ／デジタル変換器ＡＤＣに加えられ、アナログ／デジタル変換器ＡＤＣは、ある種の連続位相周波数シフトキーイング信号であるデジタルウォブル信号１を出力する。デジタルウォブル信号１は、±２πの範囲、つまり全部で４πの範囲の位相検出に使用するステートマシンＳＴＭに供給するデジタル位相ロックループＤＰＬＬに加えられる。ステートマシンＳＴＭは、バイフェーズクロック生成器ＢＣＧ及びバイフェーズチャネルビット検出器ＢＣＤにおいてバイフェーズ検出に使用される位相トレリス信号１３を出力する。バイフェーズクロック生成器ＢＣＧ及びバイフェーズチャネルビット検出器ＢＣＤは、アナログウォブル信号ａＷＳ内の２値符号のバイフェーズチャネルビット１６及びバイフェーズクロック１５の両方を再生するための、いわゆるＡＴＩＰ検出器１４を形成する。クロック検出及びバイフェーズ信号検出の両方に使用する位相トレリスに関連づけした有利な方法の、デジタル位相ロックループＤＰＬＬのより詳細を、図３に示す。入力デジタルウォブル信号１は、ポリフェーズフィルタ２に加えられ、その後に、スライサ３が続き、スライサ３は、第１及び第２の位相検出器に供給する。ポリフェーズフィルタ２は、デジタルウォブル信号１を、適切なチャネルビットクロックサンプルへと補間する５タップのポリフェーズフィルタ２であり、スライサ３は、ポリフェーズフィルタ２の出力のＤＣオフセットを遮断する、２５０Ｈｚから２ｋＨｚの帯域幅をもつ可変自動スライサ３である。

【００１６】

第１の位相検出器は、第１の乗算器４と、第１の積分ダンプ回路６を備えている。積分ダンプ回路６は、第１の乗算器４に適用されて、入力デジタルウォブル信号１と、局所的に生成したウォブル周波数の正弦波との相関を取る相関器を形成する。したがって、デジタルウォブル信号１は、第１の乗算器４で正弦波信号と乗ぜられ、デジタル時間発振器９及びウォブル位相カウンタ１０からの出力信号も受信する、積分ダンプ回路６に加えられる。ウォブル位相カウンタ１０は、局所的に再生されたウォブル周波数の位相に対応するデジタルランプを生成し、デジタルランプは、積分ダンプ回路６のｃｏｓ　ＬＵＴの入力として使用される。ｃｏｓ　ＬＵＴは、余弦ルックアップテーブルを意味する。第１の位相検出器は、デジタル位相ロックループＤＰＬＬのフィルタ８に接続された、直交位相検出器を形成する。フィルタ８の出力は、その２つの出力でポリフェーズフィルタ２を制御するデジタル時間発振器９に加えられる。第１の位相検出器内における相関器の使用は、高いノイズ除去という利点を有する。デジタル位相ロックループＤＰＬＬのデジタル時間発振器９は、入力ウォブル信号１のチャネルビットクロックにロックする剰余カウンタである。ウォブル位相カウンタ１０は、開始時と、デジタルランプの半分の所で、ストローブ信号１１も生成し、その結果、ストローブ信号１１は、ウォブル周波数の２倍を意味する４４．１ｋＨｚの信号のポジティブゼロ交差点を示す。デジタル位相ロックループＤＰＬＬで生成される局所的ウォブルは、９０度の位相差の２つの信号を意味する直交とも呼ばれるπ／２の位相シフトを有する。デジタル時間発振器９の増加は、第１の位相検出器である直交位相検出器のフィルタ８によって適合される。

【００１７】
第２の乗算器５及び第２の積分ダンプ回路７によって形成される第２の位相検出器は、同様に、局所的に生成された正弦波と入力ウォブル信号１との乗算であり、第１の乗算器４と比較して９０度の位相差の位相シフトがある、同相の局所ウォブル信号を生成する。第２の位相検出器は、同相検出器であり、同様に、１ＡＴＩＰウォブル周期に渡り、乗算の結果を積分しダンプする。
【００１８】
同相及び直交位相検出器は、±π／２、つまり、１８０度の範囲の位相シフトのみを検出するが、位相は同期位置において±πシフトし、±２π位相検出器といったものを必要とする。第１及び第２の位相検出器の、同相及び直交位相信号が供給されるステートマシンＳＴＭが、この問題を解決する。ステートマシンＳＴＭは、第３の位相検出器１２として動作する。同相及び直交位相検出器信号は、図５に示す位相トレリス図を形成するために使用され、最尤検出器での位相トレリス法が使用される。３つの位相検出器の出力信号を、図４に示す。図４は、位相軸Ｐに対しての、３つの位相検出器間の位相関係を示している。図３の第１の積分ダンプ回路６を含む第１の位相検出器の出力信号である直交位相信号６ａの振幅Ａを、図４の上側に示す。図３の第２の積分ダンプ回路７を含む第２の位相検出器の出力信号である同相信号７ａの振幅Ａを、図４の中央に示す。図４の下側は、３つの図すべてに一律に使用される位相軸Ｐに対する、ステートマシンＳＴＭの出力の拡大された振幅ｅＡを示している。第３の位相検出器１２の位相は、４つのπ／２の間隔でシフトするので、－４から＋４の範囲の拡大された振幅ｅＡが使用される。位相軸Ｐは、０度の位相偏移を有する直交位相信号６ａのゼロ交差点までの距離において、同相信号７ａ又は直交位相信号６ａのゼロ交差点により５つの状態ｓｔ１からｓｔ５に分割される。バイフェーズマーク変調の位相トレリス信号１３の算術平均値は、定義に従って０であり、その結果、デジタル位相ロックループＤＰＬＬは、ＡＴＩＰウォブル信号の中心周波数にロックする。図１１に示される状態表は、±２π位相検出器の状態遷移を示している。±２π位相検出器は、ステートマシンＳＴＭと共に構築され、ステートマシンＳＴＭは、図４に示す同相信号７ａ又は直交位相信号６ａのゼロ交差点で状態を変更する。図１１の状態表は、時点ｔ（ｎ）における、時点ｔ（ｎ）に先立つ時点ｔ（ｎ－１）からの状態変更又は同じ状態ｓｔでの直交位相信号６ａ及び同相信号７ａの極性ｐｏｌを示している。ステートマシンＳＴＭは、図４の上側に示す直交位相信号６ａ及び同相信号７ａから抽出する、図４の下側の拡大された振幅ｅＡとして示す位相トレリス信号１３を生成する。±１ｋＨｚの周波数偏移、６．３ｋＨｚのシンボル周波数及び２２．０５ｋＨｚのキャリア周波数を有するバイフェーズマーク符号の位相トレリスを図５に示す。図５は、バイフェーズマークシンボル周期ＢＰＭＳＤに対する位相トレリス信号振幅ＰＴＳＡを示しており、１Ｔは１ウォブル周期に対応する。１ウォブル周期中の位相シフトを表す（７／２２）πの位相トレリス信号振幅ＰＴＳＡの値は、ウォブル周波数が、バイフェーズマークシンボルの１に対して２３．０５ｋＨｚに変更され、バイフェーズマークシンボルの０に対して２１．０５ｋＨｚに変更されることに起因する。バイフェーズマークシンボルは１／（６３００Ｈｚ）の期間を有し、それはバイフェーズマークシンボルが３．５ウォブル周期に相当することを意味する。変調信号とバイフェーズマークシンボル間隔の２２．０５ｋＨｚの一定中心周波数との間の位相シフトは、結果、１に対して（１ｋＨｚ／２２．０５ｋＨｚ）×３．５×２×π＝約（７／２２）π、０に対して（－１ｋＨｚ／２２．０５ｋＨｚ）×３．５×２×π＝約－（７／２２）πである。バイフェーズマークデータストリームの同期間隔においては、１Ｔ、２Ｔ及び３Ｔの期間しか生じないため、図５に示す様に、最大の位相トレリス信号振幅ＰＴＳＡの値は±（２１／２２）πとなる。
【００１９】
ＡＴＩＰ検出器１４の詳細を、図６に示す。ＡＴＩＰ検出器１４は、バイフェーズチャネルビット検出器ＢＣＤと、バイフェーズクロック再生回路ＢＣＧを備えている。バイフェーズチャネルビット検出器ＢＣＤは、ＡＴＩＰウォブル信号のバイフェーズチャネルビット１６を検出するため、位相トレリス法を使用する。±２π位相検出器１２によって供

給される入力位相トレリス信号１３は、まず補間器１９によって補間される。ウォブル位相カウンタ１０によって生成される４４．１ｋＨｚのストローブ信号１１が、補間のために使用され、補間された位相トレリス信号１９ａが、伝達関数Ｈ（ｚ）＝１－ｚ$^{-7}$の整合フィルタに加えられる。整合フィルタは、遅延線２０と加算器２１で構成される。フィルタは、１つのバイフェーズチャネルビットの４４．１ｋＨｚ周期の７倍に整合されており、整合フィルタに適用される比較器２２は、整合フィルタの出力を、極性と比較することによって、位相トレリスの傾斜を検査する。補間ステージの現在値と前の値との差が、０より小さくなる場合、伝達関数Ｈ（ｚ）＝１－ｚ$^{-7}$は、０を出力するために利用される。図７は、比較器２２によって与えられる、検出されたバイフェーズチャネルビット信号１６と、標準化されたフィルタ済み整合フィルタ出力信号２１ａと、標準化された補間位相トレリス信号１９ａを、１つの図に重ねて示したものである。標準化された信号は、標準化された振幅軸Ｐ／Ｐｏによって表され、２倍のウォブル期間ＷＰに渡り表示されている。

【００２０】

バイフェーズクロック生成器ＢＣＧは、バイフェーズチャネルビット１６に最適なサンプル時間を得るために、バイフェーズクロック１５を生成する。図６に示すバイフェーズクロック生成器ＢＣＧは、伝達関数Ｈ（ｚ）＝ｚ$^{-6}$－ｚ$^{-8}$の整合フィルタ２３と、フィルタ出力利得ステージを有する位相誤差検出器２４と、位相誤差アキュムレータ２５と、閾値検出器２６と、パルス生成器２７とを備えており、これらは直列に接続されている。ウォブル位相カウンタ１０によって生成される４４．１ｋＨｚのストローブ信号１１及び遅延された補間位相トレリス信号２０ａは、バイフェーズクロック生成器ＢＣＧに加えられる。したがって、遅延線２０は、バイフェーズチャネルビット検出器ＢＣＤ及びバイフェーズクロック再生回路ＢＣＧのために２回、使用される。

【００２１】

バイフェーズクロック位相誤差は、各バイフェーズクロック周期において、整合フィルタ出力を累積することによって、この回路内で最小化される。バイフェーズクロックストローブが位相トレリスの変曲点で生成される場合、最小の位相誤差が生じ、位相誤差累積信号が、調整された最大閾値を上回るか、最小閾値を下回る場合、閾値検出器２６は、パルス生成器２７の位相を＋１又は－１だけシフトさせるインパルスを生成する。バイフェーズクロックストローブが、位相トレリスの変曲点で生成される場合、バイフェーズチャネルビット信号１６の最適なサンプリング点になる。

【００２２】

図８から１０は、標準化された振幅Ｐ／Ｐｏで、幾つかのウォブル期間ＷＰに渡る、１Ｔシーケンス間のバイフェーズクロック１５のロックイン動作を示す図である。遅延された補間位相トレリス信号２０ａは、パルス生成器２７を制御する位相誤差信号２５ａを抽出するために使用される。位相誤差信号２５ａは、図８に示す様に、バイフェーズクロック１５が同相である場合、０である。図９は、立下り（ｔｒａｉｌｉｎｇ）バイフェーズクロック１５と、対応する位相誤差信号２５ａを示し、図１０は、立ち上がり（ｌｅａｄｉｎｇ）バイフェーズクロック１５と、対応する位相誤差信号２５ａを示している。

【００２３】

例示的実施形態によって示す様に、高速用途用に低コスト、デジタル手段のみで、周波数変調アナログ信号ａＷＳから、２値ＤＣフリー符号を、デジタル再生する方法及び構成が提供される。本構成は、変調信号ａＷＳの中心周波数を抽出し、２値符号のバイフェーズチャネルビット１６とバイフェーズクロック１５を生成する。同相検出器及び直交位相検出器を含むデジタル位相ロックループＤＰＬＬは、デジタル位相ロックループＤＰＬＬが生成したストローブ信号１１に関連づけてバイフェーズチャネルビット１６の再生と、最尤検出に関連づけてバイフェーズクロック１５の再生にも使用する位相トレリスを形成する。最尤検出の位相誤差信号は、最終的に、バイフェーズチャネルビット１６及び２値符号信号、それぞれに対する最適なサンプリング点と正確に合っている、バイフェーズクロック信号１５を供給する。前の位相トレリス値が次のものよりも小さい場合、バイフェ

ーズチャネルビット信号１６の値１が供給され、前の位相トレリス値が大きい場合、バイフェーズチャネルビット信号１６の値０が供給されることを確実にするため、最尤検出は、補間された位相トレリス値１９ａの供給に続いて、位相トレリス値の各々の間の補間を含んでいる。更に、それは、バイフェーズクロック信号１５が、バイフェーズチャネルビット信号１６と合っている場合、クロック位相誤差信号２５ａが０となることを確実にする。

【００２４】

デジタル位相ロックループＤＰＬＬの利得は、デジタル位相ロックループＤＰＬＬを、中心周波数に保持するため、デジタル位相ロックループＤＰＬＬの閉ループ伝達関数については、可能な限り小さいものを選択すべきである。デジタル位相ロックループＤＰＬＬの低域フィルタは、更に、ウォブル中心周波数及びキャリア周波数、それぞれの、２倍を超えるべきでない。

【００２５】

本発明はこの例示的実施形態に限定されず、明記された特徴は、本発明の範囲を逸脱しない、便宜的な組合せ又は変更を行うことができる。

【００２６】

本発明による方法及び構成は、周波数変調信号からの２値ＤＣフリー符号の各種再生に容易に利用することができる点で特に有利である。これはデジタル手段のみを使用する集積回路で実現する場合に特に有用である。

【図面の簡単な説明】

【００２７】

【図１】ＡＴＩＰウォブル信号の拡散スペクトラム図である。

【図２】バイフェーズマーク変調規則を示す表である。

【図３】周波数変調信号から２値ＤＣフリー符号をデジタル再生するための構成のブロック図である。

【図４】図３の位相検出器の位相図である。

【図５】位相トレリス信号図である。

【図６】ＡＴＩＰ信号検出器の詳細を示す図である。

【図７】バイフェーズチャネルビット再生のための位相トレリス及び整合フィルタ出力信号を示す図である。

【図８】同相バイフェーズクロックの位相トレリス及び位相誤差信号を示す図である。

【図９】立下りバイフェーズクロックの位相トレリス及び位相誤差信号を示す図である。

【図１０】立ち上がりバイフェーズクロックの位相トレリス及び位相誤差信号を示す図である。

【図１１】±２π位相検出器の状態遷移の状態表である。

【図１２】周波数変調信号から２値ＤＣフリー符号をデジタル再生するための構成のブロック図である。

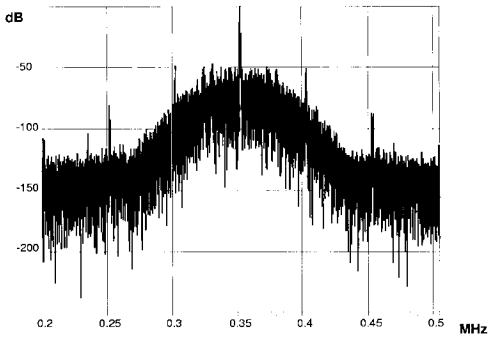
【符号の説明】

【００２８】

１　デジタルウォブル信号
２　ポリフェーズフィルタ
３　スライサ
４、５　乗算器
６、７　積分ダンプ回路
６ａ　直交位相信号
７ａ　同相信号
８　フィルタ
９　デジタル時間発振器
１０　ウォブル位相カウンタ
１１　ストローブ信号

１２　位相検出器
１３　位相トレリス信号
１４　ＡＴＩＰ検出器
１５　バイフェーズクロック信号
１６　バイフェーズチャネルビット信号
１９　補間回路
１９ａ　補間された位相トレリス信号
２０　遅延線
２０ａ　遅延された補間位相トレリス信号
２１　加算器
２１ａ　標準化されたフィルタ済み整合フィルタ出力信号
２２　比較器
２３　整合フィルタ
２４　位相誤差検出器
２５　位相誤差アキュムレータ
２５ａ　位相誤差信号
２６　閾値検出器
２７　パルス生成器

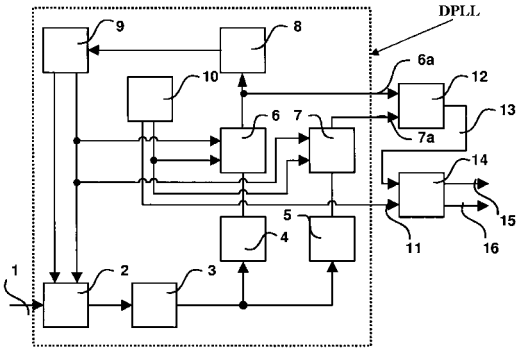
【図１】



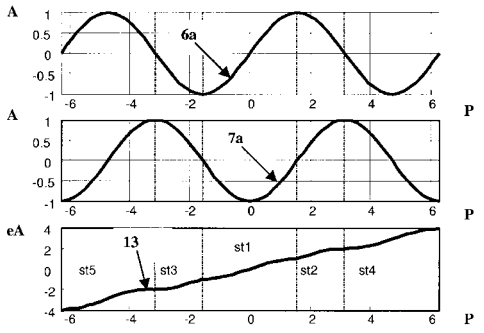
【図２】

db	cb	
d[n]	c[n-1]	c[n]
0	x0 / x1	11 / 00
1	x0 / x1	10 / 01

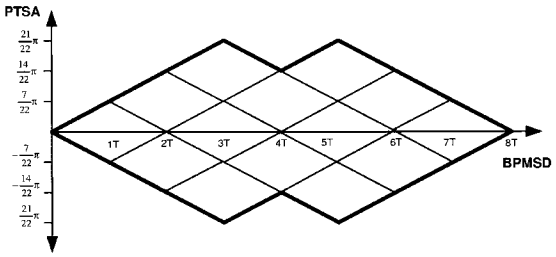
【図３】



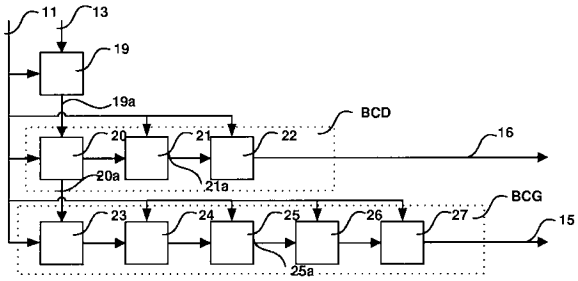
【図４】



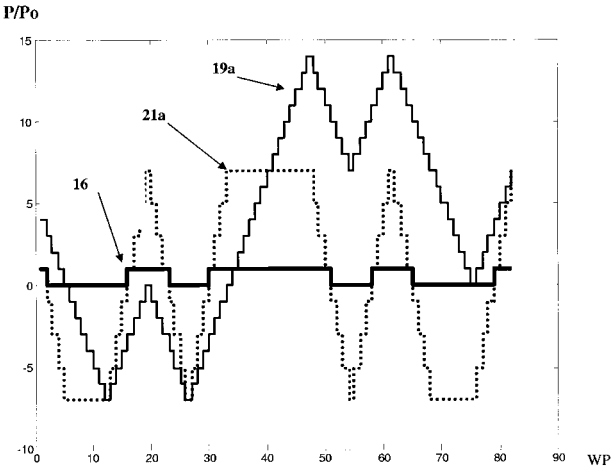
【図５】



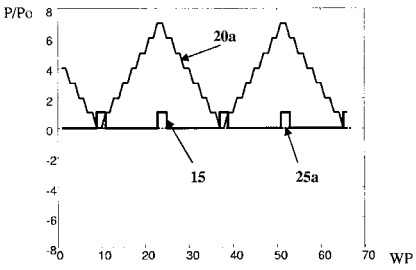
【図６】



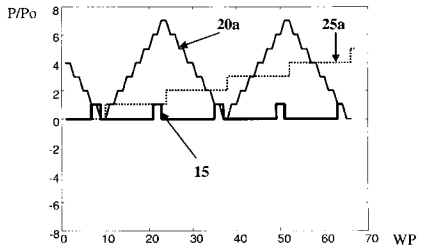
【図７】



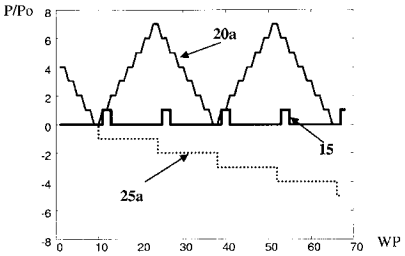
【図８】



【図９】



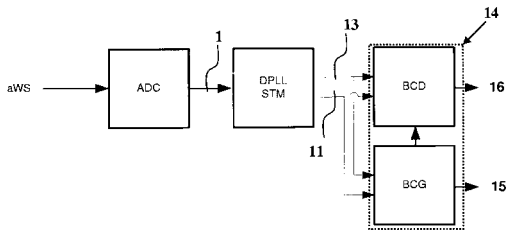
【図１０】



【図１１】

st		pol	
t(n-1)	t(n)	6a t(n)	7a t(n)
1	1	-/+	-
1	2	+	+
1	3	-	+
2	2	+	+
2	1	+	-
2	4	-	+
3	3	-	+
3	1	-	-
3	5	+	+
4	4	-	+/-
4	2	+	+
4	エラー	+	-
5	5	+	+/-
5	3	-	+
5	エラー	-	-

【図１２】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2006/061305

A. CLASSIFICATION OF SUBJECT MATTER
INV. H04L27/156

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04L G11B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal, WPI Data, PAJ, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 506 824 A (FAIRCHILD ET AL) 9 April 1996 (1996-04-09) cited in the application the whole document	1-10
A	US 6 011 816 A (SANIELEVICI ET AL) 4 January 2000 (2000-01-04) abstract column 1, line 22 - line 59 column 1, line 66 - column 2, line 7 column 4, line 5 - line 25 column 5, line 33 - line 57	1-10

-/--

[X] Further documents are listed in the continuation of Box C.

[X] See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
5 July 2006	13/07/2006

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Reilly, D

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2006/061305

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4 716 579 A (MASTERTON ET AL) 29 December 1987 (1987-12-29) abstract column 1, line 23 - column 2, line 5 column 3, line 18 - line 25 column 4, line 4 - line 15 claim 1	1-10
A	EP 1 220 452 A (HEWLETT-PACKARD COMPANY) 3 July 2002 (2002-07-03) abstract paragraph [0003] claims 1-3 figures 1,2	1-10
A	STEENAART W ET AL: "PERFORMANCE IMPROVEMENT OF A BINARY QUANTIZED ALL-DIGITAL PHASE-LOCKED LOOP WITH A NEW AIDED-ACQUISITION TECHNIQUE" IEEE TRANSACTIONS ON COMMUNICATIONS, IEEE SERVICE CENTER, PISCATAWAY, NJ, US, vol. COM-32, no. 12, December 1984 (1984-12), pages 1269-1276, XP000758575 ISSN: 0090-6778 the whole document	1-10

Form PCT/ISA/210 (continuation of second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/EP2006/061305

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
US 5506824	A	09-04-1996	NONE		
US 6011816	A	04-01-2000	NONE		
US 4716579	A	29-12-1987	GB	2172158 A	10-09-1986
EP 1220452	A	03-07-2002	CN	1350296 A	22-05-2002
			JP	2002198803 A	12-07-2002
			US	6693860 B1	17-02-2004

Form PCT/ISA/210 (patent family annex) (April 2005)

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,LY,MA,MD,MG,MK,MN,MW,MX,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SM,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(72)発明者 シュミット ディルク
ドイツ連邦共和国, ７８１７６ ブルームベルク, ヴータハシュトラーセ １７番地
(72)発明者 イコノム アルキス
ドイツ連邦共和国, ７８０５０ ヴィリンゲン－シュヴェニンゲン, ベネディクティーネルリング １／１番地
(72)発明者 カブツ マルテン
ドイツ連邦共和国, ７８０４８ ヴィリンゲン－シュヴェニンゲン, プフォルツハイメル シュトラーセ １５番地

Ｆターム(参考) 5D044 BC02 CC04 GL02 GM12
5D090 AA01 CC04 EE13 FF07 FF42