(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년04월16일
(11) 등록번호 10-2101419
(24) 등록일자 2020년04월09일

(51) 국제특허분류(Int. Cl.)
H04L 12/741 (2013.01) *H04L 12/773* (2013.01)
H04L 12/861 (2013.01) *H04L 12/879* (2013.01)
(52) CPC특허분류
H04L 45/54 (2013.01)
H04L 45/60 (2013.01)
(21) 출원번호 10-2019-0024774
(22) 출원일자 2019년03월04일
심사청구일자 2019년03월04일
(56) 선행기술조사문헌
KR1020100018409 A
JP2002208947 A
KR1020110068037 A
KR1020140053265 A

(73) 특허권자
서강대학교 산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
이혁준
서울특별시 용산구 독서당로 111, 119동 205호(한남동, 한남더힐)
김지남
경기도 과천시 별양로 111, 504동 805호(별양동, 주공아파트)
(74) 대리인
유미특허법인

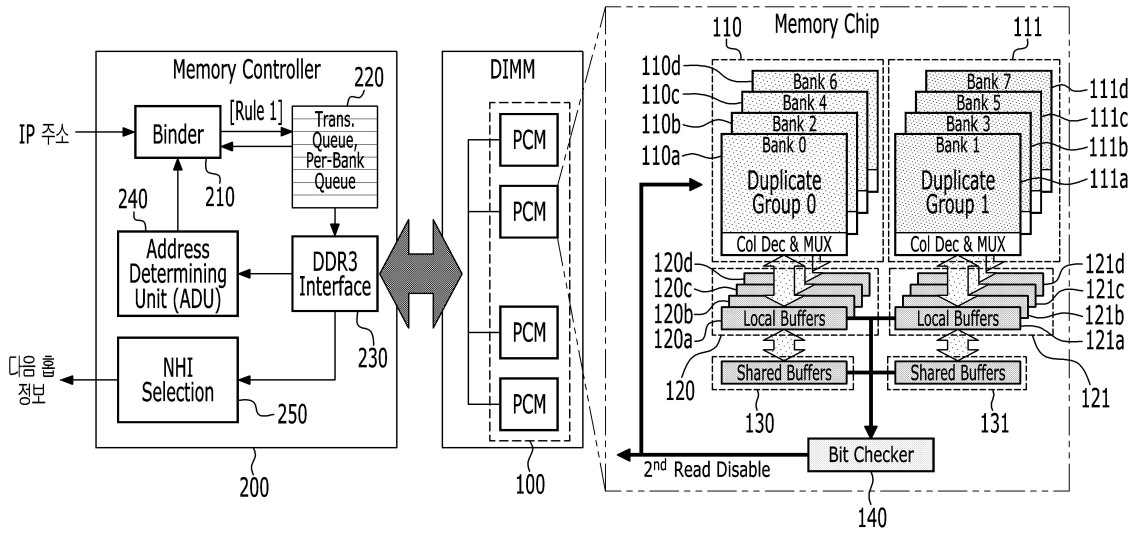
전체 청구항 수 : 총 16 항 심사관 : 김대성

(54) 발명의 명칭 **라우팅 테이블 검색 방법 및 이를 구현하는 메모리 시스템**

(57) 요 약

메모리 시스템으로서, IP 주소에 따른 다음 홉(next hop) 정보를 표현하기 위해 복수의 노드들 및 상기 복수의 노드들을 연결하는 복수의 브랜치들로 구현된 라우팅 테이블을 저장하는 메모리, 입력 패킷의 IP 주소를 적어도 하나 이상의 단위 주소들로 분할하고, 상기 라우팅 테이블의 외부 표시기를 통해 상기 단위 주소들과 관련된 대상 노드들을 순차적으로 탐색하여 상기 대상 노드들 중에서 자식 노드를 갖지 않는 말단 노드를 결정하고, 상기 라우팅 테이블의 내부 표시기를 통해 상기 말단 노드에 대응하는 다음 홉 정보를 결정하는 메모리 컨트롤러를 포함하고, 상기 외부 표시기는 상기 라우팅 테이블의 각 노드들이 자식 노드를 갖는지 여부에 대한 정보를 포함하고, 상기 내부 표시기는 상기 각 노드들이 상기 말단 노드인 경우 상기 말단 노드에 대응하는 다음 홉 정보를 포함하고, 상기 복수의 노드들은 상기 외부 표시기 및 상기 내부 표시기를 각각 포함한다.

대 표 도



(52) CPC특허분류
H04L 45/745 (2013.01)
H04L 49/901 (2013.01)
H04L 49/9078 (2013.01)

공지예외적용 : 있음

명 세 서

청구범위

청구항 1

메모리 시스템으로서,

IP 주소에 따른 다음 홉(next hop) 정보를 표현하기 위해 복수의 노드들 및 상기 복수의 노드들을 연결하는 복수의 브랜치들로 구현된 라우팅 테이블을 저장하는 메모리,

입력 패킷의 IP 주소를 적어도 하나 이상의 단위 주소들로 분할하고, 상기 라우팅 테이블의 외부 표시기를 통해 상기 단위 주소들과 관련된 대상 노드들을 순차적으로 탐색하여 상기 대상 노드들 중에서 자식 노드를 갖지 않는 말단 노드를 결정하고, 상기 라우팅 테이블의 내부 표시기를 통해 상기 말단 노드에 대응하는 다음 홉 정보를 결정하는 메모리 컨트롤러를 포함하고,

상기 외부 표시기는 상기 라우팅 테이블의 각 노드들이 자식 노드를 갖는지 여부에 대한 정보를 포함하고, 상기 내부 표시기는 상기 각 노드들이 상기 말단 노드인 경우 상기 말단 노드에 대응하는 다음 홉 정보를 포함하고, 상기 복수의 노드들은 상기 외부 표시기 및 상기 내부 표시기를 각각 포함하는 메모리 시스템.

청구항 2

제1항에서,

상기 메모리는

상변화 메모리(Phase Change Memory, PCM)로 구현되는 메모리 시스템.

청구항 3

제1항에서,

상기 메모리는

비휘발성 메모리(Non-Volatile Memory)로 구현되는 메모리 시스템.

청구항 4

제1항에서,

상기 메모리는

상기 라우팅 테이블의 복사본을 내부에 구성된 복수의 메모리 뱅크들에 각각 저장하는 메모리 뱅크 그룹, 각 메모리 뱅크들에 독립적으로 할당되는 복수의 로컬 버퍼들 및 상기 메모리 뱅크 그룹에 독립적으로 할당되고 상기 복수의 로컬 버퍼들과 연동된 공유 버퍼를 포함하는 메모리 시스템.

청구항 5

제4항에서,

상기 메모리 컨트롤러는

각 메모리 뱅크들로의 접근 빈도를 고려하여, 상기 복수의 메모리 뱅크들 중에서 상기 다음 홉 정보를 결정하기 위해 접근할 대상 메모리 뱅크를 결정하는 메모리 시스템.

청구항 6

제5항에서,

상기 메모리 컨트롤러는

상기 복수의 메모리 뱅크들 중에서 버퍼 히트 값(buffer hit value)이 임계 버퍼 히트 값 미만인 라우팅 테이블

의 복사본을 저장하는 제1 메모리 뱅크를 상기 대상 메모리 뱅크로 결정하는 메모리 시스템.

청구항 7

제6항에서,

상기 메모리 컨트롤러는

상기 제1 메모리 뱅크가 존재하지 않는 경우, 유휴 상태(Idle state)인 라우팅 테이블의 복사본을 저장하는 제2 메모리 뱅크를 상기 대상 메모리 뱅크로 결정하는 메모리 시스템.

청구항 8

제7항에서,

상기 메모리 컨트롤러는

상기 제2 메모리 뱅크가 존재하지 않는 경우, 이전에 바인딩 된 라우팅 테이블의 복사본을 저장하는 제3 메모리 뱅크를 상기 대상 메모리 뱅크로 결정하는 메모리 시스템.

청구항 9

제8항에서,

상기 메모리 컨트롤러는

상기 제3 메모리 뱅크가 존재하지 않는 경우, 가장 적게 바인딩 된 라우팅 테이블의 복사본을 저장하는 제4 메모리 뱅크를 상기 대상 메모리 뱅크로 결정하는 메모리 시스템.

청구항 10

메모리 컨트롤러가 메모리에 저장된 라우팅 테이블을 검색하는 방법으로서,

입력 패킷의 IP 주소를 수신하는 단계,

상기 라우팅 테이블의 복사본을 각각 저장하는 복수의 메모리 뱅크들로의 접근 빈도를 고려하여, 상기 IP 주소에 대응하는 다음 홉 정보를 결정하기 위해 접근할 대상 메모리 뱅크를 결정하는 단계,

상기 IP 주소를 적어도 하나 이상의 단위 주소들로 분할하고, 상기 대상 메모리 뱅크에 저장된 라우팅 테이블의 외부 표시기를 통해 상기 단위 주소들과 관련된 대상 노드들을 순차적으로 탐색하여 상기 대상 노드들 중에서 자식 노드를 갖지 않는 말단 노드를 결정하는 단계, 그리고

상기 라우팅 테이블의 내부 표시기를 통해 상기 말단 노드에 대응하는 다음 홉 정보를 결정하는 단계를 포함하고,

상기 라우팅 테이블은 상기 IP 주소에 따른 다음 홉 정보를 표현하기 위해 복수의 노드들 및 상기 복수의 노드들을 연결하는 복수의 브랜치들로 구현되고, 상기 외부 표시기는 상기 라우팅 테이블의 각 노드들이 자식 노드를 갖는지 여부에 대한 정보를 포함하고, 상기 내부 표시기는 상기 각 노드들이 상기 말단 노드인 경우 상기 말단 노드에 대응하는 다음 홉 정보를 포함하고, 상기 복수의 노드들은 상기 외부 표시기 및 상기 내부 표시기를 각각 포함하는 검색 방법.

청구항 11

제10항에서,

상기 대상 메모리 뱅크를 결정하는 단계는

상기 복수의 메모리 뱅크들 중에서, 버퍼 히트 값(buffer hit value)이 임계 버퍼 히트 값 미만인 라우팅 테이블의 복사본을 저장하는 제1 메모리 뱅크를 상기 대상 메모리 뱅크로 결정하는 검색 방법.

청구항 12

제11항에서,

상기 대상 메모리 뱅크를 결정하는 단계는

상기 제1 메모리 뱅크가 존재하지 않는 경우, 유휴 상태(Idle state)인 라우팅 테이블의 복사본을 저장하는 제2 메모리 뱅크를 상기 대상 메모리 뱅크로 결정하는 검색 방법.

청구항 13

제12항에서,

상기 대상 메모리 뱅크를 결정하는 단계는

상기 제2 메모리 뱅크가 존재하지 않는 경우, 이전에 바인딩 된 라우팅 테이블의 복사본을 저장하는 제3 메모리 뱅크를 상기 대상 메모리 뱅크로 결정하는 검색 방법.

청구항 14

제13항에서,

상기 대상 메모리 뱅크를 결정하는 단계는

상기 제3 메모리 뱅크가 존재하지 않는 경우, 가장 적게 바인딩 된 라우팅 테이블의 복사본을 저장하는 제4 메모리 뱅크를 상기 대상 메모리 뱅크로 결정하는 검색 방법.

청구항 15

제10항에서,

상기 메모리는

상변화 메모리(Phase Change Memory, PCM)로 구현되는 검색 방법.

청구항 16

제10항에서,

상기 메모리는

비휘발성 메모리(Non-Volatile Memory)로 구현되는 검색 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 인터넷 프로토콜 라우팅 테이블 검색 방법 및 이를 구현하는 고대역폭 메모리 시스템에 관한 것이다.

배 경 기 술

[0002] 수년간 인터넷 기술의 발전으로 인해 IP 트래픽이 기하급수적으로 증가하였다. 방대한 양의 IP 트래픽을 원활히 전송하기 위해서는 라우터가 패킷을 안정적으로 처리하는 것이 필수적이며, 이는 라우터가 높은 수준의 시스템 가용성을 가져야하는 것을 의미한다.

[0003] 한편, 기존에 상용 중인 대부분의 라우터는 높은 라우팅 성능을 위해 라우팅 테이블을 디램(Dynamic Random Access Memory, DRAM)에 저장한다. 그러나, DRAM은 전기가 공급되지 않는 경우 메모리에 저장된 데이터가 삭제된다는 단점이 있으며, 이로 인해 라우터에 장애가 발생하여 전력이 유실되는 경우 대용량의 라우팅 테이블을 다시 구축해야하는 문제가 발생한다.

[0004] 이와 같은 문제를 해결하기 위해, 라우팅 테이블을 비휘발성 메모리에 저장하여 라우터의 시스템 가용성을 향상시키는 방법이 있으나, 이 경우 비휘발성 메모리의 특성상 라우팅 테이블을 참조하기 위해 메모리에 접근하는 속도가 낮아지는 문제가 발생한다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 과제는 라우팅 테이블을 상변화 메모리(Phase Change Memory, PCM)에 저장하여 시스템의 높은 가용성을 확보하되, 트라이(trie) 기반 라우팅 테이블이 조회될 때 말단 노드가 아닌 노드들에 한정하여 외부 표시기 (External indicators)만 읽도록 하여 성능을 향상시키는 기술을 제공하는 것이다.

[0006] 또한, 본 발명이 해결하고자 하는 과제는 복수의 라우팅 테이블 사본이 존재할 때, 사본 별로 동일한 개수의 전용 메모리 뱅크를 부여하여, 패킷 라우팅을 빠르게 수행하기 위해 접근할 메모리 뱅크를 효율적으로 결정하는 기술을 제공하는 것이다.

[0007] 또한, 본 발명이 해결하고자 하는 과제는 메모리 시스템 내 복수의 라우팅 테이블의 복사본이 존재할 때, 메모리 뱅크마다 존재하는 버퍼가 효율적으로 사용될 수 있도록 공유 버퍼를 설계하는 기술을 제공하는 것이다.

과제의 해결 수단

[0008] 본 발명의 일 실시예에 따른 메모리 시스템은 IP 주소에 따른 다음 홉(next hop) 정보를 표현하기 위해 복수의 노드들 및 상기 복수의 노드들을 연결하는 복수의 브랜치들로 구현된 라우팅 테이블을 저장하는 메모리, 입력 패킷의 IP 주소를 적어도 하나 이상의 단위 주소들로 분할하고, 상기 라우팅 테이블의 외부 표시기를 통해 상기 단위 주소들과 관련된 대상 노드들을 순차적으로 탐색하여 상기 대상 노드들 중에서 자식 노드를 갖지 않는 말단 노드를 결정하고, 상기 라우팅 테이블의 내부 표시기를 통해 상기 말단 노드에 대응하는 다음 홉 정보를 결정하는 메모리 컨트롤러를 포함하고, 상기 외부 표시기는 상기 라우팅 테이블의 각 노드들이 자식 노드를 갖는지 여부에 대한 정보를 포함하고, 상기 내부 표시기는 상기 각 노드들이 상기 말단 노드인 경우 상기 말단 노드에 대응하는 다음 홉 정보를 포함하고, 상기 복수의 노드들은 상기 외부 표시기 및 상기 내부 표시기를 각각 포함한다.

[0009] 상기 메모리는 상변화 메모리(Phase Change Memory, PCM)로 구현된다.

[0010] 상기 메모리는 비휘발성 메모리(Non-Volatile Memory)로 구현된다.

[0011] 상기 메모리는 상기 라우팅 테이블의 복사본을 내부에 구성된 복수의 메모리 뱅크들에 각각 저장하는 메모리 뱅크 그룹, 각 메모리 뱅크들에 독립적으로 할당되는 복수의 로컬 버퍼들 및 상기 메모리 뱅크 그룹에 독립적으로 할당되고 상기 복수의 로컬 버퍼들과 연동된 공유 버퍼를 포함한다.

[0012] 상기 메모리 컨트롤러는 각 메모리 뱅크들로의 접근 빈도를 고려하여, 상기 복수의 메모리 뱅크들 중에서 상기 다음 홉 정보를 결정하기 위해 접근할 대상 메모리 뱅크를 결정한다.

[0013] 상기 메모리 컨트롤러는 상기 복수의 메모리 뱅크들 중에서 버퍼 히트 값(buffer hit value)이 임계 버퍼 히트 값 미만인 라우팅 테이블의 복사본을 저장하는 제1 메모리 뱅크를 상기 대상 메모리 뱅크로 결정한다.

[0014] 상기 메모리 컨트롤러는 상기 제1 메모리 뱅크가 존재하지 않는 경우, 유휴 상태(Idle state)인 라우팅 테이블의 복사본을 저장하는 제2 메모리 뱅크를 상기 대상 메모리 뱅크로 결정한다.

[0015] 상기 메모리 컨트롤러는 상기 제2 메모리 뱅크가 존재하지 않는 경우, 이전에 바인딩 된 라우팅 테이블의 복사본을 저장하는 제3 메모리 뱅크를 상기 대상 메모리 뱅크로 결정한다.

[0016] 상기 메모리 컨트롤러는 상기 제3 메모리 뱅크가 존재하지 않는 경우, 가장 적게 바인딩 된 라우팅 테이블의 복사본을 저장하는 제4 메모리 뱅크를 상기 대상 메모리 뱅크로 결정한다.

[0017] 본 발명의 일 실시예에 따른 메모리 컨트롤러가 메모리에 저장된 라우팅 테이블을 검색하는 방법은 입력 패킷의 IP 주소를 수신하는 단계, 상기 라우팅 테이블의 복사본을 각각 저장하는 복수의 메모리 뱅크들로의 접근 빈도를 고려하여, 상기 IP 주소에 대응하는 다음 홉 정보를 결정하기 위해 접근할 대상 메모리 뱅크를 결정하는 단계, 상기 IP 주소를 적어도 하나 이상의 단위 주소들로 분할하고, 상기 대상 메모리 뱅크에 저장된 라우팅 테이블의 외부 표시기를 통해 상기 단위 주소들과 관련된 대상 노드들을 순차적으로 탐색하여 상기 대상 노드들 중에서 자식 노드를 갖지 않는 말단 노드를 결정하는 단계, 그리고 상기 라우팅 테이블의 내부 표시기를 통해 상기 말단 노드에 대응하는 다음 홉 정보를 결정하는 단계를 포함하고, 상기 라우팅 테이블은 상기 IP 주소에 따른 다음 홉 정보를 표현하기 위해 복수의 노드들 및 상기 복수의 노드들을 연결하는 복수의 브랜치들로 구현되고, 상기 외부 표시기는 상기 라우팅 테이블의 각 노드들이 자식 노드를 갖는지 여부에 대한 정보를 포함하고, 상기 내부 표시기는 상기 각 노드들이 상기 말단 노드인 경우 상기 말단 노드에 대응하는 다음 홉 정보를 포함

하고, 상기 복수의 노드들은 상기 외부 표시기 및 상기 내부 표시기를 각각 포함한다.

[0018] 상기 대상 메모리 뱅크를 결정하는 단계는 상기 복수의 메모리 뱅크들 중에서, 버퍼 히트 값(buffer hit value)이 임계 버퍼 히트 값 미만인 라우팅 테이블의 복사본을 저장하는 제1 메모리 뱅크를 상기 대상 메모리 뱅크로 결정한다.

[0019] 상기 대상 메모리 뱅크를 결정하는 단계는 상기 제1 메모리 뱅크가 존재하지 않는 경우, 유휴 상태(Idle state)인 라우팅 테이블의 복사본을 저장하는 제2 메모리 뱅크를 상기 대상 메모리 뱅크로 결정한다.

[0020] 상기 대상 메모리 뱅크를 결정하는 단계는 상기 제2 메모리 뱅크가 존재하지 않는 경우, 이전에 바인딩 된 라우팅 테이블의 복사본을 저장하는 제3 메모리 뱅크를 상기 대상 메모리 뱅크로 결정한다.

[0021] 상기 대상 메모리 뱅크를 결정하는 단계는 상기 제3 메모리 뱅크가 존재하지 않는 경우, 가장 적게 바인딩 된 라우팅 테이블의 복사본을 저장하는 제4 메모리 뱅크를 상기 대상 메모리 뱅크로 결정한다.

[0022] 상기 메모리는 상변화 메모리(Phase Change Memory, PCM)로 구현된다.

[0023] 상기 메모리는 비휘발성 메모리(Non-Volatile Memory)로 구현된다.

발명의 효과

[0024] 본 발명에 따르면, 패킷 라우팅을 수행하기 위해 임의의 트라이 노드에 접근할 때, 추가 탐색이 필요한 자식 노드를 외부 표시기(External Indicators)를 통해 메모리 내에서 우선적으로 결정하면, 존재하지 않을 시에만 내부 표시기 (Internal Indicators)로 노드 내 홉 정보를 추가 조회하기 때문에 상변화 메모리 기반 라우팅 테이블의 조회 성능을 향상시킬 수 있다.

[0025] 또한, 본 발명에 따르면, 예상 처리 속도를 고려하여 패킷 라우팅 수행을 위한 메모리 뱅크를 결정함으로써, 메모리 대역폭 효율을 향상시킬 수 있다.

[0026] 또한, 본 발명에 따르면, 다수의 접근이 시도되는 라우팅 테이블 노드 및 수정이 필요한 노드를 공유 버퍼에 저장함으로써, 메모리 뱅크들의 버퍼 접근성을 향상시킬 수 있다.

도면의 간단한 설명

[0027] 도 1은 한 실시예에 따른 메모리 시스템을 설명하는 도면이다.

도 2는 한 실시예에 따른 이진 트라이 구조로 구현된 라우팅 테이블이다.

도 3은 한 실시예에 따른 내부 표시기 및 외부 표시기를 설명하는 도면이다.

도 4는 메모리 컨트롤러가 복수의 메모리 뱅크들 중에서 접근할 메모리 뱅크를 결정하는 방법을 설명하는 도면이다.

도 5는 메모리 컨트롤러가 메모리에 저장된 라우팅 테이블을 검색하는 방법을 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0028] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0029] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0030] 도 1은 한 실시예에 따른 메모리 시스템을 설명하는 도면이고, 도 2는 한 실시예에 따른 이진 트라이 구조로 구현된 라우팅 테이블이고, 도 3은 한 실시예에 따른 내부 표시기 및 외부 표시기를 설명하는 도면이다.

[0031] 도 1을 참고하면, 메모리 시스템(1000)은 메모리(100) 및 메모리 컨트롤러(200)를 포함한다.

[0032] 구체적으로, 메모리(100)는 상변화 메모리(Phase Change Memory, PCM) 또는 비휘발성 메모리(Non-Volatile

Memory) 중 어느 하나로 구현된다.

[0033] 여기서, 비휘발성 메모리는 비대칭적 읽기(Read Asymmetric) 속성을 가진 비휘발성 메모리를 포함한다. 구체적으로, 같은 트랜젝션 상에서도 메모리가 비대칭적 읽기 속성을 가진 비휘발성 메모리인 경우 트랜젝션의 일부는 먼저 버퍼에 래치될 수 있는데, 본 발명은 이러한 비대칭적 읽기 속성을 가진 비휘발성 메모리의 경우에도 적용될 수 있다.

[0034] 예를 들면, 도 1에서 도시된 바와 같이, 메모리(100)의 모듈은 듀얼 인라인 메모리 모듈(DIMM, Dual In-line Memory Module)로 구현될 수 있으며, 이 경우, 메모리(100)는 복수의 상변화 메모리들 중 어느 하나일 수 있다. 메모리(100)는 메모리 뱅크들로 구성된 메모리 뱅크 그룹들, 로컬 버퍼들, 공유 버퍼들 및 비트 검사기를 포함할 수 있는데, 이에 대한 자세한 내용은 후술한다.

[0035] 한편, 메모리(100)는 IP 주소에 따른 다음 홉(next hop) 정보를 표현하기 위해 복수의 노드들 및 복수의 노드들을 연결하는 복수의 브랜치들로 구현된 라우팅 테이블을 저장한다.

[0036] 메모리(100)에 저장된 라우팅 테이블의 각 노드들은 라우팅 테이블의 각 노드들이 자식 노드를 갖는지 여부에 대한 정보를 포함하는 외부 표시기 및 각 노드들이 말단 노드인 경우 말단 노드에 대응하는 다음 홉 정보를 포함하는 내부 표시기를 각각 포함한다.

[0037] 이하, 메모리(100)에 저장된 라우팅 테이블에 대해 도 2 및 도 3을 통해 설명한다.

[0038] 도 2는 한 실시예에 따른 이진 트라이 구조로 구현된 라우팅 테이블이고, 도 3은 한 실시예에 따른 내부 표시기 및 외부 표시기를 설명하는 도면이다.

[0039] 도 2를 참고하면, 라우팅 테이블은 복수의 노드들 및 복수의 노드들을 연결한 복수의 브랜치들로 구성된다. IP 주소에서 "0"에 해당하는 부분은 노드의 왼쪽 브랜치를 통해 이동하며, IP 주소에서 "1"에 해당하는 부분은 노드의 오른쪽 브랜치를 통해 이동한다. 특정 IP 주소가 입력되면, 해당 과정을 통해 자식 노드가 없는 말단 노드(Terminal Node)까지 이동하고 말단 노드에 해당하는 값을 특정 IP 주소의 다음 홉 정보로 결정하게 된다.

[0040] 예를 들면, IP 주소 "101111111"이 입력되는 경우, 해당 과정을 통해 결정된 노드들(10, 12, 14, 15, 16, 18 및 19)을 따라 말단 노드(20)까지 이동하게 되며, 말단 노드(20)에 다음 홉 정보 "G"가 매핑되어 있으므로 IP 주소 "101111111"에 대한 다음 홉 정보는 "G"로 결정되게 된다.

[0041] 도 2의 라우팅 테이블의 각 노드들에 포함된 내부 표시기 및 외부 표시기를 도시하면 도 3과 같다.

[0042] 도 3을 참고하면, 트리 비트맵 알고리즘을 통해 구현된 라우팅 테이블은 내부 표시기(30)와 외부 표시기(40)를 포함한다.

[0043] 내부 표시기(30)는 IP 주소에 따른 다음 홉 정보를 관리하며, 외부 표시기(40)는 자식 노드들의 존재 여부를 관리한다.

[0044] 예를 들면, 도 3에서, 내부 표시기(30)를 구성하는 각 노드들이 10진법으로 표기되었을 때 "0" 내지 "7"까지의 값을 갖는 경우, 외부 표시기(40)는 8개의 필드를 포함하고, 특정 필드에 대응하는 노드가 자식 노드를 갖는 경우 필드 값을 "1"로, 자식 노드를 갖지 않는 경우 필드 값을 "0"으로 표시할 수 있다.

[0045] 만일 IP 주소 "101111111"이 입력되는 경우, IP 주소 "101111111"는 3개의 단위 주소들 "101", "111" 및 "111"로 분할될 수 있다.

[0046] "101"을 10진법으로 표기하면 "5"이고, 외부 표시기(40)를 참조하면 "5"의 필드 값이 "1"이므로 자식 노드가 존재한다. 따라서, 자식 노드가 존재하므로 차일드 포인터(Child Pointer)를 통해 다음 단위 주소인 "111"로 이동한다.

[0047] "111"을 10진법으로 표기하면 "7"이고, 외부 표시기(40)를 참조하면 "7"의 필드 값 또한 "1"이므로 자식 노드가 존재한다. 따라서, 이 경우에도 차일드 포인터를 통해 다음 단위 주소인 "111"로 이동한다.

[0048] "111"에 대한 10진법 표기 "7"에 대해 외부 표시기(40)를 참조하면 "7"의 필드 값이 "0"이다. 이 경우, 자식 노드가 존재하지 않으므로, 내부 표시기(30) 및 다음 홉 포인터를 참조하여, 이에 대응하는 다음 홉 정보 "G"를 결정한다.

[0049] 즉, 내부 표시기(30) 및 외부 표시기(40)를 사용하여 IP 주소에 대응하는 다음 홉 정보를 결정하는 경우, 말단

노드가 결정될 때까지 내부 표시기(30)에 접근하지 않고 외부 표시기(40)만을 이용하여 결정할 수 있게 된다.

[0050] 메모리 컨트롤러(200)는 IP 주소가 입력된 경우, 메모리(100)에 저장된 라우팅 테이블을 이용하여 입력된 IP 주소에 대응하는 다음 홉 정보를 결정한다.

[0051] 예를 들면, 메모리(100)가 상변화 메모리인 경우, 메모리 컨트롤러(200)는 바인더 유닛(210), 쿼리 정보(220), DDR3 인터페이스 유닛(230), 주소 결정 유닛(ADU, Address Determining Unit)(240) 및 다음 홉 정보 결정 유닛(250)을 통해 입력된 IP 주소에 대응하는 다음 홉 정보를 결정할 수 있다.

[0052] 상변화 메모리에 대한 메모리 컨트롤러가 위와 같은 유닛들을 통해 다음 홉 정보를 결정하는 일반적인 방법은 이미 공지된 기술이므로 본 명세서에서는 자세한 설명을 생략하며, 이하에서는 공지 기술과 차별화된 메모리 컨트롤러(200)의 기능에 대해 설명한다.

[0053] 메모리 컨트롤러(200)는 입력 패킷의 IP 주소를 적어도 하나 이상의 단위 주소들로 분할한다.

[0054] 예를 들면, 메모리 컨트롤러(200)는 추출한 IP 주소가 "101111111"인 경우, IP 주소를 3비트씩 분할하여 단위 주소 "101", "111" 및 "111"를 생성할 수 있다.

[0055] 메모리 컨트롤러(200)는 메모리(100)에 저장된 라우팅 테이블의 외부 표시기 및 내부 표시기를 이용하여 IP 주소에 대응하는 다음 홉 정보를 결정한다.

[0056] 구체적으로, 메모리 컨트롤러(200)는 외부 표시기를 통해 단위 주소들과 관련된 대상 노드들을 순차적으로 탐색하여 대상 노드들 중에서 자식 노드를 갖지 않는 말단 노드를 결정하고, 내부 표시기를 통해 말단 노드에 대응하는 다음 홉 정보를 결정한다.

[0057] 예를 들면, 도 3에 도시된 바와 같이 외부 표시기(40)가 구현된 경우, 메모리 컨트롤러(200)는 첫 번째 단위 주소 "101"의 10진법 표기가 "5"임을 결정하고, 외부 표시기(40)에서 단위 주소 "101"에 대응하는 "5"의 필드 값이 "1"임을 확인하고(자식 노드가 존재), 두 번째 단위 주소 "111"에 대해 동일한 과정을 수행한다.

[0058] 두 번째 단위 주소 "111"의 경우에도 외부 표시기(40)에서 "7"의 필드 값이 "1"이므로(자식 노드가 존재), 세 번째 단위 주소 "111"에 대해 동일한 과정을 수행한다.

[0059] 세 번째 단위 주소 "111"의 경우 외부 표시기(40)에서 "7"의 필드 값이 "0"이므로 자식 노드가 존재하지 않는다.

[0060] 따라서, 메모리 컨트롤러(200)는 세 번째 단위 주소 "111"에 대응하는 노드를 말단 노드로 결정하고, 내부 표시기(30)를 참조하여 말단 노드에 대응하는 다음 홉 정보 "G"를 결정할 수 있다.

[0061] 위와 같은 과정에서, 메모리 컨트롤러(200)는 내부 표시기(30)에 접근하지 않고 외부 표시기(40)만을 이용하여 말단 노드를 결정하고, 말단 노드가 결정된 이후 내부 표시기(30)에 접근하여 IP 주소에 대응하는 다음 홉 정보를 결정하는바, 메모리(100)에 접근하는 시간이 줄어들어 결과적으로 라우팅 테이블의 조회 성능을 향상시킬 수 있다.

[0062] 구체적으로, 만일 외부 표시기(40)만을 이용하여 말단 노드를 결정하지 않는 경우, 말단 노드가 아닌 노드들에 대해서도 다음 홉 정보 유무를 판단하게 되며, 이 경우 모든 메모리 트랜잭션을 요청하게 된다. 예를 들면, 64 바이트의 트랜잭션을 처리하고자 하는 경우, 말단 노드가 아닌 노드들에 대해서도 외부 32 바이트와 내부 32 바이트가 모두 패치(fetch)되어야 한다.

[0063] 그러나, 외부 표시기(40)만을 이용하여 말단 노드를 결정하고, 말단 노드가 결정된 이후 내부 표시기(30)에 접근하여 IP 주소에 대응하는 다음 홉 정보를 결정하는 경우, 외부 표시기(40)를 통해 말단 노드인 경우에 한하여 내부 표시기(30)에 선택적으로 접근하는바, 본래 접근 대기 시간의 절반에 가까운 접근 대기 시간을 가질 수 있다.

[0064] 이를 구현하기 위해, 내부 표시기(30)를 LSB(Least Significant Bit)에 매핑하고, 외부 표시기(40)를 MSB(Most Significant Bit)와 매핑하며, 이 경우 외부 표시기(40)가 내부 표시기(30)보다 먼저 래치된다. 예를 들면, 노드 주소에 주소 핀을 통한 추가적인 7 비트 스트라이드(stride)가 제공되면, MSB가 메모리(100)에서 읽혀지는 동안 7 비트 스트라이드가 128 비트 벡터로 디코딩된다. 이후, 모든 칩에서 비트 검사기(140)에 의해 MSB로부터 추출된 128 비트 벡터 및 128 비트 외부 표시기(40)에 대해 비트 AND 연산이 수행된다. 대상 칩이 말단 노드가 아님을 표시하면, 두 번째 읽기 비활성화 신호가 모든 칩에 브로드 캐스팅되고 LSB에서 나머지 읽기가

취소된다. 노드를 가져온 이후, 메모리 컨트롤러(100)의 주소 결정 유닛(240)은 다음 노드의 주소를 요청한다. 이와 같은 과정을 거쳐 다음 홉 정보 결정 유닛(250)이 다음 홉 정보를 결정하면 라우팅 테이블의 검색이 종료된다.

[0065] 한편, 메모리(100)는 복수의 메모리 뱅크 그룹들(110 및 111), 복수의 로컬 버퍼들(120 및 121) 및 복수의 공유 버퍼들(130 및 131)을 포함한다.

[0066] 복수의 메모리 뱅크 그룹들(110 및 111)은 각각 라우팅 테이블의 복사본을 내부에 구성된 복수의 메모리 뱅크들에 저장한다.

[0067] 이 경우, 동일한 메모리 뱅크 그룹에 포함된 메모리 뱅크들은 동일한 라우팅 테이블의 복사본을 저장한다. 예를 들면, 제1 메모리 뱅크 그룹(110)의 메모리 뱅크들(110a 내지 110d)은 동일한 라우팅 테이블의 복사본을 저장할 수 있다.

[0068] 복수의 로컬 버퍼들(120 및 121)은 각 메모리 뱅크들에 독립적으로 할당된다.

[0069] 예를 들면, 제1 메모리 뱅크 그룹(110)의 메모리 뱅크들(110a 내지 110d)에는 제1 로컬 버퍼들(120a 내지 120d)이 각각 할당된다.

[0070] 복수의 공유 버퍼들(130 및 131)은 복수의 메모리 뱅크 그룹(110 및 111)에 각각 독립적으로 할당되고 복수의 로컬 버퍼들(120 및 121)과 각각 연동된다.

[0071] 예를 들면, 제1 공유 버퍼(130)는 제1 메모리 뱅크 그룹(110)에 독립적으로 할당되고, 제1 로컬 버퍼들(120a 내지 120d)과 연동된다.

[0072] 복수의 공유 버퍼들(130 및 131)을 메모리(100)에 구축함으로써, 메모리(100)는 복수의 메모리 뱅크 그룹들(110 및 111)이 저장하는 라우팅 테이블의 복사본의 중복된 내용을 복수의 로컬 버퍼들(120 및 121)에 올리는 것을 피할 수 있어 복수의 로컬 버퍼들(120 및 121)을 효율적으로 이용할 수 있다.

[0073] 구체적으로, 복수의 로컬 버퍼들(120 및 121)에 미리 설정된 임계 빈도 이상으로 쓰기 요청이 발생하는 경우, 쓰기 요청은 라우팅 테이블의 복사본들의 일관성을 해칠 우려가 있다. 즉, 쓰기 요청은 라우팅 테이블의 모든 복사본들에 즉시 커밋(commit)되어야 하므로, 라우팅 테이블의 모든 복사본들은 쓰기 요청에 앞서 복수의 로컬 버퍼들(120 및 121)을 제거(evict)하여야 한다.

[0074] 이 과정에서 버퍼 누락이 발생할 수 있는데, 복수의 공유 버퍼들(130 및 131)이 구축된 경우, 복수의 공유 버퍼들(130 및 131)에 쓰기 요청이 제공되어 과도하게 복수의 로컬 버퍼들(120 및 121)이 제거되는 것을 방지할 수 있다.

[0075] 한편, 복수의 로컬 버퍼들(120 및 121)에 쓰기 요청이 미리 설정된 임계 빈도 미만으로 발생하는 경우, 복수의 공유 버퍼들(130 및 131)은 복수의 로컬 버퍼들(120 및 121)의 희생자 버퍼(victim buffer)로 사용된다. 이 경우, 임계 버퍼 히트 값을 만족한 이후 복수의 로컬 버퍼들(120 및 121)을 제거하는 대신, 임계 버퍼 히트 값 이상의 버퍼 히트를 만족하기 위해 복수의 공유 버퍼들(130 및 131)에 라우팅 테이블의 복사본을 기록한다.

[0076] 한편, 복수의 로컬 버퍼들(120 및 121) 및 복수의 공유 버퍼들(130 및 131)은 모두 LRU 알고리즘(Least Recently Used Algorithm)에 의해 관리될 수 있다.

[0077] 메모리 컨트롤러(200)는 각 메모리 뱅크들로의 접근 빈도를 고려하여, 복수의 메모리 뱅크들 중에서 다음 홉 정보를 결정하기 위해 접근할 메모리 뱅크를 결정하며, 이에 대한 내용은 도 4를 통해 설명한다.

[0078] 도 4는 메모리 컨트롤러가 복수의 메모리 뱅크들 중에서 접근할 메모리 뱅크를 결정하는 방법을 설명하는 도면이다.

[0079] 도 4를 참고하면, 메모리 컨트롤러(200)는 복수의 메모리 뱅크들 각각에 저장된 라우팅 테이블의 복사본의 버퍼 히트 값(buffer hit value)을 결정하고(S100), 버퍼 히트 값이 임계 버퍼 히트 값 미만인 라우팅 테이블의 복사본이 존재하는지 확인한다(S110).

[0080] 만일 버퍼 히트 값이 임계 버퍼 히트 값 미만인 라우팅 테이블의 복사본이 존재하는 경우, 메모리 컨트롤러(200)는 버퍼 히트 값이 임계 버퍼 히트 값 미만인 라우팅 테이블의 복사본을 저장하는 제1 메모리 뱅크에 접근하여 제1 메모리 뱅크에 저장된 라우팅 테이블의 복사본을 이용하여 다음 홉 정보를 결정한다(S111).

[0081] 만일 버퍼 히트 값이 임계 버퍼 히트 값 미만인 라우팅 테이블의 복사본이 존재하지 않는 경우, 메모리 컨트롤

러(200)는 유휴 상태(Idle state)인 라우팅 테이블의 복사본이 존재하는지 확인한다(S120).

[0082] 만일 유휴 상태(Idle state)인 라우팅 테이블의 복사본이 존재하는 경우, 메모리 컨트롤러(200)는 유휴 상태(Idle state)인 라우팅 테이블의 복사본을 저장하는 제2 메모리 뱅크에 접근하여 제2 메모리 뱅크에 저장된 라우팅 테이블의 복사본을 이용하여 다음 홉 정보를 결정한다(S121).

[0083] 만일 유휴 상태(Idle state)인 라우팅 테이블의 복사본이 존재하지 않는 경우, 메모리 컨트롤러(200)는 이전에 바인딩 된 라우팅 테이블의 복사본이 존재하는지 확인한다(S130).

[0084] 만일 이전에 바인딩 된 라우팅 테이블의 복사본이 존재하는 경우, 메모리 컨트롤러(200)는 이전에 바인딩 된 라우팅 테이블의 복사본을 저장하는 제3 메모리 뱅크에 접근하여 제3 메모리 뱅크에 저장된 라우팅 테이블의 복사본을 이용하여 다음 홉 정보를 결정한다(S131).

[0085] 만일 이전에 바인딩 된 라우팅 테이블의 복사본이 존재하지 않는 경우, 메모리 컨트롤러(200)는 복수의 메모리 뱅크들 각각에 저장된 라우팅 테이블의 복사본의 바인딩 수를 결정하고(S140), 가장 적게 바인딩 된 라우팅 테이블의 복사본을 저장하는 제4 메모리 뱅크에 접근하여 제4 메모리 뱅크에 저장된 라우팅 테이블의 복사본을 이용하여 다음 홉 정보를 결정한다(S141).

[0086] 즉, 메모리 컨트롤러(200)는 라우팅 테이블의 복사본의 버퍼 히트 값, 유휴 상태 정보 및 바인딩 정보를 고려하여 특정 메모리 뱅크에 과도한 히트를 바인딩하는 것을 방지한다. 도 4에 도시된 방법을 통해 버퍼 히트 값이 임계 버퍼 히트 값 미만이고 이전에 바인딩 된 라우팅 테이블의 복사본에서 높은 버퍼 적중률을 유도하며, 유휴 상태이고 사용률이 낮은 라우팅 테이블의 복사본의 수를 최소화할 수 있다.

[0087] 도 5는 메모리 컨트롤러가 메모리에 저장된 라우팅 테이블을 검색하는 방법을 설명하는 도면이다.

[0088] 도 5에서, 도 1 내지 도 4와 동일한 내용은 그 설명을 생략한다.

[0089] 도 5를 참고하면, 메모리 컨트롤러(200)는 입력 패킷의 IP 주소를 수신한다(S200).

[0090] 메모리 컨트롤러(200)는 라우팅 테이블의 복사본을 각각 저장하는 복수의 메모리 뱅크들로의 접근 빈도를 고려하여, IP 주소에 대응하는 다음 홉 정보를 결정하기 위해 접근할 대상 메모리 뱅크를 결정한다(S210).

[0091] 구체적으로, 메모리 컨트롤러(200)는 복수의 메모리 뱅크들 중에서, 버퍼 히트 값(buffer hit value)이 임계 버퍼 히트 값 미만인 라우팅 테이블의 복사본을 저장하는 제1 메모리 뱅크를 대상 메모리 뱅크로 결정한다.

[0092] 만일 제1 메모리 뱅크가 존재하지 않는 경우, 메모리 컨트롤러(200)는 유휴 상태(Idle state)인 라우팅 테이블의 복사본을 저장하는 제2 메모리 뱅크를 대상 메모리 뱅크로 결정한다.

[0093] 만일 제2 메모리 뱅크가 존재하지 않는 경우, 메모리 컨트롤러(200)는 이전에 바인딩 된 라우팅 테이블의 복사본을 저장하는 제3 메모리 뱅크를 대상 메모리 뱅크로 결정한다.

[0094] 만일 제3 메모리 뱅크가 존재하지 않는 경우, 메모리 컨트롤러(200)는 가장 적게 바인딩 된 라우팅 테이블의 복사본을 저장하는 제4 메모리 뱅크를 대상 메모리 뱅크로 결정한다.

[0095] 대상 메모리 뱅크를 결정하면, 메모리 컨트롤러(200)는 IP 주소를 적어도 하나 이상의 단위 주소들로 분할한다(S220).

[0096] 한편, 도 5에서는 대상 메모리 뱅크를 결정한 이후 IP 주소를 단위 주소들로 분할하였으나, 메모리 컨트롤러(200)는 IP 주소를 단위 주소들로 분할한 이후, 상기 방법을 통해 대상 메모리 뱅크를 결정할 수도 있다.

[0097] 메모리 컨트롤러(200)는 대상 메모리 뱅크에 저장된 외부 표시기를 통해 단위 주소들과 관련된 대상 노드들을 순차적으로 탐색하여 대상 노드들 중에서 자식 노드를 갖지 않는 말단 노드를 결정한다(S230).

[0098] 메모리 컨트롤러(200)는 대상 메모리 뱅크에 저장된 내부 표시기를 통해 말단 노드에 대응하는 다음 홉 정보를 결정한다(S240).

[0099] 본 발명에 따르면, 패킷 라우팅을 수행하기 위해 임의의 트라이 노드에 접근할 때, 추가 탐색이 필요한 자식 노드를 외부 표시기(External Indicators)를 통해 메모리 내에서 우선적으로 결정하면, 존재하지 않을 시에만 내부 표시기 (Internal Indicators)로 노드 내 홉 정보를 추가 조회하기 때문에 상변화 메모리 기반 라우팅 테이블의 조회 성능을 향상시킬 수 있다.

[0100] 또한, 본 발명에 따르면, 예상 처리 속도를 고려하여 패킷 라우팅 수행을 위한 메모리 뱅크를 결정함으로써, 메

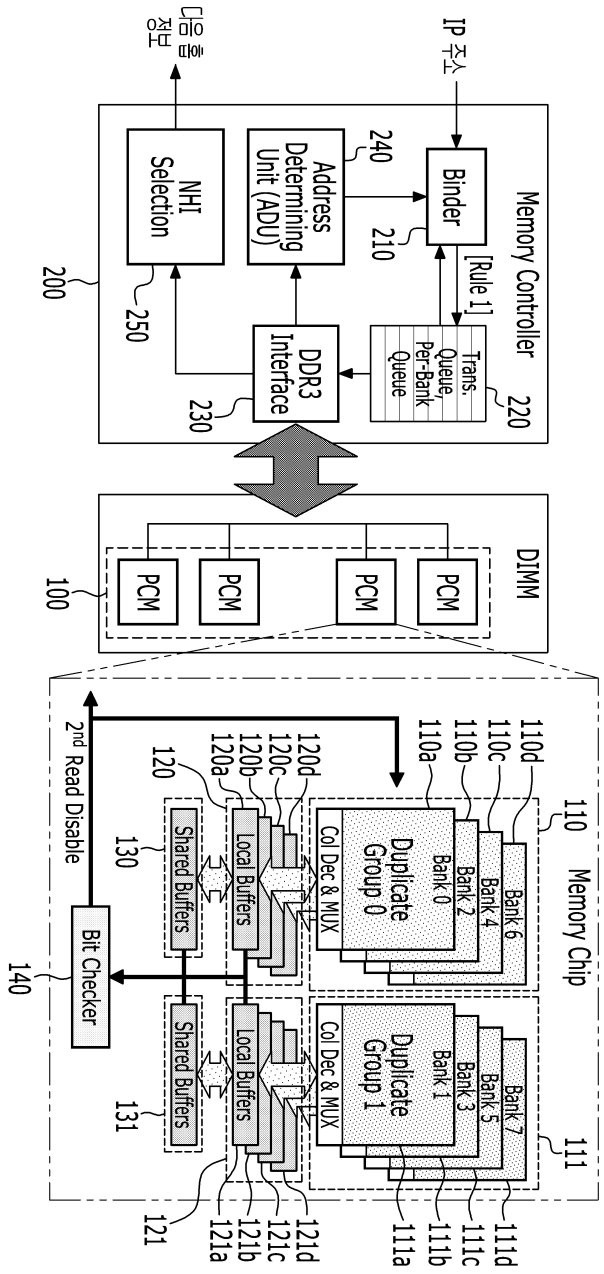
모리 대역폭 효율을 향상시킬 수 있다.

[0101] 또한, 본 발명에 따르면, 다수의 접근이 시도되는 라우팅 테이블 노드 및 수정이 필요한 노드를 공유 버퍼에 저장함으로써, 메모리 뱅크들의 버퍼 접근성을 향상시킬 수 있다.

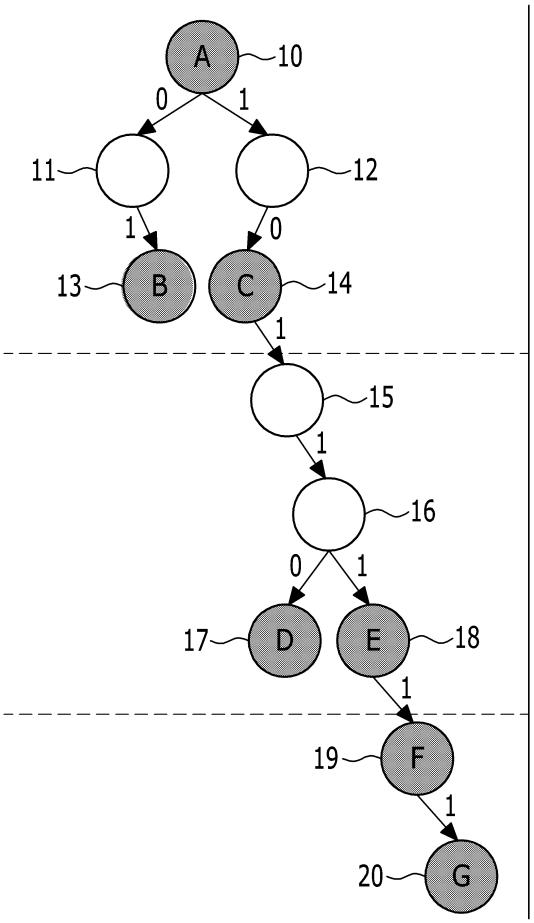
[0102] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면

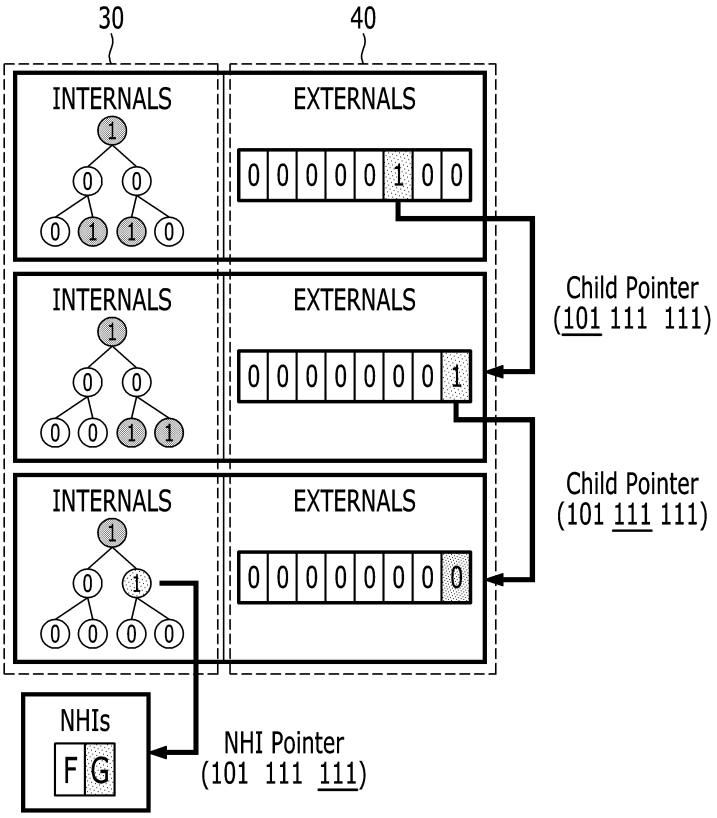
도면1



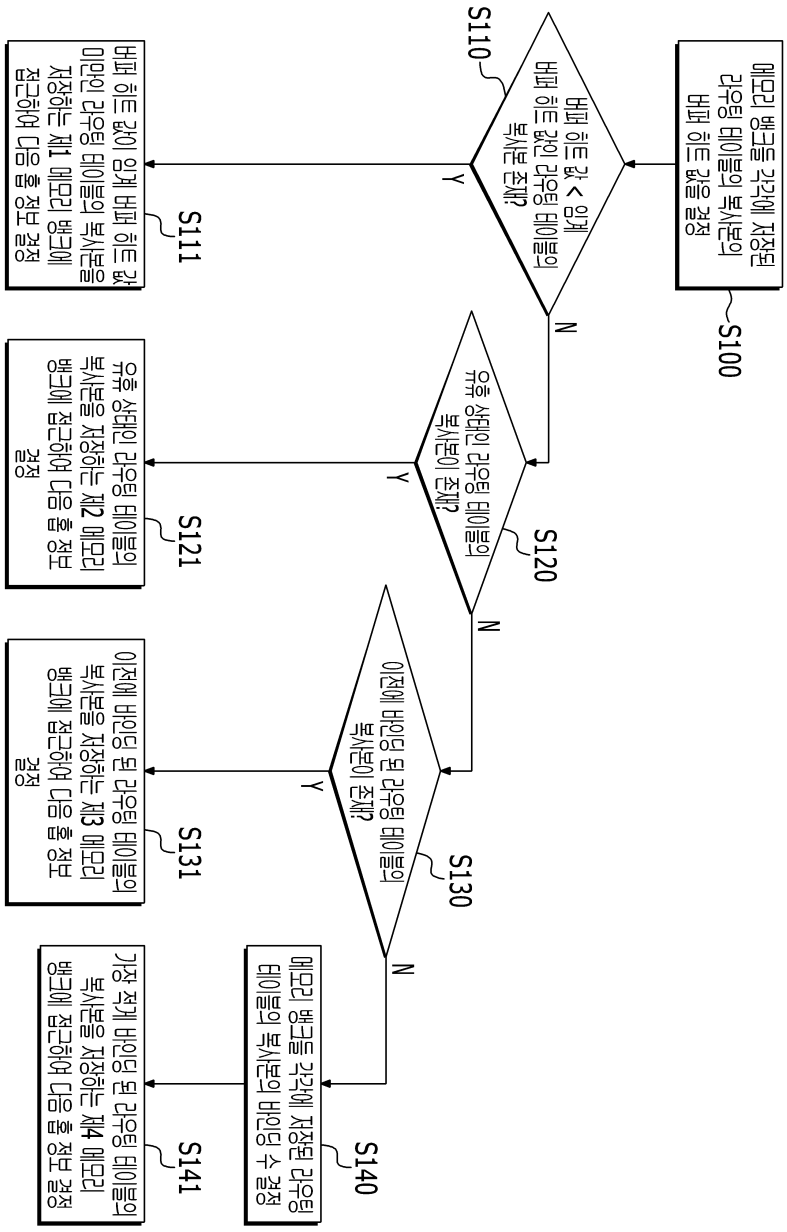
도면2



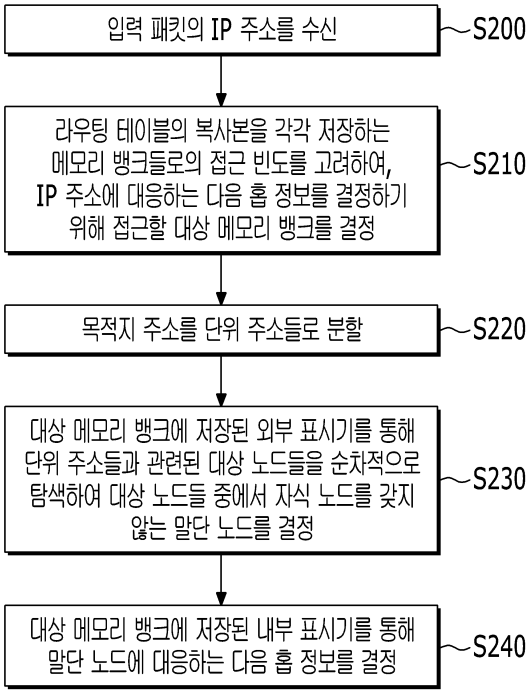
도면3


30
40
INTERNALS
EXTERNALS
0 0 0 0 0 1 0 0
Child Pointer
(101 111 111)
INTERNALS
EXTERNALS
0 0 0 0 0 0 0 1
Child Pointer
(101 111 111)
INTERNALS
EXTERNALS
0 0 0 0 0 0 0 0
NHIs
F G
NHI Pointer
(101 111 111)

도면4


메모리 뱅크들 각각에 저장된 라우팅 테이블의 복사본의 버퍼 히트 값을 결정
S100
버퍼 히트 값 < 임계 버퍼 히트 값인 라우팅 테이블의 복사본 존재?
S110
Y
버퍼 히트 값이 임계 버퍼 히트 값인 미만인 라우팅 테이블의 복사본을 저장하는 제1 메모리 뱅크에 접근하여 다음 홉 정보 결정
S111
N
휴휴 상태인 라우팅 테이블의 복사본이 존재?
S120
Y
휴휴 상태인 라우팅 테이블의 복사본을 저장하는 제2 메모리 뱅크에 접근하여 다음 홉 정보 결정
S121
N
이전에 바인딩 된 라우팅 테이블의 복사본이 존재?
S130
Y
이전에 바인딩 된 라우팅 테이블의 복사본을 저장하는 제3 메모리 뱅크에 접근하여 다음 홉 정보 결정
S131
N
메모리 뱅크들 각각에 저장된 라우팅 테이블의 복사본의 바인딩 수 결정
S140
가장 적게 바인딩 된 라우팅 테이블의 복사본을 저장하는 제4 메모리 뱅크에 접근하여 다음 홉 정보 결정
S141

도면5


입력 패킷의 IP 주소를 수신
S200
라우팅 테이블의 복사본을 각각 저장하는 메모리 뱅크들로의 접근 빈도를 고려하여, IP 주소에 대응하는 다음 홉 정보를 결정하기 위해 접근할 대상 메모리 뱅크를 결정
S210
목적지 주소를 단위 주소들로 분할
S220
대상 메모리 뱅크에 저장된 외부 표시기를 통해 단위 주소들과 관련된 대상 노드들을 순차적으로 탐색하여 대상 노드들 중에서 자식 노드를 갖지 않는 말단 노드를 결정
S230
대상 메모리 뱅크에 저장된 내부 표시기를 통해 말단 노드에 대응하는 다음 홉 정보를 결정
S240