

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 4 区分  
 【発行日】平成 17 年 4 月 7 日 (2005.4.7)

【公開番号】特開 2003-22668 (P2003-22668A)  
 【公開日】平成 15 年 1 月 24 日 (2003.1.24)  
 【出願番号】特願 2002-132918 (P2002-132918)  
 【国際特許分類第 7 版】

G 1 1 C 11/15

G 1 1 C 29/00

【F I】

G 1 1 C 11/15 1 5 0

G 1 1 C 11/15 1 9 5

G 1 1 C 29/00 6 7 5 B

【手続補正書】

【提出日】平成 16 年 5 月 27 日 (2004.5.27)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

温度および動作電圧を含む環境要因に反応する抵抗型クロスポイントメモリ (R X P t M) デバイス (10) において、

複数の R X P t M セル (14) であって、前記複数の R X P t M セルの各々は、一対の磁気層を含み、前記磁気層の一方の層 (34) は磁気の向きが固定され、前記磁気層の他方の層 (36) は磁気の向きが変更可能であり、前記複数の R X P t M セルの各々は、前記一対の磁気層 (34、36) 間に配置された抵抗層 (38) を含み、前記複数の R X P t M セルの各々 (14) が、前記他方の磁気層の各磁気の向きに依存する特有の抵抗を有するようになっていることからなる、複数の R X P t M セルと、

前記複数の R X P t M セル (14) の前記一対の磁気層 (34、36) において互いに交差し、前記磁気層のそれぞれ一方に電気的に接続される格子状の導体と、

前記セル (14) のうちの選択されたセルの抵抗を検出する (読み取る) ために、前記複数の R X P t M セル (14) に関連付けられた可変較正 (すなわち、較正状態を変更することが可能な) センス増幅器 (44) と、

前記センス増幅器 (44) の較正を検査して、選択された R X P t M セル (14) の読み取りを現在の環境要因を考慮して行うための較正コントローラ (50) であって、前記複数の R X P t M セル (14) と、前記センス増幅器 (44) とに関連付けられた、較正コントローラ

を備える、R X P t M デバイス。

【請求項 2】

1 つの基板 (42) をさらに備える請求項 1 の R X P t M デバイス (10) であって、前記 1 つの基板 (42) は、

R X P t M セルアレイ (12) と、

前記可変較正センス増幅器 (44) と、

前記較正コントローラ (50)

を全て支持しており、

前記較正コントローラ (50) が、コンデンサ (54) を有する積分器 (70) と、比

較器（６２）と、プリセット可能なカウンタ（６４）とを備えることからなる、R X P t Mデバイス。

【請求項３】

前記較正コントローラ（５０）が、

前記複数のR X P t Mセル（１４）のうちの選択された１つのセルと前記積分器（７０）とに定電圧を印加するための回路手段と、

前記コンデンサ（５４）から時間とともに変動するコンデンサ放電電圧信号を受信し、かつ前記コンデンサ（５４）が選択された電圧レベルまで放電したことを示す信号を出力する前記比較器（６２）と、

前記出力された比較器信号の値に応じて、導通状態と非導通状態とを切り換える切り換え式接合器（５６）と、

クロックカウントパルス（５８）を生成するクロック源（６０）と、

前記切替え式接合器（５６）が導通状態である間に、前記切替え式接合器（５６）を介して前記クロック源（６０）からクロックカウントパルス（５８）を受信する前記プリセット可能なカウンタ（６４）

を備えることからなる、請求項２に記載のR X P t Mデバイス。

【請求項４】

R X P t Mセルアレイデバイス（１２）において、前記アレイ（１２）の選択されたR X P t Mセル（１４）の抵抗値を検出するために用いられるセンス増幅器（２６）の再較正が必要とされるかを、前記R X P t Mセルアレイ（１２）の時間とともに変動する動作パラメータの現在の値を考慮して検査する方法であって、

前記R X P t Mセルのうちの選択された組の各セル（１４）の抵抗が、選択された事前充電されたコンデンサ（５４）に直列に接続されている間に、前記R X P t Mセルアレイ（１２）の現在の動作パラメータを適用して、前記選択された組の各セルについて平均された時間値を表す平均時間値（１ A T V）を規定するステップと、

前記選択されたR X P t Mセル（１４）の抵抗と、前記選択された事前充電されたコンデンサ（５４）との直列の接続を示す時間値（ $t$ ）を決定するステップと、

前記時間値（ $t$ ）と前記平均時間値（１ A T V）とを比較し、それらの差の値を決定するステップと、

前記差の値が第１の所定の範囲を超える場合には、前記センス増幅器（２６）を再較正するステップ

を含む、方法。

【請求項５】

前記差の値が前記第１の所定の範囲を超え、かつ、第２の所定の範囲も超える場合には、前記差の値を無視して、前記センス増幅器（２６）を再較正しないステップをさらに含む、請求項４に記載の方法。

【請求項６】

自己較正抵抗型クロスポイントメモリ（R X P t M）セルアレイチップ（４０）であって、前記R X P t Mセルアレイチップ（４０）は、複数のメモリセルのアレイ（１２）を画定する基板（４２）と、それぞれが、前記複数のメモリセルのアレイ（１２）のメモリセル（１４）のグループに関連付けられるセンス増幅器のアレイ（４４）と、前記関連付けられたセンス増幅器を介して前記各メモリセル（１４）からのデータ読み取りの有効性を検査するための回路手段とを有し、前記チップ（４０）は、

基板（４２）と、

前記基板（４２）上に画定される複数のR X P t Mセルの矩形形状のアレイ（１２）であって、前記R X P t Mセルの各々のセル（１４）が、一对の磁気層（３４、３６）を含み、前記一对の磁気層（３４、３６）の磁化の相対的な方向に応じた抵抗値を有することからなる、複数のR X P t Mセルの矩形形状のアレイと、

前記アレイ（１２）の前記複数のR X P t Mセルの各セル（１４）において互いに交差し、前記複数のR X P t Mセルの各セル（１４）に電氣的に接続される格子状の導電性の

ワード線およびビット線（１６、１８）であって、前記アレイ（１２）の各ＲＸＰｔＭセル（１４）の前記抵抗値は、前記各メモリセル（１４）において交差する前記ワード線と前記ビット線（１６、１８）との間に接続されることからなる、格子状の導電性のワード線およびビット線と、

前記複数のＲＸＰｔＭセル（１４）のうちの選択されたセルの抵抗を検出するために、前記基板（４２）上に形成され、前記複数のＲＸＰｔＭセル（１４）のうちの複数のセルにそれぞれが関連付けられた、可変校正センス増幅器のアレイ（４４）と、

前記複数のメモリセル（１４）のうちの選択されたメモリセルと、特定のセンス増幅器（２６）との電気的接続を検査して、前記特定のセンス増幅器（２６）について許容可能な校正を行うために、前記基板（４２）上に形成され、前記ＲＸＰｔＭセルのアレイ（１２）と前記センス増幅器のアレイ（４４）とに関連付けられた、校正コントローラ（５０）

を備える、自己校正抵抗型クロスポイントメモリ（ＲＸＰｔＭ）セルアレイチップ。

【請求項 ７】

前記校正コントローラ（５０）が、コンデンサ（５４）を有する積分器（７０）と、比較器（６２）と、プリセット可能なカウンタ（６４）とをさらに備えることからなる、請求項 ６ に記載のメモリセルアレイチップ。

【請求項 ８】

前記校正コントローラ（５０）が、前記コンデンサ（５４）用の制御された充電電圧源への接続を有するスイッチ（５４'）をさらに備え、前記スイッチ（５４'）は、閉じられると、前記コンデンサ（５４）を事前充電するために、前記制御された充電電圧を前記コンデンサ（５４）に伝えることからなる、請求項 ７ に記載のメモリセルアレイチップ。

【請求項 ９】

前記積分器（７０）が、前記事前充電されたコンデンサ（５４）と、前記複数のＲＸＰｔＭセル（１４）の中から選択された抵抗性負荷（６６）とを備える、請求項 ７ に記載のメモリセルアレイチップ。

【請求項 １０】

前記比較器（６２）が、前記事前充電されたコンデンサ（５４）への接続と、基準電圧源への接続とを含む、請求項 ７ に記載のメモリセルアレイチップ。

【請求項 １１】

前記プリセット可能なカウンタ（６４）が、前記比較器（６２）の制御下で開閉する切替え式接合器（５６）を介して前記比較器（６２）に接続するための接続部と、前記切替え式接合器（５６）を介してクロックパルス（５８）のクロック源（６０）に接続するための接続部とを含む、請求項 ７ に記載のメモリチップ。