(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2009 年2 月5 日 (05.02.2009)

PCT

(10) 国際公開番号
WO 2009/016778 A1

(51) 国際特許分類:
H01L 29/786 (2006.01) *H01L 21/336* (2006.01)
H01L 21/265 (2006.01)

(21) 国際出願番号: PCT/JP2008/000303

(22) 国際出願日: 2008 年2 月22 日 (22.02.2008)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2007-195860 2007 年7 月27 日 (27.07.2007) JP

(71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 5718501 大阪府門真市大字門真１００６番地 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 佐々木 雄一朗 (SASAKI, Yuichiro). 岡下 勝己 (OKASHITA, Katsumi). 中本 圭一 (NAKAMOTO, Keiichi). 金田 久隆 (KANADA, Hisataka). 水野 文二 (MIZUNO, Bunji).

(74) 代理人: 前田 弘, 外 (MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町２丁目５番７号 大阪丸紅ビル Osaka (JP).

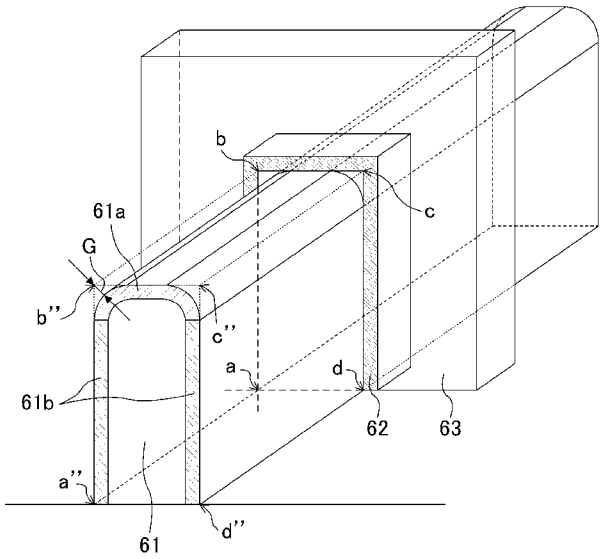
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) **Title:** SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(54) **発明の名称:** 半導体装置及びその製造方法

[図12]



(57) **Abstract:** A gate insulating film (62) is so formed as to straddle a fin-shaped semiconductor region (61) having an impurity region (61a) in the upper portion and an impurity region (61b) in the side portions. The curvature radius r' of the upper corner of a part of the fin-shaped semiconductor region (61) located outside the gate insulating film (62) is larger than the curvature radius r of the upper corner of another part of the fin-shaped semiconductor region (61) located below the gate insulating film (62), but not larger than 2r.

(57) 要約: 上部に不純物領域６１ａ及び側部に不純物領域６１ｂを有するフィン型半導体領域６１を跨ぐようにゲート絶縁膜６２が形成されている。ゲート絶縁膜６２の外側に位置する部分のフィン型半導体領域６１における上部コーナーの曲率半径ｒ’は、ゲート絶縁膜

[続葉有]

WO 2009/016778 A1

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

６２の下側に位置する部分のフィン型半導体領域６１における上部コーナーの曲率半径ｒよりも大きく且つ２ｒ以下である。

明　細　書

半導体装置及びその製造方法

技術分野

[0001]

本発明は、半導体装置及びその製造方法に関し、特に、基板上にフィン形状の半導体領域を有する３次元構造の半導体装置及びその製造方法に関するものである。

背景技術

[0002] 近年、半導体装置の高集積化、高機能化及び高速化に伴って、益々半導体装置の微細化の要求が高まっている。そこで、基板上におけるトランジスタの占有面積の低減を目指して種々のデバイス構造が提案されている。その中でも、フィン型構造を持つ電界効果トランジスタが注目されている。このフィン型構造を持つ電界効果トランジスタは、一般的にフィン型ＦＥＴ（field effect transistor ）と呼ばれ、基板の主面に対して垂直な薄い壁（フィン）状の半導体領域からなる活性領域を有している。フィン型ＦＥＴにおいては、半導体領域の側面をチャネル面として用いることができるため、基板上におけるトランジスタの占有面積を低減することができる（例えば特許文献１、非特許文献１参照）。

[0003] 図１７（ａ）～（ｄ）は、従来のフィン型ＦＥＴの構造を示す図であり、図１７（ａ）は平面図であり、図１７（ｂ）は図１７（ａ）におけるＡ－Ａ線の断面図であり、図１７（ｃ）は図１７（ａ）におけるＢ－Ｂ線の断面図であり、図１７（ｄ）は図１７（ａ）におけるＣ－Ｃ線の断面図である。

[0004] 従来のフィン型ＦＥＴは、図１７（ａ）～（ｄ）に示すように、シリコンからなる支持基板１０１と、支持基板１０１上に形成された酸化シリコンからなる絶縁層１０２と、絶縁層１０２上にフィン形状に形成された半導体領域（以下、「フィン型半導体領域」と称する）１０３ａ～１０３ｄと、フィン型半導体領域１０３ａ～１０３ｄ上にゲート絶縁膜１０４ａ～１０４ｄを

介して形成されたゲート電極１０５と、ゲート電極１０５の側面上に形成された絶縁性サイドウォールスペーサ１０６と、フィン型半導体領域１０３ａ～１０３ｄにおけるゲート電極１０５を挟む両側方領域に形成されたエクステンション領域１０７と、フィン型半導体領域１０３ａ～１０３ｄにおけるゲート電極１０５及び絶縁性サイドウォールスペーサ１０６を挟む両側方領域に形成されたソース・ドレイン領域１１７とを有している。フィン型半導体領域１０３ａ～１０３ｄは、絶縁層１０２上においてゲート幅方向に一定間隔で並ぶように配置されている。ゲート電極１０５は、ゲート幅方向にフィン型半導体領域１０３ａ～１０３ｄを跨ぐように形成されている。エクステンション領域１０７は、フィン型半導体領域１０３ａ～１０３ｂのそれぞれの上部に形成された第１の不純物領域１０７ａと、フィン型半導体領域１０３ａ～１０３ｂのそれぞれの側部に形成された第２の不純物領域１０７ｂとから構成されている。また、ソース・ドレイン領域１１７は、フィン型半導体領域１０３ａ～１０３ｂのそれぞれの上部に形成された第３の不純物領域１１７ａと、フィン型半導体領域１０３ａ～１０３ｂのそれぞれの側部に形成された第４の不純物領域１１７ｂとから構成されている。尚、ポケット領域の説明及び図示については省略する。

[0005] 図１８（ａ）～（ｄ）は、従来の半導体装置の製造方法を工程順に示す断面図である。尚、図１８（ａ）～（ｄ）は、図１７（ａ）におけるＣ－Ｃ線の断面構成と対応している。また、図１８（ａ）～（ｄ）において、図１７（ａ）～（ｄ）に示す構造と同一の構成要素には同一の符号を付し、重複する説明を省略する。

[0006] まず、図１８（ａ）に示すように、シリコンからなる支持基板１０１上に酸化シリコンからなる絶縁層１０２が設けられ、且つ絶縁層１０２上にシリコンからなる半導体層を備えたＳＯＩ（silicon on insulator）基板を準備する。その後、当該半導体層をパターニングして、活性領域となるフィン型半導体領域１０３ｂを形成する。

[0007] 次に、図１８（ｂ）に示すように、フィン型半導体領域１０３ｂの表面に

ゲート絶縁膜１０４を形成した後、支持基板１０１上の全面に亘ってポリシリコン膜１０５Ａを形成する。

[0008] 次に、図１８（ｃ）に示すように、ポリシリコン膜１０５Ａ及びゲート絶縁膜１０４を順次エッチングして、フィン型半導体領域１０３ｂ上にゲート絶縁膜１０４ｂを介してゲート電極１０５を形成する。その後、ゲート電極１０５をマスクとして、半導体領域１０３ｂに不純物をイオン注入して、エクステンション領域１０７及びポケット領域（図示省略）を形成する。

[0009] 次に、図１８（ｄ）に示すように、支持基板１０１上の全面に亘って絶縁膜を形成した後、異方性ドライエッチングを用いて当該絶縁膜をエッチバックすることにより、ゲート電極１０５の側面上に絶縁性サイドウォールスペーサ１０６を形成する。その後、ゲート電極１０５及びサイドウォール１０６をマスクとして、半導体領域１０３ｂに不純物をイオン注入して、ソース・ドレイン領域１１７を形成する。

[0010] 以上の工程により、フィン型半導体領域１０３ｂ上にゲート絶縁膜１０４ｂを介して形成されたゲート電極１０５を有するフィン型ＭＩＳＦＥＴ（metal insulator semiconductor field effect transistor ）を得ることができる。

[0011] ところで、近年、フィン形状の半導体領域の上面及び側面に対してコンフォーマルにドーピングを行うためにプラズマドーピングを用いることが注目されている。コンフォーマルにドーピングを行うために用いられるプラズマドーピング法としては、例えばパルスＤＣプラズマ技術が提案されている（非特許文献１）。これは、プラズマを断続的に発生させる方法であり、エッチングが生じ難いというメリットがあるものの、フィン形状の半導体領域へのドーピングに用いた場合には、当該半導体領域において側面の抵抗率が上面の抵抗率と比べて大きくなってしまうという問題点がある。

[0012] 尚、プラズマドーピング法としては、非特許文献１のパルスＤＣプラズマ技術の他、代表的なものとして特許文献２に開示された方法がある。特許文献２には、誘導結合プラズマ（ＩＣＰ）方式を用いた技術が提案されている

。これは、パルスＤＣプラズマ方式と比べて比較的長い時間領域（ドーピング時間）を用いることによって、例えば直径３００ｍｍのウェハ等の大きな基板の面内に均一にドーピングを行うことに優れた方法である。

[0013] また、特許文献３には、トレンチ側面にコンフォーマルにドーピングを行うためのプラズマドーピング方法が開示されている。但し、これは、トレンチ側面のみにドーピングを行うことに関する技術であり、フィン形状の半導体領域の上面及び側面に対してドーピングを行うことを目的とするものではない。すなわち、特許文献３に開示されているような側面のみにドーピングを行う方法においては上面をマスクしてドーピングを行うため、後述するような本発明の効果、上面及び側面に対するコンフォーマルなドーピングの実現や、フィン形状の半導体領域の上部コーナーの削れの防止等の効果を奏することはない。

特許文献1：特開２００６－１９６８２１号公報

特許文献2：国際公開第２００６／０６４７７２号公報

特許文献3：特開平１－２９５４１６号公報

非特許文献1：D.Lenoble 他、Enhanced performance of PMOS MUGFET via integration of conformal plasma-doped source/drain extensions、2006 Symposium on VLSI Technology Digest of Technical Papers、p.212

発明の開示

発明が解決しようとする課題

[0014] しかしながら、前述の特許文献１又は非特許文献１等に開示されている従来の半導体装置の製造方法によると、所望のトランジスタ特性が得られないという問題点がある。

[0015] 前記に鑑み、本発明は、所望の特性が得られるフィン型半導体領域を有する半導体装置（例えば、ドレイン電流の実質的な減少が生じない装置）を実現することを目的とする。

課題を解決するための手段

[0016] 前記の目的を達成するために、本願発明者らは、従来のフィン型ＦＥＴの

製造方法によって所望のトランジスタ特性が得られない理由を検討した結果、次のような知見を得るに至った。

[0017] 図１９（ａ）は、特許文献１におけるフィン型ＦＥＴのエクステンション領域を形成する工程を示した断面図であり、図１９（ｂ）は、非特許文献１におけるフィン型ＦＥＴのエクステンション領域を形成する工程を示した断面図である。尚、図１９（ａ）及び（ｂ）は、図１７（ａ）におけるＢ－Ｂ線の断面構成と対応している。また、図１９（ａ）及び（ｂ）において、図１７（ａ）～（ｄ）に示す構造と同一の構成要素には同一の符号を付し、重複する説明を省略する。

[0018] 図１９（ａ）に示すように、特許文献１に開示された方法においては、フィン型半導体領域１０３ａ～１０３ｄの上面のみならず側面にも不純物を導入するために、イオン注入によってイオン１０８ａ及び１０８ｂをそれぞれ、鉛直方向に対して互いに異なる側に傾いた注入角度でフィン型半導体領域１０３ａ～１０３ｄに注入することによって、エクステンション領域１０７を形成する。この場合、フィン型半導体領域１０３ａ～１０３ｄの上部には、イオン１０８ａ及びイオン１０８ｂの両方が注入されてなる第１の不純物領域１０７ａが形成される。しかしながら、フィン型半導体領域１０３ａ～１０３ｄの各側部には、イオン１０８ａ又はイオン１０８ｂのいずれか一方のみが注入されてなる第２の不純物領域１０７ｂが形成される。すなわち、イオン１０８ａのドーズ量とイオン１０８ｂのドーズ量とが同じである場合、第１の不純物領域１０７ａの注入ドーズ量は、第２の不純物領域１０７ｂの注入ドーズ量の２倍の大きさになってしまう。

[0019] また、図１９（ｂ）に示すように、非特許文献１に開示された方法においては、プラズマドーピング法を用いてフィン型半導体領域１０３ａ～１０３ｄにエクステンション領域１０７を形成する。プラズマドーピング法を用いて不純物注入を行った場合、フィン型半導体領域１０３ａ～１０３ｄの上部には、注入イオン１０９ａと、吸着種（ガス分子やラジカル等の中性種）１０９ｂと、スパッタリングによってフィン型半導体領域１０３ａ～１０３ｄ

を離脱する不純物１０９ｃとのバランスによって決まる注入ドーズ量を持つ第１の不純物領域１０７ａが形成される。しかしながら、フィン型半導体領域１０３ａ～１０３ｄの各側部の注入ドーズ量については、注入イオン１０９ａやスパッタリングによる離脱不純物１０９ｃの影響は小さく、主として吸着種１０９ｂによって決まる注入ドーズ量を持つ第２の不純物領域１０７ｂが形成される。その結果、第１の不純物領域１０７ａの注入ドーズ量は、第２の不純物領域１０７ｂの注入ドーズ量と比べて例えば２５%程度以上高くなるので、第１の不純物領域１０７ａのシート抵抗は、第２の不純物領域１０７ｂのシート抵抗と比べて例えば２５%程度以上低くなる。

[0020] また、フィン型半導体領域に不純物領域を形成するために特許文献２に開示されたプラズマドーピング法を適用した場合、次のような問題がある。図２０（ａ）に示すように、特許文献２に開示されたプラズマドーピング法（プラズマ生成ガスはB_2H_6／Ｈｅ）を平坦な半導体領域１５１に適用した場合、半導体領域１５１を構成するシリコンの削れ量は１ｎｍ／ｍｉｎ以下である。しかしながら、図２０（ｂ）に示すように、特許文献２に開示されたプラズマドーピング法を用いてフィン型半導体領域に不純物領域を形成した場合、平坦な半導体領域１５１上のフィン型半導体領域１５２の上部コーナーの削れ量は１０ｎｍ／ｍｉｎよりも大きくなってしまう。図２１は、このような問題が生じたフィン型半導体領域上にゲート絶縁膜を介してゲート電極を形成した様子を表す斜視図である。図２１に示すように、上部に不純物領域１６１ａ及び側部に不純物領域１６１ｂを有するフィン型半導体領域１６１を跨ぐようにゲート絶縁膜１６２を介してゲート電極１６３が形成されている。ここで、ａ、ｂ、ｃ、ｄは、鞍馬形状のゲート絶縁膜１６２の内壁のうちソース側のコーナーを表し、ａ''、ｂ''、ｃ''、ｄ''は、フィン型半導体領域１６１のソース側端面までコーナーａ、ｂ、ｃ、ｄを平行移動させたものである。すなわち、フィン型半導体領域１６１の上部コーナーの削れ量Ｇは当該上部コーナーからｂ''又はｃ''までの距離であり、当該上部コーナーの曲率半径をｒとすると、Ｇ＝（√２－１）・ｒである（ドーピング前

の上部コーナーの曲率半径ｒ’が０の場合）。フィン型半導体領域１６１の上部コーナーの削れ量Ｇが大きくなると、ゲート絶縁膜１６２の内壁コーナーｂ又はｃと例えばエクステンション領域となる不純物領域１６１ａ又は１６１ｂとの間に意図しない隙間が生じてしまう。

[0021] 以上に説明したように、従来のフィン型ＦＥＴのエクステンション領域の形成方法によると（図１７、図１８参照）、フィン型半導体領域１０３ａ～１０３ｄの上部に形成される第１の不純物領域１０７ａの注入ドーズ量が、フィン型半導体領域１０３ａ～１０３ｄの側部に形成される第２の不純物領域１０７ｂの注入ドーズ量と比べて高くなる。また、第２の不純物領域１０７ｂの接合深さは、第１の不純物領域１０７ａの接合深さと比べて浅くなる。これにより、第１の不純物領域１０７ａのシート抵抗、比抵抗又は拡がり抵抗は、第２の不純物領域１０７ｂのシート抵抗、比抵抗又は拡がり抵抗と比べて低くなる。尚、対象物のシート抵抗をＲｓ、抵抗率（比抵抗）をρ、厚さ（接合深さ）をｔ、拡がり抵抗をρｗとすると、Ｒｓ＝ρ／ｔである。また、拡がり抵抗測定において広く知られている関係式ρｗ＝ＣＦ×ｋ×ρ／２πｒに表されているように、抵抗率（比抵抗）ρと拡がり抵抗ρｗとは基本的には１対１の関係にあるので、Ｒｓとρｗ／ｔとの間には比例関係が成り立つ。前記関係式において、ＣＦは拡がり抵抗ρｗの体積効果を考慮した補正項（補正無しの場合にはＣＦ＝１）であり、ｋは探針と試料との間のショットキー障壁における極性依存性を考慮した補正項（例えば試料がｐ型シリコンの場合にはｋ＝１、試料がｎ型シリコンの場合にはｋ＝１～３）であり、ｒは探針先端の曲率半径である。

[0022] このようなエクステンション構造を有するフィン型ＦＥＴを動作させた場合、エクステンション領域１０７を流れる電流は、第２の不純物領域１０７ｂと比べて注入ドーズ量が高い、つまりシート抵抗が低い第１の不純物領域１０７ａに集中するため、所望のトランジスタ特性が得られないという問題が生じる。

[0023] また、従来のフィン型ＦＥＴでは（図１７、図１８参照）、ソース・ドレ

イン領域もエクステンション領域と同様なイオン注入法やプラズマドーピング法を用いて形成される。そのため、ソース・ドレイン領域１１７においても、フィン型半導体領域１０３ａ～１０３ｄの上部に形成される第３の不純物領域１１７ａの注入ドーズ量が、フィン型半導体領域１０３ａ～１０３ｄの側部に形成される第４の不純物領域１１７ｂの注入ドーズ量と比べて高くなる。また、第４の不純物領域１１７ｂの接合深さは、第３の不純物領域１１７ａの接合深さと比べて浅くなる。このようなソース・ドレイン構造を有するフィン型ＦＥＴを動作させた場合、ソース・ドレイン領域１１７を流れる電流は、第４の不純物領域１１７ｂと比べて注入ドーズ量が高い、つまりシート抵抗が低い第２の不純物領域１１７ａに集中するため、所望のトランジスタ特性が得られないという問題が生じる。

[0024] また、従来のフィン型ＦＥＴのエクステンション領域の形成方法によると（図２１参照）、フィン型半導体領域１６１を跨ぐゲート絶縁膜１６２の内壁とフィン型半導体領域１６１のエクステンション領域との間に意図しない隙間が生じてしまう。このようなエクステンション構造を有するフィン型ＦＥＴを動作させた場合、エクステンション領域を流れる電流が、フィン型半導体領域１６１の上部コーナーでは流れ難くなるため、所望のトランジスタ特性が得られないという問題が生じる。

[0025] 前述の知見に基づき、本願発明者らは、プラズマドーピング時の圧力を０．６Ｐａ以下、より好ましくは０．５Ｐａ以下に設定することによって、フィン型半導体領域の側部に、フィン型半導体領域の上部と比べて８０％以上の注入ドーズ量を有する不純物領域を備えた半導体装置を実現する方法を発明するに至った。特に、フィン型ＦＥＴでは、エクステンション領域及びソース・ドレイン領域のゲート幅方向の幅においてフィン型半導体領域の側部に形成される不純物領域の幅が占める割合が７０％以上に達する場合もあるので、フィン型半導体領域の側部に形成される不純物領域の注入ドーズ量を、フィン型半導体領域の上部に形成される不純物領域の注入ドーズ量と比べて可能な限り同等に、或いは同等以上にすることが重要になってきている。

言い換えれば、フィン型半導体領域の側部に形成される不純物領域の比抵抗、拡がり抵抗又はシート抵抗を、フィン型半導体領域の上部に形成される不純物領域の比抵抗、拡がり抵抗又はシート抵抗の１．２５倍以下に設定することが重要になってきている。

[0026] 尚、プラズマドーピング時の圧力の下限については、スループットや装置限界等の支障がない範囲において低く設定することができるが、例えば現行のＩＣＰ方式のプラズマ装置の性能等を考慮した場合には当該下限は０．１Ｐａ程度であり、将来的に予定されているプラズマ装置の性能を考慮した場合には当該下限は０．０１Ｐａ程度である。

[0027] すなわち、本発明に係る第１の半導体装置は、基板上に形成され、且つ上面及び側面を有する第１の半導体領域と、前記第１の半導体領域の上部に形成された第１導電型の第１の不純物領域と、前記第１の半導体領域の側部に形成された第１導電型の第２の不純物領域と、前記第１の半導体領域の所定の部分における少なくとも側面及び上部コーナーを覆うように形成されたゲート絶縁膜とを備え、前記ゲート絶縁膜の外側に位置する部分の前記第１の半導体領域における上部コーナーの曲率半径ｒ’は、前記ゲート絶縁膜の下側に位置する部分の前記第１の半導体領域における上部コーナーの曲率半径ｒよりも大きく且つ２ｒ以下である。

[0028] 本発明の第１の半導体装置において、上面及び側面を有する第１の半導体領域つまりフィン型半導体領域の側部に形成された第２の不純物領域の注入ドーズ量が、フィン型半導体領域の上部に形成された第１の不純物領域の注入ドーズ量の８０％（より好ましくは９０％）程度以上であれば、言い換えると、第２の不純物領域のシート抵抗が第１の不純物領域のシート抵抗、比抵抗又は拡がり抵抗の１．２５倍以下（より好ましくは１．１倍以下）であれば、従来技術と比べてトランジスタ特性を顕著に改善することができる。

[0029] また、「フィン型半導体領域の側面の高さ」／「フィン型半導体領域の上面のゲート幅方向の幅」（以下、アスペクト比と称する）が小さければ、第２の不純物領域の注入ドーズ量が第１の不純物領域の注入ドーズ量と比べて

ある程度小さくても、トランジスタ特性の劣化は少ない。一方、このアスペクト比が大きくなるに従って、第２の不純物領域の注入ドーズ量を第１の不純物領域の注入ドーズ量と比べて８０％以上にする必要性が増す。

[0030] また、第１の半導体領域に設けられた不純物領域とゲート絶縁膜の内壁との隙間を完全にゼロにするためには、プラズマドーピングを用いた第１の半導体領域に対するエッチング量を完全にゼロにしなければならない。そのためには、イオン密度が極端に小さい条件を用いなければならないので、プラズマドーピング処理に要する時間が極端に長くなり、生産性が極端に低下する。従って、第１の半導体領域に設けられた不純物領域とゲート絶縁膜の内壁との隙間がゼロよりも大きく且つ１０ナノメートル程度以下であれば、言い換えると、ゲート絶縁膜の外側に位置する部分の第１の半導体領域における上部コーナーの曲率半径ｒ’が、ゲート絶縁膜の下側に位置する部分の第１の半導体領域における上部コーナーの曲率半径ｒよりも大きく且つ２ｒ以下であれば、トランジスタ特性の劣化を少なく抑制しつつ、プラズマドーピング処理の生産性を確保することもできる。

[0031] 本発明の第１の半導体装置において、前記第２の不純物領域の接合深さは、前記第１の不純物領域の接合深さと比べて同等以上であってもよい。

[0032] 本発明の第１の半導体装置において、前記第１の半導体領域はフィン形状を有していてもよい。

[0033] 本発明の第１の半導体装置において、前記第１の半導体領域は、前記基板上に形成された絶縁層上に形成されていてもよい。

[0034] 本発明の第１の半導体装置において、前記ゲート絶縁膜上に形成されたゲート電極をさらに備え、前記第１の不純物領域及び前記第２の不純物領域は、前記第１の半導体領域における前記所定の部分以外の他の部分に形成されていると、フィン型ＦＥＴを構成することができる。この場合、前記ゲート絶縁膜は、前記第１の半導体領域の前記所定の部分における上面上にも形成されていてもよい。また、前記第１の不純物領域及び前記第２の不純物領域はＰ型のエクステンション領域であってもよい。さらに、前記ゲート電極の

側面上に形成された絶縁性サイドウォールスペーサと、前記第１の半導体領域の上部に形成された第１導電型の第３の不純物領域と、前記第１の半導体領域の側部に形成された第１導電型の第４の不純物領域とをさらに備え、前記第４の不純物領域のシート抵抗（シート抵抗に代えて比抵抗又は拡がり抵抗であっても良い）は前記第３の不純物領域のシート抵抗（シート抵抗に代えて比抵抗又は拡がり抵抗であっても良い）の１．２５倍以下であり、前記第３の不純物領域及び前記第４の不純物領域は、前記第１の半導体領域の前記他の部分のうちの前記絶縁性サイドウォールスペーサの外側に位置する部分に形成されていてもよい。ここで、前記第３の不純物領域及び前記第４の不純物領域はＰ型のソース・ドレイン領域であってもよい。

[0035] 本発明の第１の半導体装置において、前記ゲート絶縁膜上に形成されたゲート電極をさらに備え、前記第１の不純物領域及び前記第２の不純物領域は、前記第１の半導体領域における前記所定の部分以外の他の部分に形成されている場合、前記ゲート電極の側面上に形成された絶縁性サイドウォールスペーサをさらに備え、前記第１の不純物領域及び前記第２の不純物領域は、前記第１の半導体領域の前記他の部分のうち前記絶縁性サイドウォールスペーサの外側に位置する部分に形成されていてもよい。ここで、前記第１の不純物領域及び前記第２の不純物領域はＰ型のソース・ドレイン領域であってもよい。

[0036] 本発明の第１の半導体装置において、前記ゲート絶縁膜上に形成されたゲート電極をさらに備え、前記第１の不純物領域及び前記第２の不純物領域は、前記第１の半導体領域における前記所定の部分以外の他の部分に形成されている場合、前記第１の半導体領域の側面の高さが、前記第１の半導体領域の上面におけるゲート幅方向の幅と比べて大きいと、本発明による効果が顕著に得られる。

[0037] 本発明に係る第２の半導体装置は、基板上に形成され、且つ上面及び側面をそれぞれ有する複数の半導体領域と、前記複数の半導体領域のそれぞれの上部に形成された第１導電型の第１の不純物領域と、前記複数の半導体領域

のそれぞれの側部に形成された第１導電型の第２の不純物領域と、前記複数の半導体領域の所定の部分における少なくとも側面及び上部コーナーを覆うように形成された複数のゲート絶縁膜とを備え、前記複数のゲート絶縁膜の外側に位置する部分の前記複数の半導体領域における上部コーナーの曲率半径ｒ’は、前記複数のゲート絶縁膜の下側に位置する部分の前記複数の半導体領域における上部コーナーの曲率半径ｒよりも大きく且つ２ｒ以下である。

[0038] 本発明の第２の半導体装置において、上面及び側面を有する複数の半導体領域つまりフィン型半導体領域の側部に形成された第２の不純物領域の注入ドーズ量が、フィン型半導体領域の上部に形成された第１の不純物領域の注入ドーズ量の８０％（より好ましくは９０％）程度以上であれば、言い換えると、第２の不純物領域のシート抵抗、比抵抗又は拡がり抵抗が第１の不純物領域のシート抵抗、比抵抗又は拡がり抵抗の１．２５倍以下（より好ましくは１．１倍以下）であれば、従来技術と比べてトランジスタ特性を顕著に改善することができる。

[0039] 本発明の第２の半導体装置において、前記複数の半導体領域のそれぞれの上にゲート絶縁膜を介して形成されたゲート電極をさらに備え、前記ゲート電極はゲート幅方向に前記複数の半導体領域を跨いでいると、フィン型ＦＥＴを構成することができる。このとき、前記第１の不純物領域及び前記第２の不純物領域はＰ型のエクステンション領域であってもよいし、又はＰ型のソース・ドレイン領域であってもよい。

[0040] 本発明の第２の半導体装置において、前記複数の半導体領域のそれぞれにおけるゲート長方向の両端部を接続する第３の半導体領域をさらに備えていてもよい。

[0041] 本発明に係る半導体装置の製造方法は、前述の本発明の第１又は第２の半導体装置を製造するための方法であって、基板上に、上面及び側面を有する第１の半導体領域を形成する工程（ａ）と、前記第１の半導体領域に第１導電型の不純物をプラズマドーピング法によって注入し、それにより、前記第

１の半導体領域の上部に第１の不純物領域を形成すると共に、前記第１の半導体領域の側部に第２の不純物領域を形成する工程（ｂ）とを備え、前記工程（ｂ）において、プラズマドーピング時の圧力を０．６Ｐａ以下に設定する。

[0042] すなわち、本発明の半導体装置の製造方法は、プラズマドーピング法を用いた場合におけるフィン形状の半導体領域に対するエッチング量及び注入ドーズ量の制御に特徴を有しており、プラズマドーピング時における圧力を調整することによってエッチング量を抑制することが可能となると共に、ドーピング後にアニールを実施することによって、注入ドーズ量の制御を通じてシート抵抗を所望の値に制御することが可能となる。

[0043] 具体的には、プラズマドーピングにおいて、原料ガスをプラズマ中に供給すると、ラジカル、イオン又は原料ガスの構成分子若しくは当該分子が分解してなる分子若しくは原子がプラズマ中に存在することになるが、本発明は、

（１）プラズマ中のイオンは基本的に基板主面に対して垂直に入射すること

（２）プラズマ中のガス分子やラジカル等の中性種は基板主面に対してランダムな方向から入射すること

（３）半導体中に導入された不純物はイオンとして導入されても中性種として導入されても熱処理によって活性化されて電気伝導に寄与すること

に着目し、これらのイオン、ガス分子及びラジカル等が有する本来的な性質（１）～（３）に加えて、本願発明者らが実験で新規に発見した、フィン形状の半導体領域にプラズマドーピングを施した場合に特有の性質

（４）フィン形状の半導体領域の角部分（上部コーナー）をエッチングする要因は、基本的にプラズマ中のイオンであって、イオン密度を低下させることによって角部分のエッチング量が抑制されること

をフィン型ＦＥＴ等の３次元デバイスに適用する方法であって、「プラズマドーピング時の圧力を０．６Ｐａ以下に設定すること」を主要な特徴とする

。これにより、プラズマドーピング時の圧力を十分に低下させることによってイオン密度が極めて低い水準にまで低下するので、フィン形状の半導体領域の角部分のエッチング量が抑制される。また、同時に、基板主面に対して垂直に入射する不純物の量を少なくして、相対的に基板主面に対してランダムな方向から入射する不純物の量を増加させることができる。さらに、イオン密度が低下したことに起因する注入ドーズ量の低下に対しては、原料ガス中における不純物を含むガスの割合を希釈ガスに対して増加させることによって注入ドーズ量の低下を補って所望の注入ドーズ量を達成することができる。このため、半導体領域側部に、半導体領域上部と比べて８０%以上の注入ドーズ量を有する不純物領域を備えた半導体装置を得ることができる。従って、例えばフィン型ＦＥＴにおけるエクステンション領域及びソース・ドレイン領域のゲート幅方向の幅においてフィン型半導体領域側部に形成される不純物領域の幅が占める割合が大きくなってきても、所望のトランジスタ特性を得ることができる。

[0044] 本発明の半導体装置の製造方法において、前記工程（ｂ）において、プラズマドーピング時の圧力を０．１Ｐａ以上で且つ０．５Ｐａ以下に設定すると、プラズマドーピングのスループットを低下させることなく、フィン形状の半導体領域の角部分のエッチング量を確実に抑制することができる。

[0045] 本発明の半導体装置の製造方法において、前記工程（ａ）と前記工程（ｂ）との間に、前記第１の半導体領域の所定の部分における少なくとも側面及び上部コーナーを覆うようにゲート絶縁膜を形成する工程をさらに備え、前記工程（ｂ）の後、前記ゲート絶縁膜の外側に位置する部分の前記第１の半導体領域における上部コーナーの曲率半径ｒ’は、前記ゲート絶縁膜の下側に位置する部分の前記第１の半導体領域における上部コーナーの曲率半径ｒよりも大きく且つ２ｒ以下であってもよい。

[0046] 本発明の半導体装置の製造方法において、前記工程（ｂ）において、プラズマドーピング時のイオン電流密度を０．５ｍＡ／ｃｍ^2 以下に設定してもよい。

[0047] 本発明の半導体装置の製造方法において、前記工程（ｂ）の後、第２の不純物領域の注入ドーズ量が、フィン型半導体領域の上部に形成された第１の不純物領域の注入ドーズ量の８０％（より好ましくは９０％）程度以上であれば、言い換えると、前記工程（ｂ）の後、第２の不純物領域のシート抵抗（比抵抗又は拡がり抵抗であっても良い）が第１の不純物領域のシート抵抗（比抵抗又は拡がり抵抗であっても良い）の１．２５倍以下（より好ましくは１．１倍以下）であれば、従来技術と比べてトランジスタ特性を顕著に改善することができる。

[0048] 本発明の半導体装置の製造方法において、前記工程（ａ）よりも前に、前記基板上に絶縁層を形成する工程をさらに備え、前記工程（ａ）において、前記絶縁層上に前記第１の半導体領域を形成してもよい。

[0049] 本発明の半導体装置の製造方法において、前記第１の半導体領域の側面は、前記第１の半導体領域の上面に対して垂直な面であってもよい。

[0050] 本発明の半導体装置の製造方法において、前記工程（ｂ）は、前記不純物を含むガスからなるプラズマを用いて行われ、前記不純物を含むガスは、ボロン原子と水素原子とからなる分子$B_m H_n$（ｍ、ｎは自然数）を含んでいてもよい。

[0051] 本発明の半導体装置の製造方法において、前記工程（ｂ）は、前記不純物を含むガスからなるプラズマを用いて行われ、前記不純物を含むガスは、ボロン原子を含む分子を希ガスで希釈してなるガスであってもよい。

[0052] 本発明の半導体装置の製造方法において、前記工程（ｂ）は、前記不純物を含むガスからなるプラズマを用いて行われ、前記不純物を含むガスは、前記不純物を含む分子をヘリウムで希釈してなるガスであってもよい。

[0053] 本発明の半導体装置の製造方法において、前記工程（ｂ）は、前記不純物を含むガスからなるプラズマを用いて行われ、前記不純物を含むガスは、$B_2 H_6$とＨｅとの混合ガスであってもよい。この場合、前記混合ガスにおける$B_2 H_6$の質量濃度が０．０１％以上で且つ１％以下であるとシリコン中にボロンを導入し易くなるのでより望ましい。$B_2 H_6$ガス濃度が０．０１％以下であ

ると十分な量のボロンが導入されにくくなり、１%以上になると半導体基板表面にボロンを含む堆積物が付着してデポジションになり易くなる。

[0054] 本発明の半導体装置の製造方法において、前記工程（ｂ）は、前記不純物を含むガスからなるプラズマを用いて行われ、前記不純物を含むガスは、BF_3を含んでいてもよい。Ｆはシリコンと化合し易い元素ではあるが、同様にＨもシリコンと化合し易い。B_2H_6とBF_3とは、Ｂが１個に対してシリコンと化合し易いＦ又はＨが３個存在する。このように、Ｂに対するＦ又はＨの割合が１：３と同じであるので、BF_3を用いた場合にもB_2H_6を用いた場合と同様の効果が期待できる。

[0055] 本発明の半導体装置の製造方法において、前記工程（ｂ）は、前記不純物を含むガスからなるプラズマを用いて行われ、前記不純物を含むガスは、Ａｓ又はＰを含んでいてもよい。Ａｓ及びＰはシリコンと化合し難いので、同様にシリコンと化合し難いＢを含むB_2H_6のようなガスを用いた場合と同様に、Ａｓ又はＰを含んだガスを用いることにより、フィン形状の半導体領域の角部分のエッチング量を特に抑制できるという効果が得られる。Ａｓ又はＰを含んだガスとしては、具体的にはAsH_4又はPH_3を含んだガスを用いることができる。

[0056] また、本発明に係る他の半導体装置の製造方法は、半導体領域に第１導電型の不純物をプラズマドーピング法によって注入し、前記半導体領域に不純物領域を形成する工程を備えた半導体装置の製造方法において、前記不純物領域を形成する工程において、プラズマドーピング時の圧力を０．６Ｐａ以下に設定する。

[0057] 本発明に係る他の半導体装置の製造方法によると、プラズマドーピング時における圧力を調整することによってエッチング量を抑制することが可能となると共に、ドーピング後にアニールを実施することによって、注入ドーズ量の制御を通じてシート抵抗を所望の値に制御することが可能となる。

発明の効果

[0058] 本発明によると、フィン型半導体領域の側部に、フィン型半導体領域の上

部と比べて同等以上の注入ドーズ量を有する不純物領域を備えた半導体装置、言い換えると、フィン型半導体領域側部に低シート抵抗の不純物領域を備えた半導体装置を得ることができるので、フィン型ＦＥＴ等の３次元デバイスにおける特性劣化を防止することができる。

図面の簡単な説明

[0059] [図1]図１（ａ）～（ｄ）は、本発明の第１の実施形態に係る半導体装置の構造を示す図であり、図１（ａ）は平面図であり、図１（ｂ）は図１（ａ）におけるＡ－Ａ線の断面図であり、図１（ｃ）は図１（ａ）におけるＢ－Ｂ線の断面図であり、図１（ｄ）は図１（ａ）におけるＣ－Ｃ線の断面図である。

[図2]図２（ａ）～（ｄ）は、本発明の第１の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図3]図３は、本発明のプラズマドーピングによるドーピング方法を説明するための断面図である。

[図4]図４（ａ）は、本発明の第１の実施形態の第１実施例におけるプラズマドーピング前のフィン型半導体領域の断面形状を模式的に示す図であり、図４（ｂ）は、本発明の第１の実施形態の第１実施例におけるプラズマドーピング後のフィン型半導体領域の断面形状を模式的に示す図である。

[図5]図５（ａ）及び（ｂ）は、本発明の第１の実施形態の第１実施例におけるプラズマドーピング前のフィン型半導体領域の断面形状を模式的に示す図及びその拡大図であり、図５（ｃ）及び（ｄ）は図５（ａ）及び（ｂ）に示すフィン型半導体領域の斜視図及びその拡大図である。

[図6]図６（ａ）は、本発明の第１の実施形態の第１実施例におけるプラズマドーピング後のフィン型半導体領域の断面構造を模式的に示す図であり、図６（ｂ）は図６（ａ）のＡ－Ａ線上における拡がり抵抗の変化を示す図であり、図６（ｃ）は、図６（ａ）のＢ－Ｂ線上における拡がり抵抗の変化を示す図であり、図６（ｄ）は、本発明の第１の実施形態の第１実施例において形成された第１の不純物領域（フィン上部）のＳＩＭＳ測定結果を示す図で

ある。

[図7]図７は、本発明の第１の実施形態の第１実施例におけるプラズマドーピング後のフィン型半導体領域の断面構造を模式的に示す図である。

[図8]図８は、本発明の第１の実施形態の第１実施例におけるプラズマドーピング後のフィン型半導体領域の断面構造を模式的に示す図である。

[図9]図９は、本発明の第１の実施形態の第１実施例におけるフィン角部の削れ量の時間変化を示す図である。

[図10]図１０（ａ）は本発明の第１の実施形態の第２実施例における圧力とイオン電流密度との関係を示す図であり、図１０（ｂ）は本発明の第１の実施形態の第２実施例における圧力と電子温度との関係を示す図である。

[図11]図１１は、本発明の第１の実施形態の第２実施例におけるプラズマドーピング後のフィン型半導体領域の断面形状を模式的に示す図である。

[図12]図１２は本発明の第１の実施形態に係る半導体装置の構造の一例を模式的に示す斜視図である。

[図13]図１３は本発明の第１の実施形態に係る半導体装置の構造の他例を模式的に示す斜視図である。

[図14]図１４は本発明の第１の実施形態の第１変形例に係る半導体装置の平面図である。

[図15]図１５（ａ）～（ｃ）は本発明の第１の実施形態の第２変形例に係る半導体装置の断面構造を示す図であり、図１５（ａ）は図１（ａ）におけるＡ－Ａ線の断面図であり、図１５（ｂ）は図１（ａ）におけるＢ－Ｂ線の断面図であり、図１５（ｃ）は図１（ａ）におけるＣ－Ｃ線の断面図である。

[図16]図１６は、第１比較例におけるプラズマドーピング後のフィン型半導体領域の断面形状を模式的に示す図である。

[図17]図１７（ａ）～（ｄ）は、従来のフィン型ＦＥＴの構造を示す図であり、図１７（ａ）は平面図であり、図１７（ｂ）は図１７（ａ）におけるＡ－Ａ線の断面図であり、図１７（ｃ）は図１７（ａ）におけるＢ－Ｂ線の断面図であり、図１７（ｄ）は図１７（ａ）におけるＣ－Ｃ線の断面図である

。

[図18]図１８（ａ）～（ｄ）は、従来の半導体装置の製造方法を工程順に示す断面図である。

[図19]図１９（ａ）は、特許文献１におけるフィン型ＦＥＴのソース・ドレイン領域を形成する工程を示した断面図であり、図１９（ｂ）は、非特許文献１におけるフィン型ＦＥＴのソース・ドレイン領域を形成する工程を示した断面図である。

[図20]図２０（ａ）は、特許文献２に開示されたプラズマドーピング法を平坦な半導体領域に適用した場合の削れ量を説明する図であり、図２０（ｂ）は、特許文献２に開示されたプラズマドーピング法をフィン形状の半導体領域に適用した場合の削れ量を説明する図である。

[図21]図２１は従来の半導体装置の構造を模式的に示す斜視図である。

符号の説明

[0060]

１１　支持基板

１２　絶縁層

１３ａ～１３ｆ　フィン型半導体領域

１４（１４ａ～１４ｄ）　ゲート絶縁膜

１５　ゲート電極

１５Ａ　ポリシリコン膜

１６　絶縁性サイドウォールスペーサ

１７　エクステンション領域

１７ａ　第１の不純物領域

１７ｂ　第２の不純物領域

１８ａ　注入イオン

１８ｂ　吸着種

１８ｃ　離脱不純物

２４ａ～２４ｄ　絶縁膜

２７　ソース・ドレイン領域

２７ａ　第３の不純物領域

２７ｂ　第４の不純物領域

５１　　フィン型半導体領域

５２　　低抵抗領域

６１　　フィン型半導体領域

６１ａ　不純物領域

６１ｂ　不純物領域

６２　　ゲート絶縁膜

６３　　ゲート電極

発明を実施するための最良の形態

[0061]　（第１の実施形態）

以下、本発明の第１の実施形態に係る半導体装置の構造について図面を参照しながら説明する。

[0062]　図１（ａ）～（ｄ）は、本発明の第１の実施形態に係る半導体装置、具体的には、フィン型ＦＥＴを有する半導体装置の構造を示す図であり、図１（ａ）は平面図であり、図１（ｂ）は図１（ａ）におけるＡ－Ａ線の断面図であり、図１（ｃ）は図１（ａ）におけるＢ－Ｂ線の断面図であり、図１（ｄ）は図１（ａ）におけるＣ－Ｃ線の断面図である。

[0063]　本実施形態のフィン型ＦＥＴは、図１（ａ）～（ｄ）に示すように、例えばシリコンからなる支持基板１１と、支持基板１１上に形成された例えば酸化シリコンからなる絶縁層１２と、絶縁層１２上に形成されたフィン型半導体領域１３ａ～１３ｄと、フィン型半導体領域１３ａ～１３ｄ上に例えばシリコン酸窒化膜からなるゲート絶縁膜１４ａ～１４ｄを介して形成されたゲート電極１５と、ゲート電極１５の側面上に形成された絶縁性サイドウォールスペーサ１６と、フィン型半導体領域１３ａ～１３ｄにおけるゲート電極１５を挟む両側方領域に形成されたエクステンション領域１７と、フィン型半導体領域１３ａ～１３ｄにおけるゲート電極１５及び絶縁性サイドウォールスペーサ１６を挟む両側方領域に形成されたソース・ドレイン領域２７と

を有している。各フィン型半導体領域１３ａ～１３ｄは、ゲート幅方向の幅ａが例えば３０ｎｍ程度であり、ゲート長方向の幅ｂが例えば２００ｎｍ程度であり、高さ（厚さ）ｃが例えば５０ｎｍ程度であり、絶縁層１２上においてゲート幅方向にピッチｄ（例えば６０ｎｍ程度）で並ぶように配置されている。尚、フィン型半導体領域１３ａ～１３ｄの上面と側面とは互いに垂直であってもよいし、垂直でなくてもよい。ゲート電極１５は、ゲート幅方向にフィン型半導体領域１３ａ～１３ｄを跨ぐように形成されている。エクステンション領域１７は、フィン型半導体領域１３ａ～１３ｄのそれぞれの上部に形成された第１の不純物領域１７ａと、フィン型半導体領域１３ａ～１３ｄのそれぞれの側部に形成された第２の不純物領域１７ｂとから構成されている。また、ソース・ドレイン領域２７は、フィン型半導体領域１３ａ～１３ｄのそれぞれの上部に形成された第３の不純物領域２７ａと、フィン型半導体領域１３ａ～１３ｄのそれぞれの側部に形成された第４の不純物領域２７ｂとから構成されている。尚、ポケット領域の説明及び図示については省略する。

[0064] 本実施形態の特徴は、フィン型半導体領域側部に形成された第２の不純物領域１７ｂの注入ドーズ量が、フィン型半導体領域上部に形成された第１の不純物領域１７ａの注入ドーズ量と比べて８０％以上に設定されていることである。これにより、エクステンション領域１７を構成する第２の不純物領域１７ｂのシート抵抗を、第１の不純物領域１７ａのシート抵抗の１．２５倍以下に設定することができるので、エクステンション領域１７のゲート幅方向の幅においてフィン型半導体領域側部に形成された第２の不純物領域１７ｂの幅が占める割合が大きくなっても、所望のトランジスタ特性を得ることができる。同様に、フィン型半導体領域側部に形成された第４の不純物領域２７ｂの注入ドーズ量が、フィン型半導体領域上部に形成された第３の不純物領域２７ａの注入ドーズ量と比べて８０％以上に設定されていることである。これにより、ソース・ドレイン領域２７を構成する第４の不純物領域２７ｂのシート抵抗を、第３の不純物領域２７ａのシート抵抗の１．２５倍

以下に設定することができるので、ソース・ドレイン領域２７のゲート幅方向の幅においてフィン型半導体領域側部に形成された第４の不純物領域２７ｂの幅が占める割合が大きくなっても、所望のトランジスタ特性を得ることができる。

[0065] 以上の説明においては、第２の不純物領域１７ｂ（第４の不純物領域２７ｂ）のシート抵抗を第１の不純物領域１７ａ（第３の不純物領域２７ａ）のシート抵抗の１．２５倍以下に設定したが、第２の不純物領域１７ｂ（第４の不純物領域２７ｂ）の比抵抗又は拡がり抵抗を第１の不純物領域１７ａ（第３の不純物領域２７ａ）の比抵抗又は拡がり抵抗の１．２５倍以下に設定しても、同様の効果が得られる。ここで、対象物のシート抵抗をＲｓ、抵抗率（比抵抗）をρ、厚さ（接合深さ）をｔ、拡がり抵抗をρｗとすると、Ｒｓ＝ρ／ｔである。また、抵抗率（比抵抗）ρと拡がり抵抗ρｗとは基本的には１対１の関係にあるので、Ｒｓとρｗ／ｔとの間には比例関係が成り立つ。以下の説明においては、主として「シート抵抗」を用いて説明を行うが、抵抗の大小関係については「シート抵抗」を「比抵抗」又は「拡がり抵抗」と読み替えてもよい。

[0066] 尚、本実施形態において、フィン型半導体領域側部に形成された第２の不純物領域１７ｂの注入ドーズ量が、フィン型半導体領域上部に形成された第１の不純物領域１７ａの注入ドーズ量の８０％（より好ましくは９０％）程度以上であれば、言い換えると、第２の不純物領域１７ｂのシート抵抗、比抵抗又は拡がり抵抗が第１の不純物領域１７ａのシート抵抗、比抵抗又は拡がり抵抗の１．２５倍以下（より好ましくは１．１倍以下）であれば、従来技術と比べてトランジスタ特性を顕著に改善することができる。同様に、フィン型半導体領域側部に形成された第４の不純物領域２７ｂの注入ドーズ量が、フィン型半導体領域上部に形成された第３の不純物領域２７ａの注入ドーズ量の８０％（より好ましくは９０％）程度以上であれば、言い換えると、第４の不純物領域２７ｂのシート抵抗、比抵抗又は拡がり抵抗が第１の不純物領域２７ａのシート抵抗、比抵抗又は拡がり抵抗の１．２５倍以下（よ

り好ましくは１．１倍以下）であれば、従来技術と比べてトランジスタ特性を顕著に改善することができる。

[0067] また、本実施形態において、「フィン型半導体領域の側面の高さ」／「フィン型半導体領域の上面のゲート幅方向の幅」（以下、アスペクト比と称する）が小さければ、第２の不純物領域１７ｂの注入ドーズ量が第１の不純物領域１７ａの注入ドーズ量と比べてある程度小さくても、つまり、第２の不純物領域１７ｂのシート抵抗、比抵抗又は拡がり抵抗が第１の不純物領域１７ａのシート抵抗、比抵抗又は拡がり抵抗と比べてがある程度大きくても、トランジスタ特性（例えばドレイン電流）の劣化は少ない。一方、このアスペクト比が大きくなるに従って、第２の不純物領域１７ｂの注入ドーズ量を第１の不純物領域１７ａの注入ドーズ量と比べて同等以上にする必要性、つまり、第２の不純物領域１７ｂのシート抵抗、比抵抗又は拡がり抵抗を第１の不純物領域１７ａのシート抵抗、比抵抗又は拡がり抵抗と比べて同等以下にする必要性が増す。同様に、アスペクト比が小さければ、第４の不純物領域２７ｂの注入ドーズ量が第３の不純物領域２７ａの注入ドーズ量と比べてある程度小さくても、つまり、第４の不純物領域２７ｂのシート抵抗、比抵抗又は拡がり抵抗が第３の不純物領域２７ａのシート抵抗、比抵抗又は拡がり抵抗と比べてある程度大きくても、トランジスタ特性の劣化は少ない。一方、このアスペクト比が大きくなるに従って、第４の不純物領域２７ｂの注入ドーズ量を第３の不純物領域２７ａの注入ドーズ量と比べて同等以上にする必要性、つまり第４の不純物領域２７ｂのシート抵抗、比抵抗又は拡がり抵抗を第３の不純物領域２７ａのシート抵抗、比抵抗又は拡がり抵抗と比べて同等以下にする必要性が増す。

[0068] 尚、前述のトランジスタ特性、具体的には、ドレイン電流特性は、フィン型半導体領域の３表面（上面及び両側面）のドーズ量に依存するが、本実施形態によれば、上面に位置する第１の不純物領域１７ａ（第３の不純物領域２７ａ）の幅が、側面に位置する第２の不純物領域１７ｂ（第４の不純物領域２７ｂ）の幅と比べて小さくなった場合にも、第２の不純物領域１７ｂ（

第４の不純物領域２７ｂ）の注入ドーズ量が比較的大きいので、ドレイン電流を大きく保つことができる。

[0069] 以下、本発明の第１の実施形態に係る半導体装置の製造方法について図面を参照しながら説明する。

[0070] 図２（ａ）～（ｄ）は、第１の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。尚、図２（ａ）～（ｄ）は、図１（ａ）におけるＣ－Ｃ線の断面構成と対応している。また、図２（ａ）～（ｄ）において、図１（ａ）～（ｄ）に示す構造と同一の構成要素には同一の符号を付し、重複する説明を省略する。さらに、以下の説明における厚さや幅等の数値が一例であって、本発明がこれらの値によって限定されるものではないことは言うまでもない。

[0071] まず、図２（ａ）に示すように、例えばシリコンからなる厚さ８００μｍの支持基板１１上に例えば酸化シリコンからなる厚さ１５０ｎｍの絶縁層１２が設けられ、且つ絶縁層１２上に例えばシリコンからなる厚さ５０ｎｍの半導体層を備えたＳＯＩ基板を準備する。その後、当該半導体層をパターニングして、活性領域となるｎ型のフィン型半導体領域１３ｂを形成する。ここで、フィン型半導体領域１３ｂは、ゲート幅方向の幅ａが例えば３０ｎｍ程度であり、ゲート長方向の幅ｂが例えば２００ｎｍ程度であり、高さ（厚さ）ｃが例えば５０ｎｍ程度であり、隣接する他のフィン型半導体領域とピッチｄ（例えば６０ｎｍ程度）で並ぶように配置される。

[0072] 次に、図２（ｂ）に示すように、フィン型半導体領域１３ｂの表面に例えばシリコン酸窒化膜からなる厚さ３ｎｍのゲート絶縁膜１４を形成した後、支持基板１１上の全面に亘って例えば厚さ６０ｎｍのポリシリコン膜１５Ａを形成する。

[0073] 次に、図２（ｃ）に示すように、ポリシリコン膜１５Ａ及びゲート絶縁膜１４を順次エッチングして、フィン型半導体領域１３ｂ上にゲート絶縁膜１４ｂを介して例えばゲート長方向の幅が６０ｎｍのゲート電極１５を形成する。その後、ゲート電極１５をマスクとして、フィン型半導体領域１３ｂに

対して、プラズマドーピング時の圧力を０．６Ｐａ以下に設定したプラズマドーピング条件でｐ型不純物をドーピングする。これにより、フィン型半導体領域１３ｂの上部に形成されたｐ型の第１の不純物領域１７ａとフィン型半導体領域１３ｂの側部に形成されたｐ型の第２の不純物領域１７ｂとからなるｐ型のエクステンション領域１７を形成する。このとき、第２の不純物領域１７ｂは、第１の不純物領域１７ａと比べて注入ドーズ量が８０%以上になるように形成される。これにより、第２の不純物領域１７ｂのシート抵抗、比抵抗又は拡がり抵抗が第１の不純物領域１７ａのシート抵抗、比抵抗又は拡がり抵抗の１．２５倍以下になるように第２の不純物領域１７ｂを形成することができる。ここで、プラズマドーピング条件は、例えば、原料ガスがＨｅ（ヘリウム）で希釈したB_2H_6（ジボラン）であり、原料ガス中でのB_2H_6濃度が０．５質量%であり、原料ガスの総流量が１００ｃｍ^3／分（標準状態）であり、チャンバー内圧力が０．３５Ｐａであり、ソースパワー（プラズマ生成用高周波電力）が５００Wであり、バイアス電圧（Ｖｐｐ）が２５０Ｖであり、基板温度が３０℃であり、プラズマドーピング時間が６０秒である。その後、ゲート電極１５をマスクとして、半導体領域１３ｂに不純物をイオン注入して、ｎ型ポケット領域（図示省略）を形成する。

[0074] 次に、支持基板１１上の全面に亘って例えば厚さ６０ｎｍの絶縁膜を形成した後、異方性ドライエッチングを用いて当該絶縁膜をエッチバックすることにより、図２（ｄ）に示すように、ゲート電極１５の側面上に絶縁性サイドウォールスペーサ１６を形成する。その後、ゲート電極１５及び絶縁性サイドウォールスペーサ１６をマスクとして、フィン型半導体領域１３ｂに対して、プラズマドーピング時の圧力を０．６Ｐａ以下に設定したプラズマドーピング条件でｐ型不純物を例えば６０秒間ドーピングする。これにより、フィン型半導体領域１３ｂの上部に形成されたｐ型の第３の不純物領域２７ａとフィン型半導体領域１３ｂの側部に形成されたｐ型の第４の不純物領域２７ｂとからなるｐ型のソース・ドレイン領域２７を形成する。このとき、第４の不純物領域２７ｂは、第３の不純物領域２７ａと比べて注入ドーズ量

が８０％以上になるように形成される。これにより、第４の不純物領域２７ｂのシート抵抗、比抵抗又は拡がり抵抗が第３の不純物領域２７ａのシート抵抗、比抵抗又は拡がり抵抗の１．２５倍以下になるように第４の不純物領域２７ｂを形成することができる。

[0075] 本実施形態の特徴は、フィン型ＦＥＴのエクステンション領域１７をプラズマドーピング法を用いて形成するに際して、プラズマドーピング時の圧力を０．６Ｐａ以下に設定したプラズマドーピング条件を用いることである。これにより、フィン型半導体領域１３ｂの側部に形成された第２の不純物領域１７ｂがフィン型半導体領域１３ｂの上部に形成された第１の不純物領域１７ａと比べて８０％以上の注入ドーズ量を有するエクステンション領域１７を備えたフィン型ＭＩＳＦＥＴを得ることができる。従って、第２の不純物領域１７ｂのシート抵抗、比抵抗又は拡がり抵抗を第１の不純物領域１７ａのシート抵抗、比抵抗又は拡がり抵抗の１．２５倍以下に設定することができるので、エクステンション領域１７のゲート幅方向の幅においてフィン型半導体領域側部に形成された第２の不純物領域１７ｂの幅が占める割合が大きくなっても、所望のトランジスタ特性を得ることができる。同様に、フィン型ＦＥＴのソース・ドレイン領域２７をプラズマドーピング法を用いて形成するに際しても、プラズマドーピング時の圧力を０．６Ｐａ以下に設定したプラズマドーピング条件を用いることである。これにより、フィン型半導体領域１３ｂの側部に形成された第４の不純物領域２７ｂがフィン型半導体領域１３ｂの上部に形成された第３の不純物領域２７ａと比べて８０％以上の注入ドーズ量を有するソース・ドレイン領域２７を備えたフィン型ＭＩＳＦＥＴを得ることができる。従って、第４の不純物領域２７ｂのシート抵抗、比抵抗又は拡がり抵抗を第３の不純物領域２７ａのシート抵抗、比抵抗又は拡がり抵抗の１．２５倍以下に設定することができるので、ソース・ドレイン領域２７のゲート幅方向の幅においてフィン型半導体領域側部に形成された第４の不純物領域２７ｂの幅が占める割合が大きくなっても、所望のトランジスタ特性を得ることができる。

[0076] 尚、本実施形態において、ｎ型のフィン型半導体領域１３ｂにｐ型不純物をプラズマドーピングしてｐ型のエクステンション領域１７及びソース・ドレイン領域２７つまりｐ型のＭＩＳＦＥＴを形成したが、これに代えて、ｐ型のフィン型半導体領域にｎ型不純物をドーピングしてｎ型のエクステンション領域及びソース・ドレイン領域つまりｎ型のＭＩＳＦＥＴを形成してもよい。

[0077] また、本実施形態において、図２（ｃ）又は図２（ｄ）に示すプラズマドーピングによる注入ドーズ量を大きくするために、ガス濃度、ソースパワー又はバイアスパワー等の他のパラメータを制御しても良いことは言うまでもない。

[0078] また、本実施形態において、第２の不純物領域１７ｂのシート抵抗を低減するためには、第２の不純物領域１７ｂの接合深さを第１の不純物領域１７ａの接合深さと比べて同等以上の深さに設定することが好ましい。このような構成は、例えば、フィン型半導体領域側部に形成された第２の不純物領域１７ｂの注入ドーズ量がフィン型半導体領域上部に形成された第１の不純物領域１７ａの注入ドーズ量と比べて大きくなるようにプラズマドーピングを実施した後に適切なアニールを行うことによって実現可能である。

[0079] また、本実施形態において、プラズマドーピングの原料ガスとして、Ｈｅで希釈したB_2H_6を用いたが、原料ガスは、フィン型半導体領域に注入される不純物を含むガスであれば、特に限定されるものではない。例えば、B_2H_6に代えて、ボロン原子を含む他の分子（例えばBF_3）、若しくはボロン原子と水素原子とからなる他の分子を用いてもよいし、又はAsH_4若しくはPH_3等を用いてもよい。また、不純物を含むガスをＨｅ等の希ガスによって希釈してもよいし、希釈しなくてもよい。尚、本実施形態のように、プラズマドーピングの原料ガスとして、Ｈｅで希釈したB_2H_6を用いる場合、原料ガス中のB_2H_6の質量濃度は０．０１％以上で且つ１％以下であることが好ましい。このようにすると、シリコン中にボロンを導入し易くなるのでより望ましい。具体的には、B_2H_6ガス濃度が０．０１％以下であると十分な量のボ

ロンが導入されにくくなり、１%以上になると半導体基板表面にボロンを含む堆積物が付着してデポジションになり易くなる。

[0080] ［本発明のメカニズム］

以下、本発明のメカニズムについて、図３を参照しながら説明する。

[0081] まず、図３に示すように、フィン型半導体領域１３ａ～１３ｄに対して、ｐ型不純物をプラズマドーピング法を用いて注入する。これにより、フィン型半導体領域１３ａ～１３ｄの上部には、注入イオン１８ａと、吸着種（ガス分子やラジカル等の中性種）１８ｂと、スパッタリングによってフィン型半導体領域１３ａ～１３ｄを離脱する不純物１８ｃとのバランスによって決まる注入ドーズ量を持つ第１の不純物領域１７ａが形成される。また、フィン型半導体領域１３ａ～１３ｄの側部には、主として吸着種（ガス分子やラジカル等の中性種）１８ｂによって決まる注入ドーズ量を持つ第２の不純物領域１７ｂが形成される。このとき、フィン型半導体領域１３ａ～１３ｄの側面に対して斜めに入射するイオンも存在するため、注入イオン１８ａやスパッタリングによってフィン型半導体領域１３ａ～１３ｄを離脱する不純物１８ｃも存在するが、吸着種１８ｂと比べるとその影響は非常に小さく、吸着種１８ｂによるドーピングが支配的になる。すなわち、フィン型半導体領域１３ａ～１３ｄの上部にドーピングされる注入イオン１８ａ及びフィン型半導体領域１３ａ～１３ｄの上部からスパッタリングによって離脱する不純物１８ｃの数と比べて、フィン型半導体領域１３ａ～１３ｄの側部にドーピングされる注入イオン１８ａ及びフィン型半導体領域１３ａ～１３ｄの側部からスパッタリングによって離脱する不純物１８ｃの数は圧倒的に少ない。

[0082] 以上に説明したように、フィン型半導体領域１３ａ～１３ｄの上部及び側部におけるドーピングの違いは、フィン型半導体領域１３ａ～１３ｄの上部においては、注入イオン１８ａの影響と、スパッタリングによってフィン型半導体領域１３ａ～１３ｄを離脱する不純物１８ｃの影響とが大きいのに対して、フィン型半導体領域１３ａ～１３ｄの側部においてはこれらの影響が極めて小さいことに起因する。ここで、スパッタリングによってフィン型半

導体領域１３ａ～１３ｄを離脱する不純物１８ｃの量も、注入イオン１８ａの量や注入エネルギーによって影響される。すなわち、フィン型半導体領域１３ａ～１３ｄの上部及び側部におけるドーピングの根本的な違いは、フィン型半導体領域１３ａ～１３ｄの上面に照射される注入イオン１８ａの量と、フィン型半導体領域１３ａ～１３ｄの側面に照射される注入イオン１８ａの量とが圧倒的に違うこと、つまりフィン型半導体領域１３ａ～１３ｄの上面に照射される注入イオン１８ａの量はフィン型半導体領域１３ａ～１３ｄの側面と比べて圧倒的に多いことに起因する。

[0083] 従って、フィン型半導体領域１３ａ～１３ｄの上面に照射される注入イオン１８ａの量を極めて少なくすることによって、前述のフィン型半導体領域１３ａ～１３ｄの上部及び側部におけるドーピングの根本的な違いをほとんど解消することができる。すなわち、フィン型半導体領域１３ａ～１３ｄの上面に照射される注入イオン１８ａの量を極めて少なくすると、フィン型半導体領域１３ａ～１３ｄの上部に注入される注入イオン１８ａの量が極めて少なくなると同時に、当該上部から離脱する不純物１８ｃの量も極めて少なくなる。それにより、フィン型半導体領域１３ａ～１３ｄの上部においては、注入ドーズ量に対する注入イオン１８ａの影響が注入ドーズ量に対する吸着種１８ｂの影響と比べて相対的に小さくなるので、吸着種１８ｂによるドーピングが注入ドーズ量に影響を与える主要因になる。一方、フィン型半導体領域１３ａ～１３ｄの側部においては、もともと、吸着種１８ｂによるドーピングが支配的である。この結果、フィン型半導体領域１３ａ～１３ｄの上部においても側部おいても、その注入ドーズ量が吸着種１８ｂによるドーピングの量によってほぼ決定される状況となる。吸着種１８ｂによるドーピングの量は、電界の影響を受けないランダムな運動方向を有する中性種（ガス分子やラジカル等）の吸着によって決まる量であるから、フィン型半導体領域１３ａ～１３ｄの上部においても側部においても同程度となる。これにより、第１の不純物領域１７ａの注入ドーズ量と第２の不純物領域１７ｂの注入ドーズ量とを等しくすることができる。

[0084] 尚、ソース・ドレイン領域２７の形成においても、エクステンション領域１７の形成と同様のメカニズムによって、第３の不純物領域（半導体領域上部）２７ａの注入ドーズ量と第４の不純物領域（半導体領域側部）２７ｂの注入ドーズ量とを等しくすることができる。

[0085] 以下、フィン上部（第１の不純物領域１７ａ）の注入ドーズ量とフィン側部（第２の不純物領域１７ｂ）の注入ドーズ量とを等しくする方法を、具体的な実施例を用いて説明する。

[0086] （第１実施例）

第１実施例においては、プラズマドーピング時の圧力を０．６Ｐａ以下にしてプラズマドーピングを行うことによって、フィン形状の半導体領域の上部コーナー（フィン角部）の削れ量を抑制しつつ、高いコンフォーマルドーピング性を得ることができる。

[0087] ［フィン角部の削れ量の抑制］

まず、第１実施例におけるフィン角部の削れ量の抑制について図４（ａ）及び（ｂ）を参照しながら説明する。

[0088] 図４（ａ）は、プラズマドーピングを行う前のフィン型半導体領域（正確にはフィンを有する半導体領域５１）の断面形状を模式的に示している。ここで、フィンの高さ及び幅は１２０ｎｍ及び１６０ｎｍであり、フィン同士の間の距離は２１０ｎｍである。すなわち、フィンの幅方向の中央と隣のフィンの幅方向の中央との距離は３７０ｎｍである。また、フィン角部（図中破線領域）の曲率半径は８．７ｎｍである。尚、フィン角部がプラズマドーピング前においても完全な直角形状ではなく、曲率を持つ形状となっている理由は、プラズマドーピングの前工程であるドライエッチングや洗浄の工程で僅かながらフィン角部が削れているからである。

[0089] 図４（ｂ）はプラズマドーピングを行った後のフィン型半導体領域（正確にはフィンを有する半導体領域５１）の断面形状を模式的に示している。プラズマドーピング条件は、例えば、原料ガスがＨｅで希釈したB_2H_6であり、原料ガス中でのB_2H_6濃度が０．５質量%であり、チャンバー内圧力が０

．３５Ｐａであり、ソースパワー（プラズマ生成用高周波電力）が６００Ｗであり、バイアス電圧Ｖｐｐが１３０Ｖであり、基板温度が２０℃であり、プラズマドーピング時間は２００秒である。プラズマの発生方式としては、例えばＩＣＰ方式を用いた。尚、第１実施例では、フィン上面に照射される注入イオンの量を極めて少なくして、フィン角部の削れ量を抑制するために、チャンバー内圧力を０．３５ＰａとＩＣＰ方式としては極めて小さく設定している。以上の条件によるプラズマドーピングを実施した後におけるフィン角部（図中破線領域）の曲率半径は１０．６ｎｍである。すなわち、第１実施例では、プラズマドーピング前後におけるフィン角部の曲率半径の差は１．９ｎｍであり、これが２００秒間のプラズマドーピング時間において変化した量であることから、１分間当たりの削れ量（曲率半径の増加量）は０．６ｎｍと非常に小さいことが分かる。

[0090] ［コンフォーマルドーピング性］

次に、第１実施例における第１の不純物領域（フィン上部の不純物領域）及び第２の不純物領域（フィン側部の不純物領域）のシート抵抗について、図面を参照しながら説明する。プラズマドーピング条件は、例えば、原料ガスがＨｅで希釈したB_2H_6であり、原料ガス中でのB_2H_6濃度が０．８質量％であり、チャンバー内圧力が０．３５Ｐａであり、ソースパワー（プラズマ生成用高周波電力）が５００Ｗであり、バイアス電圧Ｖｐｐが２５０Ｖであり、基板温度が２０℃であり、プラズマドーピング時間は６０秒である。プラズマの発生方式としては、例えばＩＣＰ方式を用いた。また、フィン上面に照射される注入イオンの量を極めて少なくして、第１の不純物領域（フィン上部）の注入ドーズ量において吸着種によるドーピングの量が主要因になるように、言い換えると、もともと吸着種によるドーピングの量が主要因である第２の不純物領域（フィン側部）の注入ドーズ量に第１の不純物領域（フィン上部）の注入ドーズ量が近づくように、チャンバー内圧力を０．３５ＰａとＩＣＰ方式としては極めて小さく設定している。この場合のフィン角部の削れ量も、前述の［フィン角部の削れ量の抑制］の場合と同程度であ

って極めて小さい。図５（ａ）及び（ｂ）はプラズマドーピングを行う前のフィン型半導体領域（正確にはフィンを有する半導体領域５１）の断面形状を模式的に示した図及びその拡大図であり、図５（ｃ）及び（ｄ）は図５（ａ）及び（ｂ）に示すフィン型半導体領域の斜視図及びその拡大図である。図５（ａ）～（ｄ）に示すフィン型半導体領域において、フィンの高さ及び幅は１２８ｎｍ及び３４２ｎｍであり、フィン同士の間の距離は７４３ｎｍである。すなわち、フィンの幅方向の中央と隣のフィンの幅方向の中央との距離は１０８５ｎｍである。

[0091] 図６（ａ）は、プラズマドーピングによってフィン型半導体領域（正確にはフィンを有する半導体領域５１）を構成するシリコン中にボロンを注入した後、さらに１０５０℃のｓｐｉｋｅＲＴＡ（rapid thermal annealing）による熱処理を施してボロンをシリコン中で電気的に活性化することによって低抵抗領域５２を形成した様子を示している。図６（ａ）に示すように、第１の不純物領域（フィン上部）だけではなく第２の不純物領域（フィン側部）にも低抵抗領域５２が形成されている。

[0092] 図６（ｂ）は、図６（ａ）のＡ－Ａ線上におけるＳＳＲＭ（2D Scanning Spreading Resistance Microscopy）を用いて測定した拡がり抵抗の変化を示したものである。尚、図６（ｂ）において横軸のゼロ点はフィン上面を意味する。図６（ｂ）に示すように、第１の不純物領域（フィン上部）の拡がり抵抗は２．９×10^4Ωである。また、横軸の深さが大きくなるに従って（つまりフィンの内部に入るに従って）、第１の不純物領域（フィン上部の低抵抗領域５２）からの距離が大きくなる。フィン上面から約０．３μｍ以上離れた領域は、ボロンが注入されておらず且つ熱処理によるボロンの拡散もほとんどない領域であって、この領域では基板の拡がり抵抗（約１．５×10^6Ω）が観察される。

[0093] 次に、図６（ｃ）は、図６（ａ）のＢ－Ｂ線上における拡がり抵抗の変化を示したものである。尚、図６（ｃ）は、図６（ａ）に示すフィンが３本並んでいる部分をＳＳＲＭ観察した結果を示しており、図６（ｃ）において横

軸のゼロ点は左端のフィンの左側面からからＢ－Ｂ線左方向に所定の距離だけ離れた位置を意味する。また、図６（ｃ）において太破線で囲んだ領域が図６（ａ）に示すフィンを含む半導体領域の拡がり抵抗を表している。この太破線で囲んだ領域に着目すると、横軸の深さが小さい領域（例えば横軸の深さが１．０μｍ付近の領域）では、ＳＳＲＭ測定のためにフィン同士の間に設けられた絶縁体（図６（ａ）において図示省略）の拡がり抵抗が観察されており、その値は極めて高い。また、横軸の深さが１．３５μｍ付近の領域は、図６（ａ）に示すフィンの左側部に位置する第２の不純物領域に相当し、この部分の拡がり抵抗は３．０×１０^{4}Ωである。また、横軸の深さが１．５μｍ付近の領域は、図６（ａ）に示すフィンの中央部、つまり、第１の不純物領域（フィン上部）と２つの第２の不純物領域（フィン両側部）とに囲まれた部分に相当し、この部分は、ボロンが注入されておらず且つ熱処理によるボロンの拡散もそれほど多くない領域なので、当該部分の拡がり抵抗としては基板の拡がり抵抗に近い値が観察されている。また、横軸の深さが１．７μｍ付近の領域は、図６（ａ）に示すフィンの右側部に位置する第２の不純物領域に相当し、この部分の拡がり抵抗は３．５×１０^{4}Ωである。さらに、横軸の深さが１．７μｍよりも大きい領域（例えば横軸の深さが２．０μｍ付近の領域）では、再度、ＳＳＲＭ測定のためにフィン同士の間に設けられた絶縁体（図６（ａ）において図示省略）の拡がり抵抗が観察されており、その値は極めて高い。以上に説明したように、図６（ｃ）に表された３本のフィンのそれぞれの両側部に位置する６箇所の第２の不純物領域の拡がり抵抗を読み取ると、左から順番に２．１×１０^{4}Ω、３．０×１０^{4}Ω、３．０×１０^{4}Ω、３．５×１０^{4}Ω、３．０×１０^{4}Ω、２．９×１０^{4}Ωであり、６箇所の第２の不純物領域の拡がり抵抗の平均値は２．９×１０^{4}Ωである。これは、図６（ｂ）に示した第１の不純物領域（フィン上部）の拡がり抵抗に等しい。

[0094] ところで、第１の不純物領域（フィン上部）のシート抵抗と第２の不純物領域（フィン側部）のシート抵抗とを比較するためには、両者の拡がり抵抗

の他に両者の接合深さを特定する必要がある。第１の不純物領域（フィン上部）の接合深さについては、別途ベアシリコン基板を用いて図６（ａ）に示すフィン型半導体領域と同じ条件で作成した試料に対してＳＩＭＳ（secondary ion mass spectrometry ）測定を行うことによって評価することができる。図６（ｄ）は、第１の不純物領域（フィン上部）のＳＩＭＳ測定結果を示している。図６（ｄ）に示すように、ボロン濃度が５×１０^{18}ｃｍ$^{-3}$になる深さを接合深さと規定した場合、第１の不純物領域（フィン上部）の接合深さは２８．５ｎｍであることが分かる。さらに、第１の不純物領域（フィン上部）のシート抵抗については、別途ベアシリコン基板を用いて図６（ａ）に示すフィン型半導体領域と同じ条件で作成した試料に対して四探針法による測定を行うことによって評価することができる。この四探針法による測定結果から、第１の不純物領域（フィン上部）のシート抵抗が７５０Ω／□であることが分かった。一方、第２の不純物領域（半導体領域側部）の接合深さについては、ＳＳＲＭ観察結果を用いて、第２の不純物領域（フィン側部）の色調が第１の不純物領域（フィン上部）の深さ２８．５ｎｍにおける色調と同じになるときの第２の不純物領域（フィン側部）の深さとして求めることができる。この場合、ＳＳＲＭ写真のドットの大きさ分だけの測定誤差が生じるものの、第２の不純物領域（フィン側部）の接合深さを２８．５ｎｍ±１０％という精度で特定することができる。

[0095] ここで、対象物のシート抵抗をＲｓ、抵抗率をρ、厚さ（接合深さ）をｔ、拡がり抵抗をρｗとすると、Ｒｓ＝ρ／ｔである。また、抵抗率ρと拡がり抵抗ρｗとは原理的には１対１の関係にあり、前述の測定の場合にもほぼ１対１の関係にあるので、Ｒｓとρｗ／ｔとの間には比例関係が成り立つ。実験より、第１の不純物領域（フィン上部）の拡がり抵抗ρｗは２．９×１０^{4}Ωであり、厚さ（接合深さ）ｔは２８．５ｎｍである。これに対して、第２の不純物領域（フィン側部）の拡がり抵抗ρｗは２．９×１０^{4}Ωであり、厚さ（接合深さ）ｔは２８．５ｎｍ±１０％である。以上のことから、第１の不純物領域（フィン上部）のシート抵抗と第２の不純物領域（フィン側部

）のシート抵抗とが１：１．１から１：０．９までの範囲にあることが分かる。すなわち、第１実施例では、第１の不純物領域（フィン上部）のシート抵抗と第２の不純物領域（フィン側部）のシート抵抗とをわずか±１０％の差で同程度に設定することができ、これは、従来技術では達成不可能なコンフォーマルドーピング性能である。

[0096] 図７は、アスペクト比が０．３７、ピッチが１０８５ｎｍのフィンを有する半導体領域５１にプラズマドーピングによって不純物を注入した後、熱処理を施して不純物を活性化することによって低抵抗領域５２を形成した様子を示している。

[0097] また、図８は、アスペクト比が１．７２、ピッチが１９６ｎｍのフィンを有する半導体領域５１にプラズマドーピングによって不純物を注入した後、熱処理を施して不純物を活性化することによって低抵抗領域５２を形成した様子を示している。

[0098] 図７及び図８のいずれのプラズマドーピングにおいてもコンフォーマルなドーピングを達成することができた。

[0099] ［プラズマドーピング時の圧力の閾値のパラメータ依存性］

前述のように、第１実施例では、プラズマドーピング時の圧力を０．６Ｐａ以下にしてプラズマドーピングを行うことによってフィン角部の削れ量を抑制することができることを、原料ガスがＨｅで希釈したB_2H_6であり、原料ガス中でのB_2H_6濃度が０．５質量%であり、チャンバー内圧力が０．３５Ｐａであり、ソースパワー（プラズマ生成用高周波電力）が６００Ｗであり、バイアス電圧Ｖｐｐが１３０Ｖであり、基板温度が２０℃であり、プラズマドーピング時間が２００秒である場合を例として説明した。また、第１実施例では、プラズマドーピング時の圧力を０．６Ｐａ以下にしてプラズマドーピングを行うことによって高いコンフォーマルドーピング性を得ることができることを、原料ガスがＨｅで希釈したB_2H_6であり、原料ガス中でのB_2H_6濃度が０．８質量%であり、チャンバー内圧力が０．３５Ｐａであり、ソースパワー（プラズマ生成用高周波電力）が５００Ｗであり、バイアス

電圧Ｖｐｐが２５０Ｖであり、基板温度が２０℃であり、プラズマドーピング時間が６０秒である場合を例として説明した。但し、フィン角部の削れ量を抑制しつつ、高いコンフォーマルドーピング性を得るためのプラズマドーピング時の圧力の閾値は、他のパラメータの影響を受けて変化するので、以下、これについて説明する。

[0100] まず、第１実施例では、半導体中で電気的に活性になる元素としてボロンを用いたが、これに代えて、例えばリン又は砒素を用いた場合について説明する。これは、原料ガスとして、Ｈｅで希釈したB_2H_6に代えて、例えば、Ｈｅで希釈したPH_3又はAsH_3を用いた場合に相当する。ボロンの原子量は１０．８であり、リンの原子量は４０．０であり、砒素の原子量は７４．９であるから、リンはボロンと比べて約４倍重い元素であり、砒素はボロンと比べて約７倍も重い元素である。しかし、プラズマドーピングの場合には、B_2H_6、PH_3又はAsH_3等を、水素やヘリウムのような希ガスによって５質量%以下に希釈して用いる。特に、本発明のようにエクステンション領域やソース・ドレイン領域を形成するために元素を注入するという用途においては、ボロン、リン又は砒素等をドーズ量が$5\times10^{14}cm^{-2}$から$5\times10^{15}cm^{-2}$までの範囲で注入することが望まれている。一方、B_2H_6、PH_3又はAsH_3等を２質量%以上で希釈して用いた場合には、ボロン、リン又は砒素等のドーズ量が$5\times10^{15}cm^{-2}$以上になってしまうという不具合が発生し易いので、B_2H_6、PH_3又はAsH_3等を２質量%程度以下の高い希釈度で用いることが望ましい。この場合、プラズマ中のイオン源のうち９８質量%以上が希釈ガス由来のイオンによって占められる。ところで、フィン角部を削るのはプラズマ中のイオンであり、その大部分はプラズマ中のイオンとして支配的な希釈ガス由来のイオンである。すなわち、ドーピング元素をボロンからリン又は砒素に変えた場合でも、プラズマ中における希釈ガス由来のイオンに対するリンイオン又は砒素イオンの割合は、プラズマ中における希釈ガス由来のイオンに対するボロンイオンの割合と比べて大きくは変わらない。従って、ドーピング元素をボロンからリン又は砒素に変えた場合でも、プ

ラズマドーピング時の圧力の閾値を大きく変更する必要はない。但し、リン又は砒素がボロンよりも重い元素であることを考慮して、プラズマドーピング時の圧力の閾値を０．６Ｐａよりも低く例えば０．５Ｐａ程度に設定することが好ましい。

[0101] また、第１実施例では、原料ガスがＨｅで希釈したB_2H_6であり、原料ガス中でのB_2H_6濃度が０．５質量%又は０．８質量%である場合を例として説明したが、次に、B_2H_6濃度を変えた場合について説明する。この場合も、B_2H_6を水素やヘリウムのような希ガスによって５質量%以下に希釈して用いるため、B_2H_6濃度の変化がプラズマドーピング時の圧力の閾値に及ぼす影響はほとんどない。本発明のようにエクステンション領域やソース・ドレイン領域を形成するために元素を注入するという用途においては、前述のように、B_2H_6を２質量%程度以下の高い希釈度で用いることが望ましいので、原料ガス中でのB_2H_6濃度がフィン角部の削れ量に及ぼす影響は小さい。その理由は、前述のように、フィン角部を削るのはプラズマ中のイオンであり、その大部分はプラズマ中のイオンとして支配的な希釈ガス由来のイオンであるから、希釈ガス中でのボロンの占める割合（濃度）を５質量%以下の範囲（望ましくは２質量%以下の範囲）で変えた場合でも、プラズマ中における希釈ガス由来のイオンに対するボロンイオンの割合は大きくは変わらないからであると考えられる。以上に述べたように、原料ガスがＨｅで希釈したB_2H_6であり、原料ガス中でのB_2H_6濃度が２質量%以下の範囲である場合には、B_2H_6濃度の変化がフィン角部の削れ量に及ぼす影響は無視でき、プラズマドーピング時の圧力の閾値は０．６Ｐａのままであった。すなわち、プラズマドーピングによってフィン角部がエッチングされる原因は、希釈ガス由来のイオン（第１実施例ではヘリウムイオン）であり、プラズマドーピング時の圧力の閾値はB_2H_6濃度つまりボロン濃度には依存しない。ボロンに代えて、例えばリン又は砒素等を用いた場合も同様である。

[0102] また、第１実施例では、バイアス電圧Ｖｐｐが１３０Ｖ及び２５０Ｖである場合を例として説明したが、次に、バイアス電圧Ｖｐｐを変えた場合につ

いて説明する。本発明のようにエクステンション領域やソース・ドレイン領域を形成するために元素を注入するという用途を有する装置においては、バイアス電圧Ｖｐｐは１０００Ｖ以下に設定される。また、エクステンション領域を形成するためには、半導体表面から深さ５ｎｍ以上１５ｎｍ以下の領域にボロン、リン又は砒素等を注入することが要望される。第１実施例で２５０Ｖのバイアス電圧Ｖｐｐを用いた場合には、注入深さ（ボロン濃度が$1\times10^{18}cm^{-3}$になる深さで定義する）は９ｎｍである。この注入深さをエクステンション領域に要望される最大値の１５ｎｍにするためにバイアス電圧Ｖｐｐを５００Ｖ程度まで高くした場合でも、プラズマドーピング時の圧力の閾値は０．６Ｐａ程度であってほとんど変化しなかった。但し、バイアス電圧Ｖｐｐを装置の最大出力である１０００Ｖ程度まで高くした場合には、プラズマドーピング時の圧力の閾値を０．６Ｐａよりも低く例えば０．５Ｐａ程度に設定することが好ましい。

[0103] さらに、第１実施例では、プラズマドーピング時間が６０秒及び２００秒である場合を例として説明したが、次に、プラズマドーピング時間を変えた場合について説明する。プラズマドーピング時間を短くすると、プラズマドーピング時の圧力の閾値は０．６Ｐａよりも高くなり、逆に、プラズマドーピング時間を長くすると、プラズマドーピング時の圧力の閾値は０．６Ｐａよりも低くなるという傾向がある。すなわち、０．６Ｐａよりも高い圧力領域でプラズマドーピングを実施したい場合には、プラズマドーピング時間を６０秒よりも短くすることが考えられるが、以下の理由により、これはプラズマドーピング時間を極めて短時間にした場合を除いて有効な方法ではない。０．６Ｐａよりも高い圧力領域を用いて６０秒未満でプラズマドーピングを実施した場合、図９に示すように、時間に対するフィン角部の削れ量は比例関係で変化せず、プラズマドーピングの初期段階での削れ量が多くなる。ここで、図９は、０．９Ｐａの圧力でプラズマドーピングを６０秒間実施した場合におけるフィン角部の削れ量の時間変化を示している。尚、図９において、フィン角部の削れ量を、ドーピング前のフィン角部（上部コーナー）

の曲率半径に対するドーピング後のフィン角部（上部コーナー）の曲率半径の比で表している。当該比が大きいほど、削れ量は大きい。具体的には、図９に示すように、２８秒以上ではプラズマドーピング後のフィン角部の曲率半径がプラズマドーピング前の２倍以上となり、削れ量が大きくなってしまう。従って、２８秒以上の長い時間領域を用いるプラズマドーピングでは、フィン角部の削れ量を抑制するために、圧力を０．６Ｐａ以下に設定することが望ましい。一方、プラズマドーピング時間が２８秒未満の場合には、圧力が０．６Ｐａ以上であってもフィン角部の削れ量を少なくしつつプラズマドーピングを行うことが可能であるものの、このような短い時間領域を用いたプラズマドーピングでは、ドーズ量の基板面内均一性を確保することが難しいという大きな問題がある。逆に、プラズマドーピング時間を２００秒よりも長くした場合には、生産性が低下するという問題が生じる。以上のように、３０秒から２００秒までの時間領域を用いたプラズマドーピングでは、生産性が低下することなく、ドーズ量の基板面内均一性を確保できるという効果があるが、従来用いられてきた圧力範囲によればフィン角部の削れ量が大きくなるという問題があった。これに対して、本発明ではプラズマドーピング時の圧力を０．６Ｐａ以下に設定することによって、エッチングの原因と考えられる希釈ガス起因のイオン（第１実施例ではヘリウムイオン）の量を少なくすることが可能となり、これによりフィン角部の削れ量を抑制しつつ、高いコンフォーマルドーピング性を達成できるという特別の効果が得られる。

[0104] （第２実施例）

第２実施例においては、プラズマドーピング時の圧力を０．６Ｐａ以上１０Ｐａ以下とし、且つ、イオン電流密度Ｉｉ（ｍＡ／ｃｍ^2）とプラズマドーピング時の圧力Ｐ（Ｐａ）との関係がＩｉ≦０．５２Ｌｎ（Ｐ）＋０．３６となる条件でプラズマドーピングを行うことによって、フィン角部の削れ量を抑制しつつ、高いコンフォーマルドーピング性を得ることができる。尚、Ｌｎは自然対数を表す。

[0105] 第２実施例においては、フィン角部の削れ量を検査するためのフィン型半導体領域（プラズマドーピングを行う前）として、図４（ａ）に示す第１実施例と同様の試料を用いた。すなわち、フィンの高さ及び幅は１２０ｎｍ及び１６０ｎｍであり、フィン同士の間の距離は２１０ｎｍである。すなわち、フィンの幅方向の中央と隣のフィンの幅方向の中央との距離は３７０ｎｍである。また、フィン角部（図中破線領域）の曲率半径は８．７ｎｍである。

[0106] まず、プラズマドーピング時の圧力とソースパワーとを変化させて、電子温度及びイオン電流密度を測定する。ここで、測定に使用した装置はScientific Systems社製ラングミュアプローブ（製品名スマートプローブ）である。また、測定用プローブを基板表面から２５ｍｍ上方を通過させ、その直下の部分に対して測定を実施できるように測定用プローブの取り付けを行っている。測定データの検出位置として、３００ｍｍ基板の中心部から半径２０ｍｍの範囲内の２１箇所（具体的には基板中心部から測定用プローブの取り付け側に２０ｍｍの地点までの間における１ｍｍ間隔の２１点）を設定し、この２１点の測定値の平均を測定データとした。

[0107] 次に、プラズマドーピング時の圧力とソースパワーとを変化させて、フィン角部の削れ量を測定する。プラズマドーピング条件は、バイアスパワーが１３５Ｗ（バイアス電圧Ｖｐｐは２９０Ｖ）であり、原料ガスがＨｅで希釈したB_2H_6であり、原料ガス中でのB_2H_6濃度が０．０５質量%であり、ガスの総流量が３００ｃｃ／ｍｉｎ（標準状態）であり、バイアス印加時間が６０秒間である。尚、ボロンの打ち込み深さは、ボロン濃度が$5\times10^{18}cm^{-3}$となる深さで定義して約９ｎｍである。

[0108] 図１０（ａ）及び（ｂ）は、以上の測定データから得られた各種特性を表している。具体的には、図１０（ａ）は、プラズマドーピング時の圧力が０．６Ｐａ以上１０Ｐａ以下の範囲において、プラズマドーピング後のフィン角部の曲率半径がプラズマドーピング前のフィン角部の曲率半径の２倍未満及び２倍以上のそれぞれとなるイオン電流密度の範囲を示している。圧力が

０．６Ｐａ以上１０Ｐａ以下の範囲において、プラズマドーピング後のフィン角部の曲率半径が確実にプラズマドーピング前のフィン角部の曲率半径の２倍未満となるイオン電流密度の範囲は、Ｉｉ≦０．５２Ｌｎ（Ｐ）＋０．３６（関係式１：図中のｙ＝０．５２０２Ｌｎ（ｘ）＋０．３６００である。尚、図中のR^2＝０．９８５８は、測定データと近似曲線（関係式１）との相関係数を示しており、R^2の数値が１に近いことから、関係式１とそれに対応する測定データとの相関関係が極めて強いことが分かる。一方、プラズマドーピング後のフィン角部の曲率半径が確実にプラズマドーピング前のフィン角部の曲率半径の２倍以上となるイオン電流密度の範囲は、Ｉｉ≧０．５１Ｌｎ（Ｐ）＋０．８０（関係式２：図中のｙ＝０．５０６３Ｌｎ（ｘ）＋０．７９７２である。尚、図中のR^2＝０．９５１５は、測定データと近似曲線（関係式２）との相関係数を示しており、R^2の数値が１に近いことから、関係式２とそれに対応する測定データとの相関関係が極めて強いことが分かる。また、図中において従来のＰＤ（プレーナ用）と記載したプロットは、図９で説明した０．９Ｐａの圧力でプラズマドーピングを実施した場合におけるイオン電流密度を示している。ここで、図９に示しているように、０．９Ｐａの圧力及びこのイオン電流密度で６０秒間のプラズマドーピングを実施した場合には、プラズマドーピング後のフィン角部の曲率半径はプラズマドーピング前のフィン角部の曲率半径の２倍以上になっている。

[0109] 尚、プラズマドーピング後のフィン角部の曲率半径が厳密にプラズマドーピング前のフィン角部の曲率半径の２倍になるイオン電流密度と圧力との関係は、関係式１が示す領域と関係式２が示す領域との間に存在するが、これを特定することは多大な労力を要するので、第２の実施例では、プラズマドーピング後のフィン角部の曲率半径が確実にプラズマドーピング前のフィン角部の曲率半径の２倍未満となる関係式１、及び、プラズマドーピング後のフィン角部の曲率半径が確実にプラズマドーピング前のフィン角部の曲率半径の２倍以上となる関係式２のみを特定している。また、図１０（ｂ）は、プラズマドーピング時の圧力が０．６Ｐａ以上１０Ｐａ以下の範囲において

、関係式１及び関係式２の等式が成り立つときの圧力と電子温度との関係を示している。図１０（ａ）及び（ｂ）に示すように、電子温度が同じ水準であったとしても、イオン電流密度が異なることに起因してフィン角部の削れ量が異なること、具体的には、イオン電流密度が小さいほどフィン角部の削れ量を抑制できることが分かる。

[0110] 尚、フィン角部の曲率半径は、プラズマドーピング後の曲率半径がプラズマドーピング前の曲率半径の２倍未満であれば半導体デバイスの性能に与える影響は許容範囲であり問題にならない。その理由は次の通りである。すなわち、ゲート絶縁膜の下部を通過してソースからドレインに流れる電流のうち、第１の不純物領域（フィン上部）と第２の不純物領域（フィン側部）との境界付近に流れる電流が流れ難くなるのは、ゲート絶縁膜と不純物領域との隙間が大きくなることが原因である（図２１参照）。従って、プラズマドーピング後のフィン角部の曲率半径がプラズマドーピング前のフィン角部の曲率半径の２倍未満であれば、ゲート絶縁膜と不純物領域との隙間の大きさが小さくなるので、半導体デバイスの性能に与える影響は許容範囲であり問題にならなくなる。ここで、フィン角部の削れ量は、そのままゲート絶縁膜と不純物領域との隙間の大きさに相当するわけではなく、プラズマドーピングによって意図せずに生じるゲート絶縁膜と不純物領域との隙間の大きさは、フィン角部の削れ量よりも小さくなる。その理由は、実際のフィン角部の曲率半径については、ゲート絶縁膜（例えば図１２のゲート絶縁膜６２参照）からの距離が遠くなるに従ってフィン角部がプラズマドーピング時に削られ易くなる結果、その曲率半径が大きくなる一方、ゲート絶縁膜（同上）に近づくに従ってフィン角部が削られ難くなる結果、その曲率半径が小さくなるからである。すなわち、フィン角部の曲率半径は、ゲート絶縁膜からの距離に応じて変化し、その距離が小さくなるに従って、フィン角部の曲率半径は小さくなる傾向にあり、その結果、ゲート絶縁膜と不純物領域との隙間の大きさが、フィン角部の削れ量よりも小さくなる場合が生じる。

[0111] 逆に、プラズマドーピング後のフィン角部の曲率半径がプラズマドーピン

グ前のフィン角部の曲率半径の２倍以上であれば、前述のフィン角部の曲率半径がゲート絶縁膜からの距離に応じて変化することを考慮したとしても、ゲート絶縁膜と不純物領域との隙間が大きくなり、半導体デバイスの性能に与える影響が許容範囲を超えてしまうという問題が生じる。

[0112] 図１１は、第２実施例においてプラズマドーピングを行った後のフィン型半導体領域（正確にはフィンを有する半導体領域５１）の断面形状を模式的に示している。プラズマドーピング条件は、例えば、原料ガスがＨｅで希釈したB_2H_6であり、原料ガス中でのB_2H_6濃度が０．０５質量%であり、チャンバー内圧力が０．９Ｐａであり、ソースパワー（プラズマ生成用高周波電力）が１０００Wであり、バイアス電圧Ｖｐｐが２９０Ｖであり、基板温度が２０℃であり、プラズマドーピング時間が６０秒である。プラズマの発生方式としては、例えばＩＣＰ方式を用いた。尚、第２実施例では、フィン上面に照射される注入イオンの量を極めて少なくしてフィン角部の削れ量を抑制するために、チャンバー内圧力を０．９Ｐａと小さく設定していると共に、ソースパワーを１０００Wと小さく設定することにより、イオン電流密度を０．０９ｍＡ／ｃm^2とＩＣＰ方式としては非常に小さく設定している。以上の条件によるプラズマドーピングを実施した後におけるフィン角部（図１１）の曲率半径は１５．２ｎｍである。すなわち、第２実施例では、プラズマドーピング前後におけるフィン角部の曲率半径の差は６．５ｎｍであり、１分間当たりの削れ量（曲率半径の増加量）は６．５ｎｍである。また、第２実施例では、プラズマドーピング後のフィン角部の曲率半径がプラズマドーピング前のフィン角部の曲率半径の２倍未満であるので、フィン角部の削れ量は許容できる程度に小さいことが分かる。

[0113] 尚、図１０（ａ）に示すように、プラズマドーピング時のイオン電流密度が０．５ｍＡ／ｃm^2以下であれば、フィン角部の削れ量が半導体デバイスの性能に与える影響は許容範囲であり問題にならないことが分かる。その観点からは、第１実施例で述べたように、プラズマドーピング時の圧力を０．６Ｐａ以下に設定することが望ましいことは言うまでもない。

[0114] ［第１実施例及び第２実施例で得られる半導体デバイスの構造］

図１２は、第１実施例及び第２実施例で得られる半導体デバイスの構造の一例を模式的に示す斜視図であり、具体的には、プラズマドーピング前においてほぼ直角の上部コーナーを持つフィン型半導体領域の上にゲート絶縁膜を介してゲート電極を形成したデバイスの構造を示している。図１２に示すように、上部に不純物領域６１ａ及び側部に不純物領域６１ｂを有するフィン型半導体領域６１を跨ぐようにゲート絶縁膜６２を介してゲート電極６３が形成されている。ここで、ａ、ｂ、ｃ、ｄは、鞍馬形状のゲート絶縁膜６２の内壁のうちソース側のコーナーを表し、ａ''、ｂ''、ｃ''、ｄ''は、フィン型半導体領域６１のソース側端面までコーナーａ、ｂ、ｃ、ｄを平行移動させたものである。また、フィンの高さは例えば１０～５００ｎｍであり、フィンの幅は例えば１０～５００ｎｍであり、フィン同士の間の距離は２０～５００ｎｍである。このような微細なフィンを有する半導体デバイスに本発明を適用した場合、コーナーｂ''と第１の不純物領域６１ａ（フィン上部）との距離Ｇ、つまりコーナーｃ''と第１の不純物領域６１ａ（フィン上部）との距離Ｇがゼロよりも大きく且つ１０ｎｍ以下であるという特徴、及び、第１の不純物領域６１ａ（フィン上部）のシート抵抗で規格化した第２の不純物領域６１ｂ（フィン側部）のシート抵抗が１．２５以下であるという特徴を有する半導体デバイスを実現できるので、本発明の効果を得ることができる。尚、コーナーｂ''と第１の不純物領域６１ａ（フィン上部）との距離Ｇ、又はコーナーｃ''と第１の不純物領域６１ａ（フィン上部）との距離Ｇとは、鞍馬形状のゲート絶縁膜６２の内壁のうちソース側のコーナーａ、ｂ、ｃ、ｄ及びこれらに対応するドレイン側のコーナーａ’、ｂ’、ｃ’、ｄ’（図示省略）とすると、四角形ａ－ａ’－ｂ’－ｂを含む平面、四角形ｂ－ｂ’－ｃ’－ｃを含む平面又は四角形ｃ－ｃ’－ｄ’－ｄを含む平面と、第１の不純物領域６１ａとの間の距離の最大値を意味し、これはプラズマドーピングによって削られたフィン形状の半導体領域の上部コーナーの量を反映した量である。また、コーナーｂ''と第１の不純物領域６１ａ（フィ

ン上部）との距離Ｇ、つまりコーナーｃ’’と第１の不純物領域６１ａ（フィン上部）との距離Ｇがゼロよりも大きく且つ１０ｎｍ以下であるという特徴は、通常、ゲート絶縁膜６２の外側に位置する部分の半導体領域６１における上部コーナーの曲率半径（つまりプラズマドーピング後の曲率半径）ｒ’が、ゲート絶縁膜６２の下側に位置する部分の半導体領域６１における上部コーナーの曲率半径（つまりプラズマドーピング前の曲率半径）ｒよりも大きく且つ２ｒ以下であるという特徴と等価である。

[0115] 図１３は、第１実施例及び第２実施例で得られる半導体デバイスの構造の他例を模式的に示す斜視図であり、具体的には、ゲート絶縁膜を形成する前にフィン角部が予めある程度の曲率半径を持つように半導体領域を形成しておき、その上にゲート絶縁膜を介してゲート電極を形成したデバイスの構造を示している。尚、図１３において、図１２に示す構造と同一の構成要素には同一の符号を付すことにより、重複する説明を省略する。ところで、フィン角部が直角に近い場合には、当該フィン角部を通過してソースからドレインに電流が流れ難いことが指摘されている。これは、プラズマドーピングによるフィン角部の削れの有無や大小に関わらず、ゲート絶縁膜６２と第１の不純物領域６１ａ（フィン上部）との接続部分に直角に近い角部が存在しているかどうかに関係して発生する問題である。そこで、この問題を解決するために、ゲート絶縁膜を形成する前に予めフィン角部に３ｎｍ程度から３０ｎｍ程度までの曲率半径を持たせておくことが好ましい。このようにすると、ゲート絶縁膜６２と第１の不純物領域６１ａ（フィン上部）との接続部分に直角に近い角部が存在することはなく、ソースからドレインに流れる電流がゲート絶縁膜６２の下で流れ難くなることはなくなる。このようなフィンを有する半導体デバイスに本発明を適用した場合にも、コーナーｂ’’と第１の不純物領域６１ａ（フィン上部）との距離Ｇ、つまりコーナーｃ’’と第１の不純物領域６１ａ（フィン上部）との距離Ｇがゼロよりも大きく且つ１０ｎｍ以下であるという特徴、及び、第１の不純物領域６１ａ（フィン上部）のシート抵抗で規格化した第２の不純物領域６１ｂ（フィン側部）のシート

抵抗が１．２５以下であるという特徴を有する半導体デバイスを実現できるので、本発明の効果を得ることができる。

[0116] ［第１実施例及び第２実施例で用いるプラズマ装置］

第１実施例及び第２実施例ではＩＣＰ方式のプラズマ装置を用いている。その理由は、ＩＣＰ方式のプラズマが本来的に有する「イオンの入射角度が大きいプラズマ」という性質を用いることができ、それによって本発明の効果を得易くなるからである。それに加えて、ＩＣＰ方式では、プラズマ密度と注入深さとを独立に制御できるため、電子温度をＥＣＲ（electron cyclotron resonance）プラズマ方式ほど高くすることなく、直径が例えば３００ｍｍのような大口径基板に対してもプラズマを均一に生成し易くなる。従って、注入深さを自由に選択しながら、ゲート絶縁膜の破壊を抑制しつつ、大口径基板の面内の複数のフィンに対して均一にプラズマドーピング処理を実施しやすくなる。すなわち、ＩＣＰ方式のプラズマ装置を用いることが望ましい。

[0117] 以下、その他のプラズマ方式を用いて本発明を実施した場合の課題を説明する。

[0118] まず、ＲＩＥ（reactive ion etching）プラズマ方式について説明する。ＲＩＥプラズマ方式においてはカソード電極に高周波電圧を印加する。これにより、プラズマの生成を開始すると共にプラズマ密度の調整を行い、同時にバイアス電圧の調整も行う。ＲＩＥプラズマ方式を用いた場合には、高い圧力でしかプラズマの生成が開始しないので、高い圧力でプラズマの生成を開始させてから、本発明のプロセスで用いるような低い圧力まで低下させるためには、圧力の調整に長い時間を要し、その結果、生産性が低下してしまうという問題が生じる。さらに、ＲＩＥプラズマ方式では、カソード電極に高周波電圧を印加することのみによってプラズマ生成を行うため、プラズマ密度と注入深さとが同時に変化してしまい、それぞれを独立して制御できないので、プロセスの制御性が悪いという問題がある。これに対して、前述のＩＣＰ方式では、アノード電極に印加する高周波電圧を制御することによっ

てプラズマ密度を制御すると共にカソード電極に印加する高周波電圧を制御することによって注入深さを制御するため、プラズマ密度と注入深さとを独立して制御できる。また、前述のＩＣＰ方式では、プラズマ生成の開始時にアノード電極に印加する高周波電圧を高く設定しておくことによって、ドーピングプロセスで用いる圧力と比較して大幅に高い圧力を用いることなくプラズマ生成を開始することが可能である。

[0119] 次に、ＥＣＲプラズマ方式について説明する。ＥＣＲプラズマ方式においては励起周波数が９００ＭＨｚ以上である。すなわち、ＥＣＲプラズマ方式では、励起周波数が極めて高いので、電子温度が高く、それが原因でゲート絶縁膜の絶縁破壊が起き易いという問題がある。これに対して、ＩＣＰ方式では励起周波数が例えば１３．５６ＭＨｚのようにＥＣＲプラズマ方式と比べて１桁以上小さく、ゲート絶縁膜の絶縁破壊が比較的起き難い。すなわち、ＥＣＲプラズマ方式と比較してＩＣＰ方式が望ましい。

[0120] 次に、パルスＤＣプラズマ方式について説明する。パルスＤＣプラズマ方式においては、カソード電極にパルスＤＣの高周波電圧を印加する。この方式では、基本的にイオンの入射角がゼロ度に近い（つまりフィン上面に対して直角に近い）ので、フィン側部のシート抵抗がフィン上部のシート抵抗と比べて高くなってしまうという問題がある。これに対して、ＩＣＰ方式では、カソード電極に周波数が５００ＭＨｚ、６００ＭＨｚ又は１３．５６ＭＨｚの交流の高周波電圧を印加する。これにより、イオンの入射角が大きくなるので、フィン側部のシート抵抗がフィン上部のシート抵抗と同等になり易い。すなわち、パルスＤＣプラズマ方式と比較してＩＣＰ方式が望ましい。

[0121] 次に、ヘリコンプラズマ方式について説明する。ヘリコンプラズマ方式には、プラズマに少なくとも１０ガウス以上の磁界を印加するという特徴、及び、プラズマ源と基板との距離が長いという特徴がある。この方式では、プラズマ源と基板との距離が長いので、直径３００ｍｍのウェハ等の大口径基板に対するプラズマの良好な均一性が得られ難いという問題がある。これに対して、ＩＣＰ方式では、プラズマに磁界を印加する必要はなく、プラズマ

源と基板との距離が短いため、直径３００ｍｍのウェハ等の大口径基板に対するプラズマの良好な均一性が得られ易い。すなわち、ヘリコンプラズマ方式と比較してＩＣＰ方式が望ましい。

[0122] （第１の実施形態の第１変形例）

以下、本発明の第１の実施形態（第１実施例及び第２実施例を含む）の第１変形例に係る半導体装置の構造について図面を参照しながら説明する。

[0123] 図１４は、本変形例に係る半導体装置、具体的には、フィン型ＦＥＴを有する半導体装置の平面図である。尚、図１４において、図１（ａ）～（ｄ）に示す第１の実施形態の構造と同一の構成要素には同一の符号を付し、重複する説明を省略する。

[0124] 図１４に示すように、本変形例が図１（ａ）～（ｄ）に示す第１の実施形態と異なっている点は、フィン型半導体領域１３ａ～１３ｄのそれぞれにおけるゲート長方向の両端部が他のフィン型半導体領域１３ｅ及び１３ｆによって接続されていることである。

[0125] 本変形例によると、第１の実施形態と同様の効果が得られると共に、フィン型半導体領域１３ａ～１３ｆによって１つのフィン型ＦＥＴを構成することができる。

[0126] （第１の実施形態の第２変形例）

以下、本発明の第１の実施形態（第１実施例及び第２実施例を含む）の第２変形例に係る半導体装置の構造について図面を参照しながら説明する。

[0127] 本変形例の半導体装置、具体的には、フィン型ＦＥＴを有する半導体装置の構造を示す平面図は、第１の実施形態の平面図である図１（ａ）と同じである。また、図１５（ａ）～（ｃ）は本変形例の半導体装置の断面構造を示す図であり、図１５（ａ）は図１（ａ）におけるＡ－Ａ線の断面図であり、図１５（ｂ）は図１（ａ）におけるＢ－Ｂ線の断面図であり、図１５（ｃ）は図１（ａ）におけるＣ－Ｃ線の断面図である。

[0128] 図１５（ａ）～（ｃ）に示すように、本変形例が図１（ａ）～（ｄ）に示す第１の実施形態と異なっている点は次の通りである。すなわち、第１の実

施形態においては、フィン型半導体領域１３ａ～１３ｄの上面及び側面の上に例えばシリコン酸窒化膜からなる厚さ３ｎｍのゲート絶縁膜１４ａ～１４ｄが形成されていた。それに対して、本変形例においては、ゲート絶縁膜１４ａ～１４ｄはフィン型半導体領域１３ａ～１３ｄの側面上のみに形成されており、フィン型半導体領域１３ａ～１３ｄの上面上には例えばシリコン酸化膜からなる厚さ２０ｎｍの絶縁膜２４ａ～２４ｄが形成されている。

[0129] すなわち、本変形例においては、フィン型半導体領域１３ａ～１３ｄの側部のみをチャネル領域として使用する。このような構成であっても、アスペクト比（「フィン型半導体領域の側面の高さ」／「フィン型半導体領域の上面のゲート幅方向の幅」）が大きければ第１の実施形態と同様の効果が得られる。

[0130] （第１比較例）

第１比較例においては、プラズマドーピング時の圧力を０．６Ｐａ以上１０Ｐａ以下とし、且つ、イオン電流密度Ｉｉ（ｍＡ／ｃｍ^2）とプラズマドーピング時の圧力Ｐ（Ｐａ）との関係がＩｉ≧０．５１Ｌｎ（Ｐ）＋０．８０（図１０（ａ）参照）となる条件でプラズマドーピングを行う。尚、Ｌｎは自然対数を表す。

[0131] 第１比較例においては、フィン角部の削れ量を検査するためのフィン型半導体領域（プラズマドーピングを行う前）として、図４（ａ）に示す第１実施例と同様の試料を用いた。すなわち、プラズマドーピング前のフィンの寸法及び形状等は第２実施例と同じであり、プラズマドーピング前のフィン角部の曲率半径は８．７ｎｍである。また、電子温度及びイオン電流密度等の測定方法及び評価方法は第２実施例と同じである。

[0132] まず、プラズマドーピング時の圧力とソースパワーとを変化させて、フィン角部の削れ量を測定する。プラズマドーピング条件は、バイアスパワーが１３５Ｗ（バイアス電圧Ｖｐｐは２９０Ｖ）であり、原料ガスがＨｅで希釈したB_2H_6であり、原料ガス中でのB_2H_6濃度が０．０５質量%であり、ガスの総流量が３００ｃｃ／ｍｉｎ（標準状態）であり、バイアス印加時間が

６０秒間である。尚、ボロンの打ち込み深さは、ボロン濃度が５×１０^{18}ｃｍ$^{-3}$となる深さで定義して約９ｎｍである。

[0133] このような条件でプラズマドーピングを行った後のフィンの角部は大きく削れていた。具体的には、フィン角部の削れ量は、１分間のプラズマドーピング処理当たりに換算して８．７ｎｍ／分以上であった。このため、プラズマドーピング後のフィン角部の曲率半径はプラズマドーピング前のフィン角部の曲率半径の２倍以上となっており、フィン角部の削れ量は許容範囲を超えていることが分かる。

[0134] 図１６は、第１比較例においてプラズマドーピングを行った後のフィン型半導体領域（正確にはフィンを有する半導体領域７１）の断面形状の典型例を模式的に示している。プラズマドーピング条件は、バイアスパワーが１３５Ｗ（バイアス電圧Ｖｐｐは２９０Ｖ）であり、原料ガスがＨｅで希釈したB_2H_6であり、原料ガス中でのB_2H_6濃度が０．０５質量%であり、ガスの総流量が３００ｃｃ／ｍｉｎ（標準状態）であり、バイアス印加時間が２００秒間であり、圧力が０．９Ｐａであり、イオン電流密度が０．９ｍＡ／ｃｍ^{2}である。以上の条件によるプラズマドーピングを実施した後におけるフィン角部（図中破線領域）の曲率半径は４６．６ｎｍにも達した。プラズマドーピング前のフィン角部の曲率半径が８．７ｎｍであるので、１分間のプラズマドーピング処理当たりに換算したフィン角部の削れ量は１１．４ｎｍ／分であった。これは、１分間のプラズマドーピング処理によって、プラズマドーピング後のフィン角部の曲率半径がプラズマドーピング前のフィン角部の曲率半径に対して２倍以上に達してしまうような大きな削れ量である。すなわち、第１比較例においては、ゲート絶縁膜と不純物領域との隙間が大きくなってしまうので、ゲート絶縁膜の下部を通過してソースからドレインに電流が流れる際に、第１の不純物領域（フィン上部）と第２の不純物領域（フィン側部）との境界付近を電流が流れ難くなり、その結果、本発明の効果は得られない。

[0135] （第２比較例）

第２比較例においては、プラズマドーピング時の圧力を１０Ｐａ以上としてプラズマドーピングを行う。この場合、ソースパワーを低く設定することによりイオン電流密度を極めて小さく設定したとしても、プラズマドーピング後のフィン角部の曲率半径がプラズマドーピング前のフィン角部の曲率半径に対して２倍以下になるように、フィン角部の削れ量を抑制することはできなかった。また、装置に負荷をかけることにより、イオン電流密度を無理に小さくしようとすると、プラズマが維持できなくなりプラズマドーピングの実施自体が困難になった。従って、第２比較例においても本発明の効果は得られない。

産業上の利用可能性

[0136] 本発明は、半導体装置及びその製造方法に関し、特に、基板上にフィン形状の半導体領域を有する３次元構造の半導体装置において所望の特性を得る上で有用である。

請求の範囲

[1] 基板上に形成され、且つ上面及び側面を有する第１の半導体領域と、

前記第１の半導体領域の上部に形成された第１導電型の第１の不純物領域と、

前記第１の半導体領域の側部に形成された第１導電型の第２の不純物領域と、

前記第１の半導体領域の所定の部分における少なくとも側面及び上部コーナーを覆うように形成されたゲート絶縁膜とを備え、

前記ゲート絶縁膜の外側に位置する部分の前記第１の半導体領域における上部コーナーの曲率半径ｒ’は、前記ゲート絶縁膜の下側に位置する部分の前記第１の半導体領域における上部コーナーの曲率半径ｒよりも大きく且つ２ｒ以下であることを特徴とする半導体装置。

[2] 請求項１に記載の半導体装置において、

前記第２の不純物領域のシート抵抗は前記第１の不純物領域のシート抵抗の１．２５倍以下であることを特徴とする半導体装置。

[3] 請求項１に記載の半導体装置において、

前記第２の不純物領域の比抵抗は前記第１の不純物領域の比抵抗の１．２５倍以下であることを特徴とする半導体装置。

[4] 請求項１に記載の半導体装置において、

前記第２の不純物領域の拡がり抵抗は前記第１の不純物領域の拡がり抵抗の１．２５倍以下であることを特徴とする半導体装置。

[5] 請求項１に記載の半導体装置において、

前記第２の不純物領域の接合深さは、前記第１の不純物領域の接合深さと比べて同等以上であることを特徴とする半導体装置。

[6] 請求項１に記載の半導体装置において、

前記第１の半導体領域はフィン形状を有していることを特徴とする半導体装置。

[7] 請求項１に記載の半導体装置において、

前記第１の半導体領域は、前記基板上に形成された絶縁層上に形成されていることを特徴とする半導体装置。

[8] 請求項１に記載の半導体装置において、

前記ゲート絶縁膜上に形成されたゲート電極をさらに備え、

前記第１の不純物領域及び前記第２の不純物領域は、前記第１の半導体領域における前記所定の部分以外の他の部分に形成されていることを特徴とする半導体装置。

[9] 請求項８に記載の半導体装置において、

前記ゲート絶縁膜は、前記第１の半導体領域の前記所定の部分における上面上にも形成されていることを特徴とする半導体装置。

[10] 請求項８に記載の半導体装置において、

前記第１の不純物領域及び前記第２の不純物領域はＰ型のエクステンション領域であることを特徴とする半導体装置。

[11] 請求項８に記載の半導体装置において、

前記ゲート電極の側面上に形成された絶縁性サイドウォールスペーサと、

前記第１の半導体領域の上部に形成された第１導電型の第３の不純物領域と、

前記第１の半導体領域の側部に形成された第１導電型の第４の不純物領域とをさらに備え、

前記第４の不純物領域のシート抵抗は前記第３の不純物領域のシート抵抗の１．２５倍以下であり、

前記第３の不純物領域及び前記第４の不純物領域は、前記第１の半導体領域の前記他の部分のうちの前記絶縁性サイドウォールスペーサの外側に位置する部分に形成されていることを特徴とする半導体装置。

[12] 請求項１１に記載の半導体装置において、

前記第３の不純物領域及び前記第４の不純物領域はＰ型のソース・ドレイン領域であることを特徴とする半導体装置。

[13] 請求項８に記載の半導体装置において、

前記ゲート電極の側面上に形成された絶縁性サイドウォールスペーサをさらに備え、

前記第１の不純物領域及び前記第２の不純物領域は、前記第１の半導体領域の前記他の部分のうち前記絶縁性サイドウォールスペーサの外側に位置する部分に形成されていることを特徴とする半導体装置。

[14] 請求項８に記載の半導体装置において、

前記第１の不純物領域及び前記第２の不純物領域はＰ型のソース・ドレイン領域であることを特徴とする半導体装置。

[15] 請求項８に記載の半導体装置において、

前記第１の半導体領域の側面の高さは、前記第１の半導体領域の上面におけるゲート幅方向の幅と比べて大きいことを特徴とする半導体装置。

[16] 基板上に形成され、且つ上面及び側面をそれぞれ有する複数の半導体領域と、

前記複数の半導体領域のそれぞれの上部に形成された第１導電型の第１の不純物領域と、

前記複数の半導体領域のそれぞれの側部に形成された第１導電型の第２の不純物領域と、

前記複数の半導体領域の所定の部分における少なくとも側面及び上部コーナーを覆うように形成された複数のゲート絶縁膜とを備え、

前記複数のゲート絶縁膜の外側に位置する部分の前記複数の半導体領域における上部コーナーの曲率半径ｒ’は、前記複数のゲート絶縁膜の下側に位置する部分の前記複数の半導体領域における上部コーナーの曲率半径ｒよりも大きく且つ２ｒ以下であることを特徴とする半導体装置。

[17] 請求項１６に記載の半導体装置において、

前記第２の不純物領域のシート抵抗は前記第１の不純物領域のシート抵抗の１．２５倍以下であることを特徴とする半導体装置。

[18] 請求項１６に記載の半導体装置において、

前記第２の不純物領域の比抵抗は前記第１の不純物領域の比抵抗の１．２

５倍以下であることを特徴とする半導体装置。

[19] 請求項１６に記載の半導体装置において、

前記第２の不純物領域の拡がり抵抗は前記第１の不純物領域の拡がり抵抗の１．２５倍以下であることを特徴とする半導体装置。

[20] 請求項１６に記載の半導体装置において、

前記複数の半導体領域のそれぞれの上に前記複数のゲート絶縁膜を介して形成されたゲート電極をさらに備え、

前記ゲート電極はゲート幅方向に前記複数の半導体領域を跨いでいることを特徴とする半導体装置。

[21] 請求項２０に記載の半導体装置において、

前記第１の不純物領域及び前記第２の不純物領域はＰ型のエクステンション領域であることを特徴とする半導体装置。

[22] 請求項２０に記載の半導体装置において、

前記第１の不純物領域及び前記第２の不純物領域はＰ型のソース・ドレイン領域であることを特徴とする半導体装置。

[23] 請求項１６に記載の半導体装置において、

前記複数の半導体領域のそれぞれにおけるゲート長方向の両端部を接続する第３の半導体領域をさらに備えていることを特徴とする半導体装置。

[24] 基板上に、上面及び側面を有する第１の半導体領域を形成する工程（ａ）と、

前記第１の半導体領域に第１導電型の不純物をプラズマドーピング法によって注入し、それにより、前記第１の半導体領域の上部に第１の不純物領域を形成すると共に、前記第１の半導体領域の側部に第２の不純物領域を形成する工程（ｂ）とを備え、

前記工程（ｂ）において、プラズマドーピング時の圧力を０．６Ｐａ以下に設定することを特徴とする半導体装置の製造方法。

[25] 請求項２４に記載の半導体装置の製造方法において、

前記工程（ｂ）において、前記第２の不純物領域の注入ドーズ量は前記第

１の不純物領域の注入ドーズ量の８０％以上であることを特徴とする半導体装置の製造方法。

[26] 請求項２４に記載の半導体装置の製造方法において、

前記工程（ａ）と前記工程（ｂ）との間に、前記第１の半導体領域の所定の部分における少なくとも側面及び上部コーナーを覆うようにゲート絶縁膜を形成する工程をさらに備え、

前記工程（ｂ）の後、前記ゲート絶縁膜の外側に位置する部分の前記第１の半導体領域における上部コーナーの曲率半径ｒ’は、前記ゲート絶縁膜の下側に位置する部分の前記第１の半導体領域における上部コーナーの曲率半径ｒよりも大きく且つ２ｒ以下であることを特徴とする半導体装置の製造方法。

[27] 請求項２４に記載の半導体装置の製造方法において、

前記工程（ｂ）において、プラズマドーピング時のイオン電流密度を０．５ｍＡ／ｃｍ^2 以下に設定することを特徴とする半導体装置の製造方法。

[28] 請求項２４に記載の半導体装置の製造方法において、

前記工程（ｂ）の後、前記第２の不純物領域のシート抵抗は前記第１の不純物領域のシート抵抗の１．２５倍以下であることを特徴とする半導体装置の製造方法。

[29] 請求項２４に記載の半導体装置の製造方法において、

前記工程（ａ）よりも前に、前記基板上に絶縁層を形成する工程をさらに備え、

前記工程（ａ）において、前記絶縁層上に前記第１の半導体領域を形成することを特徴とする半導体装置の製造方法。

[30] 請求項２４に記載の半導体装置の製造方法において、

前記第１の半導体領域の側面は、前記第１の半導体領域の上面に対して垂直な面であることを特徴とする半導体装置の製造方法。

[31] 請求項２４に記載の半導体装置の製造方法において、

前記工程（ｂ）は、前記不純物を含むガスからなるプラズマを用いて行わ

れ、

前記不純物を含むガスは、ボロン原子と水素原子とからなる分子$B_m H_n$（ｍ、ｎは自然数）を含むことを特徴とする半導体装置の製造方法。

[32] 請求項２４のいずれか１項に記載の半導体装置の製造方法において、

前記工程（ｂ）は、前記不純物を含むガスからなるプラズマを用いて行われ、

前記不純物を含むガスは、ボロン原子を含む分子を希ガスで希釈してなるガスであることを特徴とする半導体装置の製造方法。

[33] 請求項２４に記載の半導体装置の製造方法において、

前記工程（ｂ）は、前記不純物を含むガスからなるプラズマを用いて行われ、

前記不純物を含むガスは、前記不純物を含む分子をヘリウムで希釈してなるガスであることを特徴とする半導体装置の製造方法。

[34] 請求項２４に記載の半導体装置の製造方法において、

前記工程（ｂ）は、前記不純物を含むガスからなるプラズマを用いて行われ、

前記不純物を含むガスは、$B_2 H_6$とＨｅとの混合ガスであることを特徴とする半導体装置の製造方法。

[35] 請求項３４に記載の半導体装置の製造方法において、

前記混合ガスにおける$B_2 H_6$の質量濃度は０．０１％以上で且つ１％以下であることを特徴とする半導体装置の製造方法。

[36] 請求項２４に記載の半導体装置の製造方法において、

前記工程（ｂ）は、前記不純物を含むガスからなるプラズマを用いて行われ、

前記不純物を含むガスは、BF_3を含むことを特徴とする半導体装置の製造方法。

[37] 請求項２４に記載の半導体装置の製造方法において、

前記工程（ｂ）は、前記不純物を含むガスからなるプラズマを用いて行わ

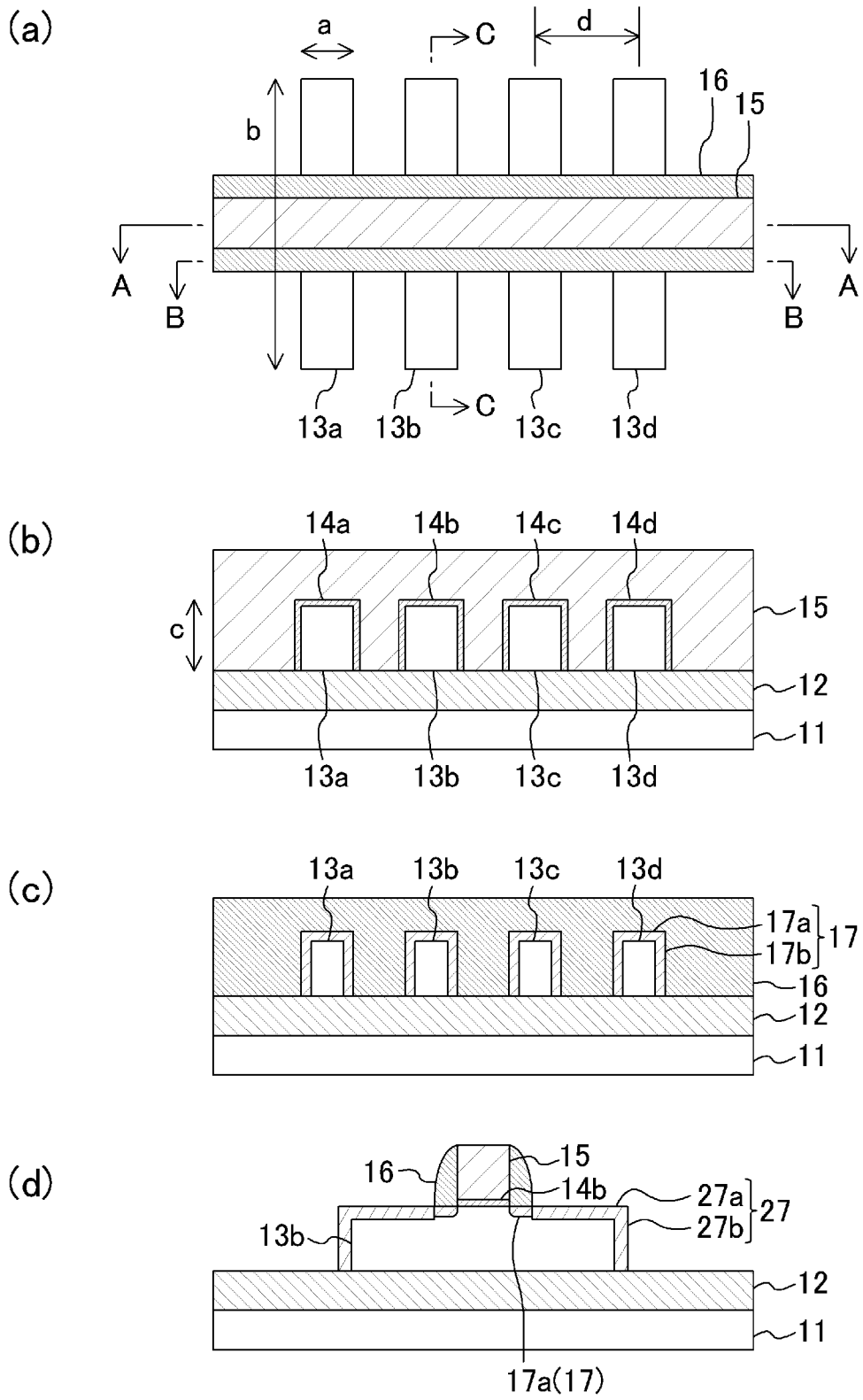
れ、

前記不純物を含むガスは、AsH_4又はPH_3を含むことを特徴とする半導体装置の製造方法。

[38] 半導体領域に第１導電型の不純物をプラズマドーピング法によって注入し、前記半導体領域に不純物領域を形成する工程を備えた半導体装置の製造方法において、

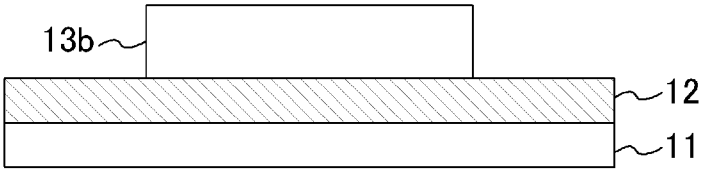
前記不純物領域を形成する工程において、プラズマドーピング時の圧力を０．６Ｐａ以下に設定することを特徴とする半導体装置の製造方法。

[図1]

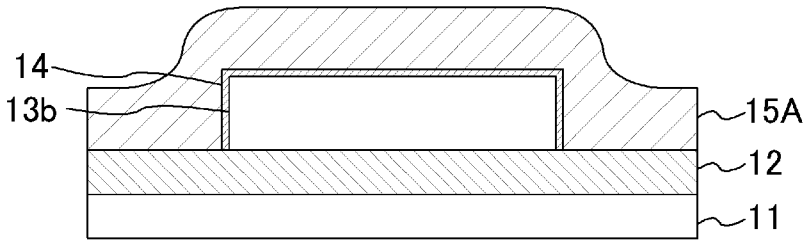

(a)
a
C
d
b
16
15
A
B
A
B
C
13a
13b
13c
13d
(b)
14a
14b
14c
14d
c
15
12
11
13a
13b
13c
13d
(c)
13a
13b
13c
13d
17a
17b
17
16
12
11
(d)
16
15
14b
27a
27
27b
13b
12
11
17a(17)

[図2]

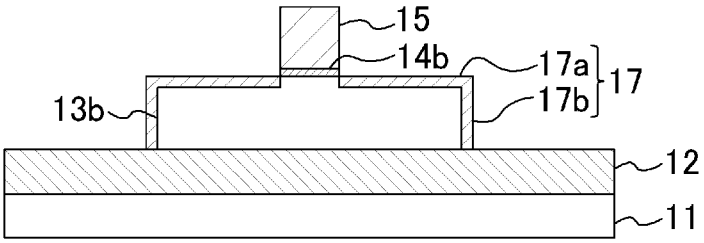
(a)


13b
12
11

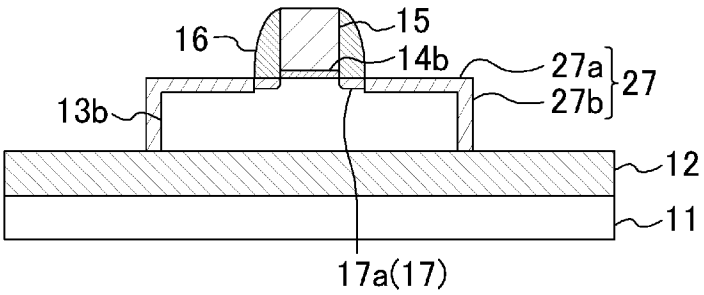
(b)


14
13b
15A
12
11

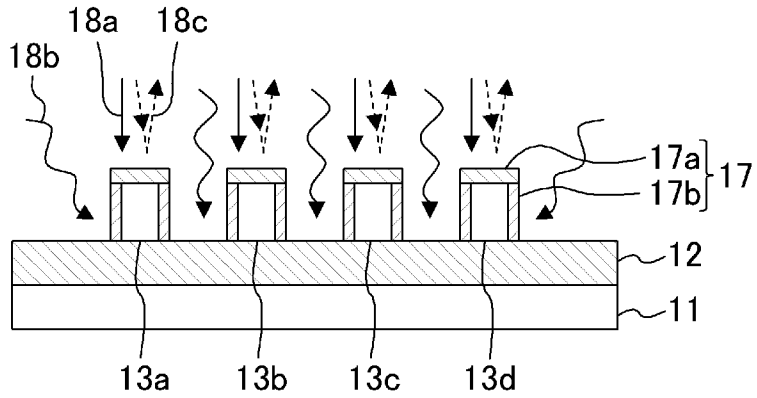
(c)


15
14b
17a
17
17b
13b
12
11

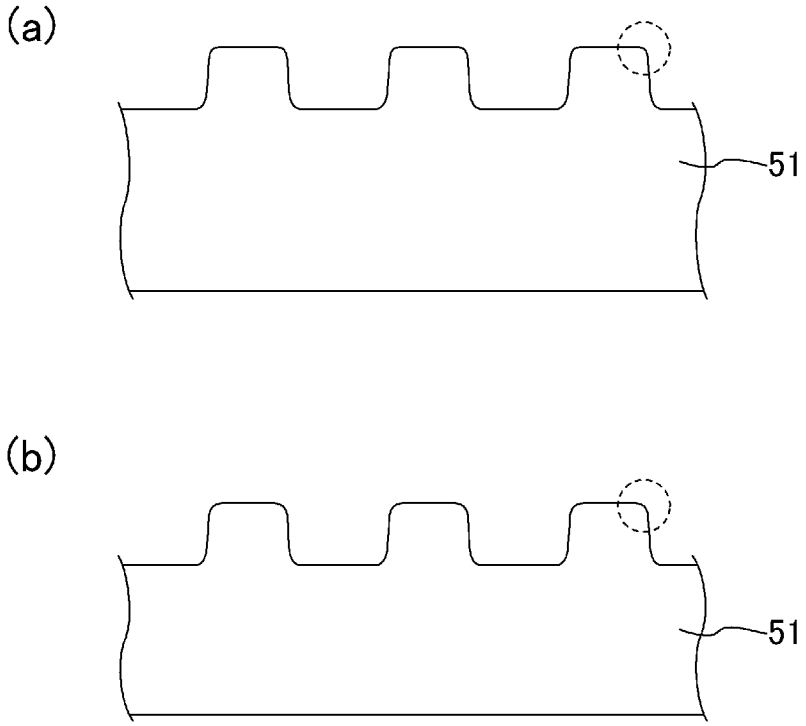
(d)


16
15
14b
27a
27
27b
13b
12
11
17a(17)

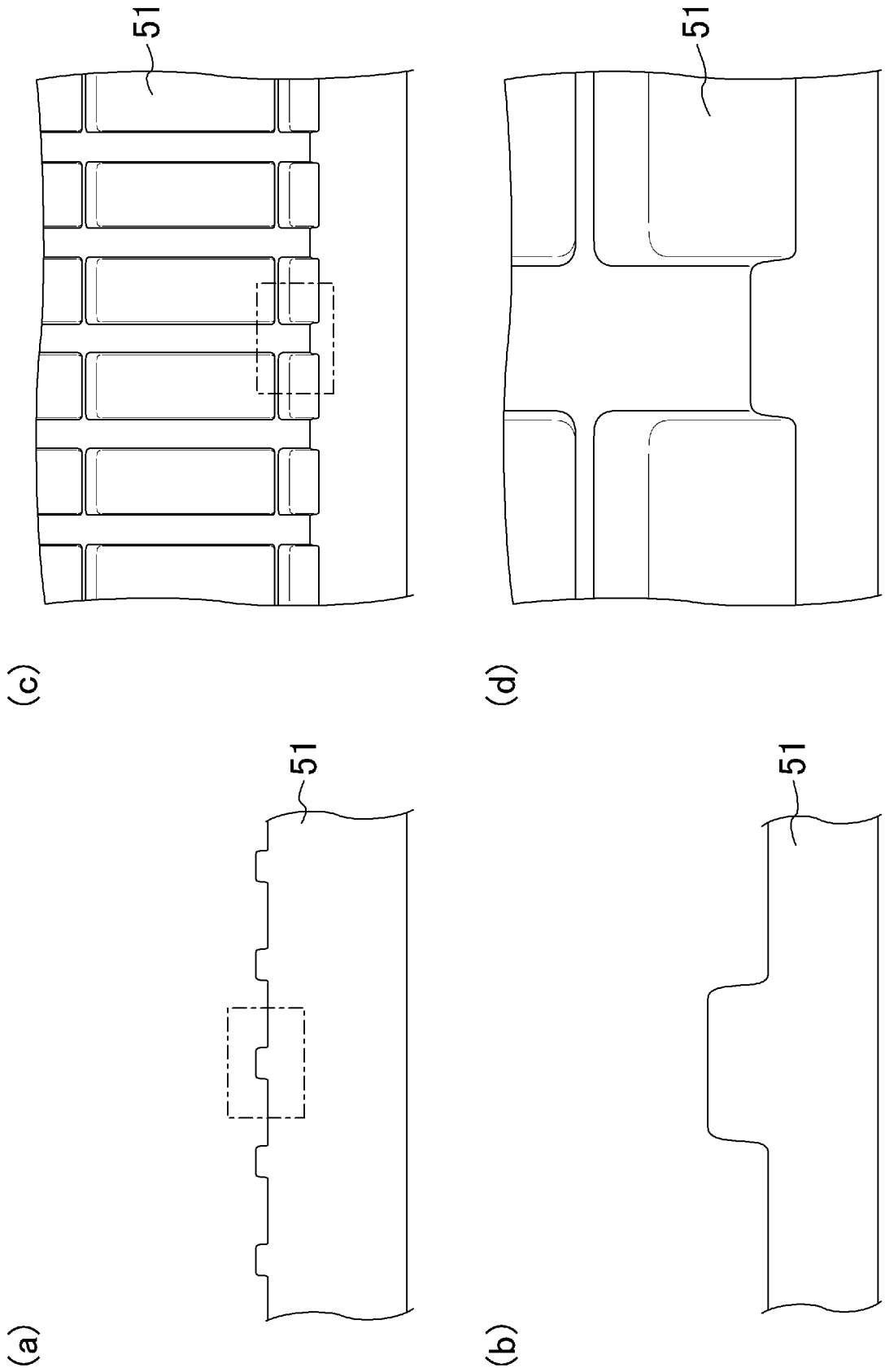
[図3]



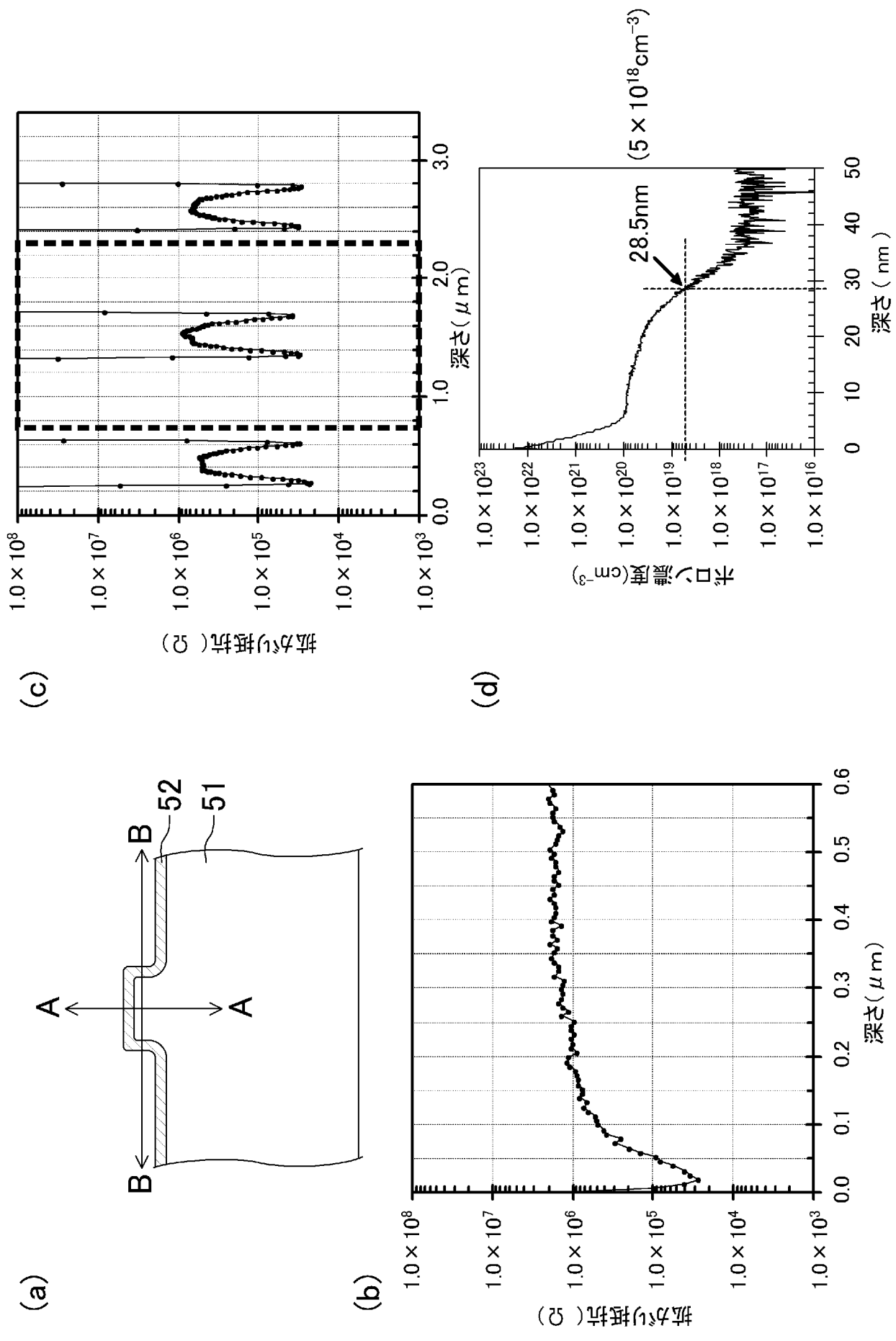
[図4]



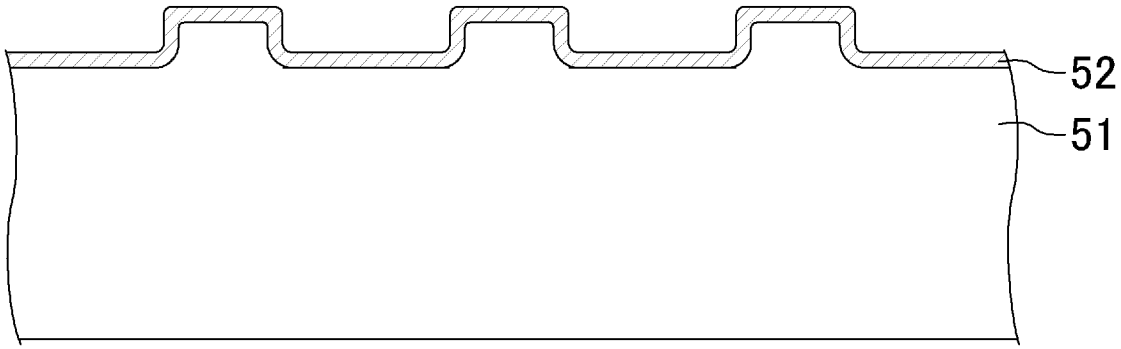
[図5]



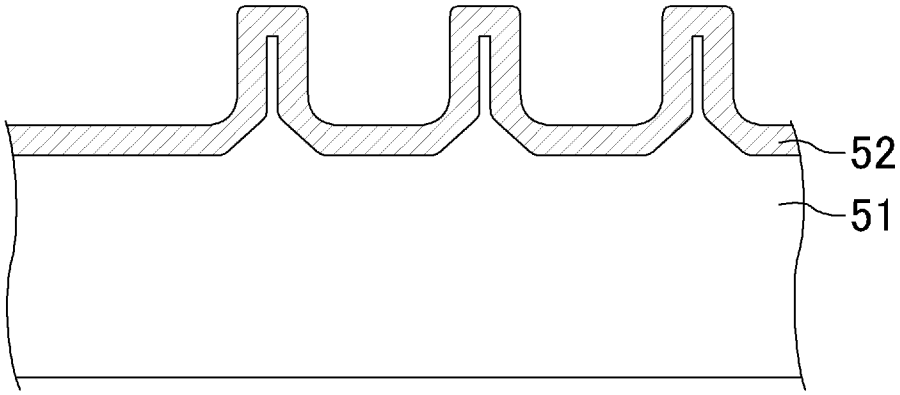
[図6]


(a)
A
A
B
B
52
51
(b)
拡がり抵抗(Ω)
深さ(μm)
(c)
拡がり抵抗(Ω)
深さ(μm)
(d)
28.5nm
(5×10^18cm^-3)
キャリア濃度(cm^-3)
深さ(nm)

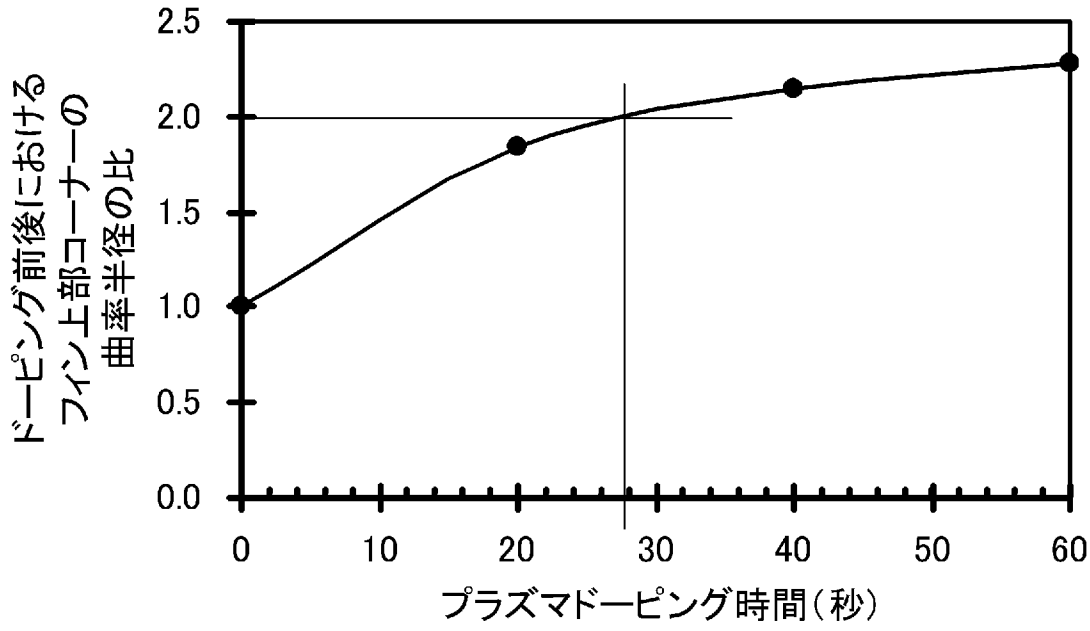
[図7]


52
51

[図8]

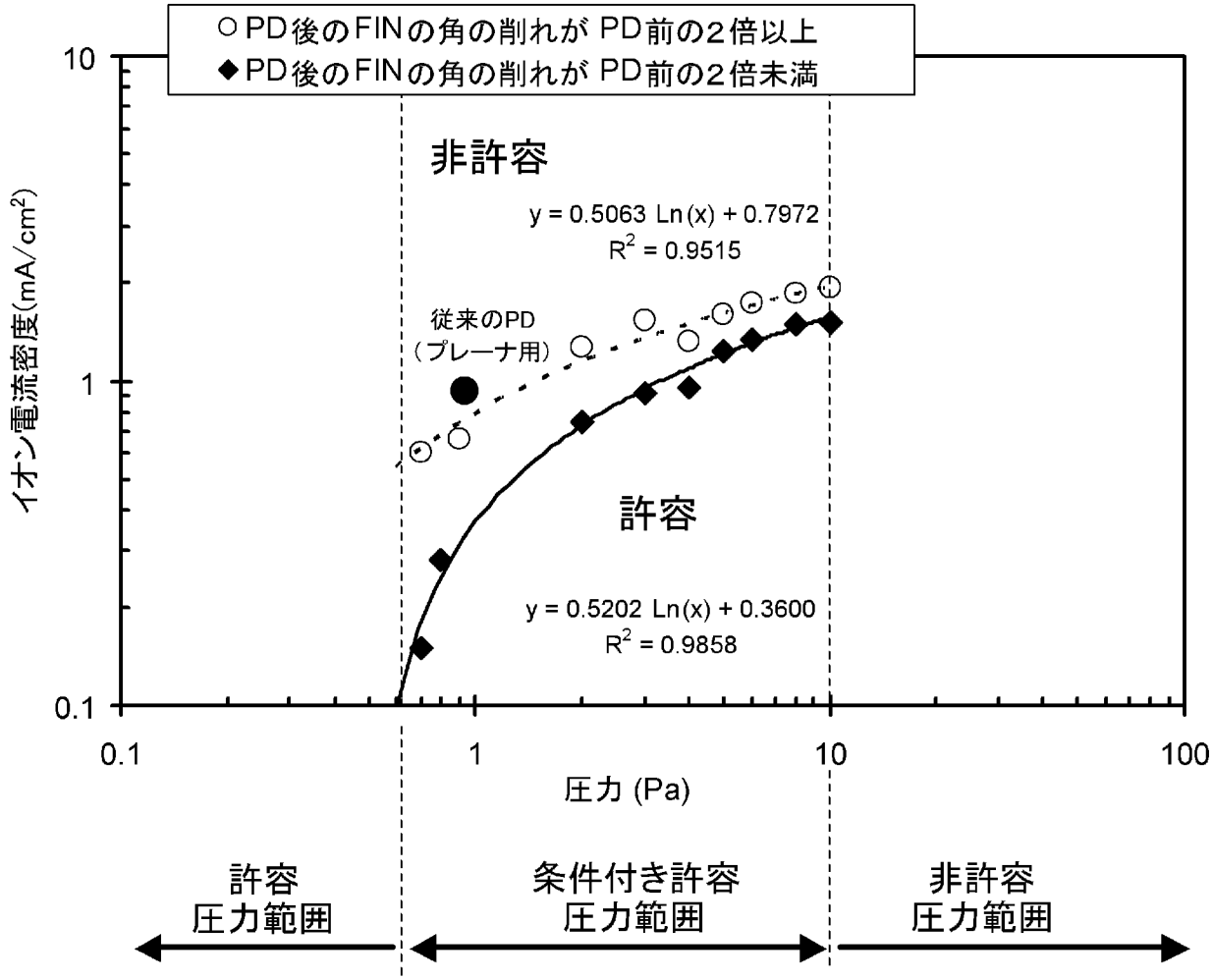

52
51

[図9]

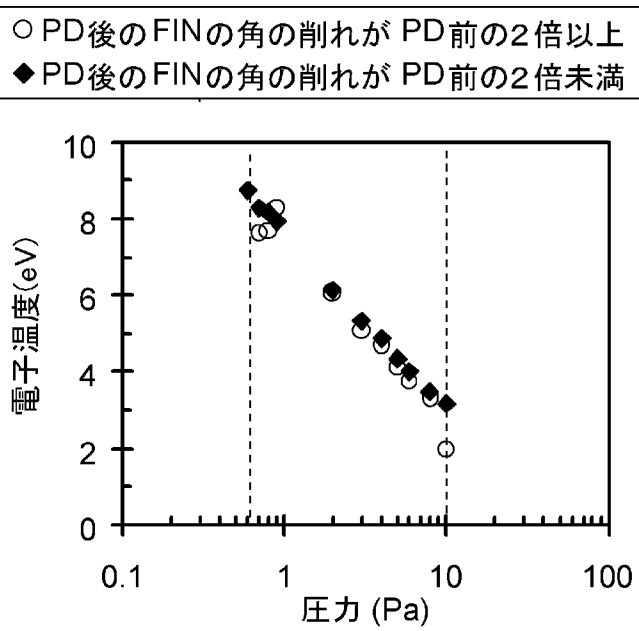

ドーピング前後におけるフィン上部コーナーの曲率半径の比
2.5
2.0
1.5
1.0
0.5
0.0
0
10
20
30
40
50
60
プラズマドーピング時間（秒）

[図10]

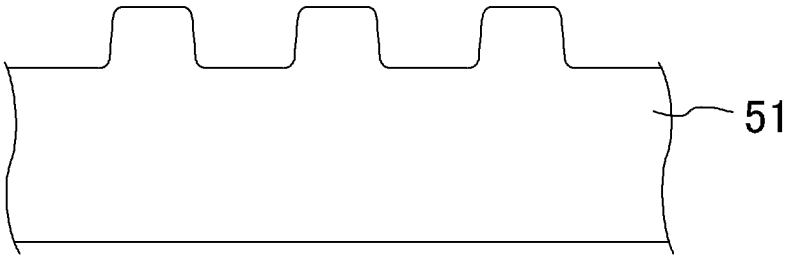
(a)


○PD後のFINの角の削れがPD前の2倍以上
◆PD後のFINの角の削れがPD前の2倍未満
非許容
y = 0.5063 Ln(x) + 0.7972
R2 = 0.9515
従来のPD
(プレーナ用)
許容
y = 0.5202 Ln(x) + 0.3600
R2 = 0.9858
イオン電流密度(mA/cm2)
10
1
0.1
0.1
1
10
100
圧力 (Pa)
許容
圧力範囲
条件付き許容
圧力範囲
非許容
圧力範囲

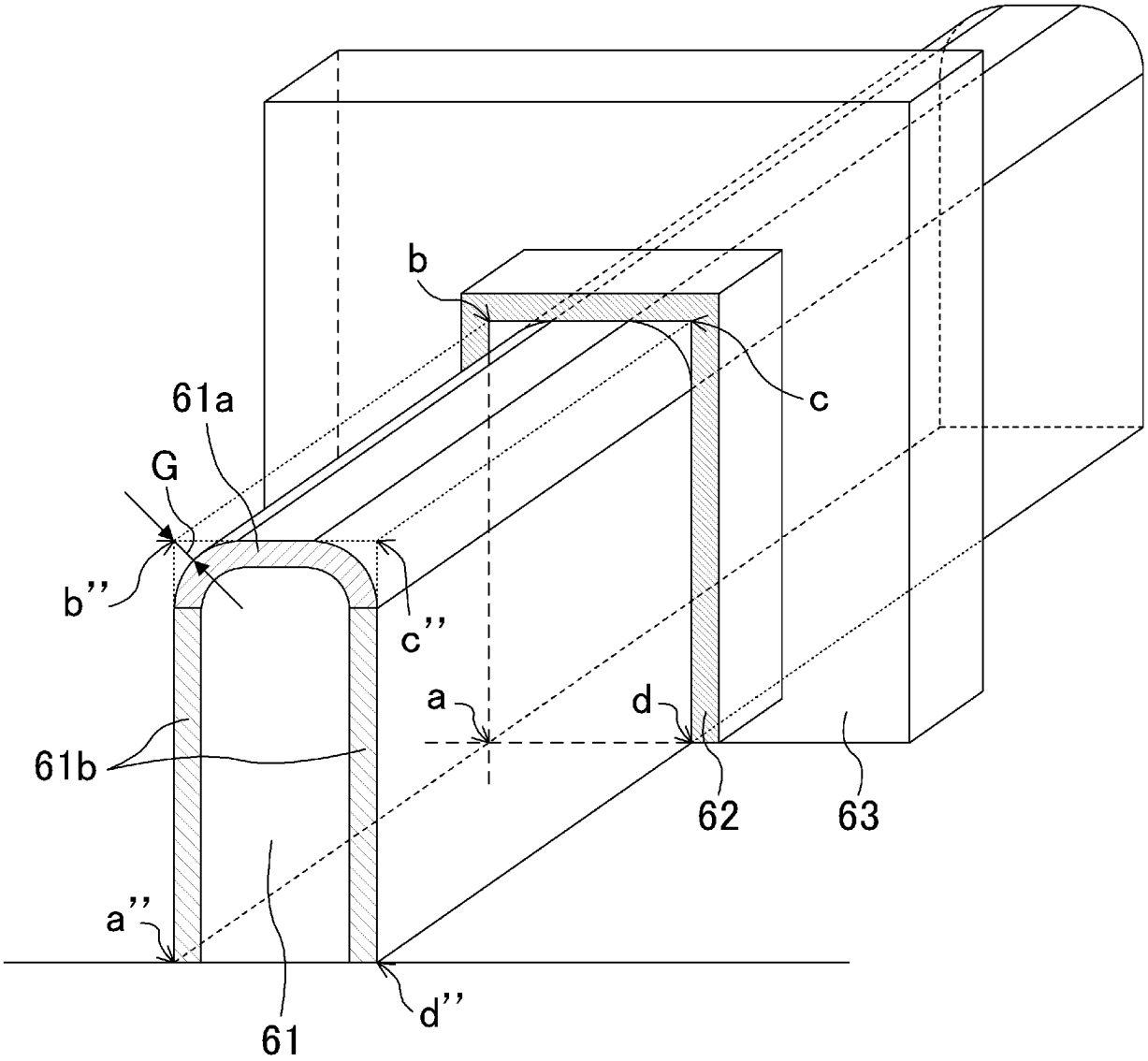
(b)


○PD後のFINの角の削れがPD前の2倍以上
◆PD後のFINの角の削れがPD前の2倍未満
電子温度(eV)
10
8
6
4
2
0
0.1
1
10
100
圧力 (Pa)

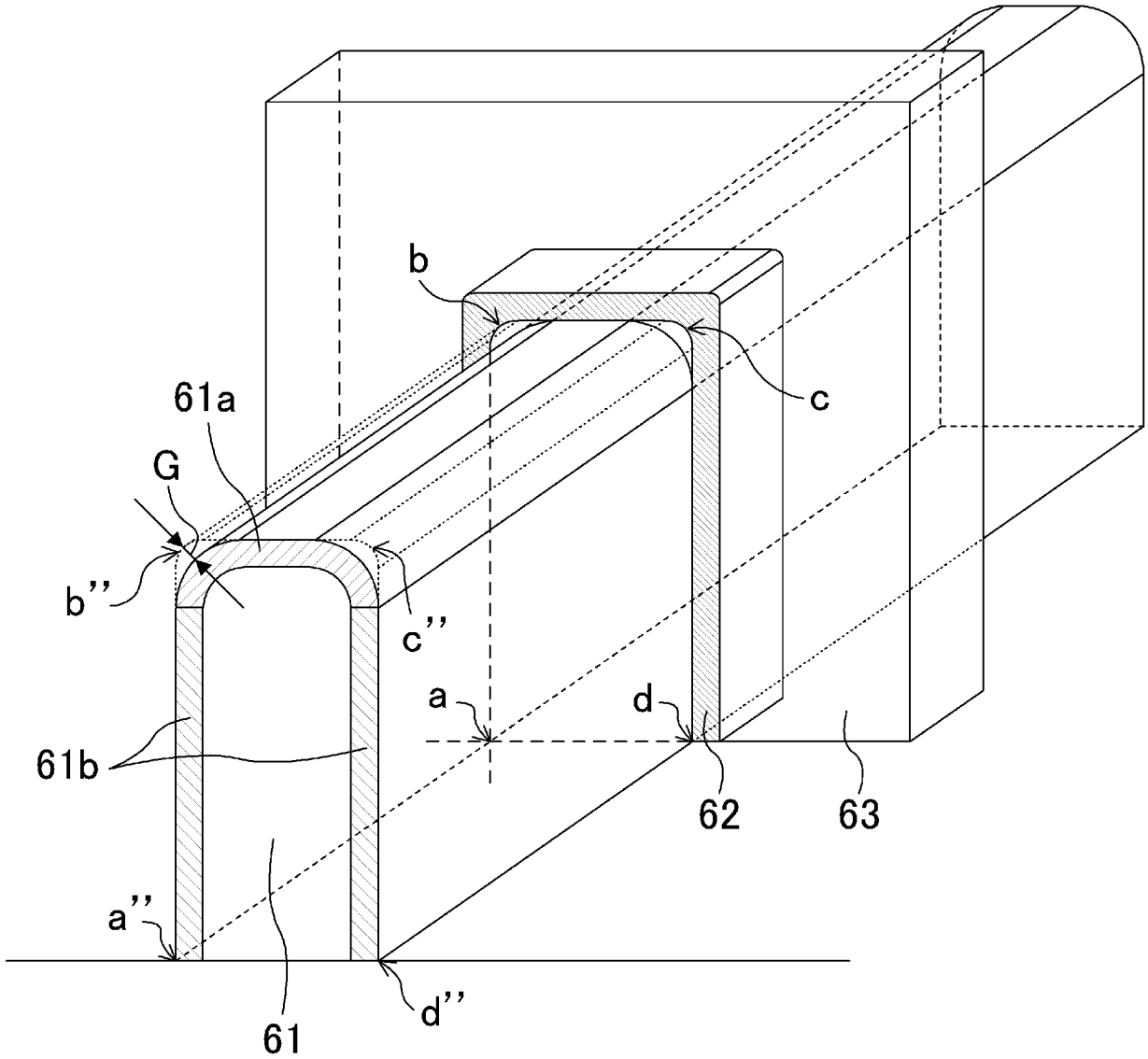
[図11]



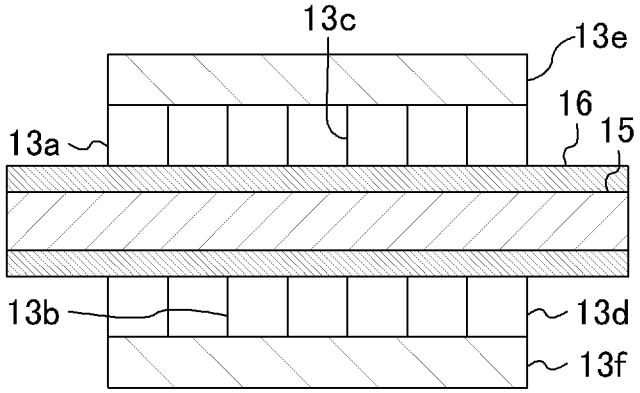
[図12]



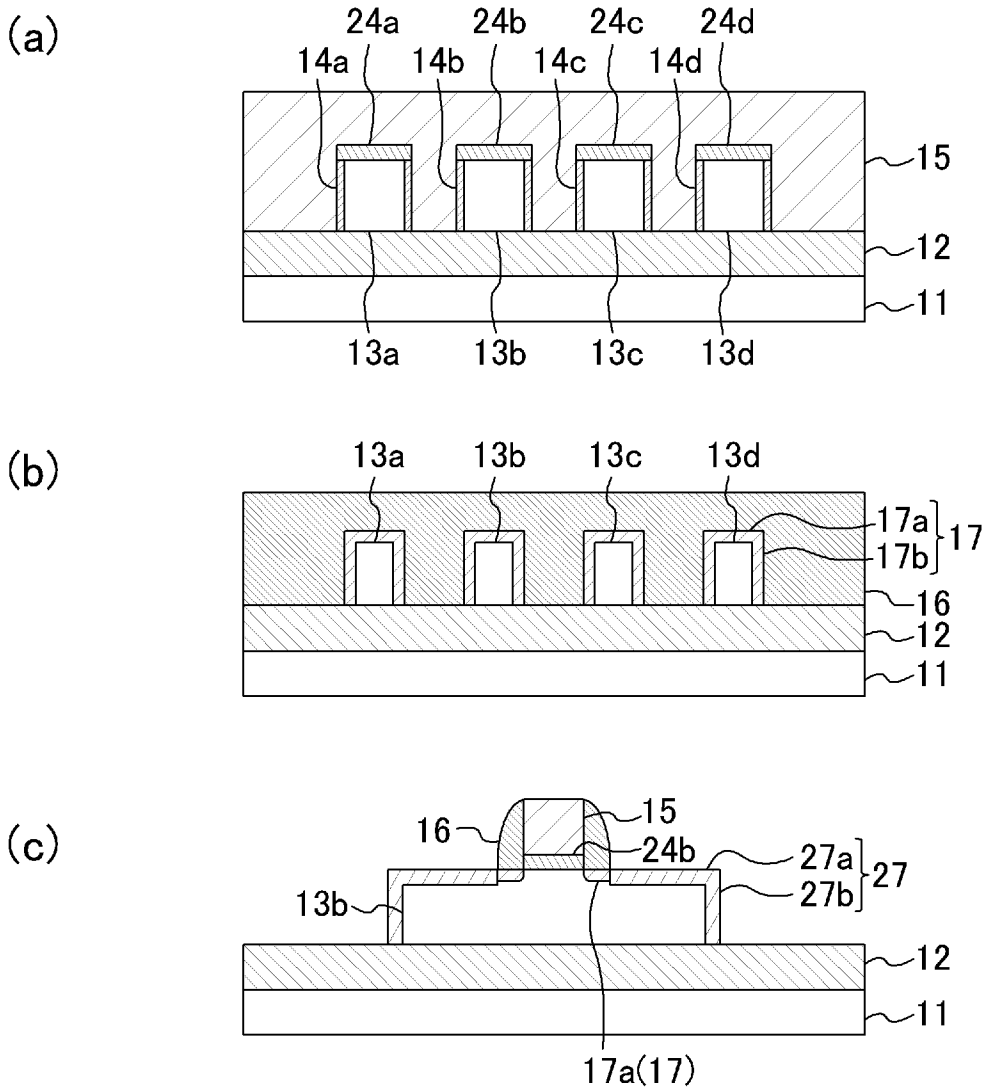
[図13]



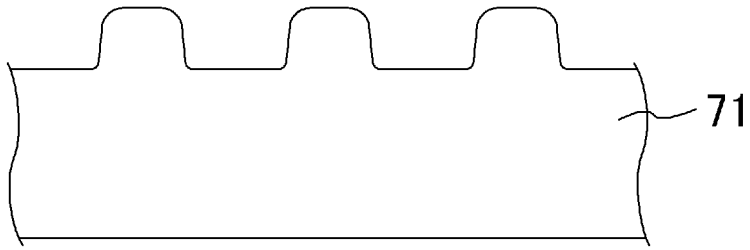
[図14]



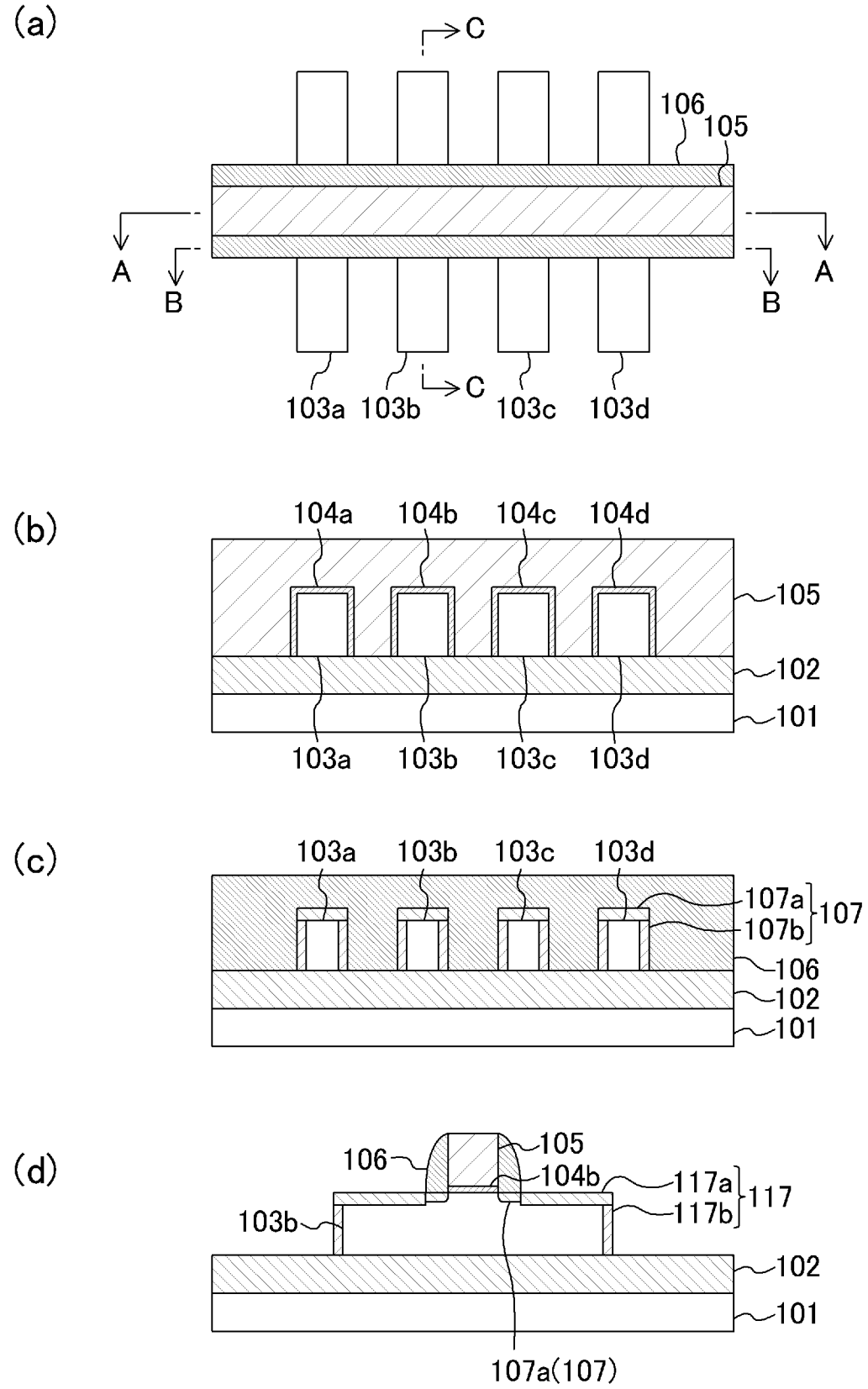
[図15]


(a)
24a
24b
24c
24d
14a
14b
14c
14d
15
12
11
13a
13b
13c
13d
(b)
13a
13b
13c
13d
17a
17b
17
16
12
11
(c)
16
15
24b
27a
27
27b
13b
12
11
17a(17)

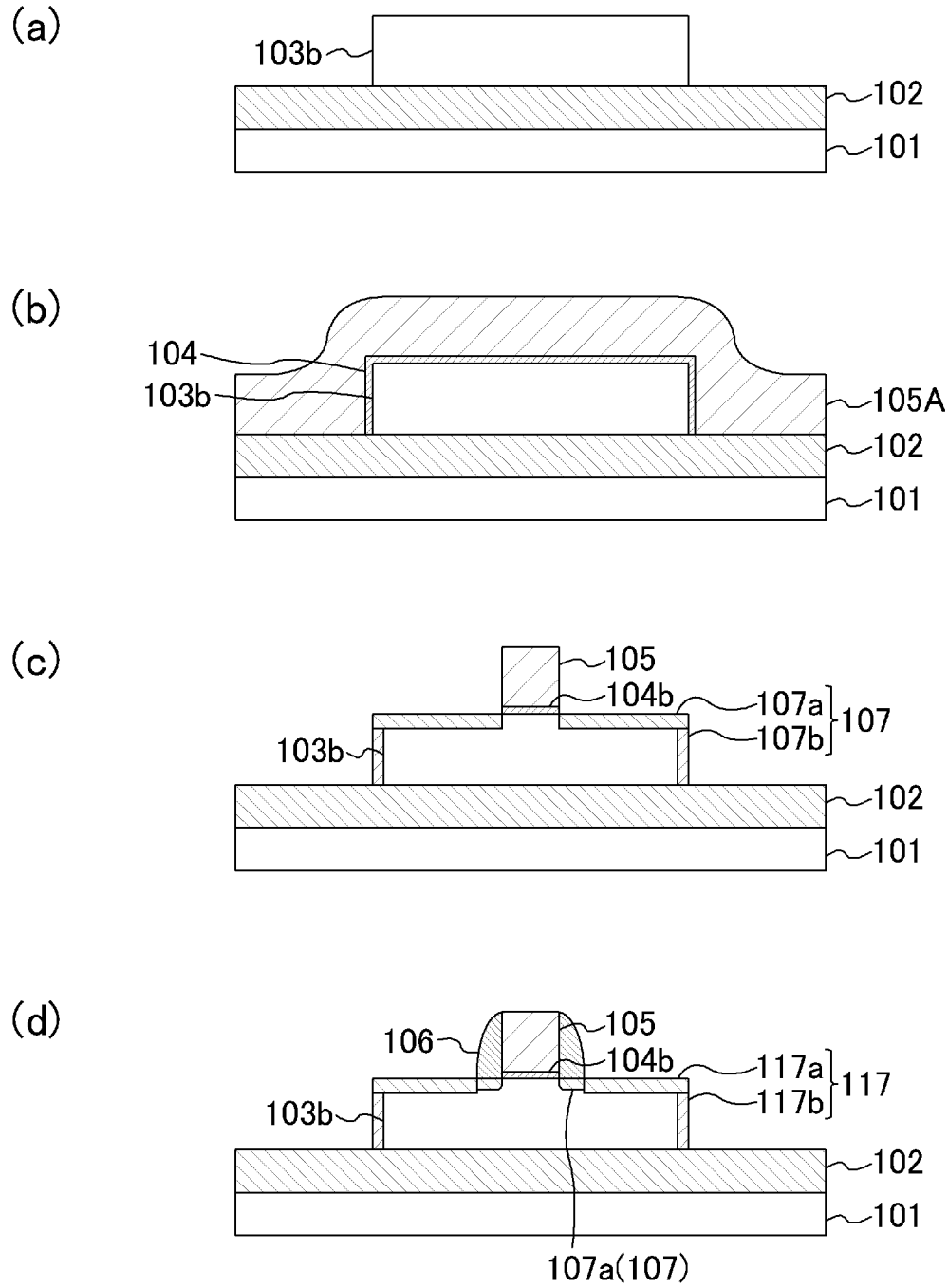
[図16]


71

[図17]

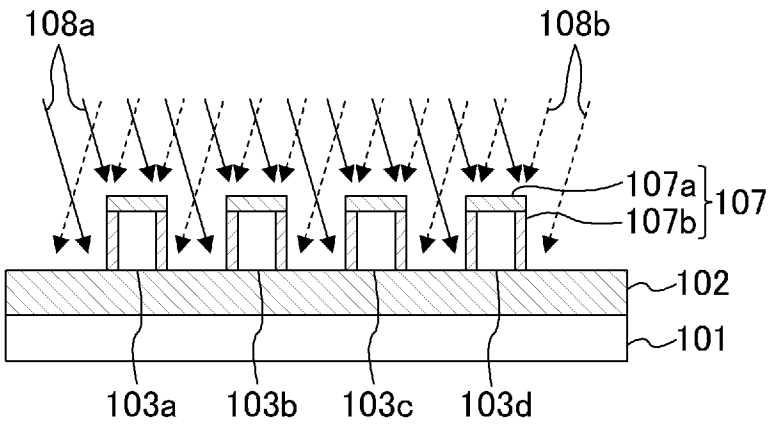

(a)
C
106
105
A
B
A
B
C
103a
103b
103c
103d
(b)
104a
104b
104c
104d
105
102
101
103a
103b
103c
103d
(c)
103a
103b
103c
103d
107a
107b
107
106
102
101
(d)
106
105
104b
117a
117
117b
103b
102
101
107a(107)

[図18]

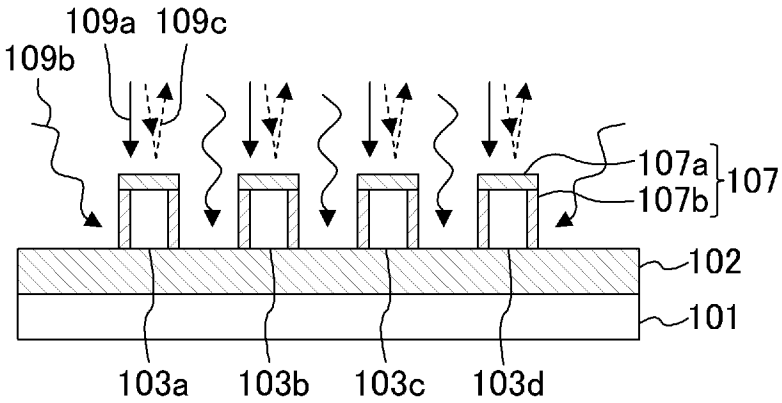

(a)
103b
102
101
(b)
104
103b
105A
102
101
(c)
105
104b
107a
107
107b
103b
102
101
(d)
106
105
104b
117a
117
117b
103b
102
101
107a(107)

[図19]

(a)

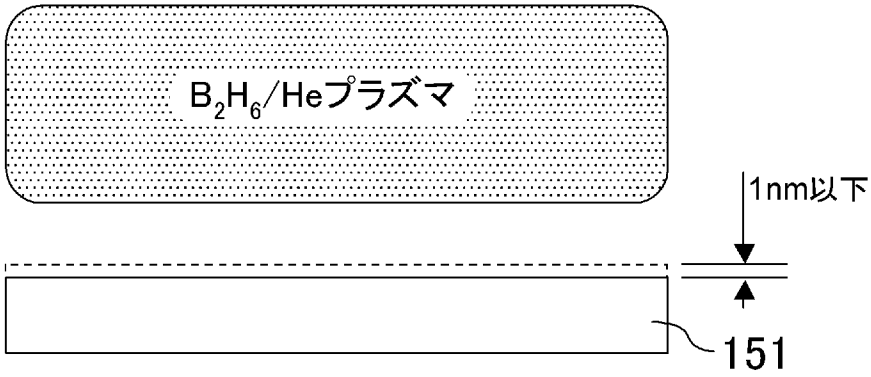

108a
108b
107a
107b
107
102
101
103a
103b
103c
103d

(b)

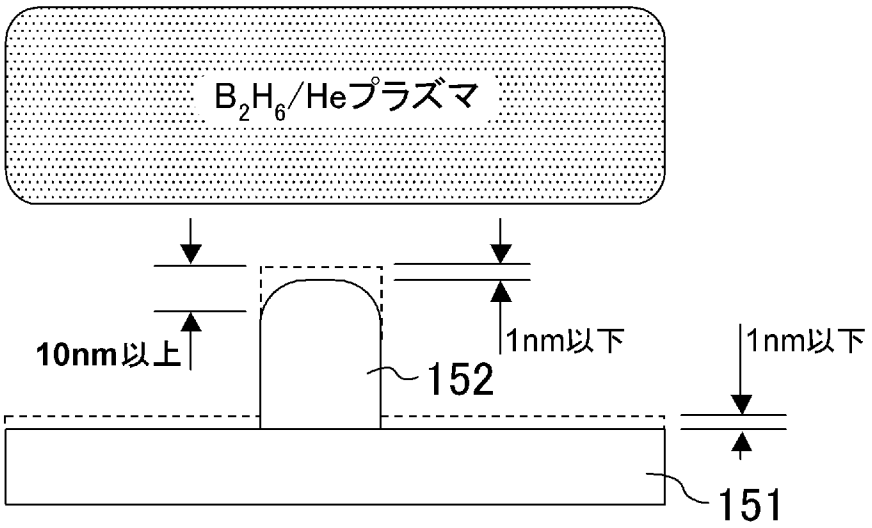

109a
109c
109b
107a
107b
107
102
101
103a
103b
103c
103d

[図20]

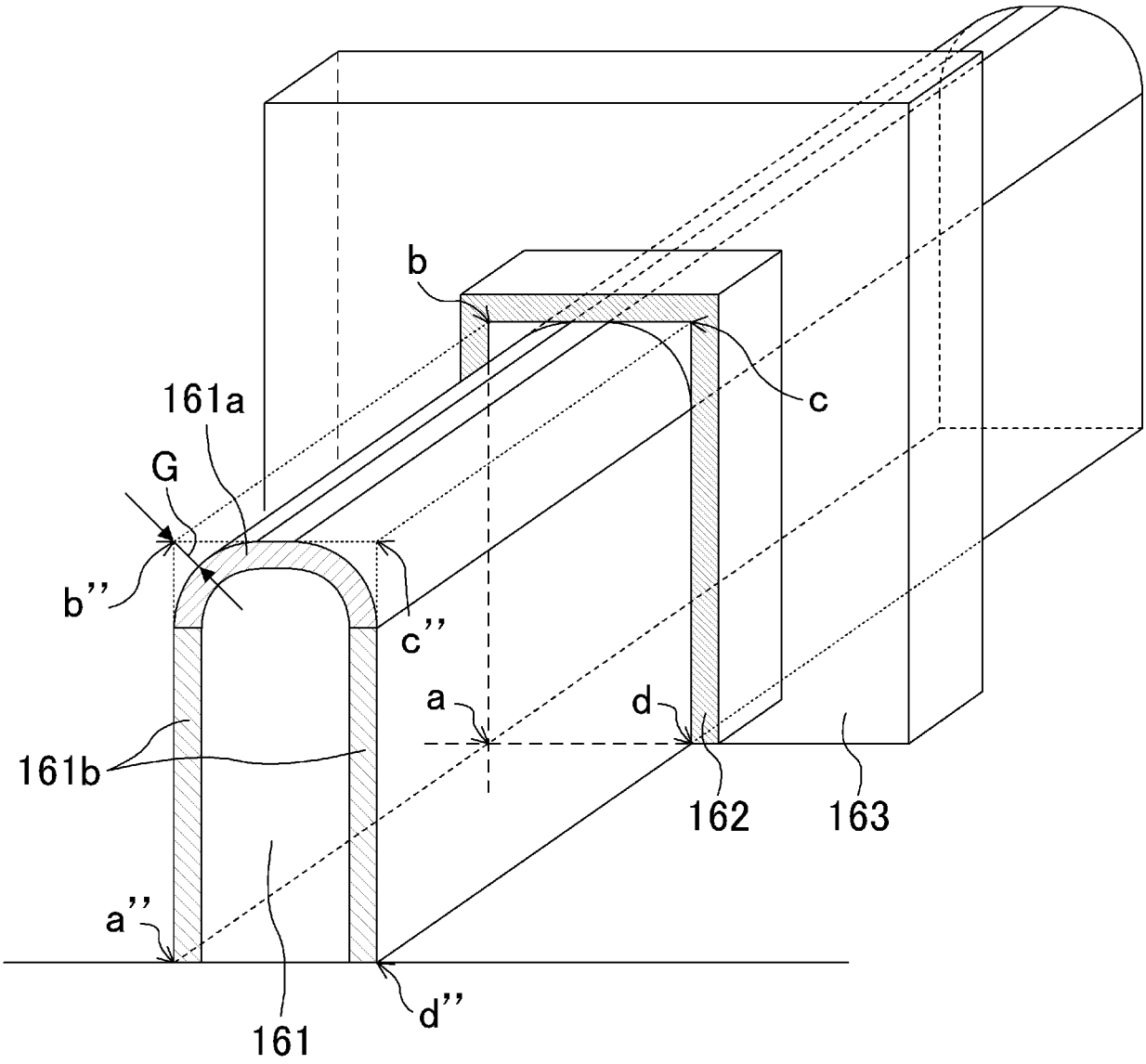
(a)


B_2H_6/Heプラズマ
1nm以下
151

(b)


B_2H_6/Heプラズマ
10nm以上
1nm以下
1nm以下
152
151

[図21]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/000303

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/786(2006.01)i, *H01L21/265*(2006.01)i, *H01L21/336*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/786, H01L21/265, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008
Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-196821 A (Fujitsu Ltd.), 27 July, 2006 (27.07.06), Full text; all drawings & US 2006/0157749 A1	1-15
Y	WO 2006/106872 A1 (Matsushita Electric Industrial Co., Ltd.), 12 October, 2006 (12.10.06), Full text (Family: none)	1-15
Y	WO 2006/098109 A1 (Matsushita Electric Industrial Co., Ltd.), 21 September, 2006 (21.09.06), Full text (Family: none)	1-15

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
02 May, 2008 (02.05.08)	13 May, 2008 (13.05.08)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/000303

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-047696 A (Matsushita Electric Industrial Co., Ltd.), 12 February, 2004 (12.02.04), Full text & US 2004/0036038 A1 & CN 1577746 A	1-15

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/000303

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

As stated on (extra sheet), claims of this international application contain 15 inventions.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1-15

Remark on Protest

the

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

There must exist a special technical feature so linking a group of inventions of claims as to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention. The group of inventions of claims 1-38 is linked only by the technical feature of "a semiconductor device comprising a semiconductor region and an impurity region of a first conductivity type which is formed in the semiconductor region".

This technical feature, however, cannot be a special technical feature since it is disclosed in prior art documents such as JP 2006-196821 A (Fujitsu Ltd.), 27 July, 2006 (27.07.06), full text and all drawings, WO 2006/106872 A1 (Matsushita Electric Industrial Co., Ltd.), 12 October, 2006 (12.10.06), full text, WO 2006/098109 A1 (Matsushita Electric Industrial Co., Ltd.), 21 September, 2006 (21.09.06), full text, and JP 2004-047696 A (Matsushita Electric Industrial Co., Ltd.), 12 February, 2004 (12.02.04), full text.

Consequently, there is no special technical feature so linking the group of inventions of claims 1-38 as to form a single general inventive concept.

Therefore, the group of inventions of claims 1-38 does not satisfy the requirement of unity of invention.

Next, the number of groups of inventions defined in the claims of this international application and so linked as to form a single general inventive concept, namely, the number of inventions will be examined.

(1) As explained above, there is no special technical feature so linking the group of inventions of claims 1-38 as to form a single general inventive concept.

(2) Regarding the inventions of claims 24-37, they are linked only by the technical feature defined in claim 24. This technical feature, however, cannot be a special technical feature since it is disclosed in the above-mentioned prior art documents WO 2006/106872 A1 (Matsushita Electric Industrial Co., Ltd.), 12 October, 2006 (12.10.06), full text, and WO 2006/098109 A1 (Matsushita Electric Industrial Co., Ltd.), 21 September, 2006 (21.09.06), full text.

Consequently, the claims of this international application are considered to define 15 inventions: the invention of claims 1-15; the invention of claims 16-23; the invention of claims 24, 25; the invention of claim 26; the invention of claim 27, the invention of claim 28; the invention of claim 29; the invention of claim 30; the invention of claim 31; the invention of claim 32; the invention of claim 33; the invention of claims 34, 35; the invention of claim 36; the invention of claim 37; and the invention of claim 38.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００８／０００３０３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/786(2006.01)i, H01L21/265(2006.01)i, H01L21/336(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/786, H01L21/265, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００８年
日本国実用新案登録公報	１９９６－２００８年
日本国登録実用新案公報	１９９４－２００８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP 2006-196821 A（富士通株式会社）2006.07.27, 全文、全図 & US 2006/0157749 A1	1-15
Y	WO 2006/106872 A1（松下電器産業株式会社）2006.10.12, 全文（ファミリーなし）	1-15
Y	WO 2006/098109 A1（松下電器産業株式会社）2006.09.21, 全文（ファミリーなし）	1-15

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ０２．０５．２００８	国際調査報告の発送日 １３．０５．２００８
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｍ　９０５６ 河本　充雄 電話番号　０３－３５８１－１１０１　内線　３４６２

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP 2004-047696 A (松下電器産業株式会社) 2004.02.12, 全文 & US 2004/0036038 A1 & CN 1577746 A	1-15

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００８／０００３０３

第Ⅱ欄　請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第8条第3項（ＰＣＴ17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

１．☐ 請求の範囲＿＿＿＿＿＿＿＿＿＿ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

２．☐ 請求の範囲＿＿＿＿＿＿＿＿＿＿ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

３．☐ 請求の範囲＿＿＿＿＿＿＿＿＿＿ は、従属請求の範囲であってＰＣＴ規則6.4(a)の第２文及び第3文の規定に従って記載されていない。

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

（特別ページ）に記載したように、この国際出願の請求の範囲には、１５個の発明が記載されている。

１．☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。

２．☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。

３．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。

４．☑ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲１－１５

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。

☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。

☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

請求の範囲に記載されている一群の発明が単一性の要件を満たすためには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲１－３８に記載されている一群の発明は、「半導体領域と、前記半導体領域に形成された第１導電型の不純物領域とを備える半導体装置」という事項でのみで連関している。

しかしながら、この事項は、先行技術文献、例えば、JP 2006-196821 A（富士通株式会社）2006.07.27，全文、全図、WO 2006/106872 A1（松下電器産業株式会社）2006.10.12，全文、WO 2006/098109 A1（松下電器産業株式会社）2006.09.21，全文、JP 2004-047696 A（松下電器産業株式会社）2004.02.12，全文に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲１－３８に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための特別な技術的特徴は存在しないこととなる。

よって、請求の範囲１－３８に記載されている一群の発明は、発明の単一性の要件を満たしていない。

次に、この国際出願の請求の範囲に記載されている、一般的発明概念を形成するように連関している発明の群の数、すなわち、発明の数について検討する。

（１）請求の範囲１－３８に記載されている一群の発明の間には、上記のとおり、単一の一般的発明概念を形成するように連関させるための特別な技術的特徴は存在しない。

（２）請求の範囲２４－３７について検討するに、これらの発明は、請求の範囲２４に記載されている事項でのみ連関しているものの、この事項は、上記 WO 2006/106872 A1（松下電器産業株式会社）2006.10.12，全文、WO 2006/098109 A1（松下電器産業株式会社）2006.09.21，全文に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、この国際出願の請求の範囲には、請求の範囲１－１５、請求の範囲１６－２３、請求の範囲２４，２５、請求の範囲２６、請求の範囲２７、請求の範囲２８、請求の範囲２９、請求の範囲３０、請求の範囲３１、請求の範囲３２、請求の範囲３３、請求の範囲３４，３５、請求の範囲３６、請求の範囲３７、請求の範囲３８に区分される１５個の発明が記載されている。