



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201515269 A

(43)公開日：中華民國 104 (2015) 年 04 月 16 日

(21)申請案號：103120902

(22)申請日：中華民國 103 (2014) 年 06 月 17 日

(51)Int. Cl. : *H01L33/36 (2010.01)*

H01L21/28 (2006.01)

(30)優先權：2013/06/18 美國

61/836,280

(71)申請人：G L O 公司 (瑞典) GLO AB (SE)

瑞典

(72)發明人：海納 史考特 布萊德 HERNER, SCOTT BRAD (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：29 項 圖式數：8 共 35 頁

(54)名稱

用於平整化及界定奈米線裝置之活化區的絕緣層

INSULATING LAYER FOR PLANARIZATION AND DEFINITION OF THE ACTIVE REGION OF A NANOWIRE DEVICE

(57)摘要

各種實施例包括製作半導體裝置之方法，其包括在支撐件上形成複數根奈米線，其中每一奈米線皆包含第一導電型半導體核心及該核心上之第二導電型半導體殼；在該複數根奈米線之至少一部分上形成絕緣材料層，以使得該絕緣材料層之至少一部分提供實質上平面之頂部表面；移除該絕緣材料層之一部分以界定奈米線之活化區；及在該絕緣材料層之該實質上平面之頂部表面上形成電觸點。

Various embodiments include methods of fabricating a semiconductor device that include forming a plurality of nanowires on a support, wherein each nanowire comprises a first conductivity type semiconductor core and a second conductivity type semiconductor shell over the core, forming an insulating material layer over at least a portion of the plurality of nanowires such that at least a portion of the insulating material layer provides a substantially planar top surface, removing a portion of the insulating material layer to define an active region of nanowires, and forming an electrical contact over the substantially planar top surface of the insulating material layer.

- 1 . . . 奈米線 LED
- 2 . . . n 型奈米線核
心
- 3 . . . p 型殼
- 4 . . . 活化區

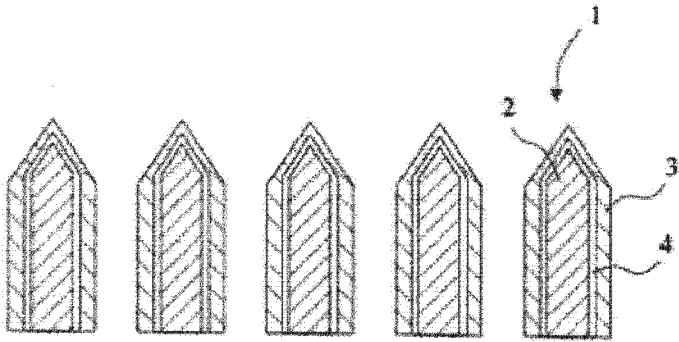


圖 1

發明摘要

※ 申請案號：103120902 ✓

※ 申請日：103.6.17

※IPC 分類：H01L33/36 (2010.01)

H01L 21/28 (2006.01)

【發明名稱】

用於平整化及界定奈米線裝置之活化區的絕緣層

INSULATING LAYER FOR PLANARIZATION AND DEFINITION
OF THE ACTIVE REGION OF A NANOWIRE DEVICE

【中文】

各種實施例包括製作半導體裝置之方法，其包括在支撐件上形成複數根奈米線，其中每一奈米線皆包含第一導電型半導體核心及該核心上之第二導電型半導體殼；在該複數根奈米線之至少一部分上形成絕緣材料層，以使得該絕緣材料層之至少一部分提供實質上平面之頂部表面；移除該絕緣材料層之一部分以界定奈米線之活化區；及在該絕緣材料層之該實質上平面之頂部表面上形成電觸點。

【英文】

Various embodiments include methods of fabricating a semiconductor device that include forming a plurality of nanowires on a support, wherein each nanowire comprises a first conductivity type semiconductor core and a second conductivity type semiconductor shell over the core, forming an insulating material layer over at least a portion of the plurality of nanowires such that at least a portion of the insulating material layer provides a substantially planar top surface, removing a portion of the insulating material layer to define an active region of nanowires, and forming an electrical contact over the substantially planar top surface of the insulating material layer.

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

- 1 奈米線LED
- 2 In型奈米線核心
- 3 p型殼
- 4 活化區

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

用於平整化及界定奈米線裝置之活化區的絕緣層

INSULATING LAYER FOR PLANARIZATION AND DEFINITION
OF THE ACTIVE REGION OF A NANOWIRE DEVICE

【先前技術】

奈米線發光二極體(LED)作為平面LED之替代物愈來愈令人感興趣。與利用習用平面技術產生之LED相比，奈米線LED由於奈米線之三維性質提供獨特性質，由於較少晶格失配限制提供材料組合中之改良撓性及處理較大基板之機會。

【發明內容】

實施例包括製作半導體裝置之方法，其包括在支撐件上形成複數根奈米線，其中每一奈米線皆包含第一導電型半導體核心及該核心上之第二導電型半導體殼；在複數根奈米線之至少一部分上形成絕緣材料層，以使該絕緣材料層之至少一部分提供實質上平面之頂部表面；移除該絕緣材料層之一部分以界定奈米線之活化區；及在該絕緣材料層之該實質上平面之頂部表面上形成電觸點。

其他實施例包括半導體裝置，其包括支撐件上之複數根奈米線，其中每一奈米線皆包含第一導電型半導體核心及該核心上之第二導電型半導體殼；絕緣材料層，其在複數根奈米線附近形成邊界以界定奈米線之活化區，該絕緣材料層具有實質上平面之頂部表面；及電觸點，其在該絕緣材料層之該實質上平面之頂部表面上。

【圖式簡單說明】

併入本文且構成此說明書之一部分之隨附圖式圖解說明本發明

之實例性實施例，並與上文所給出之大體說明及下文所給出之實施方式一起用以解釋本發明之特徵。

圖1示意性圖解說明根據本發明實施例奈米線LED裝置之基底的側面剖視圖。

圖2示意性圖解說明根據本發明實施例緩衝層上之奈米線LED裝置之基底的側面剖視圖。

圖3A-3J示意性圖解說明根據一個實施例用於製作奈米線LED陣列之第一製程的側面剖視圖，該陣列具有用於平整化及界定活化區的絕緣層。

圖4A-4D係示意性圖解說明圖3A-3J之製作製程的奈米線LED裝置之俯視圖。

圖5A-5C係根據一個實施例之奈米線陣列的SEM影像，該奈米線陣列具有用於平整化及界定活化區之圖案化絕緣層。

圖6A-6J示意性圖解說明根據又一實施例用於製作奈米線LED陣列之第二製程的側面剖視圖，該陣列具有用於平整化及界定活化區的絕緣層。

圖7A-7E係示意性圖解說明圖6A-6J之製作製程的奈米線LED裝置之俯視圖。

圖8A-8C係根據又一實施例之奈米線陣列的SEM影像，該奈米線陣列具有用於平整化及界定活化區之圖案化絕緣層。

【實施方式】

將參照附圖詳細闡述各種實施例。貫穿整個圖式，在任何可能的地方將使用相同參考編號來指代相同或類似部件。出於圖解說明之目的參考特定實例及實施方案，且不意欲限制本發明之範疇或申請專利範圍。

本發明實施例概言之係關於製作奈米線半導體裝置(例如奈米線

LED裝置)之方法，其包括在奈米線陣列上形成絕緣層以平整化陣列，及移除絕緣層之一部分以界定奈米線裝置之活化區。其他實施例係關於根據實施例方法製作之奈米線裝置。各種實施例可提供較使用習用乾式蝕刻活化區界定可完成者具有含較少製程步驟及較大活化區之平整化焊接墊區域的奈米線裝置。

在奈米技術之領域中，奈米線通常解釋為具有奈米級或奈米尺度之橫向大小(例如，圓柱形奈米線之直徑或錐體或六角形奈米線之寬度)的奈米結構，而其縱向大小不受限制。該等奈米結構通常亦稱作奈米須、一維奈米元件、奈米棒、奈米管等。奈米線可具有至多約2微米之直徑或寬度。奈米線之小的大小提供獨特物理、光學及電子性質。該等性質可(例如)用於利用量子機械效應(例如，使用量子線)形成裝置或用於形成由於大的晶格失配通常不可組合之組成上不同之材料的異質結構。如術語奈米線意指，一維性質可與細長形狀相關。由於奈米線可具有各種橫截面形狀，故直徑意指有效直徑。有效直徑意指結構之橫截面之長軸及短軸的平均值。

在提及上部、頂部、下部、向下等時皆認為基板在底部且奈米線自基板向上延伸。垂直係指垂直於由基板形成之平面之方向且水平係指平行於由基板形成之平面之方向。此命名法僅係用於易於理解而引入，且不應視為限制特定總成定向等。

業內已知之任何適宜奈米線LED結構皆可用於本發明方法中。奈米線LED通常係基於一或多個pn-或p-i-n-接面。pn接面與p-i-n-接面之間之差異在於後者具有較寬活化區。較寬活化區允許i-區中之較高重組機率。每一奈米線皆包含第一導電型(例如，n型)奈米線核心及包圍第二導電型(例如，p型)殼用於形成在操作中提供光生成之活化區之pn或pin接面。儘管核心之第一導電型在本文中闡述為n型半導體核心且第二導電型殼在本文中闡述為p型半導體殼，但應瞭解，其導電

型可逆轉。

圖1示意性圖解說明根據本發明實施例改良之奈米線LED結構的基底。原則上，一根單一奈米線即足以形成奈米線LED，但由於大小較小，故奈米線較佳係以包含數百、數千、數萬或更多並排奈米線之陣列佈置以形成LED結構。出於闡釋目的，個別奈米線LED裝置在本文中將闡述為自具有n型奈米線核心2及至少部分包圍奈米線核心2之p型殼3及中間活化區4之奈米線LED 1構成，該活化區可包含單一個本質或輕微摻雜(例如，摻雜量低於 10^{16} cm^{-3})之半導體層或一或多個包含複數個不同帶隙之半導體層的量子井(例如3至10個量子井)。然而，出於本發明之實施例之目的，奈米線LED並不限於此。舉例而言，奈米線核心2、活化區4及p型殼3可自多個層或區段構成。在替代實施例中，僅核心2可包含具有低於2微米之寬度或直徑的奈米結構或奈米線，而殼3可具有高於1微米之寬度或直徑。

III-V半導體由於其有利於高速度及低功率電子器件及光電子裝置(例如雷射及LED)之性質而尤其令人感興趣。奈米線可包含任何半導體材料，且適於奈米線之材料包括(但不限於)：GaAs (p)、InAs、Ge、ZnO、InN、GaInN、GaN、AlGaInN、BN、InP、InAsP、GaInP、InGaP:Si、InGaP:Zn、GaInAs、AlInP、GaAlInP、GaAlInAsP、GaInSb、InSb、Si。用於(例如)GaP之可能供體摻雜劑係Si、Sn、Te、Se、S等且用於相同材料之受體摻雜劑係Zn、Fe、Mg、Be、Cd等。應注意，奈米線技術使得可使用諸如GaN、InN及AlN等氮化物，其有利於製作在不易由習用技術接近之波長區中發光之LED。受到商業特別關注之其他組合包括(但不限於) GaAs、GaInP、GaAlInP、GaP系統。典型摻雜量介於自 10^{18} cm^{-3} 至 10^{20} cm^{-3} 之範圍內。熟習此項技術者通曉此等及其他材料且認識到其他材料及材料組合係可能的。

用於奈米線LED之較佳材料係III-V半導體，例如III-氮化物半導

體(例如，GaN、AlInGaN、AlGaN及InGaN等)或其他半導體(例如，InP、GaAs)。為起LED之作用，每一奈米線LED 1之n側及p側必須接觸，且本發明提供與使LED結構中之奈米線之n側及p側接觸有關的方法及組合物。

儘管本文所述之實例性製作方法較佳利用奈米線核心以在核心上生長半導體殼層以形成核心-殼奈米線，如(例如)頒予Seifert等人之美國專利第7,829,443號中所述(關於奈米線製作方法之教示以引用方式併入本文中)，但應注意，本發明並不限於此。舉例而言，在替代實施例中，僅核心可構成奈米結構(例如，奈米線)，而殼可視情況具有大於典型奈米線殼之尺寸。此外，裝置可經成型以包括許多小面，且可控制不同類型之小面之間之面積比。此係由「錐體」小面及垂直側壁小面例示。可製作LED以使在具有主導錐體小面或側壁小面之模板上形成發射層。與發射層之形狀無關，此同樣適於接觸層。

圖2圖解說明為奈米線提供支撐件之實例性結構。藉由使奈米線在生長基板5上生長，視情況使用生長遮罩或介電遮蔽層6(例如，氮化物層，例如氮化矽介電遮蔽層)來界定位置並確定奈米線之底部界面面積，至少在處理期間，基板5用作自基板5突出之奈米線的載體。奈米線之底部界面面積包含在介電遮蔽層6中之每一開口內的核心2之根部面積。基板5可包含不同材料，例如III-V或II-VI半導體、Si、Ge、Al₂O₃、SiC、石英、玻璃等，如瑞典專利申請案SE 1050700-2(受讓給GLO AB)中所論述，其全文以引用方式併入本文中。用於基板之其他適宜材料包括(但不限於)：GaAs、GaP、GaP:Zn、GaAs、InAs、InP、GaN、GaSb、ZnO、InSb、SOI(絕緣體上矽)、CdS、ZnSe、CdTe。在一個實施例中，奈米線核心2係直接在生長基板5上生長。

較佳地，基板5亦經調適以用作與每一奈米線LED 1之n側連接之

電流傳輸層。此可藉由以下方式完成：獲得包含半導體緩衝層7之基板5，該半導體緩衝層係佈置於基板5之面向奈米線LED 1之表面上，如圖2中所示，舉例來說為Si基板5上之III-氮化物層(例如GaN及/或AlGaIn緩衝層7)。緩衝層7通常與期望奈米線材料匹配，且因此在製作製程中用作生長模板。對於n型核心2，緩衝層7較佳亦係n型摻雜。緩衝層7可包含單一層(例如，GaN)、若干子層(例如，GaN及AlGaIn)或自高Al含量AlGaIn至較低Al含量AlGaIn或GaN遞變之遞變層。奈米線之生長可藉由利用美國專利第7,396,696號、第7,335,908號及第7,829,443號及WO201014032、WO2008048704及WO 2007102781中所述之方法達成，該等案件之全文皆以引用方式併入本文中。

應注意，奈米線LED 1可包含若干不同材料，例如，GaN核心、GaN/InGaIn多重量子井活化區及與活化區具有不同Al對Ga比率之AlGaIn殼。一般而言，基板5及/或緩衝層7在本文中稱作奈米線之支撐件或支撐件層。在某些實施例中，導電層(例如，鏡子或透明觸點)可用作替代或除基板5及/或緩衝層7之外之支撐件。因此，術語「支撐件層」或「支撐件」可包括該等元件中之任一或多者。

使用依序(例如，殼)層使得最終個別裝置(例如，pn或pin裝置)可具有錐體或錐形形狀(即，頂部或尖端處較窄且基底較寬)與具有垂直於裝置之長軸之圓形或六角形或其他多邊形橫截面的柱形狀(例如，在尖端及基底處寬度大約相同)之間之任何形狀。因此，具有完成殼之個別裝置可具有不同大小。舉例而言，大小可變，其中基底寬度介於100 nm至若干(例如，5) μm (例如100 nm至低於2微米)之範圍內，且高度介於幾百nm至若干(例如，10) μm 之範圍內。

LED結構之實例性實施例之上述說明將用作闡述本發明之方法及組合物之基礎；然而，應瞭解，任何適宜奈米線LED結構或其他適宜奈米線結構亦可用於方法及組合物中，如彼等熟習此項技術者將明瞭

可進行任何必需修改，此並不背離本發明。

與平面LED相比，奈米線LED (例如基於GaN之奈米線LED)在增加效率及波長穩定性方面顯示前景。然而，奈米線之三維性質可在製作、尤其線焊接步驟中提出挑戰，在該步驟中LED裝置(即，晶片)連接至外部電流/電壓源。線焊接步驟涉及自線向裝置施加機械壓力及振動。由於自線頂部處之壓力點至奈米線之弱的小的成核基底之槓桿作用，線焊接製程之此壓力及振動可使奈米線斷裂。因此，在線將焊接至裝置之區域中，期望平整化該區域以避免產生可使奈米線斷裂之槓桿臂。

奈米線LED之製作製程通常亦涉及界定裝置之活化區。此通常係藉由幾乎完成之裝置之乾式蝕刻完成，該乾式蝕刻引起n側或p側導電層之連續性斷裂，從而產生分離裝置。或者，可在導電膜沈積(例如，頂部電極或觸點沈積)之前蝕刻奈米線以界定活化區。然而，若在導電膜沈積之前蝕刻奈米線，則通常將存在一些經部分蝕刻之奈米線，此需要在沈積導電膜之前沈積鈍化膜以避免縮短暴露p-n接面。此鈍化膜必須經單獨遮蔽及蝕刻，其隨後消耗一些活化區以容許自導電膜沈積足夠分離出過渡區。

各種實施例包括製作奈米線半導體裝置(例如奈米線LED裝置)之方法，其包括在奈米線陣列上形成絕緣層(例如低溫氧化物(LTO)層)以平整化該陣列，及藉由(例如)通過圖案化遮罩濕式蝕刻移除絕緣層之一部分以界定奈米線裝置之活化區。其他實施例係關於根據實施例方法製作之奈米線裝置。各種實施例可較使用習用乾式蝕刻活化區界定所可完成者利用較少製程步驟及較大活化區來提供具有平整化焊接墊區域的奈米線裝置。

用於製作奈米線裝置之第一實施例方法示意性圖解說明於圖3A-3J及4A-4D中。圖3A示意性圖解說明包括複數根奈米線301之奈米線

LED裝置300，該等奈米線可類似於圖1及2中所示之奈米線。奈米線301可位在包括第一導電型(例如，n型)緩衝層307及介電遮蔽層306(例如，SiN層)的支撐件基板上。奈米線301可各自包含第一導電型(例如，n型)奈米線核心、第二導電型(例如，p型)殼及生成光之中間活化區，如上文結合圖1及2所述。奈米線核心可與緩衝層307電接觸，且奈米線殼可藉由介電遮蔽層306與緩衝層絕緣。

在一些實施例中，可控制在產生奈米線301期間或之後之條件，以使得與未控制該等條件之尖端之導電性相比，奈米線之尖端部分之導電性降低至少一個數量級，如於2012年10月26日提出申請且以引用方式併入本文中之美國臨時申請案第61/719,133號中所述。此可抑制穿過奈米線之外殼、具體而言穿過奈米線之尖端部分處之電流洩漏，其中與沿奈米線之側壁相比，外殼可較薄。可藉由在尖端上沈積絕緣材料(例如 Al_2O_3)來降低尖端之導電性。或者或另外，可藉由將材料引導至尖端(例如使尖端不導電或較不導電之 H_2^+ 及/或 Ar^+ 離子)來降低尖端之導電性。用於將材料選擇性引導至奈米線結構之尖端部分之成角度沈積技術揭示於2012年10月26日提出申請之美國臨時申請案第61/718,884號中，其以引用方式併入本文中。

在圖3B中，在複數根奈米線301上形成介電(即，絕緣體)層309。介電層309可為 SiO_2 層且可藉由低溫氧化物(LTO)沈積形成。LTO沈積可於低溫(例如，小於 750°C ，例如 300°C 至 600°C ，包括 400°C 至 500°C ，或約 450°C)下及於次大氣壓(例如10托或更低(例如， 10^{-6} 托至1托，例如100毫托至500毫托，包括約450毫托)在 SiH_4 及 O_2 流動下藉由化學氣相沈積(CVD)完成。 O_2 流動可以標準 $\text{cm}^3/\text{分鐘}$ (sccm)超過 SiH_4 流動。典型流速可為(例如) 85 sccm SiH_4 及120 sccm O_2 。亦可使用其他絕緣材料，例如SiN、SiON、 Al_2O_3 等。

介電層309可以0.5-5 μm (例如，1-2 μm ，例如約1.5 μm)之平均

厚度沈積於奈米線陣列上。介電層309可覆蓋奈米線301以提供裝置300之大體平坦之頂部表面(即，與奈米線陣列之非平面之三維幾何結構相比)。可在介電層309之大體平面頂部表面上形成可為光阻劑層之第一遮罩層312。可使用標準微影技術圖案化第一遮罩層312以界定第一遮罩層312中之開口。

圖案化第一遮罩層312以界定裝置300之暴露活化區313及裝置之至少一個焊接區315 (由遮罩312圖案覆蓋)。隨後可蝕刻裝置300以將第一遮罩層312之圖案轉移至介電層309。在實施例中，可使用經稀釋氫氟酸(HF)之濕式蝕刻來蝕刻介電層309 (其可為 SiO_2)，以移除介電層309之選擇部分。濕式蝕刻溶液之典型濃度可為(例如) 1份HF對3份 H_2O 。HF蝕刻可移除介電層309之選擇部分，同時使得奈米線301未受打擾。

在蝕刻後，可移除遮罩層312以提供圖3C中所示之裝置300。圖4A係裝置300之俯視圖，其圖解說明在蝕刻及移除第一遮罩層312後之裝置300。圖4A中之線A-A'對應於圖3C中之線A-A'，儘管裝置300不一定係按比例顯示。裝置300中已移除介電層309之區界定裝置300之活化區313。介電層309可在活化區313之周邊之周圍延伸以界定活化區313之邊界，如圖4A中所示。介電層309之大體平面部分可界定裝置300之焊接區315。如圖4A中所示，例如，焊接區315位於裝置之右上角處。

可在裝置之活化區313上形成可選介電層317，如圖3D中所示。可藉由旋轉方法、化學氣相沈積或物理氣相沈積來沈積介電層317。較佳方法係玻璃(SiO_2) (亦稱作旋轉玻璃或SOG)之旋轉沈積、之後各向同性蝕刻(例如，HF蝕刻)以自奈米線301側壁移除SOG。在一個較佳實施例中，奈米線係約 $2.5\mu\text{m}$ 高，介電層317係約 $1000\text{\AA}$ 至約 $6000\text{\AA}$ 厚，最佳約 $3000\text{\AA}$ ，如在底部處之平面表面上所量測。介電層317可

在奈米線之基底處與「足部」區域電絕緣以抑制電流洩漏，如與本文同一天申請之美國臨時申請案第_____號(代理人檔案號9308-019P)中所述，該案件以引用方式併入本文中。在蝕刻後，層371之一部分可保持在層309上(圖3D中未顯示)。若期望，可忽略層317。

在裝置300上沈積透明導電氧化物(TCO)層319(例如氧化銦錫(ITO))，如圖3E中所示。TCO層319可接觸奈米線301之p型殼以形成p電極層。亦可使用其他TCO材料，例如鋁摻雜之氧化鋅。可藉由物理方法(例如蒸發或濺鍍)、藉由CVD或藉由方法之組合沈積TCO層319。在一些實施例中，可藉由較佳不損害p型奈米線殼之濺鍍方法沈積層319。ITO層319可為約100Å至約10,000Å厚，最佳約8,000Å。在一些實施例中，可使用兩步方法(包括蒸發、之後濺鍍)沈積TCO層319，如於2013年3月15日提出申請之美國臨時申請案第61/787,299號(代理人檔案號9308-021P)中所揭示，該案件以引用方式併入本文中。

在TCO層319上形成第二遮罩層320(其可為光阻劑層)且可使用標準微影技術對其進行圖案化以界定第二遮罩層320中之開口321，如圖3E中所示。圖案化第二遮罩層320以界定裝置300之n側接觸區域321(即，n側接觸區域321由遮罩層320暴露且裝置之剩餘部分由遮罩層320覆蓋)。隨後可蝕刻裝置300以將第二遮罩層320之圖案轉移至裝置300。蝕刻可於裝置300之緩衝層307處或其中停止以隨後暴露n側接觸區域321中之n型緩衝層材料。蝕刻可為乾式蝕刻或濕式蝕刻。在一個實施例中，使用乾式蝕刻，例如感應耦合電漿(ICP)蝕刻，其可利用氯氣體電漿。氯將蝕刻SiO₂、ITO及GaN。在蝕刻後，移除第二遮罩層320以提供裝置300，如圖3F中所示。圖4B係在蝕刻及移除圖案化第二遮罩層320後裝置300之俯視圖。圖4B中之線B-B'對應於圖3F中之線B-B'，儘管裝置300不一定係按比例顯示。如圖4B中所示，例如，與p側焊接區315以對角線相對，n側接觸區域321可位於裝置300

之左下角處。

在裝置300上形成可為光阻劑層之第三遮罩層322且其可使用標準微影技術圖案化以在n側接觸區域321上提供第一開口323且在p側焊接區315上提供第二開口325，如圖3G中所示。第三遮罩層322中之開口323、325分別界定n-及p-金屬觸點之位置。n側金屬觸點之開口323可小於n側接觸區域321以自暴露TCO層319及任何部分蝕刻奈米線301分離n側金屬觸點。隨後可藉由蒸發將金屬觸點堆疊(其可包括Al、Ti及Au)沈積於第三遮罩層322上及開口323、325內。可以1-10 μm (例如，2-4 μm ，例如約3.3 μm)之厚度沈積金屬堆疊。可以首先鋁且最後金之次序沈積金屬觸點堆疊，其中金係表面上之膜，其中金無需熱處理以製得良好歐姆接觸。隨後移除(例如，剝離裝置)金屬沈積之第三光阻劑遮罩322以在裝置300上留下n-及p-金屬觸點327、329，如圖3H中所示。P側觸點329接觸層309上之315中的TCO層319。圖4C係在沈積n-及p-金屬觸點327、329及移除(例如，剝離)圖案化第三遮罩層322後裝置300之俯視圖。圖4C中之線C-C'對應於圖3H中之線C-C'，儘管裝置300不一定係按比例顯示。

隨後可在裝置300上形成第四遮罩層330，如圖3I中所示。第四遮罩層330可為光敏性材料，例如SU-8環氧樹脂，其可用於鈍化裝置300。第四遮罩層330可具有5-25 μm (例如，10-20 μm ，例如約15 μm)之平均厚度。可使用標準光微影技術處理第四遮罩層330並使其顯影以提供開口331、333以分別到達n-金屬及p-金屬觸點(即，電極)327、329，如圖3J中所示。圖4D係裝置300之俯視圖，其圖解說明第四遮罩層330及開口331、333。圖4D中之線D-D'對應於圖3J中之線D-D'，儘管裝置300不一定係按比例顯示。

上述製程之淨結果係裝置300，其具有較經由習用製作技術可達成者(藉由(例如)經由乾式蝕刻經由實質上完成之裝置界定活化區之方

法)可以更少製程步驟及更大活化區產生的平整化焊接區域。焊接線隨後可經由開口331、333附接至各別n-金屬及p-金屬觸點327、329。

圖5A-C係具有在陣列501上形成之圖案化介電層509之奈米線陣列501的掃描電子顯微鏡(SEM)影像，該圖案化介電層可為低溫氧化物(LTO)，例如SiO₂。如圖5A中所示，介電層509可將陣列501之部分分成離散活化區513。活化區513可實質上不含介電材料，如圖5B中所示。介電層509亦可提供與陣列501絕緣之平整化焊接區515，如圖5C中所示，其可用於形成奈米線裝置之接觸墊。

用於製作奈米線裝置之第二實施例示意性圖解說明於圖6A-6J及7A-7E中。圖6A示意性圖解說明奈米線LED裝置600，其包括複數根奈米線601、緩衝層607及介電遮蔽層606 (例如，SiN層)，如上文結合圖3A所述。奈米線601可各自包含第一導電型(例如，n型)奈米線核心、第二導電型(例如，p型)殼及生成光之中間活化區，如上文結合圖1及2所述。奈米線核心可與緩衝層607電接觸，且奈米線殼可由介電遮蔽層606與緩衝層絕緣，如上文所述。

在圖6B中，在奈米線301上形成可為光阻劑層之第一遮罩層612。可使用標準微影技術圖案化第一遮罩層612以覆蓋裝置600之活化區613中的奈米線601並界定暴露區621、615。可蝕刻裝置600以將第一遮罩層612之圖案轉移至裝置600。蝕刻可為乾式蝕刻(例如，感應耦合電漿(ICP)蝕刻)，其可利用氯氣體電漿。移除暴露奈米線601以「平坦化」區615及621中之裝置，如圖6C中所示，如與本文同一天申請之美國臨時申請案第_____號(代理人檔案號9308-025P)中所述，該案件以引用方式併入本文中。該等「平坦化」區可稍後用於形成電觸點，如下文所述。在蝕刻後，移除第一遮罩層612以提供如圖6C中所示之裝置600。圖7A係在蝕刻及移除圖案化第一遮罩層612之後裝置600之俯視圖。圖7A中之線E-E'對應於圖6C中之線E-E'，儘管裝置

600不一定係按比例顯示。

在圖6D中，在裝置上(包括在活化區613中之奈米線601上及在已移除奈米線之「平坦化」區615、621上)形成介電層609。介電層609可為SiO₂層且可藉由低溫氧化物(LTO)沈積形成。LTO沈積可於低溫(例如，小於750℃，例如300℃至600℃，包括400℃至500℃，或約450℃)下及於次大氣壓(例如10托或更低(例如，10⁻⁶托至1托，例如100毫托至500毫托，包括約450毫托)在SiH₄及O₂流動下藉由化學氣相沈積(CVD)完成。O₂流動可以標準cm³/分鐘(sccm)超過SiH₄流動。典型流速可為(例如) 85 sccm SiH₄及120 sccm O₂。

介電層609可以0.01-10 μm (例如，0.1μm至1 μm，例如約0.4 μm)之平均厚度沈積於裝置600上。在介電層609上形成可為光阻劑層之第二遮罩層614。可使用標準微影技術圖案化第二遮罩層614以界定第二遮罩層614中與裝置300之活化區613對應之開口。隨後可蝕刻裝置300以將第二遮罩層614之圖案轉移至介電層609。在實施例中，可使用經稀釋氫氟酸(HF)之濕式蝕刻來蝕刻介電層609 (其可為SiO₂)以自裝置之活化區613移除介電層609。濕式蝕刻溶液之典型濃度可為(例如) 1份HF對3份H₂O。HF蝕刻可移除介電層609之選擇部分，同時使得活化區613中之奈米線601未受打擾。

在蝕刻後，可移除第二遮罩層614以提供圖6E中所示之裝置600。圖7B係在蝕刻及移除圖案化第二遮罩層614後裝置600之俯視圖。圖7B中之線F-F'對應於圖6E中之線F-F'，儘管裝置600不一定係按比例顯示。自裝置600之活化區613移除介電層609。介電層609可在活化區613之周邊之周圍延伸以界定活化區613之邊界，如圖7B中所示。介電層609可在裝置600之「平坦化」部分615、621上提供大體平面頂部表面，且可使「平坦化」部分615、621之頂部表面與裝置之剩餘部分電絕緣。(圖7B中之圓圈622指示下文所述n側觸點629的將來位

置)。

可對裝置600實施酸清潔且可在裝置600上(包括在活化區613中之奈米線601上及在「平坦化」區615、621中之介電層609上，如圖6F中所示)沈積透明導電層619 (例如透明導電氧化物(TCO)，例如氧化銦錫(ITO)層)。TCO層619可接觸奈米線301之p型殼以形成p電極或接觸層。亦可使用其他TCO材料，例如鋁摻雜之氧化鋅(AZO)。可藉由物理方法(例如蒸發或濺鍍)、藉由CVD或藉由方法之組合沈積TCO層619。在一些實施例中，可藉由較佳不損害p型奈米線殼之濺鍍方法沈積層619。ITO層619可為約100Å至約10,000Å厚，最佳約8,000Å。在一些實施例中，在一些實施例中，可使用兩步方法(包括蒸發、之後濺鍍)沈積TCO層619，如於2013年3月15日提出申請之美國臨時申請案第61/787,299號(代理人檔案號9308-021P)中所揭示，該案件以引用方式併入本文中。

在TCO層619上形成第三遮罩層616 (其可為光阻劑層)且可使用標準微影技術對其進行圖案化以界定第三遮罩層616中之開口623，如圖6F中所示。第三遮罩層616中之開口623界定裝置600之「平坦化」部分621內之n側接觸區域623。隨後可蝕刻裝置600以將第三遮罩層616之圖案轉移至裝置600。蝕刻可於裝置600之緩衝層607處或其中停止以隨後暴露n側接觸區域623中之n型緩衝層材料(例如，形成「檯面」結構)。蝕刻可為乾式蝕刻或濕式蝕刻。在一個實施例中，使用乾式蝕刻，例如感應耦合電漿(ICP)蝕刻，其可利用氯氣體電漿。氯將蝕刻SiO₂、ITO及GaN。在蝕刻後，移除第三遮罩層616以提供裝置600，如圖6G中所示。圖7C係在蝕刻及移除圖案化第三遮罩層616後裝置600之俯視圖。圖7C中之線G-G'對應於圖6G中之線G-G'，儘管裝置600不一定係按比例顯示。如圖7C中所示，例如，n側接觸區域623可位於裝置600之左下角中之「平坦化」區中。

在裝置600上形成可為光阻劑層之第四遮罩層618且其可使用標準微影技術圖案化以在n側接觸區域621上提供第一開口625且在「平坦化」區域615上提供第二開口627，如圖6H中所示。第四遮罩層618中之開口625、627分別界定n-及p-金屬觸點之位置。n側金屬觸點之開口625可小於n側接觸區域623以自暴露TCO層619及任何部分蝕刻奈米線601分離n側金屬觸點。隨後可藉由蒸發將金屬觸點堆疊(其可包括Al、Ti及Au)沈積於第四遮罩層618上及開口625、627內。可以1-10 μm (例如，2-4 μm ，例如約3.3 μm)之厚度沈積金屬堆疊。可以首先鋁且最後金之次序沈積金屬觸點堆疊，其中金係表面上之膜，其中金無需熱處理以製得良好歐姆接觸。隨後移除(例如，剝離裝置)金屬沈積之第四遮罩層618以在裝置600上留下n-及p-金屬觸點629、631，如圖6I中所示。圖7D係在金屬沈積及移除(例如，剝離)圖案化第四遮罩層618後裝置600之俯視圖。圖7D中之線H-H'對應於圖6I中之線H-H'，儘管裝置600不一定係按比例顯示。

隨後可在裝置600上形成第五遮罩層620，如圖6J中所示。第五遮罩層620可為光敏性環氧樹脂材料，例如基於SU-8環氧樹脂之光阻劑，其可用於鈍化裝置600。第五遮罩層620可具有5-25 μm (例如，10-20 μm ，例如約15 μm)之平均厚度。可使用標準光微影技術處理第五遮罩層620並使其顯影以自n-金屬及p-金屬電極629、631周圍之區域移除第五遮罩層620，如圖6J中所示。第五遮罩層620可保留於裝置600之活化區上。圖7E係裝置600之俯視圖，其圖解說明第五遮罩層620及n-金屬及p-金屬電極629、631。圖7E中之線I-I'對應於圖6J中之線I-I'，儘管裝置300不一定係按比例顯示。線633、635可焊接至n-金屬及p-金屬電極629、631，如圖6J中所示。

圖8A-C係根據上述實施例結合圖6A-7E之具有在陣列801上形成之圖案化介電層809之基於GaN之奈米線陣列801的掃描電子顯微鏡

(SEM)影像，該圖案化介電層可為低溫氧化物(LTO)，例如 SiO_2 。圖8A係在介電層809 (即，LTO)沈積後陣列801之橫截面SEM影像。圖8B係在沈積剝離光阻劑之金屬接觸墊831後以角度觀看之p接觸區域的SEM影像。圖8C係在金屬接觸墊外之p接觸區域的橫截面SEM影像。如圖8C中所示，p接觸區域相對於奈米線801「平坦化」，介電層809 (LTO，例如 SiO_2)使下伏n-GaN層807與上述p-電極層819 (ITO)絕緣，且p-電極層連接金屬觸點831與奈米線801之p-GaN殼。

儘管本發明係就奈米線LED而言來闡述，但應瞭解，可對任何奈米線結構實施其他基於奈米線之半導體裝置(例如場效應電晶體、二極體)及具體而言涉及光吸收或光生成之裝置(例如，光檢測器、太陽能電池、雷射等)。

另外，儘管若干實例性實施例闡述並闡釋為頂部發射奈米線LED (其中在自奈米線之基底至尖端之方向上提取光)，但應瞭解，實施例亦可包括底部發射奈米線LED。一般而言，底部發射奈米結構之構築需要在每一個別發光奈米元件之頂部部分處或其附近(即毗鄰)提供反射結構(例如鏡子)，以便引導所發射光向後穿過裝置之緩衝層。底部發射電極進一步闡述於2011年6月17日提出申請之美國專利公開案第2011/0309382號及於2011年6月17日提出申請之PCT公開案PCT/US11/40932中，兩個案件之全文皆以引用方式併入本文中。

本說明書中所引用之所有公開案及專利皆以引用方式併入本文中，其併入程度如同明確地及單獨地指出將每一個別公開案或專利以引用方式併入一般，且以引用方式併入本文中以結合引用公開案揭示並闡述方法及/或材料。任何公開案之引用皆係關於其揭示內容先於申請日期且不應由於本發明為先前發明而理解為承認本發明無權先於該公開案此外，所提供之公開案之日期可不同於可需要單獨確認之實際公開案日期。

提供前述方法說明僅作為圖解說明性實例且並非意欲需要或暗指各種實施例之步驟必須以所呈現次序執行。如熟習此項技術者將瞭解，可以任一次序執行前述實施例中之步驟之次序。諸如「其後」、「隨後」、「接下來」等詞不必意欲限制步驟之次序；此等詞僅用於經由方法之說明指導讀者。此外，以單數形式對申請專利範圍要素之任何提及(舉例而言，使用冠詞「一(a)」、「一(an)」或「該(the)」)不應理解為將要素限制為單數。

前文對所揭示態樣之說明經提供以使任一熟習此項技術者能夠製作或使用本發明。彼等熟習此項技術者將輕易明瞭對此等態樣之各種修改，且本文所定義之通用原理可應用於其他態樣，此並不背離本發明之範疇。因此，並非意欲將本發明限於本文所示之該等態樣，而欲賦予其與本文揭示之原理及新穎特徵相一致之最寬廣範疇。

【符號說明】

- 1 奈米線LED
- 2 n型奈米線核心
- 3 p型殼
- 4 活化區
- 5 生長基板
- 6 生長遮罩或介電遮罩層
- 7 緩衝層
- 300 奈米線LED裝置
- 301 奈米線
- 306 介電遮罩層
- 307 緩衝層
- 309 介電層
- 312 第一遮罩層

313	活化區
315	焊接區
317	介電層
319	透明導電氧化物(TCO)層
320	第二遮罩層
321	開口/n側接觸區域
322	第三遮罩層
323	第一開口
325	第二開口
327	n-金屬觸點/電極
329	p-金屬觸點/電極
330	第四遮罩層
331	開口
333	開口
A-A'	線
B-B'	線
C-C'	線
D-D'	線
501	奈米線陣列
509	圖案化介電層
513	離散活化區
515	平整化結合區
600	奈米線LED裝置
601	奈米線
606	介電遮罩層
607	緩衝層

609	介電層
612	第一遮罩層
613	活化區
614	第二遮罩層
615	「平坦化」區
616	第三遮罩層
618	第四遮罩層
619	透明導電層
620	第五遮罩層
621	「平坦化」區
622	圓圈
623	開口
625	第一開口
627	第二開口
629	n-金屬觸點/電極
631	p-金屬觸點/電極
633	線
635	線
E-E'	線
F-F'	線
G-G'	線
H-H'	線
I-I'	線
801	陣列
807	n-GaN層
809	圖案化介電層

819 p-電極層

831 金屬接觸墊/金屬觸點

申請專利範圍

1. 一種製作半導體裝置之方法，其包含：

在支撐件上形成複數根奈米線，其中每一奈米線皆包含第一導電型半導體核心及在該核心上之第二導電型半導體殼；

在該複數根奈米線之至少一部分上形成絕緣材料層，以使得該絕緣材料層之至少一部分提供實質上平面之頂部表面；

移除該絕緣材料層之一部分以界定奈米線之活化區；及

在該絕緣材料層之該實質上平面之頂部表面上形成電觸點。

2. 如請求項1之方法，其進一步包含：

在該絕緣材料層之至少一部分上及在該活化區中之該複數根奈米線上形成導電材料層，其中該電觸點與該導電材料層電連接。

3. 如請求項2之方法，其中該導電材料層接觸該活化區中之該等奈米線並接觸該實質上平面之頂部表面上之該絕緣材料層，其中在該導電材料上形成該電觸點。

4. 如請求項2之方法，其進一步包含：

移除奈米線及一部分該導電材料層以暴露該支撐件之一部分；及

在該支撐件之該暴露部分上形成第二電觸點。

5. 如請求項2之方法，其中該裝置包含奈米線LED。

6. 如請求項5之方法，其中該第一導電型半導體核心及該第二導電型半導體殼經組態以形成pn或pin接面，其在操作中提供用於光生成之活化區。

7. 如請求項5之方法，其中該導電材料層包含透明導電氧化物(TCO)。

8. 如請求項7之方法，其中該TCO包含氧化銦錫(ITO)。
9. 如請求項1之方法，其中形成該絕緣材料包含使用低溫氧化物(LTO)沈積方法沈積該絕緣材料。
10. 如請求項9之方法，其中該絕緣材料係於小於約750℃之溫度下沈積。
11. 如請求項9之方法，其中該絕緣材料係藉由化學氣相沈積(CVD)來沈積。
12. 如請求項9之方法，其中該絕緣材料包含 Al_2O_3 或 SiO_2 。
13. 如請求項1之方法，其中移除該絕緣材料層之一部分包含通過遮罩蝕刻該絕緣材料層。
14. 如請求項13之方法，其中該蝕刻自該活化區移除該絕緣材料層，而不蝕刻該等奈米線。
15. 如請求項13之方法，其中該絕緣材料係經濕式蝕刻。
16. 如請求項15之方法，其中該絕緣材料係使用氫氟酸溶液濕式蝕刻。
17. 如請求項1之方法，其進一步包含保留該絕緣材料之一部分以在該奈米線之活化區周圍提供邊界。
18. 如請求項3之方法，其中移除該絕緣材料層之一部分包含通過第一遮罩蝕刻該絕緣材料層以界定該奈米線之活化區，該方法進一步包含：

通過第二遮罩蝕刻以移除奈米線及一部分該導電材料層來暴露該支撐件之一部分；

於該裝置上形成第三遮罩，該裝置具有在該導電材料層上及該絕緣材料層之該平面頂部表面上之第一開口及在該支撐件之該暴露部分上之第二開口；

將金屬材料沈積於該第一開口內，以形成與該導電材料層電

連接之該電觸點；

將金屬材料沈積於該第二開口內，以在該支撐件之該暴露部分上形成該第二電觸點；及

移除該第三遮罩。

19. 如請求項18之方法，其進一步包含：

在該裝置之該活化區上形成鈍化層。

20. 如請求項19之方法，其中該鈍化材料包含光敏性環氧樹脂。

21. 如請求項18之方法，其中該金屬材料包含鋁、鈦及金中之一或多者。

22. 如請求項3之方法，其進一步包含：

在形成該絕緣材料層之前移除在該活化區外部之第一複數根奈米線以提供第一實質上平坦之部分，其中該絕緣材料層之該實質上平面之頂部表面係位於該第一實質上平坦之部分上。

23. 如請求項22之方法，其進一步包含：

移除在該活化區外部之第二複數根奈米線以提供第二實質上平坦之部分，其中在該第二實質上平坦之部分中形成該第二電觸點。

24. 如請求項23之方法，其中移除該第一複數根奈米線及該第二複數根奈米線以提供該等各別第一及第二實質上平坦之部分包含通過第一遮罩蝕刻該等奈米線，且其中移除該絕緣材料層之一部分包含通過第二遮罩蝕刻該絕緣材料層以界定該奈米線之活化區，該方法進一步包含：

通過第三遮罩蝕刻該導電材料層及該絕緣材料層以提供該支撐件之該暴露部分；

於具有在該絕緣材料層之該平面頂部表面上之第一開口及在該支撐件之該暴露部分上之第二開口之該裝置上形成第四遮

罩；

將金屬材料沈積於該第一開口內以形成與該導電材料層電連接之該電觸點；

將金屬材料沈積於該第二開口內以在該支撐件之該暴露部分上形成該第二電觸點；及

移除該第四遮罩。

25. 如請求項24之方法，其進一步包含：

在該裝置之該活化區上形成鈍化層。

26. 如請求項25之方法，其中該鈍化材料包含基於環氧樹脂之光阻劑。

27. 如請求項24之方法，其中該金屬材料包含鋁、鈦及金中之一或多者。

28. 一種半導體裝置，其包含：

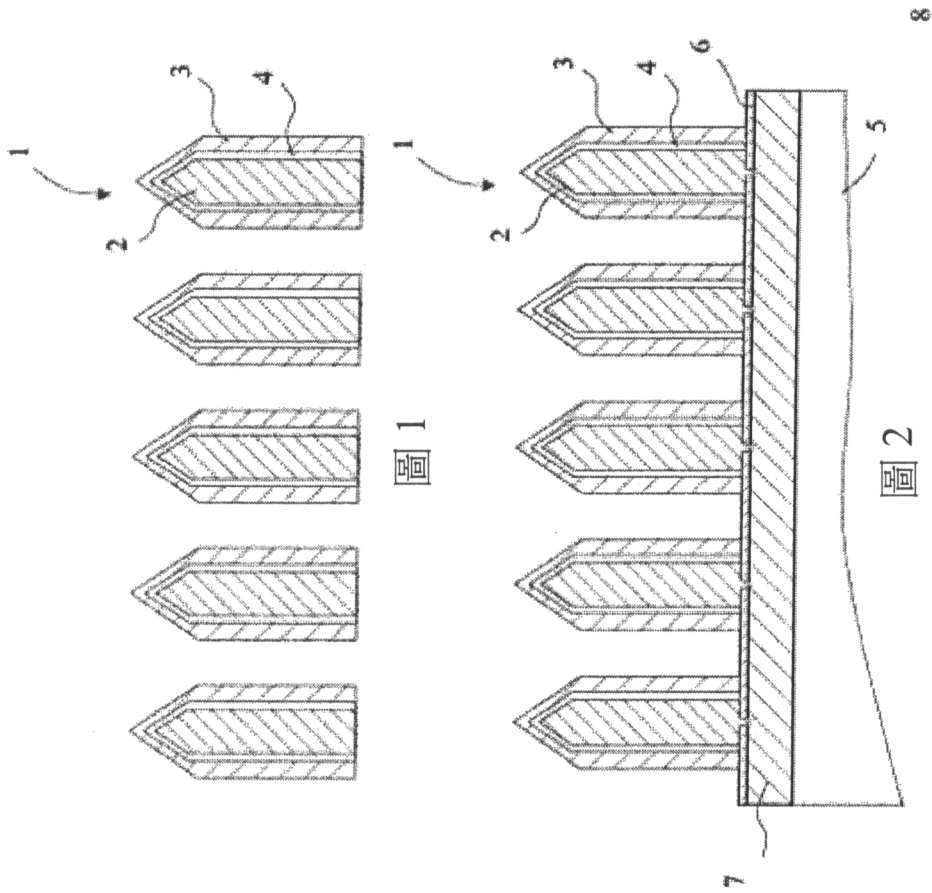
支撐件上之複數根奈米線，其中每一奈米線皆包含第一導電型半導體核心及該核心上之第二導電型半導體殼；

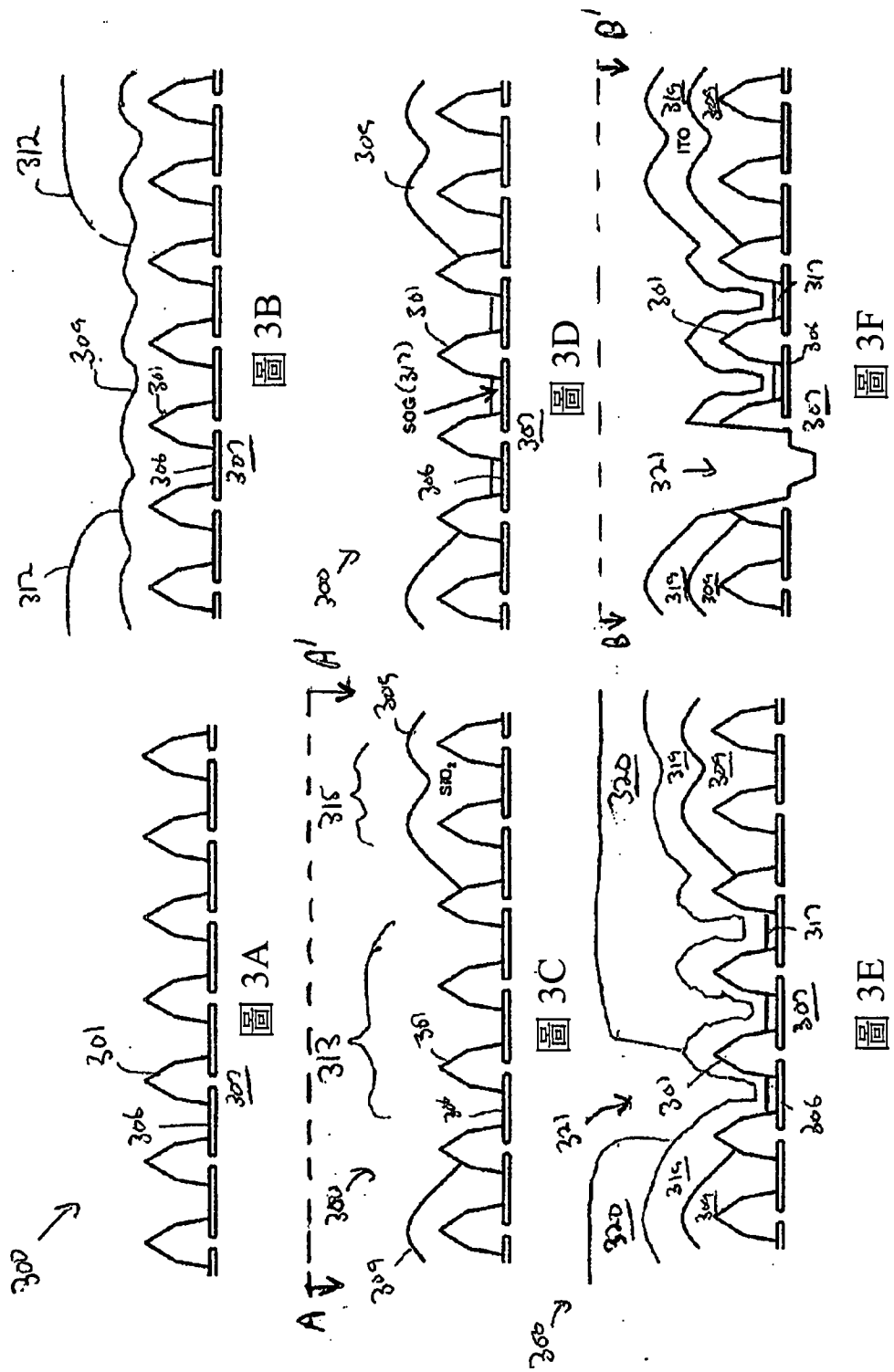
絕緣材料層，其在該複數根奈米線周圍形成邊界以界定奈米線之活化區，該絕緣材料層具有實質上平面之頂部表面；及

電觸點，其在該絕緣材料層之該實質上平面之頂部表面上。

29. 如請求項28之半導體裝置，其中該裝置係如請求項1至27中任一項製作。

圖式





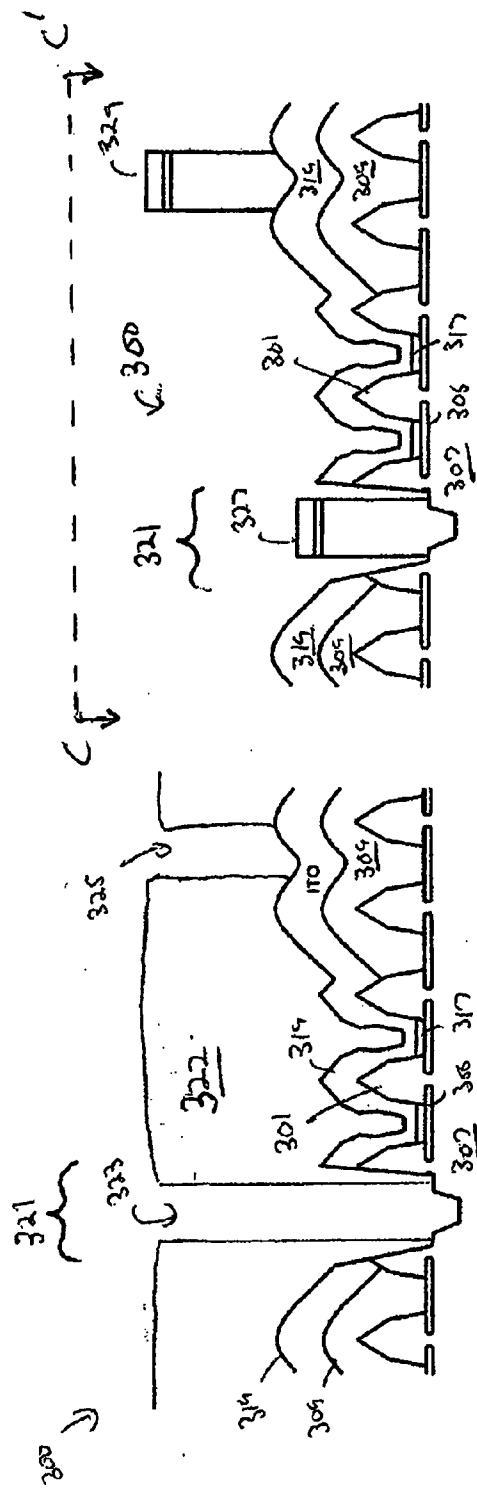


圖 3G

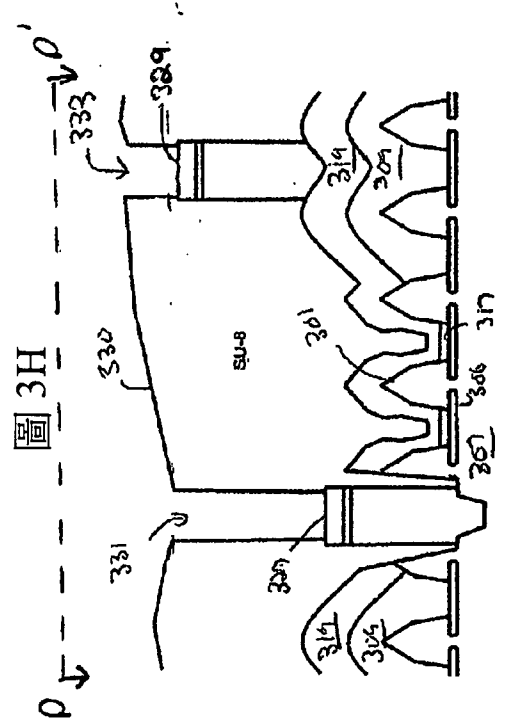


圖 3H

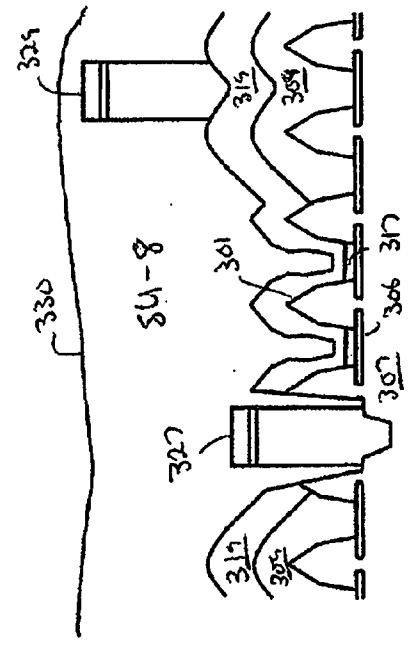


圖 3I

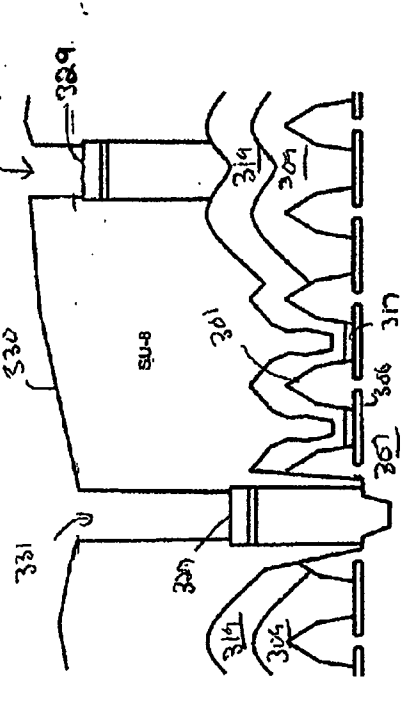
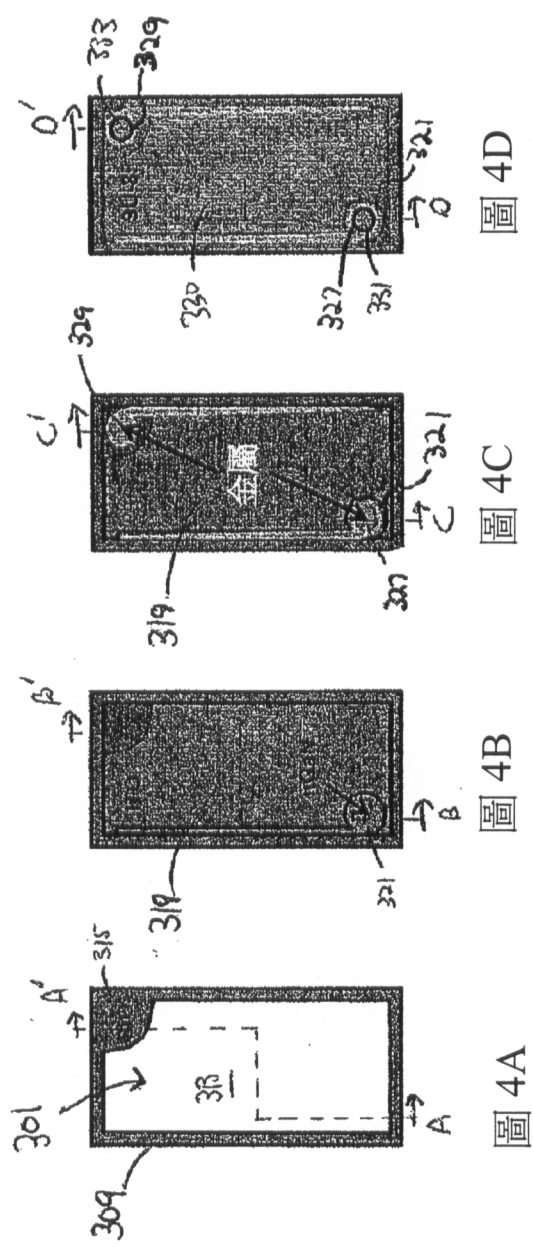
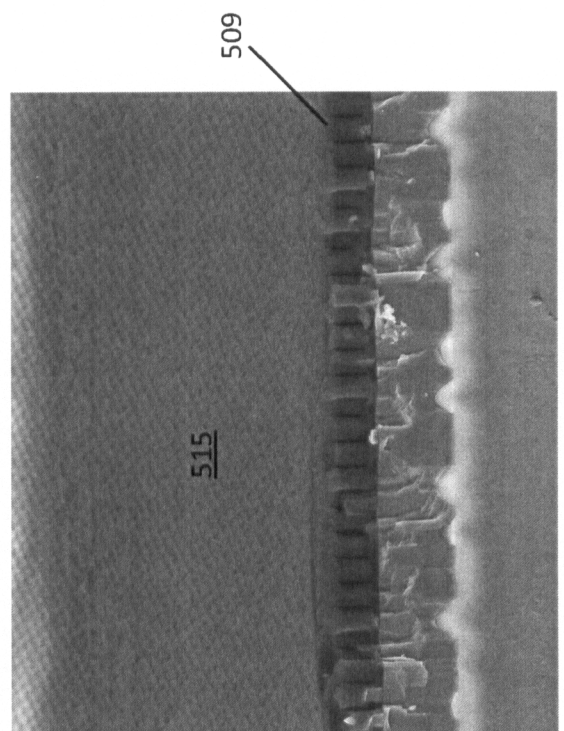
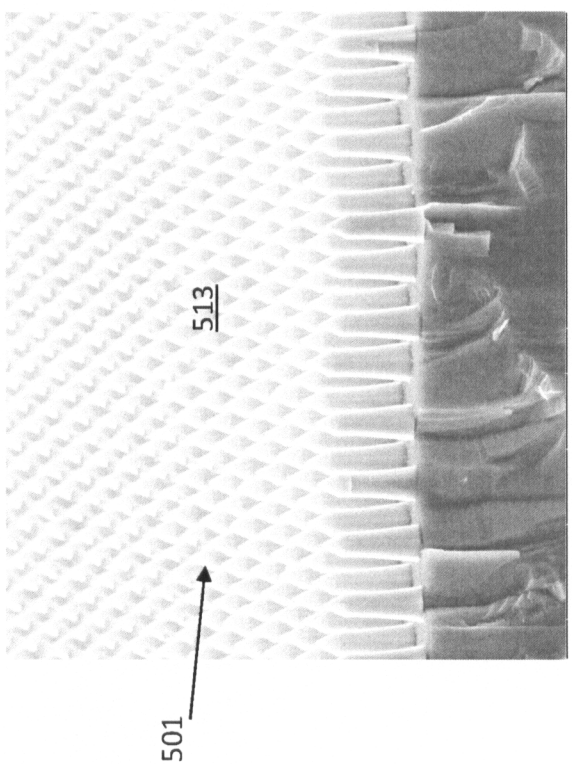
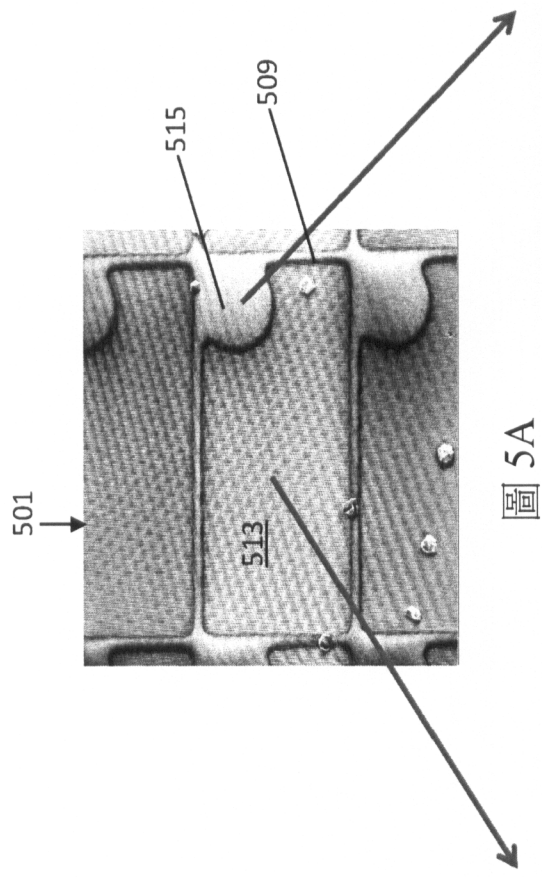
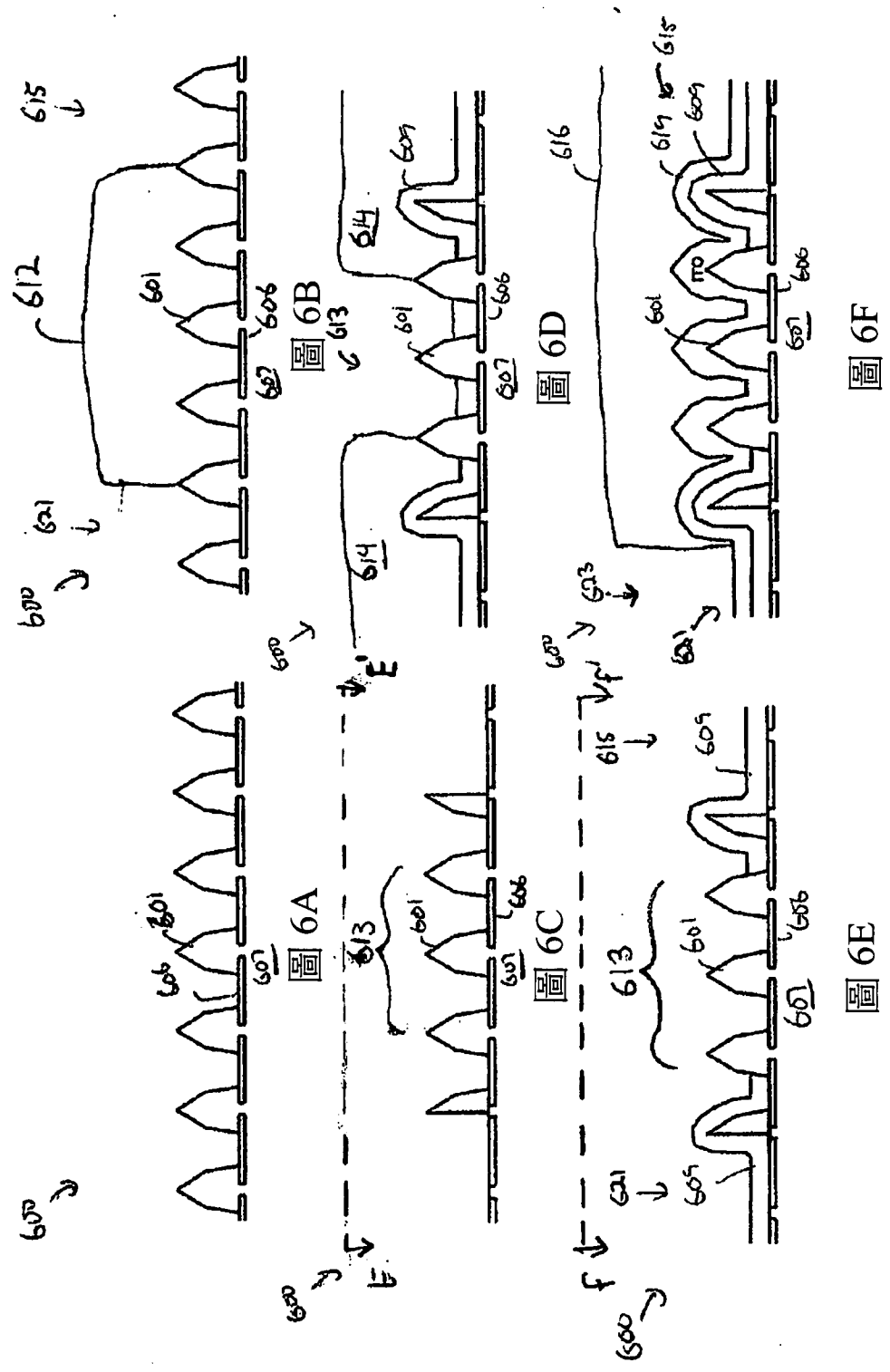
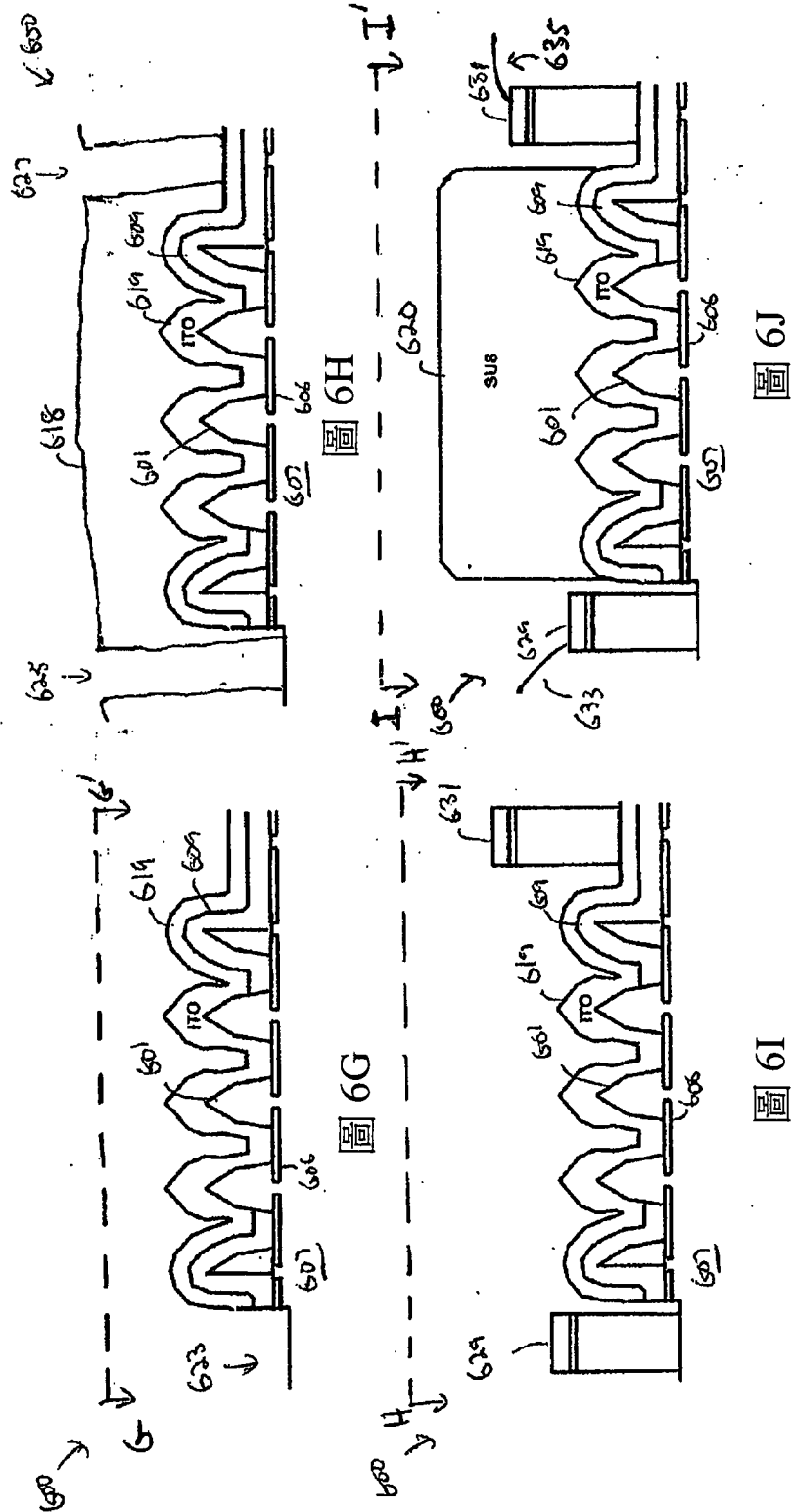


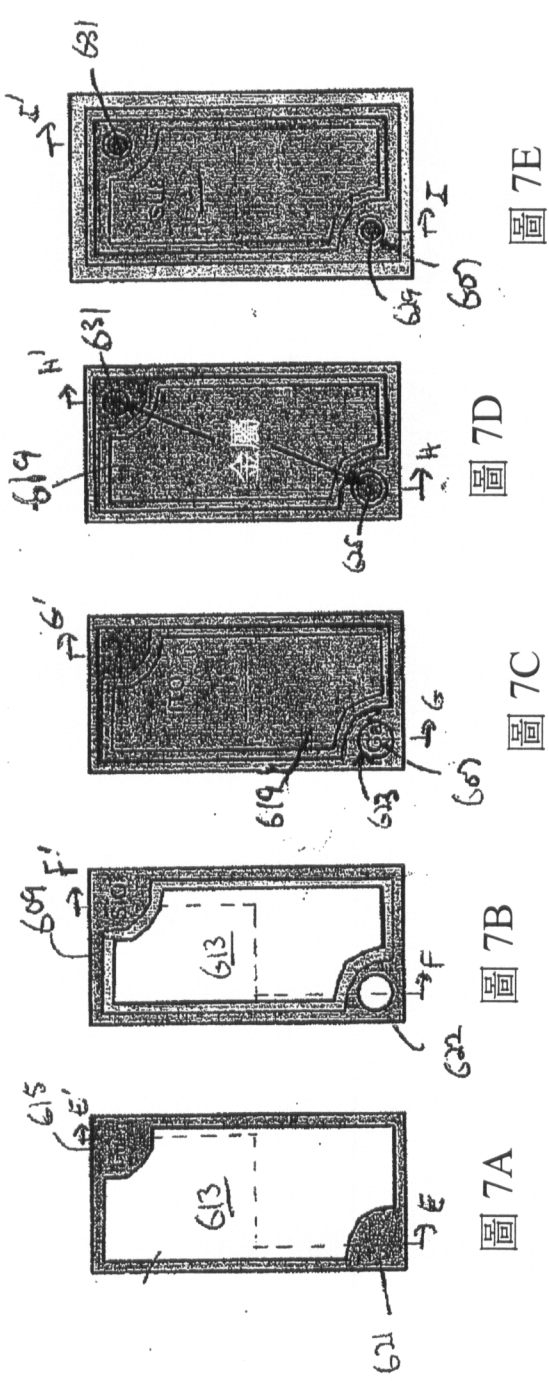
圖 3J











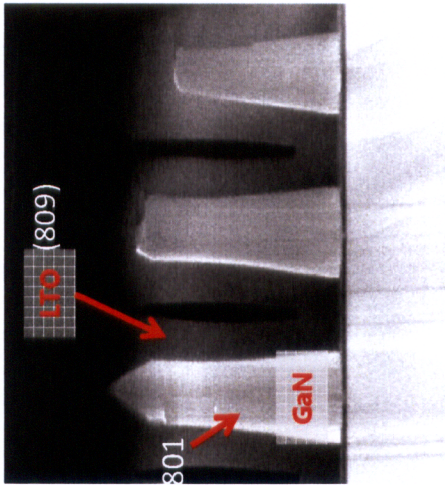


圖 8A

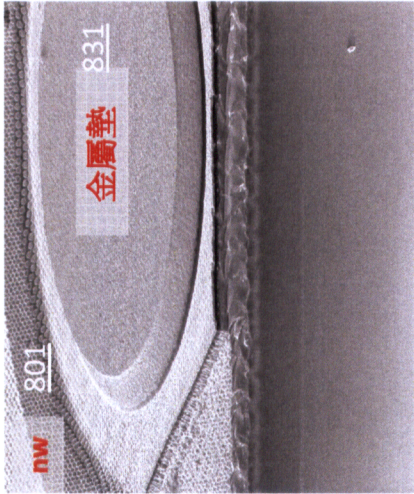


圖 8B

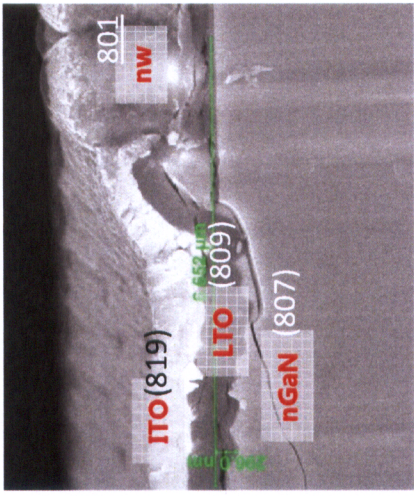


圖 8C