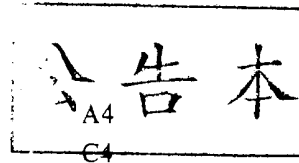


申請日期	85. 8. 30.
案 號	85110570
類 別	CI ⁶ (704N/5/45. 7/74)



318314

318314

(以上各欄由本局填註)

發 明 專 利 說 明 書

~~新 型~~

煩請委員明示
修正本有無變更實質內容是否准予修正。
85. 6. 22
年 月 日所提之

裝 訂 線

一、發明名稱 6. 22	中 文	迴旋解碼器之格子式解對映器
	英 文	"A TRELLIS DEMAPPER OF A CONVOLUTIONAL DECODER"
二、發明人 創作	姓 名 國 籍 住、居所	1. 庫瑪 拉麥史瓦米 2. 約翰 希德尼 史都華 1. 印度 2. 美國 1. 美國印地安納州印地安納波里市大學街9417號#4 2. 美國印地安納州印地安納波里市西第71街3655號
三、申請人	姓 名 (名稱) 國 籍 住、居所 (事務所) 代 表 人 姓 名	美商湯瑪斯消費者電子公司 美國 美國印地安納州印地安納波里市北子午街10330號 約瑟夫·斯·崔波里

經濟部中央標準局員工消費合作社印製

318314

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權
 美 1995.9.14 528,370

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

這項發明是關於數位處理裝置，適用於一多頻道衛星接收機，陸上及電纜傳輸之正向錯誤修正(FEC)數位壓縮之電視資料，尤其是關於一格式，用於一以維特比算則為主的迴旋解碼器，能夠解實用之格式碼。

於本技術中聞名的是使用正向錯誤修正，包括自一發射機至一接收機之一有雜訊之頻道上，傳輸已編碼之數位資料的迴旋編碼，該接收機含有一分支量度之電腦，用於一以維特比算則為主的迴旋解碼器。該維特比算則非常普遍地用於解碼在一有雜訊之頻道上傳輸之迴旋編碼之位元序列。維特比算則之精華是一連串反覆的加-比較-選擇運算，輸入特定量度(稱為分支量度)，以每一項從解調器收到之符號來加以計算。用於衛星，電纜及陸上傳輸高資料率的信號，這些運算需要以極高之速率來進行。而且，在一數據機/解碼器於不同頻道的運作中，具有不同(但相關)的編碼表，計算分支量度之成本變成過量的，是依據檢索表記憶體或為進行計算所需的實際硬體。

就衛星傳輸頻道而言，通常在傳送某些特別收縮四相平移鍵控(QPSK)碼時，為該接收機的迴旋解碼器所知悉。就陸上或電纜傳輸頻道而言，一些特別實用之格式碼(諸如直角振幅調變(QAM)，相位振幅調變(PAM)或相移鍵控(PSK)碼，亦為該接收機之迴旋解碼器所知悉。例如，前項技術發表了將一實用格式碼用成一實用碼，用於高解像度電視(HDTV)的QAM傳輸。

參考美國專利第5,497,401號，標題為"一支量度電腦，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明(2)

用於一收縮且實用之格式碼迴旋解碼器的一維特比解碼器，適用在一多頻道的衛星接收機，陸上及電纜傳輸之FEC壓縮數位視訊"。

在過去，該接收機用於以維特比算則為主之迴旋解碼器，將其典型地設計成僅與單一預定型式之迴旋碼配合操作。然而，多頻道數位電視接收機很可能在不遠的將來，會進入量產市場，並且假以時日，會取代目前所用的類比電視接收機。直接廣播衛星傳輸至電視接收機已可額外應用於其陸上及電纜傳輸。因此，這種多頻道數位電視接收機之迴旋解碼器對碼之型式(收縮或實用格式，視情況而定)及頻道之調變方式(PSK包括QPSK及8-PSK，PAM或QAM，視情況而定)做選擇性的反應是所希望的，再由多頻道數位電視接收機來接收。再者，量產之電視接收機在設計時，即應考慮降低其成本及複雜度。

前述之美國專利第5,497,401號，即是針對分支量度電腦的一種架構，用於迴旋解碼器之維特比解碼器，可將其納入這一種多頻道數位電視接收機，就是考慮到降低產品的成本及複雜度所設計的，首先，該分支量度電腦架構，使用一RAM，於起始階段即預先載入，連同來自一微控制器介面，當成用於其上之一控制輸入之可程式規劃的，預先計算的I及Q檢素食。其次，這個分支量度電腦結構計算在二維I，Q平面上兩點間距離的一維測量，藉由取代該兩點間距離(所謂之"曼哈頓"距離)之I及Q分量(I+Q)的總和，用於兩點 $(I^2+Q^2)^{1/2}$ 間的歐幾里德距離。這使得I及Q分量互相獨

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

立地受到掌控，藉此減少分支量度電腦的成本及複雜度。

迴旋解碼器發表於前述之美國專利中，在微控制器界面的控制下，可以交互地運作於某些特別的收縮碼模式(均不利用格式解對映器)或某些特別實用的格式碼模式(均利用格式解對映器)。

本發明即針對此解對映技術及格式解對映器之結構，用於前述之美國專利5,497,401所發表之型式的迴旋解碼器，操作於一實用格式碼模式(諸如16, 32, 64, 128及256 QAM碼及8-PSK碼等應用例)。這種格式解對映器，設計時即以降低成本與複雜度為考量，相較於一格式碼解對映器，使用QAM格式碼之ROM儲存，提供了最小的存量需求。

更特別地，本發明是針對適用於許多種碼的解對映器，含有一截然不同的碼，用於I, Q平面中每一構象的符號，包括(1)2的偶數次方個符號，安排在一方格中位元對符號的對映，(2)2的奇數次方個符號，安排在一交叉格中位元對符號的對映，及/或(3)8-PSK碼。各I頻道與Q頻道RAMs，每一個均含有一檢索表，經選擇性地程式規劃，用於每一QAM碼，應用於前述(1)及(2)兩類。在(1)類情況中，I頻道及Q頻道RAMs之個別輸出直接或為該格式解對映器的輸出。在(2)類情況中，I頻道及Q頻道RAMs之個別輸出做為一重對映器RAM的輸入，其輸出即為該格式解對映器的輸出。在(3)類情況中，將8-PSK解對映器邏輯裝置用於解對映8-PSK碼，並將此裝置之輸出做為該格式解對映器的輸出。在那些情況中，當格式解對映器對兩個或所有

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

(1)，(2)及(3)類有反應時，即利用一MUX選擇，將選出之一種類型之輸出做為該格式解對映器的輸出。

附圖簡介

圖1說明不同型式之傳輸頻道，可以從一正向錯誤修正之數位壓縮式電視發射機發射，經由一多頻道數位壓縮式電視接收機接收；

圖2為一方塊圖，顯示圖1之多頻道數位壓縮式電視接收機中，迴旋解碼器，提供一項輸入至該解碼器之解調器，與至該解碼器之一微控制器介面等，彼此之間的關係；

圖3為圖2中顯示之迴旋解碼器之結構組件之方塊圖，當由微控制器介面做程式規劃，以一實用之格式碼解碼模式來操作時，即顯示圖2之微控制器介面耦合至該迴旋解碼器的結構組件的情形；

圖4為圖3所示之格式解對映器之結構組件之方塊圖；以及

圖5說明位元對符號之對映，用於格式碼之8-PSK(編碼率 $R=2/3$)。

如圖1所示，多頻道數位壓縮式電視接收機100能夠選擇性地接收由許多不同頻道所發射之數位編碼的視訊。這許多頻道包括衛星傳輸頻道102，它是從正向錯誤修正之視訊發射機104發射數位編碼的視訊；陸上傳輸頻道106，它是從正向錯誤修正視訊發射機108發射數位編碼的視訊；以及電纜傳輸頻道110，它是從正向錯誤修正視訊發射機112發射數位編碼的視訊。如本技術所知，該發射機之正向錯誤

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

修正典型地含有已編碼之數位壓縮式視訊之連續發射之符號包的迴旋編碼。

又如本技術所得知，典型地將以QSPK為主之收縮碼應用於一衛星頻道上迴旋編碼資料的傳輸，較高字母(即8，16，32，64，128，及256) $n/n+1$ 實用格式碼可能將之用於陸上或電纜頻道上，以PAM，PSK或QAM為主之迴旋編碼資料的傳輸。因此，多頻道接收機100容納一能夠將任何特別的一項以QSPK為主之收縮碼，或以PAM，PSK或QAM為主之較高字母 $n/n+1$ 實用格式碼解碼的迴旋解碼器，是我們所需要的，端視自己接收之多頻道中選出的一個頻道而定。

更特別地，多頻道接收機100含有數位處理裝置，如圖2所示，包括接收機迴旋解碼器200及接收機解調器202，如本技術中所得知，應用一連串之連續收到之迴旋編碼之符號包的每一個，做為供給接收機迴旋解碼器200的信號輸入資料。資料中每一個連續收到之符號包定義一個點在同相位(I)，直角相位(Q)平面上。多頻道接收機100之數位處理裝置又包含一微控制器，內含微控制器介面204，用來提供一項控制輸入至接收機迴旋解碼器200。

微控制器介面204提供迴旋解碼器200一份說明清單，它能夠使迴旋解碼器200具備如同使用收縮碼之解碼器，亦或使用格式碼之解碼器等的運作功能。圖3顯示以格式碼運行之迴旋解碼器200。如圖3所示，該接收機迴旋解碼器200之結構組件包含有同步電路300，分支量度電腦304，維特比解碼器306，迴旋編碼器308，格式解對映器310，延遲邏輯

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

312，同步監看器314及選擇裝置316。

將輸出自解調器202之資料供給I，Q輸入資料至同步電路300。為便於說明起見，假設每一項I及Q資料由6個位元來定義(即將該輸入資料供給總數為12個平行輸入導體)。這使得I，Q平面中 $64 \times 64 = 4096$ 個不同點中之每一點由該12位元之輸入資料中，6位元I及6位元Q分量來定義。同步電路300也接收時脈及時脈致能(Clk Enb)輸入其中。此外，同步電路300自微控制器介面204接收控制資料，並供應資料給該介面，又直接耦合至同步監看器314。

每一項組件302，304，306，308及310均具有來自微控制器介面204所供應的控制資料。而且，雖然在圖3中沒有顯示，仍將時脈供給這些組件。適當同步之I及Q資料，自同步電路300通往分支量度電腦304，以因應資料輸出時脈致能(DOCE)。而且，該等適當同步之I及Q資料經由延遲邏輯312，通往格式解對映器310及同步監看器314。

分支量度電腦306(其細節成為前述之美國專利5,497,401的主要內容)引出4個隔開的5位元輸出，因應每一個連續收到的符號包。來自分支量度電腦304之4個分隔之5位元輸出及DOCE信號，做為維特比解碼器306之輸入。維特比解碼器306，比率為 $R=1/2$ ，限制長度 $k=7$ 解碼器，呈現維特比算則用於格式碼，將其中來自分支量度電腦306之5位元量度輸入用來更新其狀態，並做位元判定。維特比解碼器306利用加-比較-選擇(ACS)裝置，路徑量度儲存裝置，以及用在格式中每一階層上之殘留路徑的記憶體。另外，維特比解

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

碼器306也注意到量度的再歸一化，以避免累積量度之建立及溢位。

將取自維特比解碼器306之1位元輸出，輸入迴旋編碼器308。對於格式碼，迴旋編碼器308重新產生比率1/2隱藏碼之兩個傳輸位元之最佳估計。編碼器308也輸出至同步監看器314。此外，將維特比解碼器306之1位元輸出做為選擇裝置316的輸入。

將迴旋編碼器308之2位元輸出供給格式解對映器310，而造成要進行符號判定。更特別地，格式解對映器310使用來自迴旋編碼器308的2位元輸出，做為附屬設備的選擇，連同接收到之延遲的I及Q符號資料，經由延遲邏輯312通往其上(詳述於後)，來進行這些符號的判定。將格式解對映器310之一6位元輸出輸入同步監看器314及選擇裝置316。

延遲邏輯312造成該項延遲，由維特比解碼器306/編碼器308及相關電路所引起，並使位於編碼器308之輸出之資料流與所收到之符號流同步。

同步監看器314，耦合至同步電路300，格式解對映器310，編碼器308之輸出，延遲邏輯312及微控制器介面204之輸出，使用分支量度訊息，連同來自微控制器介面204之一觀測期間的特性，以決定其同步狀態。它也提供訊息給同步電路300，用於任選的自動同步。在一自動同步之操作模式下，利用內部同步電路來展現其同步功能，交互地，也可由外部電路來展現同步功能。也利用同步監看器314提供一信號至解調器，用以分析相位的曖昧不明。使用這個信號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(8)

只是爲了說明接收機解調器202中的相位不定性。而且，同步監看器314供給一經過解調之同步信號，讓接收機100之下游元件來使用。

選擇裝置316，接收到維特比解碼器306之1位元輸出及格式解對映器310的6位元輸出，使這7個位元通往其輸出。這項輸出資料連同一時脈及一DOCE信號，自選擇裝置316輸出，用於接收機100的下游元件。

根據本發明之規則，顯示格式解對映器310之一實施例的方塊圖，提供一最小組態的硬體，能夠有效地解對映比率3/4-16 QAM，比率4/5-32 QAM，比率5/6-64 QAM，比率6/7-128 QAM，比率7/8-256 QAM及比率2/3-8-PSK中的每一項，將收到之碼延遲，做爲其輸入。如圖4所示，解對映器310包含I頻道隨機存取記憶體(RAM)400，Q頻道RAM 402，重對映器RAM 404，8-PSK解對映器邏輯裝置406及MUX選擇408。

將來自圖3之比率1/2迴旋編碼器308之輸出的2位元碼，供給I頻道RAM 400，Q頻道RMA 402，重對映器RAM 404及8-PSK解對映器邏輯裝置406，做爲一第一輸入。圖3之延遲邏輯312之12位元輸出外的6個位元，顯露出接收到之符號之I，Q平面上之位置的I分量，做爲送至I頻道RAM 400的第二項輸入。延遲邏輯312之12位元輸出以外的6個位元，顯露出所收到符號之I，Q平面上之位置的Q分量，做爲送至Q頻道RAM 402的第二項輸入。延遲邏輯312之12位元輸出以外的6個位元做爲I分量，及延遲邏輯312之12位元輸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

經濟部中央標準局員工消費合作社印製

五、發明說明(9)

出以外的6個位元做為Q分量，兩者均為所收到符號之I，Q平面上的位置分量，分別供給8-PSK解對映器邏輯裝置406的第二及第三輸入。

另外，根據所收到之各種QAM碼中選出的一項，將I頻道RAM 400，Q頻道RAM 402及重對映器RAM 404中之每一個，於一起始狀態下，連同可程式規劃的，取自其控制輸入之微控制器介面204之預先計算的I及Q檢索表等，預先載入。8-PSK解對映器邏輯裝置406則不需要檢素食。而且，將取自微控制器介面204之一控制輸入，供給MUX選擇408，用來選取(1)I頻道及Q頻道RAMs 400及402的3位元輸出，(2)重對映器RAM 404之5位元輸出或是(3)8-PSK重對映器邏輯裝置406的1位元輸出。也分別將I頻道及Q頻道RAMs 400及402的3位元輸出，供給重對映器RAM 404之第二及第三輸入，同時將取自MUX選擇408之一6位元輸出做為圖3中選擇316的一項輸入。

該6位元之I分量定義 $64(2^6)$ 種不同之I值，同時6位元之Q分量定義 $64(2^6)$ 種不同的Q值。它們一同將接收到的符號，在I，Q平面上， $4096(2^{12})$ 個資料點中，定義為佔有某一單一點。然而，傳輸符號(即256 QAM)之最大構象組成僅 $256(2^8)$ 個符號組。為本發明之故，這最大的256 QAM構象，連同最小的 $16(2^4)$ QAM及 $64(2^6)$ QAM構象-2的偶數乘方，組成一第一解對映類型。較小的 $32(2^5)$ QAM及 $128(2^7)$ QAM構象-2的奇數乘方，組成一第二解對映類型，而8-PSK構象本身則組成一第三解對映類型。以下將輪流討論每一種解

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

對映類型。

用於16, 64及256 QAM構象中每一種的位元對符號對映, 是屬於第一類型, 配置於一方格中。首先考慮用於16 QAM構象之位元對符號對映, 以下以八進位及二進位方式表示於表1。

八進位	二進位	八進位	二進位	八進位	二進位	八進位	二進位
00	• 000-000	01	• 000-001	04	• 000-100	05	• 000-101
02	• 000-010	03	• 000-011	06	• 000-110	07	• 000-111
10	• 001-000	11	• 001-001	14	• 000-100	15	• 001-101
12	• 001-010	13	• 001-011	16	• 000-110	17	• 001-111

表1

這兩個以粗體字表示之最低位元, 是每一構象符號之二進位表示, 取決於來自編碼器308之I頻道及Q頻道RAMs 400及402之2位元輸入的相關二進位值。如表1所指示, 這兩個二進位之最低位數00值相當於一八進位之較低位數為0或4; 兩個二進位之最低位數01值相當於一八進位之較低位數為1或5; 兩個二進位之最低位數10值相當於一八進位之較低位數為2或6; 兩個二進位之最低位數11值相當於一八進位之較低位數為3或7。而且, 00最低二進位位數(0或4較低八進位位數)僅佔用表1之奇數列奇數行上的單元; 01最低二進位位數(1或5較低八進位位數)僅佔用表1之奇數列偶數行上的單元; 10最低二進位位數(2或6較低八進位位數)僅佔用表1之偶數列奇數行上的單元; 以及11最低二進位位數(3或7較低八進位位數)僅佔用表1之奇數列奇數行上的單元。

(請先認讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明(11)

以這種方式，表1構象之一組16個符號，可將之有效地分成分開的00，01，10及11等子集，每一子集4個符號，分別如以下之1-00，1-01，1-10及1-11等四個表所示。

格雷碼對映		格雷碼對映	
Q-I		Q-I	
• 0-0		• 0-1	
• 1-0		• 1-1	

TABLE 1-00

	格雷碼對映		格雷碼對映
	Q-I		Q-I
	• 0-0		• 0-1
	• 1-0		• 1-1

TABLE 1-01

格雷碼對映		格雷碼對映	
Q-I		Q-I	
• 0-0		• 0-1	
• 1-0		1-1	

TABLE 1-10

	格雷碼對映		格雷碼對映
	Q-I		Q-I
	• 0-0		• 0-1
	• 1-0		• 1-1

TABLE 1-11

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

在表1-00，1-01，1-10及1-11中每一單元上，每一Q及I位元之二進位值，等於表1以簡單形式所示之相應單元之每一最低2位元的二進值(即該2位元對在表1中每一單元以粗體字顯示之2位元的緊接左方)。這樣造成於有關表格1-00，1-01，1-10及1-11中相應之單元所示之00，01，10及11子集的Q及I二進位值，均互相相等。而且，如表1-00，1-01，1-10及1-11所指示，已選出位元對符號對映，以直接提供一二進位的格雷碼對映，其中在I，Q平面上，每一符號之相關I及Q分量均互相保持獨立。因此，在水平(即I分量)方向從左到右，在每一表1-00，1-01，1-10及1-11中，該等數值以二進位格雷碼表示為0及1。類似地，在垂直(即Q分量)方向從上到下，在每一表1-00，1-01及1-11中，該等數值以二進位格雷碼表示亦為0及1。

選出之位元對符號對映，用於第一類型之每一64及256 QAM構象(於以下之表2及3中，以八進位之方式顯示)，原則上類似於該選出之位元對符號對映，用於上述之16 QAM構象。

八進位	八進位	八進位	八進位	八進位	八進位	八進位	八進位
00	01	04	05	14	15	10	11
02	03	06	07	16	17	12	13
20	21	24	25	34	35	30	31
22	23	26	27	36	37	32	33
60	61	64	65	74	75	70	71
62	63	66	67	76	77	72	73
40	41	44	45	54	55	50	51
42	43	46	47	56	57	52	53

表2

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明 (13)

八進位表示

000	001	004	005	014	015	010	011	030	031	034	035	024	025	020	021
002	003	006	007	016	017	012	013	032	033	036	037	026	027	022	023
040	041	044	045	054	055	050	051	070	071	074	075	064	065	060	061
042	043	046	047	056	057	052	053	072	073	076	077	066	067	062	063
140	141	144	145	154	155	150	151	170	171	174	175	164	165	160	161
142	143	146	147	156	157	152	153	172	173	176	177	166	167	162	163
100	101	104	105	114	115	110	111	130	131	134	135	124	125	120	121
102	103	106	107	116	117	112	113	132	133	136	137	126	127	122	123
300	301	304	305	314	315	310	311	330	331	334	335	324	325	320	321
302	303	306	307	316	317	312	313	332	333	336	337	326	327	322	323
340	341	344	345	354	355	350	351	370	371	374	375	364	365	360	361
342	343	346	347	356	357	352	353	372	373	376	377	366	367	362	363
240	241	244	245	254	255	250	251	270	274	274	275	264	265	260	261
142	243	246	245	256	257	252	253	272	273	276	277	266	267	262	263
200	201	204	205	214	215	210	211	230	231	234	235	224	225	220	221
202	203	206	207	216	217	212	213	232	233	236	237	226	227	222	223

表 3

特別地，可將表 2 及 3 中每一單元之八進位表示轉換為二進位表示，藉此(1)表 2 中經過轉換之二進位表示之 2 個最低位元，有效地將該將 64 個符號，分成分開的，每個 16 個符號的 00，01，10 及 11 子集，及(2)表 3 中經過轉換之二進位表示之 2 個最低位元，有效地將該組 256 個符號，分成分開的 00，01，10 及 11 子集，每個子集有 64 個符號。表 2 中之子集 00，01，10 及 11 的每一單元中，每一個 Q 及 I 位元之二進位值，等於表 2 之相應單元中，以二進位表示之 4 個位元，每一個的二進位值，它是直接地高於表 2 之相應單元中，2 個以二進位表示之最低位元。類似地，表 3 之子集 00，01，

五、發明說明(14)

10及11的每一單元中，每一個Q及I位元之二進位值，等於表3之相應單元中，以二進位表示之6個位元，每一個的二進位值，是直接地高於表2之相應單元中，2個以二進位表示之最低位元。這樣造成在表2及3之00，01，10和11子集中的Q及I二進位值彼此相等。而且，在表2及3中均已選出位元對符號之對映，以便直接提供一項二進位格雷碼對映，其中每一個在I，Q平面上之符號的相關I與Q分量互相保持獨立。因此，在水平(即I分量)方向，從左到右，以二進位格雷碼表示之值為0，1，2及3，於表2之00，01，10及11子集中，及在表3之00，01，10及11子集中，以二進位格雷碼表示之值為0，1，2，3，4，5，6和7。類似地，在垂直(即Q分量)方向，從上到下，以二進位格雷碼表示之值為0，1，2及3，於表2之00，01，10及11子集中，及在表3之00，01，10及11子集中，以二進位格雷碼表示之值為0，1，2，3，4，5，6和7。

回到圖4，在16 QAM(表1)情況時，起初，微控制器介面204以一1位元索引表將I頻道RAM 400載入，若為64 QAM(表2)情況時，則以一2位元索引表，256 QAM(表3)情況時，是以一3位元索引表。類似地，在16 QAM(表1)情況時，初始階段，微控制器204以一1位元索引表將Q頻道RAM 402載入，若為64 QAM(表2)情況時，則以一2位元索引表，256 QAM(表3)時，是以一3位元索引表，I頻道RAM 400之索引表，相應於由來自延遲邏輯312之6位元I輸入，與取自迴旋編碼器308之2位元I輸入所定址，讀取構象符號行之二進位格雷碼I分量，它在I(水平)方向上之距離最接近延遲收到符

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

號的I分量位置。類似地，Q頻道RAM 402之索引表，相應於由來自延遲邏輯312之6位元Q輸入，與取自迴旋編碼器308之2位元I輸入所定址，讀取構象符號列之二進位格雷碼Q分量，它在Q(垂直)方向上之距離最接近延遲收到符號的Q分量位置。

在第一類情況中(即16, 64及265 OAMs)，由來自微控制器介面204之控制輸入操作MUX選擇408，通往由I頻道RAM 400及Q頻道RAM讀取之相關的檢索表，做為圖3之選擇316的一項輸入。要注意到，00, 01, 10及11子集之識別，在來自I頻道RAM 400及Q頻道RAM-順向通過圖3之選擇316到多頻道接收機的下游部分中遺失。然而，如圖3所示，維特比解碼器306之1位元輸出也會通過圖3之選擇316，到該多頻道接收機的下游部分。因為迴旋編碼器308之2位元輸出(用於格式解對映器310以定義00, 01, 10及11子集)是取自維特比解碼器306的1位元輸出，00, 01, 10及11子集，可以再從通往其上之維特比解碼器之1位元輸出的下游部分中取得。

32(2⁵)及128(2⁷)QAM構象是屬於類型2。類型2構象，因為它們含有一2符號的奇數次方，將這些符號安置於一交叉格上，而不是一方格上。而且，類型2構象組之位元對符號對映不能直接提供二進位格雷碼對映給00, 01, 10及11子集。因此，00, 01, 10及11類型2子集之位元對符號對映的重對映是必要的，以獲得每一子集之符號的適當二進位格雷碼對映。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明 (16)

關於這一點，以下之表4以八進位表示，交叉格配置之位元對符號對映用於32 QAM構象組，同時，表4-00，4-01，4-10及4-11分別顯示該32 QAM構象組之00，01,10及11子集的不同之重對映，類似地，以下之表5是以八進位形式，顯示交叉格配置之位元對符號對映，用於128 QAM構象組，同時，表5a則顯示該128 QAM構象組之00，01，10及11子集的一般重對映。

八進位	八進位	八進位	八進位	八進位	八進位
	30	21	20	31	
17	26	07	06	27	16
11	34	01	00	35	10
13	36	03	02	37	12
15	24	05	04	25	14
	32	23	22	33	

表 4

二進位	二進位	二進位
1100	1101	1111
0100	0101	0111
0000	0001	0011

→
→
→

二進位	二進位	二進位
110	100	010
111	000	010
101	001	011

表 4-00

二進位	二進位	二進位
1100	1101	1111
0100	0101	0111
0000	0001	0011

→
→
→

二進位	二進位	二進位
100	100	110
010	000	111
011	001	101

表 4-01

二進位	二進位	二進位
1100	1101	1111
0100	0101	0111
0000	0001	0011

→
→
→

二進位	二進位	二進位
101	001	011
111	000	010
110	100	010

表 4-10

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明 (17)

二進位	二進位	二進位
1100	1101	1111
0100	0101	0111
0000	0001	0011

→

二進位	二進位	二進位
011	001	101
010	000	111
100	100	110

表 4-11

八進位	八進位	八進位	八進位	八進位	八進位	八進位	八進位	八進位	八進位	八進位	八進位
		114	115	104	105	124	125	120	121		
		116	117	106	107	126	127	122	123		
100	101	000	001	004	005	024	025	020	021	134	135
102	103	002	003	006	007	026	027	022	023	136	137
110	111	010	011	014	015	034	035	030	031	130	131
112	113	012	013	016	017	036	037	032	033	132	133
150	151	050	051	054	055	074	075	070	071	170	171
152	153	052	053	056	057	076	077	072	073	172	173
154	155	040	041	044	045	064	065	060	061	160	161
156	157	042	043	046	047	066	067	062	063	162	163
		140	141	144	145	164	156	174	175		
		142	143	146	147	166	167	176	177		

表 5

八進位表示

70	71	73	72	76	77
60	61	63	62	66	67
20	21	23	22	26	27
30	31	33	32	36	37
10	11	13	12	16	17
00	01	03	02	06	07

→

23	23	21	25	24	27
20	00	01	05	04	27
22	02	03	07	06	26
32	12	13	17	16	36
33	10	11	15	14	34
33	30	31	35	37	37

表 5a

在表 4 及 5 (如同在表 1, 2 及 3) 之單元中, 八進位表示之最低位元是一 0 或 4, 屬於 00 子集; 若單元中, 八進位表示之

經濟部中央標準局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

最低位元是1或5，屬01子集；又若單元中，八進位表示之最低位元是2或6，則屬於10子集，而如果單元中，八進位表示之最低位元是3或7，屬於11子集。如果將表4及5中之每一單元的八進位表示轉換為二進位表示，那些二進位位元高於兩個最低二進位位元，組成重對映器RAM 404的輸出。

於32 QAM(表4)情況時，起初由微控制器介面204，預先將一3位元檢索表載入重對映器RAM 404，而於128 QAM(表5)時載入一5位元檢索表。32 QAM情況時，因應一來自I頻道RAM 400之2位元輸出而讀出重對映器檢索表，做為其第一輸入，取自Q頻道RAM 402之一2位元輸出，做為其第二輸入，且取自迴旋編碼器308之2位元輸出，做為其第三輸入。在128 QAM情況下，因應一來自I頻道RAM 400之3位元輸出，而讀出重對映器檢索表，做為其第一輸入，並將來自Q頻道RAM 402之3位元輸出做為其第二輸入。

取自I頻道RAM 400及Q頻道RAM 402之檢索表之2位元輸出的有關二進位值，用於32 QAM構象組之00，01，10及11子集，被限制為該4個可能之二進位值中特定的3個，可假設為2位元。特別地，如同在各表4-00，4-01，4-10與4-11中的左邊部分，取自RAMs 400及402之相關的2位元輸出，為了一可能之16符號構象之一特定9個符號部分的4個二進位位元，位元對符號對映，用於各00，01，10，及11子集，提供每一子集之每一單元之4個二進位位元的兩個最低位元，成為自RAM 400的2位元I分量，且該4個二進位位元的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明 (19)

兩個最高位元，成爲自RAM 402的2位元Q分量。如同在每一表4-00，4-01，4-10，4-11之左邊部分所顯示的，每一子集00，01，10及11之4個二進位位元之位元對符號對映，彼此都是相同的。重對映器404將每一子集00，01，10及11之4個二進位位元之位元對符號對映，重對映至該4個子集之一不同之3個二進位位元的位元對符號對映，如分別於表4-00，4-01，4-10及4-11的右半部所顯示的。一不同之3個二進位位元之位元對符號重對映，對於這4個子集而言是必需的，因爲該32 QAM符號構象組(表4中所顯示)之8個單元的相關形式-構成這4個子集，彼此之間並不是對稱的。而且，因爲分別在各表4-00，4-01，4-10及4-11之右半部中顯示之4個子集之3個二進位位元之位元對符號對映，含有9個單元，並非剛好8個單元，有必要將該3個二進位位元之位元對符號對映，複製成4個子集中，9個單元之一對2個相鄰的單元，該對2個相鄰單元佔了表4-00，4-01，4-10及4-11的單一角落。由於複製所導致性能上的減損，考慮將其省略不計。

若爲128 QAM構象組時，~~取自各~~00，01，10及11子集上之I頻道RAM 400和Q頻道RAM 402之檢索表，其相關之3位元輸出的2進位值，受限於6個二進位位元之位元對符號對映的部分，包含了36個符號，以八進位之形式顯示於表5a的左半部。重對映器RAM 404將表5a左半部以八進位形式所顯示之36個符號，重對映至以八進位形式顯示，位於表5a之右半部的36個符號，用於該128 QAM構象組中的各子

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(20)

集00, 01, 10及11。也可使用同樣之位元對符號重對映於這4個子集, 因為構成這4個子集之128 QAM符號構象組(示於表5內)之32個單元的有關型態, 彼此之間是呈對稱的。而且, 因為這4個子集-顯示於表5a右半部-之位元對符號對映含有36個單元, 而不是剛好32個單元, 有必要將該3個二進位位元之位元對符號對映, 複製成36單元之四對2個相鄰的單元, 其中每一對2個相鄰單元佔了表5a中, 4個角落中相異的一個。再者, 由於複製所造成性能上之損失, 考慮將其省略不計。

現在參考圖5, 顯示了一3個二進位位元之位元對符號對映, 用於I, Q平面上已格式編碼的8-PSK。如所指出, 該等符號對稱地分佈於I-Q原點周圍, 且每一符號相對於I軸之角偏移量為 22.5° 或 67.5° 。那麼, 該位元對符號之對映使兩個最低二進位數字, 將8-PSK組符號分為00, 01, 10及11子集, 其中每一子集包括2個符號。將該3位元之最高位元之二進位值用來區分4個子集中的2個符號。特別地, 該3位元之最高位元之二進位值, 在I, Q平面之上部象限(即第一及第二)為"0", 而在I, Q平面之下部象限(即第三及第四)為"1"。

回到圖4, 8-PSK解對映器邏輯裝置406不直接使用一檢索表, 來決定關於2個符號(I_1Q_2)及(I_2Q_2)中, 哪一個在00, 01, 10及11子集中, 由自迴旋編碼器308至8-PSK解對映器邏輯裝置406之2位元輸入所選擇的, 更為接近由自延遲邏輯312至8-PSK解對映器邏輯裝置406之6位元I與6位元Q輸入所

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (21)

決定之接收符號的資料點(I, Q)。以以下由8-PSK解對映器邏輯裝置406所做之邏輯比較，以便做出決定，所需要進行之唯一操作：

若 $I \times I_1 < Q \times Q_2$ ，則輸出=1；

否則 輸出=0。

使用檢索表以進行這項乘積，亦或一顯性乘積，都能完成這個比較。對於圖5所示之偏移8-PSK構象，該乘積值皆為 22.5° 的正弦及餘弦函數。這使得乘積減少 $10\sin 22.5^\circ = 4$ (成一重要數字)及 $10\cos 22.5^\circ = 9$ (成一重要數字)。因為I及Q均乘以正弦及餘弦因數，均乘以10使比較的結果沒有改變。一乘以9的二進位乘積需要一移位運算(無額外的硬體)及一加法器。一乘以4的二進位乘積是一項簡單的移位運算，但不需要額外的硬體。根據該項比較之結果，即能自選出之子集之兩個構象符號中選擇適合的一個。而且，我們發現由於四捨五入(即不用正弦及餘弦的精確值)的誤差是可省略的，因為在最差的情形下，該決定範圍僅 4° 的差異。這項小差異於所有重要範圍中之誤差表現($<10^{-3}$ 符號誤差概率)造成極小的差異。用於每一子集之一乘積和移位表詳細載於以下之表6中。

乘積	子集	子集	子集	子集
I_1	+9	+4	-9	+4
Q_2	-4	-9	-4	-9

圖4中所示之本發明中，用於該格式解對映器之實施例所需要的儲存量是最小的。對於所有不同之上述調變圖表，I

五、發明說明 (22)

頻道及Q頻道RAMs 400及402只需要儲存 $2 \times 256 \times 3 = 1536$ 個位元。這是真的，因為在各RAMs 400與402之整個操作過程中，I及Q分量則保持獨立。利用傳統之格式解對映技術，其中之I及Q分量沒有保持獨立；一唯讀記憶體(ROM)其儲存容量約8000位元，用於所有上述不同的調變圖表。對於上述之32及238 QAM調變圖表，圖4之重對映器RAM 404需要一額外之 $64 \times 5 = 320$ 位元的RAM。因此，圖4所示之本發明之格式解對映器實施例，其總儲存需求量為 $1,536 + 320 = 1856$ 位元。

很明顯地，用於本發明之一迴旋解碼器的格式解對映器，可以歸納為第一種情況，其中最大之QAM構象格式碼是2的偶數次方，包括 2^{2y} 符號，安置於一方格中，其中y是一個至少為2的正整數，及QAM構象格式碼中之第二種情形，其中最大之QAM構象格式碼是-2的奇數次方，含有 2^z 符號，安置於一交叉格內，其中z是一至少為5的正奇整數。該第一種情形包括上述之16，64及256 QAM構象格式碼，以及任何大於256的QAM構象格式碼(即y值大於4)。第二種情形包括上述之32及128 QAM構象格式碼，以及任何大於128的QAM構象格式碼，(即z值為大於7的正奇整數)。在第一種情況中，將符號安置於一方格內，y值大於4，功能表現上不會造成任何誤差。然而，在第二種情況下，將符號安置於一交叉格中，z值大於7，則會造成些許誤差，因為重對映需要將重對映單元格之構象子集的位元對映角落單元複製(即 $2 \times 2 = 4$ 倍，對於-512(2^9)符號構象之一128(2^7)重

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (23)

對映符號子集之 12×12 格的4個角，或是 $4 \times 4 = 16$ 倍，對於 $-2048(2^{11})$ 符號構象之 $-512(2^9)$ 重對映符號子集之 24×24 格的4個角，藉由實例來說明)。

更普遍地，所收到符號中，不同之I分量值數目及不同之Q分量值數目，可分別做為I頻道RAM 400，Q頻道RAM 402及8-PSK解對映器邏輯裝置406的輸入，每一個的是一正整數 2^x ，其中 $x > y$ 且 $x > x/2$ 。

儘管於圖4中分別顯示了I頻道RAM 400，Q頻道RAM 402及重對映器RAM 404，仍應了解的是，實用上，任何兩者或所有這三個RAMs，都可以組合於單一實際的裝置中。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

原

四、中文發明摘要(發明之名稱: 迴旋解碼器之格子式解對映器)

格式解對映器，能夠解對映8-PSK及16，32，64，128及256 QAM格式碼，含有相關之I通道，Q頻道及重對映器RAMs，一8-PSK解對映器邏輯裝置及一MUX選擇。每一RAM包括一檢索表，可選擇性地為每一個QAM碼做規劃。該I頻道RAM及Q頻道RAM，每一個都具有768位元的容量，直接經由MUX之選擇，通往其相應的輸出，如同該格式解對映器輸出，是因應一QAM格式碼，它是選擇出來之一2的偶數乘冪(即16，64或256)。因應一QAM格式碼，它是選定之2的奇數乘冪(即32或128)，就將I頻道RAM及Q頻道RAM之相關輸出做為該重對映器RAM的輸入，其儲存容量為320位元，而其輸出經過MUX選擇而送出，做為格式解對映器的輸出。因應一選出之8-PSK格式碼，該8-PSK解對映器邏輯裝置之輸出經由MUX選擇而送出為格式解對映器的輸出。此組態在結

英文發明摘要(發明之名稱: "A TRELLIS DEMAPPER OF A CONVOLUTIONAL DECODER")

The trellis demapper, which is capable of demapping 8-PSK and 16, 32, 64, 128 and 256 QAM trellis codes, comprises respective I-channel, Q-channel and remapper RAMs, an 8-PSK demapper logic means and a MUX selects. Each of the RAMs includes a lookup table is selectively programmed for each of the QAM codes. The I-channel RAM and the Q-channel RAM, each of which has a storage capacity of 768 bits, directly forwards their respective outputs through the MUX selects as the trellis demapper output in response to a QAM trellis code which is an even power of 2 (i.e., 16, 64 or 256) being selected. In response to a QAM trellis code which is an odd power of 2 (i.e., 32 or 128) being selected, the respective outputs of the I-channel RAM and the Q-channel RAM are applied as inputs to the remapper RAM, which has a storage capacity of 320 bits, and the output of the remapper RAM is forwarded through the MUX selects as the trellis demapper output. In response to an 8-PSK trellis code being selected, the output of the 8-PSK demapper logic means is forwarded through the MUX selects as the trellis demapper output. This

四、中文發明摘要(發明之名稱:)

構上是有效的，相較於使用ROM存量16，32，64，128及256 QAM和8-PSK格式碼之一格式碼解對映器，需要最小的存量需求。

英文發明摘要(發明之名稱:)

configuration is structurally efficient and requires minimum storage requirements compared to a trellis code demapper employing ROM storage for the 16, 32, 64, 128 and 256 QAM and 8-PSK trellis codes.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

86年4月12日

六、補正專利範圍

1. 一種內含許多實際格式碼之迴旋解碼器，每個實際格式碼都是由一系列迴旋編碼之符號包所設限，其上應用了同相(I)及正交相位(Q)之數位輸入信號；其中該許多實際格式碼含有一特殊的碼，用於I, Q平面上每一構象組的符號，包括 -2 的偶數次方個符號，配置於一方格位元對符號對映，具有最大之方格符號構象，含 2^{2y} 個符號，其中 y 是一至少為2的第一正整數；且其中該迴旋解碼器含有一格式解對映器，用於解對映每個實際格式碼；其中該改良為：

(1) 該方格之每一構象組的位元對符號對映，就是該方格之奇數列之相間單元，定義一第一子集之符號，其餘單元則定義一第二符號子集，該方格之偶數列之相間單元定義一第三符號子集，其餘單元則定義一第四符號子集，以及

(2) 該格式解對映器含有：

— I頻道隨機存取記憶體(RAM)，具有一有效深度 $2^{(x+2)}$ 之儲存位置，其中 x 是一第二正整數，其值大於該第一正整數，每一儲存位置具有一有效寬度，至少足以儲存一I定義之 y 位元檢索表；

— Q頻道RAM，具有一有效深度 $2^{(x+2)}$ 儲存位置，每一儲存位置具有一有效寬度，至少足以儲存一Q定義之 y 位元檢索表；

第一裝置，用以供給一第一 x 位元輸入至該I頻道RAM，以定義該同相(I)數位輸入信號之值，也用來

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

煩請委員明示
修正本有無變更實質內容是否准予修正。
86. 4. 12
年 月 日所提之

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

供給一第二x位元輸入至該Q頻道RAM，以定義該正交(Q)數位輸入信號之值；

第二裝置，用來供給一2位元輸入，至該I頻道RAM及Q頻道RAM，以根據所供給之2位元輸入之二進位值來定義自該四個子集中選出的一個；

第三裝置，根據自該符號構象組所選出的一項，預載該I頻道RAM的檢索表，使這些位元對映自該構象組選出的一個中，四個子集選出一個符號的I分量，其值最接近由同相(I)數位輸入信號至該I頻道RAM所定義的值，做為該I頻道RAM的輸出；以及

第四裝置，根據自該符號構象組所選出的一項，預載該Q頻道RAM的檢索表，使這些位元對映自該構象組選出的一個中，四個子集選出一個符號的Q分量，其值最接近由正交(Q)數位輸入信號至該Q頻道RAM所定義的值，做為該Q頻道RAM的輸出。

2. 根據申請專利範圍第1項之迴旋解碼器，其中：

每一構象組之方格之位元對符號對映，使得該第三裝置利用二進位格雷編碼之位元對位元對映該I頻道RAM之預載的檢索表，以及該第四裝置利用格雷編碼之二進位位元對位元對映該Q頻道RAM之預載的檢索表。

3. 根據申請專利範圍第2項之迴旋解碼器，其中：

該符號構象組在I，Q平面中，包括一不同之2的偶數次方個符號配置於一方格中，包含一16符號QAM構象，一64符號QAM構象及一256符號QAM構象；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

六、申請專利範圍

y 值為 3；以及

x 值為 6。

4. 根據申請專利範圍第 1 項之迴旋解碼器，其中：

該許多實際格式碼也包含一特殊碼，用於 I，Q 平面上每一構象組的符號，包括 2^z 的奇數次方個符號配置於一交叉格位元對符號對映，具有該交叉格符號構象中最大的，包括 2^z 個符號，其中 z 是一第三正整數，其值至少為 5，使該第二正整數之值 x 大於 $z/2$ ，而且每一構象組之交叉格的位元對符號對映，使該交叉格之奇數列的相間單元定義一第一符號子集，該交叉格之奇數列的其餘單元定義一第二符號子集，該交叉格之偶數列之相間單元定義一第三符號子集，該交叉格之偶數列之其餘單元定義一第四符號子集；且其中

該 I 頻道 RAM 之檢索表，在由該第三裝置根據自該構象組中選出的一個來預載時，成為 2^z 的奇數次方個符號 (1) 提供相同的位元對符號對映，用於該 4 個子集中每一個的 I 分量，及 (2) 這項位元對符號對映包含一既定量之一方格的行數，其中該定量之行數，是自 2^z 之奇數次方個符號之構象組中選出一個，其方格之四個子集中單一子集的最大行數；

該 Q 頻道 RAM 之檢索表，在由該第四裝置根據自該構象組中選出的一個來預載時，成為 2^z 的奇數次方個符號 (1) 提供相同的位元對符號對映，用於該 4 個子集中每一個的 Q 分量，及 (2) 這項位元對符號對映包含一既定量之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一方格的列數，其中該定量之列數，是自2之奇數次方個符號之構象組中選出一個，其方格之四個子集中單一子集的最大列數；以及

該格式解對映器又包含(1)一重對映器RAM因應該2位元輸入，該I頻道RAM之輸出與該Q頻道RAM之輸出做為有關之輸入，藉由該I頻道RAM輸出之I分量及該Q頻道RAM輸出之Q分量所定義之符號，其方格之位元對符號對映，重對映至一方格位元對符號對映於該重對映器的輸出，此重對映器輸出方格包括那些已知之符號單元，構成該4個子集之任何一個，以及至少一個額外之符號單元，位於該重對映器輸出方格中至少一角，這些位元對映該一額外之符號單元，而為對映一已知符號單元之位元的一項複製，位於與該方格之一角之相鄰位置；以及(2)因應該構象組之中選出的一個而選擇裝置(a)，而為一2的奇數次方個符號，用來將該重對映器RAM之輸出送至該格式解對映器，以及(b)因應該構象組中選出之一個，而為一2的偶數次方個符號，直接用來將該I頻道RAM與Q頻道RAM之有關輸出，做為該格式解對映器的輸出。

5. 根據申請專利範圍第4項之迴旋解碼器，其中：

該許多符號構象組包括一2的5次方個符號的特定構象組；

來自該I頻道RAM之輸出含有2個位元，受限為僅能表示4個可能之二進位值中的3個，其中這3個二進位值定

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

六、申請專利範圍

義了一 3×3 方格的3行；

來自該Q頻道RAM之輸出含有2個位元，受限為僅能表示4個可能之二進位值中的3個，其中這3個二進位值定義了該 3×3 方格的3列；

藉此導出一非對稱之8符號子集，位於一 3×3 方格內，具有一不同之位元對符號對映，用於該重對映器輸出之4個子集的每一個，其中該複製位元對映單一額外的符號單元，用於該4子集中分開的每一個，且此單一額外之符號單元位於個別 3×3 方格之4角中不同的一個，分別相關於該4子集分開的每一個。

6. 根據申請專利範圍第4項之迴旋解碼器，其中：

該許多符號構象組包括一已知大於2的5次方個符號的特定構象組，藉此將一已知大於2的5次方個符號之特定構象組中，四個子集之每一子集的符號配置於一交叉格中；

來自該I頻道RAM之輸出含有一組至少3個位元，其中由該組位元所表示之二進位值的數目受限為表示每一子集之交叉格中的行數 k ，其中 k 是一第四正整數；

來自該Q頻道RAM之輸出含有一組至少3個位元，其中由該組位元所表示之二進位值的數目受限為表示每一子集之交叉格中的列數 k ；

藉此引得一對稱之交叉格符號子集，位於一 $k \times k$ 方格內，具有同樣之位元對符號對映，用於該重對映器輸出處之4個子集中的每一個，其中這些複數位元對映至少

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

一個額外的符號單元，位於 $k \times k$ 方格之4個角的每一個，用於每個子集。

7. 根據申請專利範圍第4項之迴旋解碼器，其中：

該位元對符號對映出現於該I頻道RAM，該Q頻道RAM的每一項輸出，且該重對映器RAM含有二進位格雷編碼之位元。

8. 根據申請專利範圍第7項之迴旋解碼器，其中：

該符號構象組於I，Q平面中，包括一不同之2之偶數次方個符號，配置於一方格中，包含一16符號QAM構象，一64符號QAM構象及一256符號QAM構象；

該符號構象組於I，Q平面中，包括一不同之2之奇數次方個符號，配置於一交叉格中，含有一32符號QAM構象，一128符號QAM構象；

y之值為3；

z之值為7；以及

x之值為6。

9. 根據申請專利範圍第4項之迴旋解碼器，其中：

該許多實際之格式碼也包含一特別碼，用於I，Q平面上8個符號之一8-PSK構象組，其中該8個符號徑向地對稱分佈於該I，Q平面的原點周圍，每一符號實際上偏離I，Q平面之一軸 22.5° 角，且該8-PSK構象組的8個符號有一3位元之位元對符號對映，使該8-PSK構象組被分成2個符號的4個子集，每一個都是根據該3位元之2個最低位元所表示的二進位值，且每一子集之2個符號根據由該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

3位元之1最高位元所表示之二進位值而互相區別：

該格式解對映器又含有一8-PSK解對映器邏輯裝置，因應(1)該第一x位元輸入做為其第一輸入，以定義該同相(I)數位輸入信號的值，(2)該第二x位元輸入做為其第二輸入，以定義該正交(Q)數位輸入信號的值，以及(3)該2位元輸入做為其第三輸入，以根據由該2位元輸入所表示之二進位值，來選擇該8-PSK構象組之4子集中的一個，並因應該第一，第二及第三輸入，該8-PSK解對映器邏輯裝置自其中引出一1位元輸出，表示該位元對符號對映之3位元之1最高位元的二進位值，表示該8-PSK構象之4子集中，選出之一個子集之2個符號的一個，以(I+Q)距離最接近在該I，Q平面上一符號的位置，是由同相(I)數位輸入信號之有關值所限定，做為其第一輸入，且正交(Q)數位輸入信號做為其第二輸入；以及

該選擇裝置也因應該8-PSK構象組之選擇，從8-PSK解對映器邏輯裝置傳送1位元輸出，做為該格式解對映器的輸出。

10. 根據申請專利範圍第9項之迴旋解碼器，其中：

8-PSK構象組之8個符號的位元對符號對映，使在I，Q平面之第一象限的一個符號，相關於I軸之實際取向為 22.5° ，與二進位值000相對映，在I，Q平面之第一象限的一個符號，相關於Q軸之實際取向為 22.5° ，與二進位值001相對映，在I，Q平面之第二象限的一個符號，相關於I軸之實際取向為 22.5° ，與二進位值010相對映，在

年 月 日
86. 6. 2 去補申請專利範圍

煩請參閱本局86. 6. 21日所提之修正本有無變更之處及是否准予修正。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

I, Q平面之第二象限的一個符號, 相關於Q軸之實際取向為 22.5° , 與二進位值011相對映, 在I, Q平面之第三象限的一個符號, 相關於I軸之實際取向為 22.5° , 與二進位值100相對映, 在I, Q平面之第三象限的一個符號, 相關於Q軸之實際取向為 22.5° , 與二進位值101相對映, 在I, Q平面之第四象限的一個符號, 相關於I軸之實際取向為 22.5° 與二進位值110相對映, 以及在I, Q平面之第四象限的一個符號, 相關於Q軸之實際取向為 22.5° , 與二進位值111相對映; 以及

該8-PSK解對映器邏輯裝置包括產生一二進位值1之裝置, 用於自其產生之1位元輸出, 僅若該同相(I)數位輸入信號之數值之積乘以 I_1 之數值, 小於該正交(Q)數位輸入信號之數值之積乘以 Q_2 之數值, 其中 I_1 之數值對子集00而言為9, 對子集01而言為4, 對子集10而言為-9, 對子集11而言為-4, 且 Q_2 之數值對子集00而言為-4, 對子集01而言為-9, 對子集10而言為-4, 對子集11而言為-9。

11. 根據申請專利範圍第10項之迴旋解碼器, 其中:

該迴旋解碼器為一多頻道接收機的一項零件。

12. 根據申請專利範圍第11項之迴旋解碼器, 其中:

該多頻道接收機為一數位電視接收機, 用來接收發射至其上之正向誤差修正之壓縮數位式電視資料。

13. 一種內含許多實際格式碼之迴旋解碼器, 每個實際格式碼都是由一系列迴旋編碼之符號包所設限, 其上應用了

六、申請專利範圍

同相(I)及正交相位(Q)之數位輸入信號；其中該許多實際格式碼含有一特殊的碼，用於I，Q平面上每一構象組的符號，包括 -2 的奇數次方個符號，配置於一交叉格位元對符號對映，且有最大之交叉格符號構象，內含 2^z 個符號，其中 z 是一至少為5的第一正整數；且其中該迴旋解碼器含有一格式解對映器，用於解對映每個實際格式碼；其中該改良為：

(1)該交叉格之每一構象組的位元對符號對映，就是該交叉格之奇數列之相間單元，定義一第一子集之符號，其餘單元則定義一第二符號子集，該交叉格之偶數列之相間單元定義一第三符號子集，其餘單元則定義一第四符號子集，以及

(2)該格式解對映器含有：

—I頻道隨機存取記憶體(RAM)，具有一有效深度 $2^{(x+2)}$ 之儲存位置，其中 x 是一第二正整數，其值大於該第一正整數的一半，每一儲存位置具有一有效寬度，至少足以儲存一I定義之 b 位元檢索表，其中 $b=z/2+1/2$ ；

—Q頻道RAM，具有一有效深度 $2^{(x+2)}$ 儲存位置，每一儲存位置具有一有效寬度，至少足以儲存一Q定義之 b 位元檢索表；

第一裝置，用以供給一第一 x 位元輸入至該I頻道RAM，以定義該同相(I)數位輸入信號之值，也用來供給一第二 x 位元輸入至該Q頻道RAM，以定義該正交(Q)數位輸入信號之值；

六、申請專利範圍

第二裝置，用來供給 -2 位元輸入，至該I頻道RAM及Q頻道RAM，以根據所供給之 2 位元輸入之二進位值來定義自該四個子集中選出的一個；

第三裝置，根據自 -2 之奇數次方個符號之符號構象組所選出的一項，預載該I頻道RAM的檢索表，使這些位元對映自該構象組選出的一個中，四個子集選出一個之符號的I分量，其值最接近由同相(I)數位輸入信號至該I頻道RAM所定義的值，做為該I頻道RAM的輸出，以(1)提供相同之位元對符號對映，用於該4子集之每一個的I分量，及(2)這項位元對符號對映包含一已知數量的方格行數，其中該已知行數為最大行數，在 -2 之奇數次方個符號之構象組中選出之一個之交叉格之四子集的一個；

第四裝置，根據自 -2 之奇數次方個符號之符號構象組所選出的一項，預載該Q頻道RAM的檢索表，使這些位元對映自該構象組選出的一個中，四個子集選出一個之符號的Q分量，其值最接近由正交(Q)數位輸入信號至該Q頻道RAM所定義的值，做為該Q頻道RAM的輸出，以(1)提供相同之位元對符號對映，用於該4子集之每一個的Q分量，及(2)這項位元對符號對映包含一已知數量的方格列數，其中該已知列數為最大列數，在 -2 之奇數次方個符號之構象組中選出之一個之交叉格之四子集的一個；以及

一重對映器RAM，因應該 2 位元輸入，該I頻道RAM之輸出及該Q頻道RAM之輸出做為其有關之輸入，用來

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

重對映該方格之符號的位元對符號對映，由出現在I頻道RAM之輸出之I分量與Q頻道RAM之輸出的Q分量所定義，成爲一方格位元對符號對映於該重對映器的輸出，此重對映器輸出方格包括那些已定之符號單元，構成該4子集的任何一個，及至少一個額外的符號單元，位於該重對映器輸出方格中至少一個角，這些位元對映該一額外符號單元，而爲對映一已知符號單元之位元的複數，與該方格之一角相鄰配置。

14. 根據申請專利範圍第13項之迴旋解碼器，其中：

該眾多符號構象組包括2之5次方個符號的特定構象組；

。來自該I頻道RAM之輸出含有2個位元，受限爲僅能表示4個可能之二進位值中的3個，其中這3個二進位值定義了一 3×3 方格的3行；

來自該Q頻道RAM之輸出含有2個位元，受限爲僅能表示4個可能之二進位值中的3個，其中這3個二進位值定義了該 3×3 方格的3列；

藉此導出一非對稱之8符號子集，位於一 3×3 方格內，具有一不同之位元對符號對映，用於該重對映器輸出之4個子集的每一個，其中該複製位元對映單一額外的符號單元，用於該4子集中分開的每一個，且此單一額外之符號單元位於個別 3×3 方格之4角中不同的一個，分別相關於該4子集中分開的每一個。

15. 根據申請專利範圍第13項之迴旋解碼器，其中：

六、申請專利範圍

該許多符號構象組包括一已知大於2的5次方個符號的特定構象組，藉此將一已知大於2的5次方個符號之特定構象組中，四個子集之每一子集的符號配置於一交叉格中：

來自該I頻道RAM之輸出含有一組至少3個位元，其中由該組位元所表示之二進位值的數目受限為表示每一子集之交叉格中的行數 k ，其中 k 是一第四正整數；

來自該Q頻道RAM之輸出含有一組至少3個位元，其中由該組位元所表示之二進位值的數目受限為表示每一子集之交叉格中的列數 k ；

藉此引得一對稱之交叉格符號子集，位於一 $k \times k$ 方格內，具有同樣之位元對符號對映，用於該重對映器輸出處之4個子集中的每一個，其中這些複製位元對映至少一個額外的符號單元，位於 $k \times k$ 方格之4個角的每一個，用於每個子集。

16. 根據申請專利範圍第13項之迴旋解碼器，其中：

該位元對符號對映出現於該I頻道RAM，該Q頻道RAM的每一項輸出，且該重對映器RAM含有二進位格雷編碼之位元。

17. 根據申請專利範圍第16項之迴旋解碼器，其中：

該符號構象組於I，Q平面內，包括一不同之2之奇數次方個符號，配置於一交叉格中，含有一32符號QAM構象及一128符號QAM構象；

z 之值為7；以及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

x之值為6。

18. 根據申請專利範圍第17之迴旋解碼器，其中：

該許多實際之格式碼也包含一特別碼，用於I，Q平面上8個符號之一8-PSK構象組，其中該8個符號徑向地對稱分佈於該I，Q平面的原點周圍，每一符號實際上偏離I，Q平面之一軸 22.5° 角，且該8-PSK構象組的8個符號有一3位元之位元對符號對映，使該8-PSK構象組被分成2個符號的4個子集，每一個都是根據該3位元之2個最低位元所表示的二進位值，且每一子集之2個符號根據由該3位元之1最高位元所表示之二進位值而互相區別；

該格式解對映器又含有一8-PSK解對映器邏輯裝置，因應(1)該第一x位元輸入做為其第一輸入，以定義該同相(I)數位輸入信號的值，(2)該第二x位元輸入做為其第二輸入，以定義該正交(Q)數位輸入信號的值，以及(3)該2位元輸入做為其第三輸入，以根據由該2位元輸入所表示之二進位值，來選擇該8-PSK構象組之4子集中的一個，並因應該第一，第二及第三輸入，該8-PSK解對映器邏輯裝置自其中引出一1位元輸出，表示該位元對符號對映之3位元1最高位元的二進位值，表示該8-PSK構象之4子集中，選出之一個子集之2個符號的一個，以(I+Q)距離最接近在該I，Q平面上符號的位置，是由同相(I)數位輸入信號之有關值所限定，做為其第一輸入，且正交(Q)數位輸入信號做為其第二輸入；以及

選擇裝置(a)因應該等構象組之選出的一個，為-2之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

奇數次方個符號，以傳送該重對映器RAM之輸出，做為該格式解對映器的輸出，及(b)因應該8-PSK構象組之一項選擇，傳送來自該8-PSK解對映器邏輯裝置之1位元輸出，做為該格式解對映器的輸出。

19. 根據申請專利範圍第18項之迴旋解碼器，其中：

8-PSK構象組之8個符號的位元對符號對映，使在I, Q平面之第一象限的一個符號，相關於I軸之實際取向為 22.5° ，與二進位值000相對映，在I, Q平面之第一象限的一個符號，相關於Q軸之實際取向為 22.5° ，與二進位值001相對映，在I, Q平面之第二象限的一個符號，相關於I軸之實際取向為 22.5° ，與二進位值010相對映，在I, Q平面之第二象限的一個符號，相關於Q軸之實際取向為 22.5° ，與二進位值011相對映，在I, Q平面之第三象限的一個符號，相關於I軸之實際取向為 22.5° ，與二進位值100相對映，在I, Q平面之第三象限的一個符號，相關於Q軸之實際取向為 22.5° ，與二進位值101相對映，在I, Q平面之第四象限的一個符號，相關於I軸之實際取向為 22.5° ，與二進位值110相對映，以及在I, Q平面之第四象限的一個符號，相關於Q軸之實際取向為 22.5° ，與二進位值111相對映；以及

該8-PSK解對映器邏輯裝置包括產生一二進位值1之裝置，用於自其產生之1位元輸出，僅若該同相(I)數位輸入信號之數值之積乘以 I_1 之數值，小於該正交(Q)數位輸入信號之數值之積乘以 Q_2 之數值，其中 I_1 之數值對子

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

集00而言為9，對子集01而言為4，對子集10而言為-9，對子集11而言為-4，且 Q_2 之數值對子集00而言為-4，對子集01而言為-9，對子集10而言為-4，對子集11而言為-9。

20. 一種實際格式碼之迴旋解碼器，實際格式碼是由一系列迴旋編碼之符號包所設限，其上應用了同相(I)及正交相位(Q)之數位輸入信號；其中該實際格式碼含有8個符號之8-PSK構象組於I, Q平面上，徑向而對稱地分佈於該I, Q平面的原點周圍，該8個符號均與該I, Q平面之一軸偏移 22.5° 角，且8-PSK構象組之8個符號有一3位元之位元對符號對映，使該8-PSK構象組根據由該3位元之2個最低位元所表示之二進位值，被分成4個子集，每一子集有2個符號，且每一子集中的2個符號是根據由該3位元之1最高位元所表示之二進位值而彼此區別；且其中該迴旋解碼器包括一格式解對映器，以解對映實際之格式碼；其中該格式解對映器之改良包括：

一8-PSK解對映器邏輯裝置，因應(1)一第一x位元輸入為其上之一第一輸入，其中x是一正整數，其值大於8，以定義該同相(I)數位輸入信號之值，(2)一第二x位元輸入，做為其第二輸入，以定義該正交(Q)數位輸入信號之值；及(3)一2位元輸入，做為其第三輸入，以根據由供應之2位元輸入所表示之二進位值，從該8-PSK構象組之4子集中選出一個，並因應該第一，第二及第三輸入，該8-PSK解對映器邏輯裝置自其中產生一1位元輸出，表示

六、申請專利範圍

該位元對符號對映之3位元之1最高位元的二進位值，它代表該8-PSK構象之4子集中，選出之一子集的2個符號中之一，在(I+Q)距離上最接近I，Q平面上一符號之位置，是由供做一第一輸入之同相(I)數位輸入信號的相關值，及供做一第二輸入之正交(Q)數位輸入信號的相關值所定義的。

21. 根據申請專利範圍第20項之迴旋解碼器，其中：

8-PSK構象組之8個符號的位元對符號對映，使在I，Q平面之第一象限的一個符號，相關於I軸之實際取向為 22.5° ，與二進位值000相對映，在I，Q平面之第一象限的一個符號，相關於Q軸之實際取向為 22.5° ，與二進位值001相對映，在I，Q平面之第二象限的一個符號，相關於I軸之實際取向為 22.5° ，與二進位值010相對映，在I，Q平面之第二象限的一個符號，相關於Q軸之實際取向為 22.5° ，與二進位值011相對映，在I，Q平面之第三象限的一個符號，相關於I軸之實際取向為 22.5° ，與二進位值100相對映，在I，Q平面之第三象限的一個符號，相關於Q軸之實際取向為 22.5° ，與二進位值101相對映，在I，Q平面之第四象限的一個符號，相關於I軸之實際取向為 22.5° ，與二進位值110相對映，以及在I，Q平面之第四象限的一個符號，相關於Q軸之實際取向為 22.5° ，與二進位值111相對映；以及

該8-PSK解對映器邏輯裝置包括產生一二進位值1之裝置，用於自其產生之1位元輸出，僅若該同相(I)數位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

輸入信號之數值之積乘以 I_1 之數值，小於該正交(Q)數位
輸入信號之數值之積乘以 Q_2 之數值，其中 I_1 之數值對子
集00而言為9，對子集01而言為4，對子集10而言為-9，
對子集11而言為-4，且 Q_2 之數值對子集00而言為-4，對
子集01而言為-9，對子集10而言為-4，對子集11而言為-
9。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

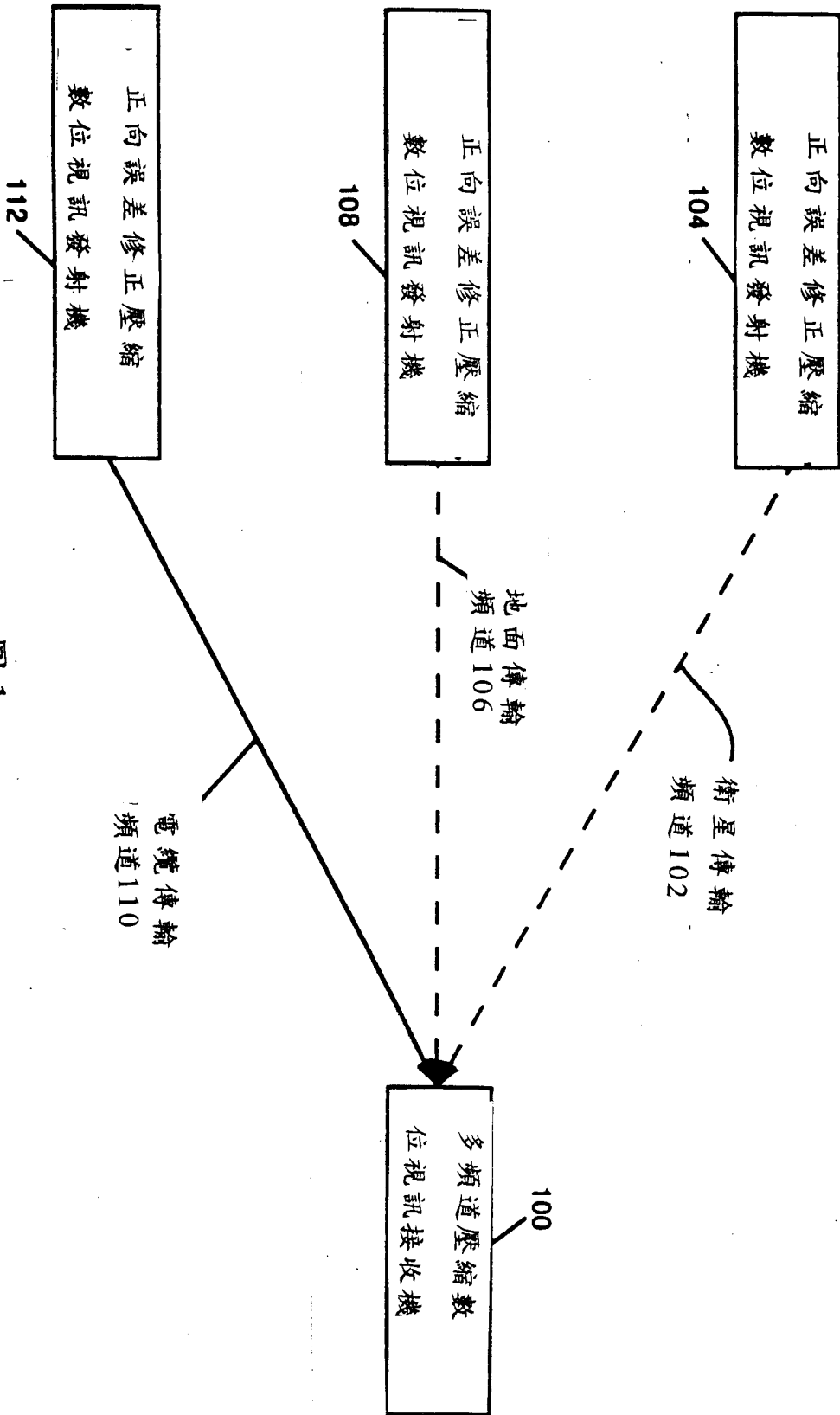


圖 1

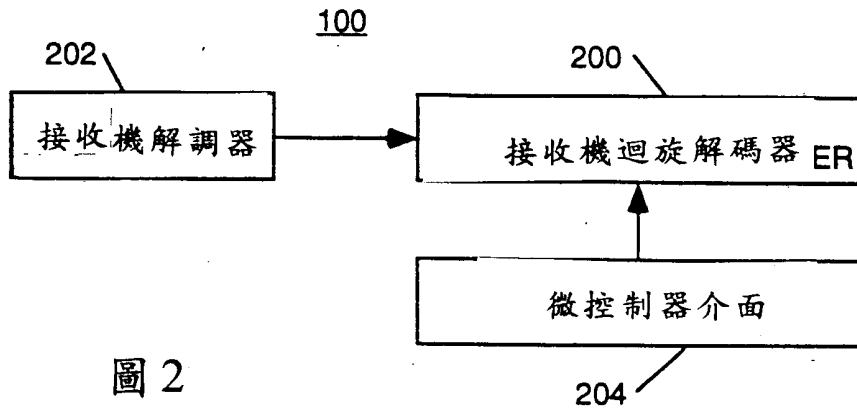


圖 2

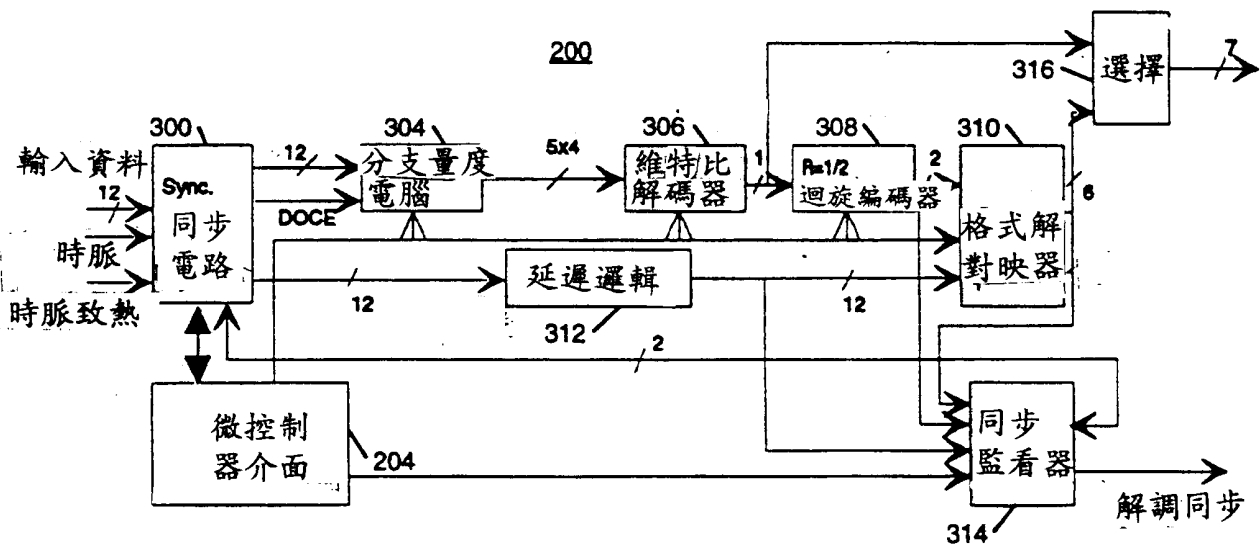


圖 3

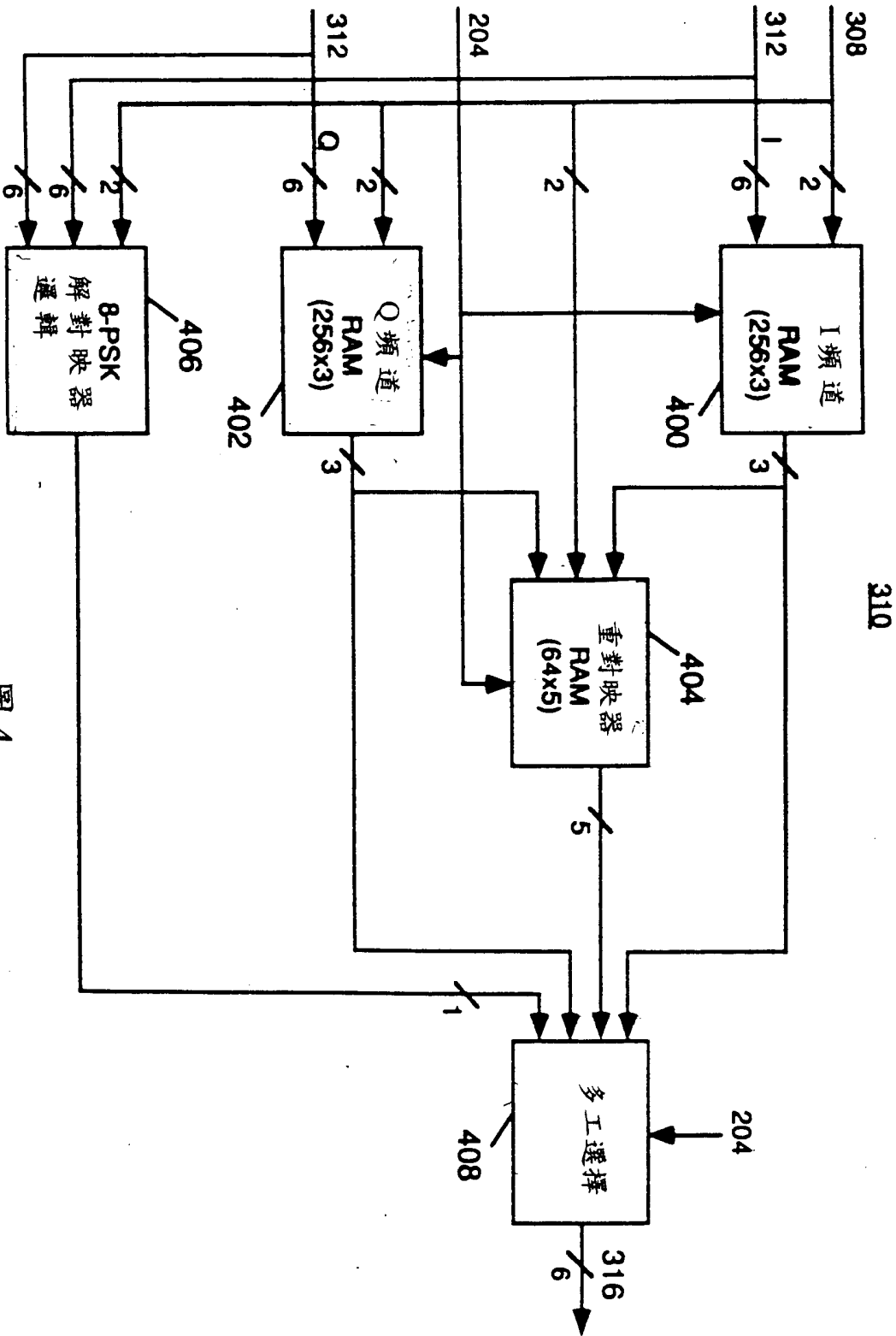


圖 4

310

318314

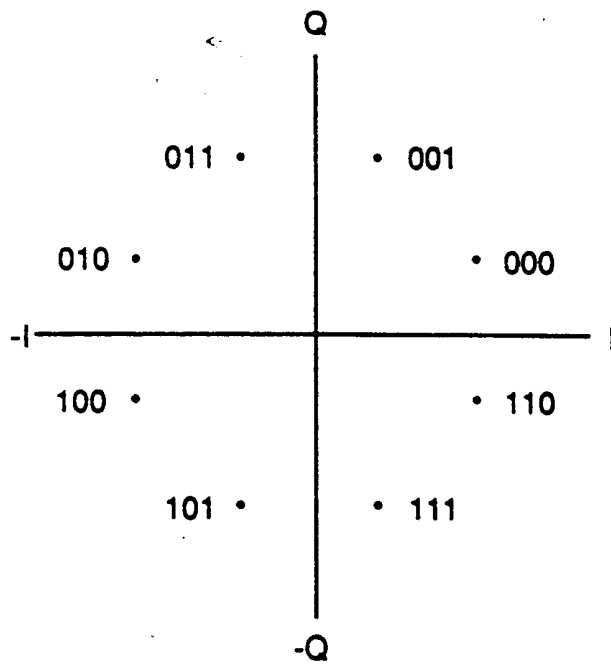


圖 5