

發明專利說明書**公告本**

69790

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97109891

※申請日期：97年03月20日

※IPC分類：H01L 29/292 (2006.01)
H01L 21/8247 (2006.01)**一、發明名稱：**

(中) 半導體裝置和其製造方法

(英) Semiconductor device and manufacturing method thereof

二、申請人：(共 1 人)

1. 姓 名：(中) 半導體能源研究所股份有限公司

(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

代表人：(中) 1. 山崎舜平

(英) 1. YAMAZAKI, SHUNPEI

地 址：(中) 日本國神奈川県厚木市長谷三九八番地

(英) 398, Hase, Atsugi-shi, Kanagawa-ken 243-0036, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 2 人)

1. 姓 名：(中) 野田耕生

(英) NODA, KOSEI

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 佐藤奈奈繪

(英) SATO, NANAE

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2007/03/23 ; 2007-077930 ☒ 有主張優先權

五、中文發明摘要

發明名稱：半導體裝置和其製造方法

改善非依電性記憶體電晶體的電荷保持特徵。作用成為隧道絕緣膜之第一絕緣膜，電荷貯存層，及第二絕緣膜係插入於半導體基板與導電膜之間。電荷貯存層係由兩層之氮化矽膜所形成，下方層之氮化矽膜係使用 NH_3 來做為氮氣源氣體而由 CVD 法所形成且含有比上方層更多的 N-H 鍵，上方層之第二氮化矽膜係使用 N_2 來做為氮氣源氣體而由 CVD 法所形成且含有比下方層更多的 Si-H 鍵。

六、英文發明摘要

發明名稱：

Semiconductor device and manufacturing method thereof

A charge retention characteristic of a nonvolatile memory transistor is improved. A first insulating film that functions as a tunnel insulating film, a charge storage layer, and a second insulating film are sandwiched between a semiconductor substrate and a conductive film. The charge storage layer is formed of two silicon nitride films. A silicon nitride film which is a lower layer is formed using NH_3 as a nitrogen source gas by a CVD method and contains a larger number of N-H bonds than the upper layer. A second silicon nitride film which is an upper layer is formed using N_2 as a nitrogen source gas by a CVD method and contains a larger number of Si-H bonds than the lower layer.

七、指定代表圖：

(一)、本案指定代表圖為：第 (1) 圖

(二)、本代表圖之元件代表符號簡單說明：

10：半導體區
11：第一絕緣膜
12：第一氮化矽膜
13：第二氮化矽膜
14：第二絕緣膜
15：導電膜
16：通道形成區
17，18：高濃度雜質區
21：半導體基板
22：阱

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

九、發明說明

【發明所屬之技術領域】

本發明有關一種半導體裝置，具有能寫入，讀取，及拭除之非依電性半導體記憶體元件。

注意的是，在此說明書中的“半導體裝置”表示可使用半導體特徵而作用的一般裝置，且電光裝置，半導體電路，及電子裝置均可視為半導體裝置。

【先前技術】

非依電性半導體記憶體元件係一種即使當關閉電源供應器時，亦能電性地重寫入及儲存資料的半導體元件。做為非依電性半導體記憶體元件，可依照電荷貯存裝置而將具有結構類似於金氧半場效電晶體（MOSFET）之結構的非依電性記憶體電晶體分類成為兩個主要的群組：一群組係浮動閘極（FG）型，其中電荷貯存單元係由通道形成區與閘極電極之間的導電層所形成；另一群組係金屬-氧化物-氮化物-氧化物-矽（MONOS）型及金屬-氮化物-氧化物-矽（MNOS）型，各使用電荷捕捉層以做為電荷貯存裝置。

在許多MONOS記憶體電晶體及MNOS記憶體電晶體中，係使用含有許多電荷陷阱的氮化矽膜來做為電荷貯存裝置。爲了要改善MONOS記憶體電晶體及MNOS記憶體電晶體的電荷保持特徵，已研究氮化矽膜。

例如，在參考文獻1至4中，描述由設置具有兩層結構

的氮化矽膜，而該兩層結構包含不同的組成物或組成比例以改善記憶體電晶體的保持特徵；在參考文獻5中，描述由設置具有三層結構的氮化矽膜，而該三層結構包含不同的組成比例以改善保持特徵。

在參考文獻1（日本審查之專利申請案公告第H2-59632號）中，形成含有Si-H鍵之氮化矽膜以做為下方層，以及形成幾乎不含有Si-H鍵之氮化矽膜以做為上方層。具有此一兩層結構的氮化矽膜係由CVD法所形成，其中使用 SiH_4 及 NH_3 來做為源材料，而以當形成氮化矽膜以做為下方層時之形成溫度設定於 700°C 至 900°C 以及當形成氮化矽膜以做為上方層時之形成溫度設定於 900°C 或更高為條件。

在參考文獻2（日本審查之專利申請案公告第S59-24547號）中，形成含有大量Si的氮化矽膜以做為下方層，以及形成含有大量N的氮化矽膜以做為上方層。為要形成具有此一兩層結構的氮化矽膜，係使用其中使用 SiH_4 及 NH_3 來做為源材料的CVD法，且當形成下方層時之 NH_3/SiH_4 的流動比係設定於50至150，以及當形成上方層時之 NH_3/SiH_4 的流動比係設定於超過300。

在參考文獻3（日本公告之專利申請案公告第S63-205965號）中，由CVD法來形成具有相當高之導電率的氮化矽膜以做為下方層，以及形成具有相當低之導電率的氮化矽膜以做為上方層。做為形成具有此一兩層結構之氮化矽膜的條件，係敘述以下：加熱溫度在 700°C 至 800°C

，使用 SiH_2Cl_2 及 NH_3 來做為源材料，當形成下方層之 $\text{NH}_3/\text{SiH}_2\text{Cl}_2$ 的流動比設定於 0.1 至 150，以及當形成上方層時之 $\text{NH}_3/\text{SiH}_2\text{Cl}_2$ 的流動比設定於 10 至 1000。

在參考文獻 4（日本公告之專利申請案公告第 2002-203917 號）中，由 CVD 法來形成具有兩層結構的氮化矽膜，其中上方層之電荷陷阱密度係設定比下方層之電荷陷阱密度更高。為形成具有此一兩層結構的氮化矽膜，係敘述以下：使用 SiH_4 ， SiH_2Cl_2 ，或其類似物來做為當形成上方層時所使用之矽源氣體，其中氯之組成比係比當形成下方層時所使用之矽源氣體的氯之組成比更低。在參考文獻 4 之中，由改變矽源氣體的氯之組成比，形成含有 Si-Cl 鍵比 Si-H 鍵更多的氮化矽膜以做為下方層，以及形成含有大量 Si-H 鍵之氮化矽膜以做為上方層。

在參考文獻 5（日本公告之專利申請案公告第 H3-9571 號）中，敘述具有三層結構之氮化矽膜，其中第二層之氮化矽膜的電荷陷阱位準密度係比其他層更高，且該第二層之氮化矽膜的矽之濃度增加。為形成具有此一三層結構的氮化矽膜， SiH_2Cl_2 的流率係在當形成第二層時增加。

【發明內容】

本發明之目的在於改善非依電性半導體記憶體元件的電荷保持特徵。

本發明之一觀點係具有非依電性半導體記憶體元件之

半導體裝置。該非依電性半導體記憶體元件係由半導體所形成，且包含半導體區及導電膜，半導體區包括源極區，汲極區，及通道形成區，而導電膜係與通道形成區重疊。為形成電荷陷阱，與通道形成區重疊之至少第一絕緣膜，形成於第一絕緣膜之上的第一氮化矽膜，及形成於第一氮化矽膜之上的第二氮化矽膜係插入於半導體區與導電膜之間。進一步地，非依電性半導體記憶體元件可包含第二絕緣膜，該第二絕緣膜係形成在插入於半導體區與導電膜之間的第二氮化矽膜之上。

本發明係由集中注意於氮化矽中之H的鍵結狀態而作成。本發明之一觀點在於藉由使第一氮化矽膜的N-H鍵濃度比第二氮化矽膜的N-H鍵濃度更高，而改善非依電性半導體記憶體元件的保持特徵。

在本發明中，較佳的是，該第二氮化矽膜係含有比該第一氮化矽膜更多的Si-H鍵及／或Si-X鍵（X係鹵素元素）之膜。

較佳的是，第二氮化矽膜之Si-H鍵濃度對N-H鍵濃度的比例（ $(\text{Si-H}) / (\text{N-H})$ ）比第一氮化矽膜的比例（ $(\text{Si-H}) / (\text{N-H})$ ）更大。選擇性地，較佳的是，第二氮化矽膜之Si-X鍵濃度（X係鹵素元素）對N-H鍵濃度的比例（ $(\text{Si-X}) / (\text{N-H})$ ）比第一氮化矽膜的比例（ $(\text{Si-X}) / (\text{N-H})$ ）更大。較佳的是，第二氮化矽膜之Si-H鍵濃度與Si-X鍵濃度（X係鹵素元素）之和對N-H鍵濃度的比例（ $(\text{Si-H} + \text{Si-X}) / (\text{N-H})$ ）比第一氮化矽膜的比例（ $(\text{Si-H} + \text{Si-X}) / (\text{N-H})$ ）更大。

$\text{Si-H} + \text{Si-X} / (\text{N-H})$ 更大。

較佳的是，第二氮化矽膜係在化學計量上比第一氮化矽膜更接近於 Si_3N_4 之膜。

在本發明中，第一氮化矽膜及第二氮化矽膜係由化學氣相沈積（CVD）法所形成。做為此 CVD 法，可使用低壓 CVD 法，電漿 CVD 法，熱 CVD 法，觸媒化學氣相沈積（Cat-CVD）法，或其類似法。

為形成具有不同的 N-H 鍵濃度之第一氮化矽膜及第二氮化矽膜，係使用含有 N-H 鍵之氫氮氣於用作第一氮化矽膜之源材料的氮氣源氣體；同時，針對第二氮化矽膜的氮氣源氣體，係使用並不實質地含有 N-H 鍵之氣體，亦即，在組成中並不實質地含有氫的氣體。

較佳的是，使用氨（ NH_3 ）於第一氮化矽膜的氮氣源氣體；亦可使用聯氨（ $\text{NH}_2\text{H}_2\text{N}$ ）來取代氨（ NH_3 ）。較佳的是，使用氮（ N_2 ）氣於第二氮化矽膜的氮氣源氣體。

針對使用於第一氮化矽膜及第二氮化矽膜之形成的矽源氣體，可使用含有氫或鹵素於組成物中的氣體。做為該矽源氣體，存在有 SiH_4 ， Si_2H_6 ， SiCl_4 ， SiHCl_3 ， SiH_2Cl_2 ， SiH_3Cl ， SiF_4 ，及其類似物。該第一氮化矽膜及第二氮化矽膜可使用同一矽源氣體或不同的矽源氣體而形成。

在本發明之非依電性半導體記憶體元件中，做為資料的寫入方法及拭除方法，可使用利用福勒-諾德漢（Fowler-Nordheim（F-N）穿隧電流之方法，利用直接穿隧電流之方法，或利用熱載子之方法的任一方法。

依據本發明，可改善非依電性半導體記憶體元件的電荷保持特徵，且可提供設置有具備高度可靠性之資料儲存能力的半導體裝置。

【實施方式】

在下文中，將敘述本發明；然而，本發明可以以各式各樣的模式來實施。如熟習於本項技藝之該等人士可易於瞭解的是，本發明之模式及細節可以以各式各樣的方式來改變，而不會背離本發明的精神及範疇。因此，本發明不應被視為受限於下文之實施例模式及實施例的說明。

（實施例模式1）

在此實施例模式中，將敘述其中應用非依電性記憶體電晶體於本發明以做為非依電性記憶體元件的實例。首先，將參照第1圖來說明本發明之非依電性記憶體電晶體的結構，及其製造方法。

第1圖係橫剖面視圖，以便描繪MONOS型非依電性記憶體電晶體的主要結構。第1圖之非依電性記憶體電晶體包含設置有半導體區10及阱22的半導體基板21，由半導體基板21中之阱22的形成，可界定使用以形成記憶體電晶體之半導體區10。在半導體區10之中，形成通道形成區16以及該通道形成區16所插入之高濃度雜質區17及高濃度雜質區18，該等高濃度雜質區17及18係各用作記憶體電晶體之源極區及汲極區的區域。

當半導體基板 21 係 p 型基板時，該半導體基板 21 係由離子佈植法或其類似方法來摻雜有諸如磷（P）或砷（As）之給予 n 型導電性的雜質，以致使阱 22 形成。當半導體基板 21 係 n 型基板時，該半導體基板 21 係摻雜有諸如硼（B）之給予 p 型導電性的雜質，以致使阱 22 形成。給予該阱 22 之 n 型或 p 型導電性的雜質之濃度約為 $5 \times 10^{15} \text{ cm}^{-3}$ 至 $1 \times 10^{16} \text{ cm}^{-3}$ 。視需要地，可適合地形成阱 22。

在半導體區 10 之上，係以此順序來堆疊第一絕緣膜 11，第一氮化矽膜 12，第二氮化矽膜 13，第二絕緣膜 14，及導電膜 15。該等膜 11 至 15 係與半導體區 10 之中的通道形成區 16 重疊。

導電膜 15 作用為記憶體電晶體的閘極電極，第一氮化矽膜 12 及第二氮化矽膜 13 係使用以做為電荷貯存層。做為用以接受及取出電荷於電荷貯存層之方法（非依電性記憶體電晶體的寫入方法及拭除方法），存在有使用 F-N 穿隧電流之方法，使用直接穿隧電流之方法，以及使用熱載子之方法。此實施例模式之非依電性記憶體電晶體可適合地使用選擇自該等方法的方法，以做為寫入方法及拭除方法。

第一絕緣膜 11 係形成為薄，使得電荷通過該第一絕緣膜 11，較佳地，其厚度係大於或等於 1 奈米（nm）且小於或等於 10 奈米（nm），而更佳地，係大於或等於 1 奈米且小於或等於 5 奈米。該第一絕緣膜 11 可由選擇自氧化矽，氮氧化矽（ SiO_xN_y ），氧化鋁，氧化鉭，氧化鋯，及氧化

鉛之絕緣材料所形成的單層膜所形成。此外，該第一絕緣膜 11 亦可由兩層結構所形成，其中由選擇自氮氧化矽（ SiO_xN_y ），氧化鋁，氧化鉬，氧化鋯，及氧化鉛之絕緣材料所形成的絕緣膜係堆疊在氧化矽膜之上。

例如，做為用以形成氧化矽膜之方法，具有半導體基板 21 的熱氧化法，藉由以電漿處理來產生氧游離基之半導體基板 21 的熱氧化法，諸如電漿 CVD 法的 CVD 法，及其類似方法。做為用以形成氮氧化矽膜之方法，具有其中半導體基板 21 係由熱氧化處理或電漿處理所氧化且因此所獲得的氧化矽膜係由熱氮化處理或電漿處理所氮化的方法，用於由諸如電漿 CVD 法之 CVD 法來形成氮氧化矽膜的方法，及其類似方法。由諸如氧化鋁之金屬氧化物所形成的膜可由濺鍍法，金屬-有機化學氣相沈積（MOCVD）法，或其類似方法所形成。

第一氮化矽膜 12 係由諸如低壓 CVD 法，電漿 CVD 法，熱 CVD 法，或 Cat-CVD 法之 CVD 法所形成。由於電漿 CVD 法的使用，可將加熱溫度設定於小於或等於 600°C 。做為氮氣源氣體以用作第一氮化矽膜 12 的源材料，係使用含有 N-H 鍵之氫氮氣。特定地，氨（ NH_3 ）係較佳地使用於此氮氣源氣體，且亦可使用聯氨（ $\text{NH}_2\text{H}_2\text{N}$ ）以取代氨（ NH_3 ）。

做為矽源氣體以用作第一氮化矽膜 12 的源材料，係使用含有氫或鹵素之氣體。做為此一氣體，具有 SiH_4 ， Si_2H_6 ， SiCl_4 ， SiHCl_3 ， SiH_2Cl_2 ， SiH_3Cl ， SiF_4 ，及其類

似物。

氮氣源氣體對矽源氣體的流動比（N源氣體/Si源氣體）可設定成為大於或等於0.1且小於或等於1000，以及此流動比係較佳地大於或等於1且小於或等於400。

可在當形成第一氮化矽膜12時添加除了各用作源材料之氮氣源氣體及矽源氣體外的氣體至CVD法的處理氣體；做為此一氣體，具有諸如He，Ar，及Xe之稀有氣體；氫（H₂）氣；及其類似物。

第二氮化矽膜13係由諸如低壓CVD法，電漿CVD法，熱CVD法，或Cat-CVD法之CVD法所形成。由於電漿CVD法的使用，可將加熱溫度設定於小於或等於600℃。做為氮氣源氣體以用作第二氮化矽膜13的源材料，係使用並未實質地含有N-H鍵之氣體。特定地，氮（N₂）氣係較佳地使用於此氮氣源氣體。

與第一氮化矽膜12的情況相似地，做為矽源氣體以用作第二氮化矽膜13的源材料，可使用選擇自SiH₄，Si₂H₆，SiCl₄，SiHCl₃，SiH₂Cl₂，SiH₃Cl₃，及SiF₄之氣體。

可在當形成第二氮化矽膜13時添加除了各用作源材料之氮氣源氣體及矽源氣體外的氣體至CVD的處理氣體；做為此一氣體，具有諸如He，Ar，及Xe之稀有氣體；氫（H₂）氣；及其類似物。為促進N₂氣體的游離，較佳地，係添加諸如He，Ar，或Xe之稀有氣體至該等源材料氣體。

氮氣源氣體對矽源氣體的流動比（N源氣體/Si源氣體）可設定成為大於或等於0.1且小於或等於1000，以及此

流動比係較佳地大於或等於1且小於或等於400。

藉由調整處理氣體的流量及種類，可將第一氮化矽膜12及第二氮化矽膜13連續地形成於CVD設備的同一反應室之中。以此方式，可形成第一氮化矽膜12及第二氮化矽膜13而無需暴露第一氮化矽膜12及第二氮化矽膜13之間的介面於空氣；因此，可防止介面處之不穩定的電荷陷阱位準之形成。此外，即使當使用具有複數個反應室之CVD設備，且第一氮化矽膜12及第二氮化矽膜13係無需將基板自該CVD設備取出地形成於不同的反應室之中時，可相似地防止該介面處之污染。

第一氮化矽膜12及第二氮化矽膜13作用為電荷貯存層。由於相異的氮氣源氣體，第一氮化矽膜含有比第二氮化矽膜更多的N-H鍵，第一氮化矽膜12具有比第二氮化矽膜13之更低的來自矽源氣體之Si-H鍵濃度或Si-X鍵濃度（X係鹵素元素）。

該第一氮化矽膜12及第二氮化矽膜13各可具有大於或等於1奈米且小於或等於20奈米的厚度，以及較佳地，具有大於或等於5奈米且小於或等於15奈米的厚度。較佳的是，第一氮化矽膜12及第二氮化矽膜13的總厚度係小於或等於15奈米。

第二絕緣膜14可以以大於或等於1奈米且小於或等於20奈米的厚度而形成；較佳地，該第二絕緣膜14具有大於或等於5奈米且小於或等於10奈米的厚度。該第二絕緣膜14可由選擇自氧化矽，氮氧化矽（ SiO_xN_y ），氮化矽，氧

化鋁，氧化鉭，氧化鋯，及氧化鉛之絕緣材料所形成的單層膜或具有二或更多層之多層膜所形成。形成第二絕緣膜14的絕緣膜可由熱氧化法，CVD法，或濺鍍法所形成，例如當第二絕緣膜14具有多層結構時，可使用其中執行熱氧化於第二氮化矽膜13之上，且然後，由CVD法或濺鍍法來沈積由上述絕緣材料所形成之膜的方法。

導電膜15形成非依電性記憶體電晶體的閘極電極，且可由單層膜或具有二或更多層之多層膜所形成。做為形成導電膜15之導電性材料，可使用選擇自鉭（Ta），鎢（W），鈦（Ti），鉬（Mo），鉻（Cr），鈮（Nb），及其類似物之金屬；含有該等金屬之任一金屬以做為其主要成分的合金或化合物（例如，金屬氮化物或矽化物）；或摻雜有諸如磷之雜質元素的多晶矽。例如，該導電膜15可具有多層結構，該多層結構包含單層或複數個層之金屬氮化物以及由單純的物質金屬所形成於該處之上的層。針對此金屬氮化物，可使用氮化鎢，氮化鉬，或氮化鈦。藉由形成金屬氮化物層成為與第二絕緣膜14接觸，可防止在該處之上的金屬層分離。因為諸如氮化鉭之金屬氮化物具有高的功函數，所以第一絕緣膜11可由於與第二絕緣膜14之共激效應而變厚。

形成於半導體區10之中的高濃度雜質區17及18係以此方式之自行對齊的方式而形成，亦即，當使用由膜11至15所形成之堆疊膜以做為罩幕時，半導體基板21係由離子佈植法而摻雜有雜質的方式。當阱22為p型時，高濃度雜質

區 17 及 18 係以給予 n 型導電性之雜質來摻雜；當阱 22 為 n 型時，高濃度雜質區 17 及 18 則以給予 p 型導電性之雜質來摻雜。

第 1 圖之非依電性記憶體電晶體係其中半導體區形成於半導體基板中的記憶體元件。形成於絕緣膜上的半導體膜亦可使用以做為半導體區；在第 2 圖之中，顯示具有此一半導體區之非依電性記憶體電晶體的橫剖面視圖。

做為基板 31，可使用玻璃基板，石英基板，藍寶石基板，陶質物基板，不鏽鋼基板，金屬基板，或其類似物。該基板 31 可為與當製造非依電性記憶體時所使用之基板不同的基板。在此情況中，亦可使用塑膠膜以做為基板 31。

基底絕緣膜 32 係形成於基板 31 之上，以及用作半導體區 10 之半導體膜 33 係形成於基底絕緣膜 32 之上。該基底絕緣膜 32 係形成使得可將基板 31 上之半導體膜 33 的介面位準變成良好，且可防止諸如鹼金屬之污染物自基板 31 進入半導體膜 33 之內。該基底絕緣膜 32 無需一定要被形成；該基底絕緣膜 32 可由諸如氧化矽，氮化矽，或氮氧化矽之絕緣材料的單層膜或堆疊膜所形成。

半導體膜 33 係由晶體半導體膜所形成，且在其中在該處使用非單晶半導體膜的情況中，較佳地，係使用多晶半導體。針對半導體材料，較佳地，係使用矽，且亦可分別使用矽鍺及鍺。做為半導體膜的結晶方法，可使用雷射結晶法，藉由使用快速熱退火法（RTA）或退火爐之熱處理的結晶法，使用可促進結晶之金屬元素的結晶法，或結合

該等方法之方法。將敘述用以形成半導體膜33之方法的實例：在基底絕緣膜32上，由電漿CVD法形成10奈米至100奈米之厚度的非晶矽膜；接著，以雷射光束來照射該非晶矽膜以使結晶化，使得形成多晶矽膜；蝕刻該多晶矽膜以形成具有所欲形狀之半導體膜33。在第2圖的情況中，為元件隔離之目的，係將半導體區10形成為島狀的半導體膜33。

注意的是，在第2圖之非依電性記憶體電晶體之中，第一絕緣膜11可以以相似於第13圖之非依電性記憶體電晶體之方式形成以覆蓋該半導體膜33，而取代被處理成為與該第一氮化矽膜12及第二氮化矽膜13相同的形狀。

第2圖之非依電性記憶體電晶體係以此一方式形成，亦即，將半導體區10分離成為島狀形狀之方式。在此方式中，即使是在其中記憶體胞格陣列及邏輯電路係形成於同一基板上的情況中，可以比當使用巨形之半導體基板時更有效地分離元件；也就是說，即使將需要大約10伏特（V）至20伏特之電壓以供寫入或拭除資料用的記憶體胞格陣列，以及操作於大約3伏特至7伏特之電壓且主要使用於輸入或輸出資料或控制指令的邏輯電路形成於同一基板上，亦可防止由於所施加至各個元件之電壓中的不同所造成的相互干擾。

爲了要增加非依電性半導體電晶體的重寫入次數，第一絕緣膜11需要高的耐壓特徵；然而，在其中諸如玻璃基板的基板31具有比半導體基板21更低之大約630℃至750℃

之扭曲溫度的情況中，加熱溫度會受到基板的扭曲溫度所限制。因此，即使當第一絕緣膜11係由熱氧化或熱氮化所形成時，亦極難以形成耐壓特徵優異的膜。此外，第一絕緣膜11可在小於或等於基板之扭曲點的加熱溫度由CVD法或濺鍍法所沈積，但以此方式所形成之絕緣膜的耐壓特徵並不夠，因為缺陷會存在於膜內部；再者，由CVD法或濺鍍法而形成於約1奈米至10奈米之厚度的絕緣膜易於產生諸如針孔的缺陷。進一步地，藉由CVD法或濺鍍法之膜形成方法會在階梯覆蓋性中比藉由熱氧化或類似者之膜形成方法更拙劣。

因此，在其中在該處使用具有小於或等於750℃之扭曲溫度之基板的情況中，極佳的是，具有高的耐壓之絕緣膜11係由電漿之固相氧化或固相氮化所形成，此係因為即使當形成時之加熱溫度小於或等於500℃時，使用由電漿處理所執行之氧化或氮化的半導體（典型地，矽）所形成的絕緣膜係密質的，且具有高的耐壓及優異的可靠性。

進一步地，絕緣膜可由CVD法或濺鍍法所沈積，且固相氧化處理或固相氮化處理可由電漿而執行於此絕緣膜之上，以形成第一絕緣膜11；因而，可增加耐壓特徵。

較佳的是，使用高密度電漿於藉由電漿處理之固相氧化處理或固相氮化處理，該高密度電漿具有大於或等於 $1 \times 10^{11} \text{ cm}^{-3}$ 且小於或等於 $1 \times 10^{13} \text{ cm}^{-3}$ 之電子密度，及大於或等於0.5eV且小於或等於1.5eV之電子溫度，以及已由微波所激勵（典型地，具有2.45GHz的頻率）。此係用以藉由

使用高密度電漿而以實用的反應速率來形成密質絕緣膜於小於或等於 500°C 之加熱溫度；也就是說，在藉由有效地使用由電漿所激勵的活性游離基之使用微波的電漿處理中，可由固相反應來執行氧化或氮化於小於或等於 500°C 之低的基板加熱溫度處。

在其中在該處氧化處理係由此高密度電漿處理所執行的情況中，氧游離基係由引入含有氧於組成物中之氣體（例如，氧氣（ O_2 ）或一氧化二氮（ N_2O ）及稀有氣體（含有 He，Ne，Ar，Kr，及 Xe 之至少之一））所產生。氧游離基可由稀有氣體之所激勵的物種而有效率地產生，氧游離基（在一些情況中，包含 OH 游離基）係由引入含有氧於組成物中之氣體，氫（ H_2 ）氣，及稀有氣體至反應室之內而產生。

在其中在該處氮化處理係由高密度電漿處理所執行的情況中，氮游離基係由引入氮氣（ N_2 ）及稀有氣體（含有 He，Ne，Ar，Kr，及 Xe 的至少之一）至反應室之內而產生。氮游離基可由稀有氣體之所激勵的物種而有效率地產生；此外，可將氫氣以及氮氣引入至該反應室之內。進一步地，可將氨（ NH_3 ）引入至該反應室之內，使得可產生氮游離基（包含 NH 游離基）；在此情況中，可將稀有氣體引入至該反應室之內。例如，在其中在該處使用氮氣及氫氣的情況中，較佳的是，以 20 sccm （標準立方公分）至 2000 sccm 之流率來引入氮氣以及以 100 sccm 至 10000 sccm 之流率來引入氫氣至反應室之內。例如，氮氣之流率係設定

於 200sccm 以及氬氣之流率係設定於 1000sccm。

將敘述用以由高密度電漿處理來形成第一絕緣膜 11 之方法的實例：首先，由產生氧游離基之高密度電漿處理來氧化半導體膜 33，以形成具有 3 奈米至 6 奈米之厚度的氧化矽膜；接著，由產生氮游離基之高密度電漿處理來氮化此氧化矽膜。具有高度可靠性之第一絕緣膜 11 可由使用高密度電漿處理所形成，即使當基板加熱溫度係小於或等於 500℃ 時亦然；此係因為在高密度電漿處理中，即將被形成的表面並未直接暴露於電漿，且電子溫度低，使得由於電漿而對即將被形成之膜的損壞變小。尤其，執行氧化處理且然後執行氮化處理，使得可形成適用於非依電性記憶體電晶體的第一絕緣膜 11。

在第 2 圖之非依電性電晶體中，當使用 CVD 法以形成膜 12 至 14 時，較佳的是，使用電漿 CVD 法，因為沈積速率係實用的，且基板加熱溫度可設定於小於或等於 600℃。進一步地，當使用電漿 CVD 法時，基板加熱溫度可設定於小於或等於 500℃。

下文中，將參照實驗資料來敘述由第一氮化矽膜 12 及第二氮化矽膜 13 的堆疊結構所產生之非依電性記憶體電晶體的電荷保持特徵之改善。此外，將敘述在加熱溫度係小於或等於 500℃ 之條件下，由電漿 CVD 法所形成之第一氮化矽膜 12 及第二氮化矽膜 13 所產生的電荷保持特徵之改善。

為評估本發明之第一氮化矽膜 12 及第二氮化矽膜 13，

使用矽基板來形成MOS型電容器。第3圖係所形成之電容器的橫剖面視圖，此電容器稱為「元件1」。在元件1之中，第一絕緣膜42，氮化矽層43，第二絕緣膜44，及電極45係以此順序而堆疊於矽基板41之上。矽基板41係p型單晶矽基板，氮化矽層43具有第一氮化矽膜12及第二氮化矽膜13之兩層結構。該元件1係形成如下。

為形成第一絕緣膜42，矽基板41的表面係由以微波來產生電漿之電漿處理所氧化，而形成氧化矽膜。此氧化電漿處理係以此一方式而執行，亦即，設定基板溫度於400℃，設定壓力於106巴（Pa），以及引入具有2.45GHz之頻率的微波至反應室之內，而以900sccm之流率來供應Ar氣體，及以5sccm之流率來供應O₂氣體至反應室，以激勵電漿。電漿處理的時間可予以調整，使得可形成具有3奈米之厚度的氧化矽膜。

接者，此氧化矽膜係由以微波來產生電漿之電漿處理所氮化。此電漿氮化處理係執行如下：設定基板溫度於400℃，設定反應壓力於12巴（Pa），以及引入具有2.45GHz之頻率的微波至反應室之內，而以1000sccm之流率來供應Ar氣體，及以200sccm之流率來供應O₂氣體至反應室，以激勵電漿。電漿處理的時間係設定於90秒，第一絕緣膜42可由上述方法所形成。

其次，形成氮化矽層43於第一絕緣膜42之上。首先，第一氮化矽膜12係由電漿CVD法來形成於第一絕緣膜42之上。做為氮氣源氣體，係使用NH₃，以及做為矽源氣體，

係使用 SiH_4 。基板溫度係設定於 400°C ，反應壓力係設定於 40Pa ， SiH_4 係以 2sccm 之流率及 NH_3 係以 400sccm 之流率而供應至反應室，電極間之距離係設定於 30mm ，以及射頻（RF）功率係設定於 100W 。

接著，第二氮化矽膜 13係由電漿 CVD法來形成於第一氮化矽膜 12之上。做為氮氣源氣體，係使用 N_2 ，以及做為矽源氣體，係使用 SiH_4 。做為處理氣體，係使用 Ar 來促進 N_2 的游離。 SiH_4 係以 2sccm 之流率， N_2 係以 400sccm 之流率，及 Ar 係以 50sccm 之流率而供應至反應室。以與第一氮化矽膜 12之形成相似之方式，將基板溫度設定於 400°C ，將反應壓力設定於 40Pa ，將電極間之距離設定於 30mm ，以及將 RF 功率設定於 100W 。

此處，第一氮化矽膜 12及第二氮化矽膜 13係連續地形成於電漿 CVD設備的同一反應室之中，第一氮化矽膜 12及第二氮化矽膜 13各自地具有 5nm 之厚度。

其次，形成第二絕緣膜 44於第二氮化矽膜 13之上。此處， SiH_4 及 N_2O 係由電漿 CVD法來使用以做為源氣體，而形成具有 10nm 之厚度的氮氧化矽膜。接著，以濺鍍設備來形成具有 400nm 之厚度的 Al-Ti 合金膜於第二絕緣膜 44之上，且藉由蝕刻法來將該 Al-Ti 合金膜處理成為預定的形狀，因而形成電極 45。如上述地，完成元件 1。

用於與元件 1之比較，係形成三種 MOS型電容器。第 4A至 4C圖係該等電容器的橫剖面視圖，第 4A，4B，及 4C圖中所示之電容器係分別稱為比較元件 A，比較元件 B，

及比較元件 C。

比較元件 A 至 C 僅在氮化矽層 43 的結構中與元件 1 不同，而該氮化矽層 43 之厚度係 10 奈米，此係與元件 1 之厚度相同。在比較元件 A 之中，氮化矽層 43 係由具有 10 奈米厚度之第一氮化矽膜 12 的單層膜所形成；在比較元件 B 之中，氮化矽層 43 係由具有 10 奈米厚度之第二氮化矽膜 13 的單層膜所形成；以及比較元件 C 具有堆疊順序與元件 1 相反的氮化矽層 43，具有 5 奈米之厚度的第二氮化矽膜 13 係形成以做為下方層，以及具有 5 奈米之厚度的第一氮化矽膜 12 係形成以做為上方層。

比較元件 A 至 C 係由與元件 1 相同之方法所形成，亦即，元件 1 的第一氮化矽膜 12 與比較元件 A 及比較元件 C 之各個元件的第一氮化矽膜 12 係由相同的條件所形成；元件 1 的第二氮化矽膜 13 與比較元件 B 及比較元件 C 之各個元件的第二氮化矽膜 13 係由相同的條件所形成。

為評估各個元件之氮化矽層 43 的電荷保持特徵，係測量各個元件的電容-電壓特徵，該測量係執行如下：為評估在資料的寫入後之電荷保持特徵，當金屬鹵化物燈發射出光時，施加 17 伏特的電壓至電極 45，10 毫秒，而注入電子至氮化矽層 43 之內。注意的是，因為矽基板 41 係 p 型，所以電子係少數載子；因此，金屬鹵化物燈發射出光至矽基板 41，而激勵電子。然後，保持其中矽基板 41 係以熱盤來加熱於 150℃ 之狀態；而在寫入操作之前，正好在寫入操作之後，及在寫入操作之後的預定時間逝去之後，測量

電容 - 電壓特徵。

為評估在拭除所寫入的資料之後的電荷保持特徵，首先，執行與上述相同的寫入操作；接著，為執行拭除操作，施加 -15 伏特的電壓至電極 45，10 毫秒，而注入電洞至氮化矽層 43 之內；然後，保持其中矽基板 41 係以熱盤來加熱於 150°C 之狀態；然而在寫入操作之前，正好在寫入操作之後，正好在拭除操作之後，及在拭除操作之後的預定時間逝去之後，測量電容 - 電壓特徵。

元件 1 及比較元件 A 至 C 的保持特徵係計算自寫入操作之後的電容 - 電壓特徵，以及寫入操作及拭除操作之後的電容 - 電壓特徵；測量結果顯示於第 5 至 8 圖的圖形之中，第 5 圖顯示元件 1 的保持特徵，第 6，7，及 8 圖分別顯示比較元件 A，B，及 C 的保持特徵。第 5 至 8 圖之各個圖的水平軸顯示自寫入操作及拭除操作起之所逝去的時間；注意的是，因為水平軸係對數之刻度，所以當執行寫入操作時之點及當執行拭除操作時之點係由 0.1 小時所表示；垂直軸的電壓 V_m 係計算自該電容 - 電壓特徵之測量結果的電壓值，針對該電容 - 電壓特徵之圖形的正切線，其垂直軸的電壓 V_m 係當電容值係正切線的梯度為最大時之最大值的一半時之電壓值。

依照第 5 至 8 圖之保持特徵的圖形，臨限電壓窗口係由將用於當各個元件係在拭除狀態之中時的臨限電壓自用於當各個元件係在寫入狀態之中時的臨限電壓減去所獲得。第 1 表顯示臨限電壓窗口（下文中稱為“ V_{th} 窗口”），其

中各個元件的保持時間係1000小時。此處，在寫入狀態中的臨限電壓及在拭除狀態中的臨限電壓係分別設定於寫入特徵之電壓 V_m 及拭除特徵之電壓 V_m 。依照具有1000小時之逝去時間的寫入特徵之電壓 V_m 與具有1000小時之逝去時間的拭除特徵之電壓 V_m 間的差異，可計算出具有1000小時之保持時間的 V_{th} 窗口。注意的是，在1000小時之後的寫入特徵之電壓 V_m 係由外插寫入特徵的圖形而計算出。另一方面，倘若在拭除操作之後的1000小時之後，元件回到初始狀態（在寫入操作之前的狀態）時，則設定在1000小時之後的拭除特徵之電壓 V_m 於初始狀態（逝去時間為0小時）的電壓 V_m 之值。注意的是，關於初始狀態之寫入特徵的電壓 V_m ，元件1和比較元件A約為-0.8伏特，以及比較元件B和C約為-0.9伏特。

第1表顯示元件1的 V_{th} 窗口最寬。此外，第1表顯示的是，當形成氮化矽層43時，電荷保持特徵係由使用類似於元件1之堆疊層的結構所改善，而非由使用單層之第一氮化矽膜12或第二氮化矽膜13所改善。另一方面，可發現的是，當第一氮化矽膜12及第二氮化矽膜13係以元件1之相反順序而堆疊時，電荷保持特徵會比具有堆疊層結構的氮化矽層43更差。

[第 1 表]

	V _{th} 窗 口
元 件 1	2.15
比 較 元 件 A	1.36
比 較 元 件 B	1.27
比 較 元 件 C	1.01

例如，其中使用 NH₃以做為氮氣源氣體的第一氮化矽膜 12 的組成，其中使用 N₂以做為氮氣源氣體的第二氮化矽膜 13 的組成，以及各組成比係使用勞塞福反向散射光譜測量術（RBS）及氫順向散射光譜測量術（HFS）所測量。

此處，彼此在反應氣體及流率中不同的三種第一氮化矽膜 12 及兩種第二氮化矽膜 13 係各自地以 100 奈米之厚度而形成於單晶矽基板之上。此處，爲了要區別該三種第一氮化矽膜 12，將它們稱為氮化矽膜 12-a，氮化矽膜 12-b，及氮化矽膜 12-c，以及爲了要區別該兩種第二氮化矽膜 13，將它們稱為氮化矽膜 13-a 及氮化矽膜 13-b。

使用以形成該等氮化矽膜 12-a，12-b，12-c，13-a，及 13-b 的各個氮化矽膜之處理氣體及流率係顯示於第 2 表之中。

用於比較，所有的氮化矽膜之矽源氣體係 SiH₄，且其流率係設定於 2 sccm。氮化矽膜 12-a，12-b，12-c，13-a 及 13-b 係由電漿 CVD 法所形成，且在膜形成時，基板溫度係設定於 400℃，反應壓力係設定於 40 Pa，以及電極間的距離係設定於 30 毫米。氮化矽膜 12-a 係在與元件 1，比較元件 A，及比較元件 C 的各個元件之第一氮化矽膜 12 相同的

條件下所形成的膜；及氮化矽膜 13-a 係在與元件 1，比較元件 B，及比較元件 C 的各個元件之第二氮化矽膜 13 相同的條件下所形成的膜。

[第 2 表]

SiN 膜	處理氣體及其流率 [sccm]				
	SiH ₄	NH ₃	N ₂	Ar	H ₂
12-a	2	400	-	-	-
12-b	2	100	-	-	400
12-c	2	100	-	400	-
13-a	2	-	400	50	-
13-b	2	-	100	400	-

氮化矽膜 12-a，12-b，12-c，13-a，及 13-b 之 RBS 及 HFS 的測量結果係顯示於第 3 表之中。注意的是，氧濃度係小於或等於偵測之最小限度的值。

[第 3 表]

SiN 膜	濃度 [原子百分比]			組成	密度	
	H	Si	N		原子 / 立方公分	克 / 立方公分
12-a	21.4	30.4	48.2	0.63	8.10×10^{22}	2.1
12-b	17.3	33.9	48.8	0.69	7.90×10^{22}	2.2
12-c	20.7	31.3	48.0	0.65	8.00×10^{22}	2.1
13-a	10.3	38.5	51.2	0.75	7.50×10^{22}	2.2
13-b	9.7	38.2	52.1	0.73	7.50×10^{22}	2.2

形成氮化矽膜 12-a，12-b，及 13-a 之各個氮化矽膜的元素之鍵結狀態係由傅立葉轉換紅外線光譜學 (FTIR) 所

分析，第9圖顯示以FTIR之氮化矽膜12-a，12-b，及13-a的吸收光譜，N-H鍵濃度及Si-H鍵濃度係由使用第9圖之吸收光譜所量化，該等濃度係顯示於第4表之中。

[第4表]

SiN膜	濃度 [原子 / 立方公分]			濃度比
	N-H	Si-H	N-H+Si-H	Si-H/N-H
12-a	9.10×10^{21}	2.00×10^{20}	9.30×10^{21}	2.20×10^{-2}
12-b	7.54×10^{21}	2.18×10^{20}	7.76×10^{21}	2.89×10^{-2}
13-a	2.29×10^{21}	3.25×10^{21}	5.54×10^{21}	1.42

第3表及第4表之測量資料顯示的是，雖然第二氮化矽膜13的氮濃度係比第一氮化矽膜12的氮濃度更高，但第一氮化矽膜12的N-H鍵濃度卻比第二氮化矽膜13的N-H鍵濃度更高。也就是說，該資料顯示元件1的電荷保持特徵係由提供含有更多之與氫鍵結之氮的第一氮化矽膜以做為下方層而改善。

第一氮化矽膜12的Si-H鍵濃度係比第二氮化矽膜13的Si-H鍵濃度更低，且該第一氮化矽膜12的Si-H鍵濃度約為第二氮化矽膜13的Si-H鍵濃度的十分之一。此外，關於Si-H鍵濃度對N-H鍵濃度之比例（ $(\text{Si-H}) / (\text{N-H})$ ），第二氮化矽膜13約比第一氮化矽膜12更高100倍。因此，元件1的電荷保持特徵可由形成具有高濃度化（ $(\text{Si-H}) / (\text{N-H})$ ）之氮化矽膜以做上方層，亦即，在遠距於通道形成區之側，以及形成具有低濃度比之氮化矽膜於通道形成區側而改善。

當集中注意在第3表之Si/N的組成比之上時，第二氮化矽膜13係在化學計量上比第一氮化矽膜12更接近於 Si_3N_4 的膜。

注意的是，在其中在該處係使用含有鹵素之氣體以做為矽源氣體（例如， SiCl_4 ， SiHCl_3 ， SiH_2Cl_2 ， SiH_3Cl_3 ， SiF_4 ，或其類似物）的情況中，氮化矽膜會包含Si-X鍵（X係鹵素元素）。因為Si-X鍵濃度係由氮氣源氣體的種類所影響，所以可將氮化矽膜形成使得Si-X鍵濃度具有相似於第4表之Si-H鍵的傾向。

因此，在其中在該處係使用含有氫或鹵素之氣體以做為矽源氣體（例如， SiH_4 ， SiCl_4 ， SiF_4 ， SiHCl_3 ， SiH_2Cl_2 ，或 SiH_3Cl_3 ）的情況中，第二氮化矽膜13的Si-X鍵濃度與Si-H鍵濃度之和可比第一氮化矽膜12的Si-X鍵濃度與Si-H鍵濃度之和更高，以及第二氮化矽膜13的Si-X鍵濃度與Si-H鍵濃度之和對N-H鍵濃度的比例（ $(\text{Si-H} + \text{Si-X}) / (\text{N-H})$ ）亦可比第一氮化矽膜12的Si-X鍵濃度與Si-H鍵濃度之和對N-H鍵濃度的比例更高。

在其中在該處第一氮化矽膜12及第二氮化矽膜13之矽源氣體含有鹵素於組成物中而不含有氫的情況中，例如 SiCl_4 或 SiF_4 ，第二氮化矽膜13的Si-X鍵濃度可比第一氮化矽膜12的Si-X鍵濃度更高。在此情況中，第二氮化矽膜13之Si-X鍵濃度對N-H鍵濃度的比例（ $(\text{Si-X}) / (\text{N-H})$ ）亦可比第一氮化矽膜12之Si-X鍵濃度對N-H鍵濃度的比例更高。

因此，含有更大量之 N-H 鍵的第一氮化矽膜 12 係設置於通道形成區 16 側，以及含有更少量之 N-H 鍵的第二氮化矽膜 13 係設置於導電膜 15 側，使得可改善非依電性半導體記憶體元件的電荷保持特徵。

再者，第 2 表中所示的第一氮化矽膜 12 及第二氮化矽膜 13 係由電漿 CVD 法在小於或等於 500℃ 的加熱溫度所形成之膜，且該等氮化矽膜係可形成於例如玻璃基板之具有小於或等於 750℃ 的扭曲溫度之基板上的膜。

接著，將參照第 10 至 17 圖來說明各具有與第 1 及 2 圖之各個圖不同的橫剖面結構之非依電性記憶體電晶體，與第 1 及 2 圖相同的參考符號指示相同的組件，且其重複之說明將予以省略。

第 10 及 11 圖係顯示非依電性記憶體電晶體之另一結構的實例之橫剖面視圖。第 10 及 11 圖中所示之各個非依電性記憶體電晶體係設置有間隔物 35，該間隔物 35 係由絕緣膜而形成於堆疊膜的側壁上，該堆疊膜係由第一絕緣膜 11，第一氮化矽膜 12，第二氮化矽膜 13，第二絕緣膜 14，及導電膜 15 所形成。該間隔物 35 亦稱為側壁，該間隔物 35 之形成具有防止第二氮化矽膜 13 中所貯存之電荷漏洩至導電膜 15 的功效。此外，藉由使用間隔物 35，可以以自行對齊之方式來形成與通道形成區 16 鄰接之低濃度雜質區 17a 及低濃度雜質區 18a。

低濃度雜質區 17a 及 18a 作用為低濃度汲極（LDD：微摻雜汲極），該等低濃度雜質區 17a 及 18a 係設置使得可抑

制由於讀取操作之重複所引起之第一絕緣膜11的劣化。

第12及13圖係各顯示非依電性記憶體電晶體之另一結構的實例之橫剖面視圖。第12及13圖中所示的非依電性記憶體電晶體與第1及2圖的非依電性記憶體電晶體不同，其中並未將第一絕緣膜11，第一氮化矽膜12，第二氮化矽膜13，及第二絕緣膜14處理成為導電膜15相同的形狀。

在第12及13圖的結構中，第一絕緣膜11，第一氮化矽膜12，第二氮化矽膜13，及第二絕緣膜14係由使用鄰接的記憶體電晶體所形成，以覆蓋高濃度雜質區17及18。在此情況中，膜11至15在製造過程中並未由蝕刻法所去除以暴露半導體區10；因此，可降低半導體區10之上的損壞。因為並不具有膜11至15的蝕刻過程，所以可改善輸質量。

第14及15圖係橫剖面視圖，各自地顯示非依電性記憶體電晶體的另一結構之實例。做為第14及15圖之非依電性記憶體電晶體，在由第一絕緣膜11，第一氮化矽膜12，及第二氮化矽膜13所形成的堆疊膜之通道長度方向中的寬度係比導電膜15在通道長度方向中的寬度更長。第二絕緣膜14係形成以覆蓋由膜11至13所形成的堆疊膜以及高濃度雜質區17及18。

當由膜11至13所形成的堆疊膜及導電膜15具有第14或15圖中所示的任一結構時，通道形成區16，高濃度雜質區17及18，以及低濃度雜質區17a及18a可以以自行對齊的方式而形成於半導體區10之中。當使用導電膜15及由膜11至13所形成的堆疊膜來做為罩幕，且以給予n型或p型導電性

之雜質來摻雜半導體區10時，通道形成區16，高濃度雜質區17及18，以及低濃度雜質區17a及18a係以自行對齊之方式而形成於半導體區10之中；因此，第一絕緣膜11，第一氮化矽膜12，及第二氮化矽膜13係與低濃度雜質區17a及18a重疊。

注意的是，在第15圖之中，無需一定要將第一絕緣膜11處理成為與第一氮化矽膜12及第二氮化矽膜13相同的形狀，但亦可如第13圖中所示地將第一絕緣膜11形成以覆蓋半導體膜33。

第16及17圖係橫剖面視圖，各自地顯示非依電性記憶體電晶體之另一結構的實例。導電膜15係形成使得在通道長度方向中之導電膜15的寬度比通道長度更長。第二絕緣膜14係形成以覆蓋第一氮化矽膜12及第二氮化矽膜13。

第一氮化矽膜12，第二氮化矽膜13，及導電膜15具有如第16及17圖中所示的此一結構，以致使通道形成區16，高濃度雜質區17及18，以及低濃度雜質區17a及18a可以以自行對齊的方式而形成於半導體區10之中。

第一絕緣膜11，第一氮化矽膜12，第二氮化矽膜13，及第二絕緣膜14係形成於半導體區10之上，如第16或17圖中所示。在形成導電膜15之前，係使用第一氮化矽膜12及第二氮化矽膜13來做為罩幕，且以可低濃度地給予n型或p型導電性之雜質來摻雜半導體區10，以形成低濃度雜質區；之後，形成具有如第16或17圖中所示之此一結構的導電膜15。接著，使用導電膜15來做為罩幕，且以可高濃度地

給予 n 型或 p 型導電性之雜質來摻雜半導體區 10。由此雜質之摻雜步驟，通道形成區 16，高濃度雜質區 17 及 18，以及低濃度雜質區 17a 及 18a 可以以自行對齊的方式而形成於半導體區 10 之中。

注意的是，在第 17 圖之非依電性記憶體電晶體中，無需一定要將第一絕緣膜 11 處理成為與第一氮化矽膜 12 及第二氮化矽膜 13 相同的形狀，但亦可如第 13 圖中所示地將第一絕緣膜 11 形成以覆蓋半導體膜 33。

在第 1，10，12，14 及 17 圖之中，可使用巨形的單晶或多晶矽基板（矽晶圓），單晶或多晶矽鍺基板，單晶或多晶鍺基板來做為半導體基板 21；進一步地，亦可使用 SOI（矽在絕緣物之上）基板。做為 SOI 基板，可使用所謂 SIMOX（由所佈植之氧所分離）基板，該 SIMOX 基板係以此一方式而形成，亦即，在注入氧離子至鏡面拋光的晶圓內之後，執行高溫退火，使得氧化物層形成於距離表面的某一深度處，而可消除表面層之中所產生的缺陷。在其中在該處使用 SOI 基板的情況中，半導體區 10 係形成於基板中所形成的氧化物層上之薄的矽層中；即使當阱 22 並未被形成時，亦可將元件分離。以與 SOI 基板相似之方式，亦可使用 SGOI（矽鍺在絕緣物之上）基板，或 GOI（鍺在絕緣物之上）基板。

雖然係參照第 1，2 及 10 至 17 圖來敘述 MONOS 非依電性記憶體電晶體以做為非依電性半導體記憶體元件的實例，但亦可應用具有 MNOS 結構之非依電性記憶體電晶體至

本發明的非依電性半導體記憶體元件。在第1，2及10至17圖之各個MONOS非依電性記憶體電晶體中，導電膜15可形成與第二氮化矽膜13接觸，而無需形成第二絕緣膜14，使得可形成具有MNOS結構之非依電性記憶體電晶體。

（實施例模式2）

在此實施例模式中，將敘述非依電性半導體記憶體裝置以做為本發明之半導體裝置。

第18圖係方塊圖，顯示非依電性半導體記憶體裝置之結構性實例。在第18圖之非依電性半導體記憶體裝置中，記憶體胞格陣列52及邏輯部分54係形成於同一基板上，該邏輯部分54係連接至記憶體胞格陣列52且控制寫入操作，拭除操作，讀取操作，及其類似操作。該記憶體胞格陣列52包含：複數個字元線WL；數個位元線BL，係與字元線WL交叉；以及複數個記憶體胞格MC，係連接至該等字元線WL及該等位元線BL。做為記憶體胞格MC之資料的儲存單元，可使用實施例模式1中所敘述之非依電性記憶體電晶體；從而，可獲得優於電荷保持特徵且具有高度可靠性之非依電性半導體記憶體裝置。

該邏輯部分54的結構係如下述。用於字元線之選取的列解碼器62及用於位元線之選取的行解碼器64係設置在記憶體胞格陣列52之周圍。位址係透過位址緩衝器56而傳輸至控制電路58，以及內部的列位址信號及內部的行位址信號則分別地轉移至列解碼器62及行解碼器64。

由升壓電源供應電位所獲得的電位係使用於資料的寫入及拭除；因此，設置依據操作模式而由控制電路58所控制的升壓器電路60。該升壓器電路60的輸出係透過列解碼器62及行解碼器64而供應至形成於記憶體胞格陣列52中的字元線WL或位元線BL。自行解碼器64所輸出之資料係輸入至感測放大器66，由感測放大器66所讀取之資料係保持於資料緩衝器68之中，保持於資料緩衝器68中之資料係由控制電路58之控制而隨機地存取，且透過資料輸入／輸出緩衝器70而輸出。寫入資料係透過資料輸入／輸出緩衝器70而一次地保持於資料緩衝器68之中，且由控制電路58之控制而轉移至行解碼器64。

在記憶體胞格陣列52中，需使用與電源供應電位不同的電位；因此，所企望的是，至少應使記憶體胞格陣列52及邏輯部分54電性地絕緣及隔離。如實施例模式3至6中所描述地，當非依電性記憶體元件及週邊電路的電晶體係使用形成於絕緣膜上之半導體膜所形成時，可易於執行絕緣及隔離。因此，可獲得無故障及具有低功率消耗的非依電性半導體記憶體裝置。

下文中，將參照第19至21圖來敘述記憶體胞格陣列的結構性實例。第19圖係顯示記憶體胞格陣列52之結構性實例的電路圖，記憶體胞格MC係以矩陣而配置。在第19圖中，顯示3列x2行的記憶體胞格MC，各個記憶體胞格MC儲存1位元之資訊，且包含串聯連接的開關電晶體Ts和非依電性記憶體電晶體Tm。記憶體胞格陣列52係設置有位

元線 BL0 及 BL1 以及源極線 SL0 及 SL1 以供每一行用；此外，第一字元線 WL1 至 WL3 及第二字元線 WL11 至 WL33 係設置用於每一列。

當集中注意在由位元線 BL0 及第一字元 WL1 所指定的記憶體胞格 MC 時，開關電晶體 Ts01 的閘極係連接至第二字元線 WL11，該開關電晶體 Ts01 之源極及汲極的其中之一係連接至位元線 BL0，及其另一連接至非依電性記憶體電晶體 Tm01。非依電性記憶體電晶體 Tm01 的閘極係連接至第一位元線 WL1，該非依電性記憶體電晶體 Tm01 之源極及汲極的其中之一係連接至開關電晶體 Ts01，及其另一係連接至源極線 SL0。

在其中在該處之開關電晶體 Ts 和非依電性記憶體電晶體 Tm（下文中亦稱為“記憶體電晶體 Tm”）均係 n 通道電晶體的情況中，倘若第二字元線 WL11 及位元線 BL1 的電位係設定於高位準（下文中稱為“H 位準”），且位元線 BL0 的電位係設定於低位準（下文中稱為“L 位準”）以寫入資料至位元線 BL0 及第一字元線 WL1 所指定的記憶體胞格 MC 之中時，係施加高電壓至第二字元線 WL11；從而，注入電荷於非依電性記憶體電晶體 Tm01 的電荷貯存層之中。為拭除資料自非依電性記憶體電晶體 Tm01，第一字元線 WL1 及位元線 BL0 的電位係設定於 H 位準，且負的極性之高電壓係施加至第二字元線 WL11。

第 20 圖係顯示記憶體胞格陣列 52 之另一結構性實例的電路圖。在第 20 圖中，記憶體胞格 MC 與第 19 圖之記憶體

胞格不同，其中並未設置開關電晶體 T_s ，且非依電性記憶體電晶體 T_m 之源極及汲極的其中之一係電性連接至位元線 BL，而未透過開關元件。因此，在第 20 圖之記憶體胞格陣列 52 中，並未設置第二字元線 WL11，WL22，及 WL33。

在其中在該處之非依電性記憶體電晶體 T_m 係 n 通道電晶體的情況中，將資料寫入至由位元線 BL0 及第一字元線 WL1 所指定的記憶體胞格 MC 的實例係如下述。倘若源極線 SL 的電位係設定於 L 位準（例如，0 伏特）時，則施加高電壓至第一字元線 WL，且給予對應於資料“0”或資料“1”的電位至位元線 BL。例如，位元線 BL 之電位係分別設定於 H 位準及 L 位準的電位以供資料“0”及資料“1”用。在已獲得 H 位準電位之非依電性記憶體電晶體 T_{m01} 的汲極中，爲了要寫入資料“0”，熱電子係產生於汲極附近且該等熱電子會注入至電荷貯存層之內；也就是說，電子係由 F-N 穿隧電流而注入至電荷貯存層之內。在寫入資料“1”的情況中，此電子注入並不會發生。

在已獲得資料“0”的記憶體胞格 MC 中，熱電子係由汲極與源極間之高的側面電場而產生於汲極附近，且熱電子會注入至電荷貯存層之內。其中臨限電壓由於電子注入至電荷貯存層之內而變高的狀態係“0”；在其中在該處已獲得資料“1”的情況中，熱電子並不會產生，且其中電子並不注入至電荷貯存層之內及臨限電壓爲低的狀態會保持著；亦即，保持拭除的狀態。

當拭除資料時，係設定源極線 SL0 的電位於正極性的高電位（例如，大約 10 伏特之正電位），且使位元線 BL0 成為在浮動狀態之中；然後，設定第一字元線 WL1 的電位於負極性的高電位。因此，電子可自非依電性記憶體電晶體 Tm01 的電荷貯存層來提取至半導體區；因而，可獲得資料“1”的拭除狀態。

例如，資料係以以下方式所讀取：倘若將源極線 SL0 的電位設定於 0 伏特且將位元線 BL0 的電位設定於大約 0.8 伏特時，則給予設定在對應於資料“0”及資料“1”之臨限電壓的中間值之讀取電位成為第一字元線 WL1 的電位；此時，連接至位元線 BL0 之感測放大器 66 將判斷電流是否自非依電性記憶體電晶體 Tm 流至位元線 BL0。

第 21 圖係顯示記憶體胞格陣列 52 之另一結構性實例的電路圖。第 21 圖顯示其中記憶體胞格 MC 係 NAND（反及）型記憶體胞格的等效電路，區塊 BLK1 包含複數個 NAND 胞格，第 21 圖中之該區塊 BLK1 具有 32 條字元線（字元線 WL0 至 WL31），該記憶體胞格 MC 係由串聯連接之複數個非依電性記憶體電晶體 Tm 所形成。

在由位元線 BL0 所指出之一記憶體胞格 MC 之中，非依電性記憶體電晶體 Tm0 至 Tm31 的閘極係分別連接至第一個別的字元線 WL0 至 WL31。第一列之非依電性記憶體電晶體 Tm0 的源極及汲極之一係連接至第一選擇電晶體 S1，以及第 32 列之非依電性記憶體電晶體 Tm31 的源極及汲極之一係連接至第二選擇電晶體 S2。該第一選擇電晶體 S1 係連

接至第一選擇閘極線 SG1 及位元線 BL0，以及該第二選擇電晶體 S2 係連接至第二選擇閘極線 SG2 及位元線 BL0。

此處，將在非依電性記憶體電晶體 Tm0 至 Tm31，第一選擇電晶體 S1，及第二選擇電晶體 S2 係 n 通道電晶體之條件下，敘述寫入操作及拭除操作。在 NAND 型記憶體胞格中，在使記憶體胞格 MC 變成在拭除狀態中之後，執行寫入操作，該拭除狀態係其中記憶體胞格 MC 之記憶體電晶體 Tm0 至 Tm31 的各個記憶體電晶體之臨限電壓係負電壓的狀態。

第 22A 圖係電路圖，用以描繪寫入“0”於第 21 圖中所示的記憶體電晶體 Tm0 中之操作的實例；以及第 22B 圖係電路圖，用以描繪寫入“1”之操作的實例。例如，為寫入“0”，可施加 0 伏特（接地電壓）至位元線 BL0，及施加 Vcc（電源供應電位）至第二選擇閘極線 SG2，以使第二選擇電晶體 S2 導通；同時，施加 0 伏特至第一選擇閘極線 SG1，以使第一選擇電晶體 S1 關閉。接著，將字元線 WL0 的電位設定於高的電位 Vpgm（大約 20 伏特），以及將其它字元線的電位設定於中間電位（大約 10 伏特）。因為位元線 BL0 的電位係 0 伏特，所以所選擇之記憶體胞格 M0 的通道形成區之電位變成 0 伏特，該字元線 WL0 與通道形成區之間的電位差大；因此，電子由 F-N 穿隧電流而注入至非依電性記憶體電晶體 Tm0 的電荷貯存層之內。結果，該非依電性記憶體電晶體 Tm0 的臨限電壓具有正的極性，使得可獲得其中在該處已寫入“0”的狀態。

在其中在該處寫入“1”至非依電性記憶體電晶體 T_{m0} 的情況中，如第22B圖所示地，位元線 BL_0 之電位係設定於例如電源供應電位 V_{cc} 。因為第二選擇閘極線 SG_2 的電位係 V_{cc} ，所以使第二選擇電晶體 S_2 截止；因此，使非依電性記憶體電晶體 T_{m0} 的通道形成區變成在浮動狀態中。其次，字元線 WL_0 的電位係設定於寫入電位 V_{pgm} （20伏特），其係正極性的高電位，以及其他字元線 WL 的電位係設定於中間電位 V_{pass} （10伏特）；由於各個字元線 WL_0 至 WL_{31} 與通道形成區的電容耦合，通道形成區的電壓會比（ $V_{cc} - V_{th}$ ）更高，且變成例如大約8伏特。因此，字元線 WL_0 與通道形成區之間的電位差小，所以並不會發生由F-N穿隧電流來注入電子至記憶體電晶體 T_{m0} 的浮動閘極之內；從而，該非依電性記憶體電晶體 T_{m0} 的臨限電壓具有負的極性，使得可獲得其中已寫入“1”的狀態。

第23圖係描繪拭除操作之實例的電路圖。在第21圖之記憶體胞格陣列52中，包含於同一區塊 BLK_1 中之複數個非依電性記憶體電晶體 T_m 的資料係同時地被拭除。如第23圖中所示地，當所選擇之區塊的所有字元線 WL_0 至 WL_{31} 的電位係設定於0伏特，且半導體基板的p阱電位係設定於其係負極性之高電位的拭除電位 V_{ers} 時，位元線 BL 及源極線 SL 會在浮動狀態中；因此，電子會由穿隧電流而自包含於區塊 BLK_1 中之所有記憶體電晶體 T_m 的電荷貯存層放電至半導體基板，且記憶體電晶體 T_m 的臨限電壓會偏移至負的方向。

第24圖係電路圖，用以描繪自第21圖之記憶體電晶體 T_{m0} 來讀取資料之讀取操作的實例。在讀取操作中，第一字元線 $WL0$ 的電位係設定於讀取電位 V_r （例如，0伏特），以及未選擇之記憶體胞格的字元線 $WL1$ 至 $WL31$ 及該等選擇閘極線 $SG1$ 及 $SG2$ 係設定於讀取用之中間電位 V_{read} ，該中間電位係稍微比電源供應電位 V_{cc} 更高。結果，除了記憶體電晶體 T_{m0} 之外的記憶體電晶體 T_{m1} 至 T_{m31} 均作用以成為轉移電晶體，且流至位元線 $BL0$ 的電流係偵測於第18圖中所示的感測放大器 66 之中，使得可偵測電流是否流至記憶體電晶體 T_{m0} 。在其中在該處所儲存於記憶體電晶體 T_{m0} 中之資料係“0”的情況中，記憶體電晶體 T_{m0} 係在關閉（off）之狀態中；因此，電流並不會流至位元線 $BL0$ 。同時，在其中在該處所儲存於記憶體電晶體 T_{m0} 中之資料係“1”的情況中，記憶體電晶體 T_{m0} 係在導通（on）狀態中；因此，電流會流至位元線 $BL0$ 。

此實施例模式之非依電性半導體記憶體裝置包含其電荷保持特徵被改善之非依電性半導體記憶體元件，使得記憶體性能的可靠性可予以增進。

（實施例模式3）

在此實施例模式中，做為用以製造半導體裝置之方法，將敘述非依電性半導體記憶體裝置的製造方法。在非依電性半導體記憶體裝置中，因為記憶體胞格陣列之電晶體需要比邏輯部分之電晶體更高的驅動電壓，所以較佳的是

，記憶體胞格陣列的電晶體及邏輯部分的電晶體之結構依據驅動電壓而改變。例如，在其中在該處驅動電壓低，且企望於臨限電壓的變化小之情況中，較佳的是，閘極絕緣膜變薄；在其中在該處驅動電壓高，且需要具有高的耐壓之閘極絕緣膜的情況中，較佳的是，閘極絕緣膜變厚。

因此，在此實施例模式中，將敘述其中形成具有不同厚度之閘極絕緣膜於同一基板上的電晶體之製造方法。此外，在此實施例模式中，將敘述使用薄膜電晶體來製造電晶體及非依電性記憶體電晶體的方法。進一步地，在此實施例模式中，將使用第18圖之裝置以做為非依電性半導體記憶體裝置及其中在該處使用第19圖中所示之電路來形成記憶體胞格52的情況以做為實例，而敘述非依電性半導體記憶體裝置的製造方法；此點係相似於即將於稍後描述於實施例模式4至8中之非依電性半導體記憶體裝置。

第25A至25C，26A至26C，27A至27C，及28A和28B圖係橫剖面視圖，用以說明此實施例模式之製造方法。在第25A至25C，26A至26C，27A至27C，及28A和28B圖中，設置於邏輯部分54中之p通道電晶體 T_{rp} 的橫剖面係顯示於A與B之間，以及設置於邏輯部分54中之n通道電晶體 T_{rn} 的橫剖面係顯示於C與D之間；以及設置於記憶體胞格MC中之非依電性記憶體電晶體 T_m 的橫剖面係顯示於E與F之間，以及記憶體胞格MC之開關電晶體 T_s 的橫剖面係顯示於G與H之間。第29至31圖係頂視圖，用以說明此實施例模式之製造方法。沿著第29至31圖之點虛線A-B，C-D，E-F，

及 G-H 所獲得的橫剖面視圖對應於第 25A 至 25C，26A 至 26C，27A 至 27C，及 28A 和 28B 圖。

首先，如第 25A 圖中所示，將基底絕緣膜 102 形成於基板 100 之上。針對基板 100，可使用玻璃基板，石英基板，陶質物基板，或金屬基板（例如不鏽鋼基板）。該基底絕緣膜 102 可使用諸如氧化矽，氮化矽，或氮氧化矽之絕緣材料，而由 CVD 法，濺鍍法，或其類似方法所形成。例如，在其中在該處之基底絕緣膜 102 係由兩層之結構所形成的情況中，可形成氮濃度比氧濃度更高的氮氧化矽層（ SiO_xN_y ，其中在該處 $x < y$ ）以做為第一絕緣層，以及形成氧濃度比氮濃度更高的氮氧化矽層（ SiO_xN_y ，其中在該處 $x > y$ ）以做為第二絕緣層。選擇性地，可形成氮化矽層以做為第一絕緣層，以及可形成氧化矽層以做為第二絕緣層。在此方式中，用作阻斷層之基底絕緣膜 102 的形成可防止來自基板 100 之諸如 Na 的鹼金屬或鹼土金屬具有不利的效應於即將被形成於基底絕緣膜 102 之上的元件。

接著，形成島狀之半導體膜 104，106，108，及 110 於基底絕緣膜 102 之上。第 29 圖係島狀之半導體膜 104，106，108，及 110 的頂視圖，該等島狀之半導體膜 104，106，108，及 110 可如下地形成；由濺鍍法，LPCVD 法，電漿 CVD 法，或其類似方法來形成含有矽（Si）以做為其主要成分之非晶半導體膜，且使該非晶半導體膜結晶化，以形成晶體半導體膜；以及蝕刻該晶體半導體膜，以形成島狀之半導體膜 104，106，108，及 110。注意的是，做為非晶

半導體膜，可形成非晶矽膜，非晶銻膜，非晶矽銻膜，或其類似物。進一步地，該非晶半導體膜的結晶可由雷射結晶法，使用RTA或退火爐之熱結晶法，使用可促進結晶之金屬元素的熱結晶法，其中結合該等方法之任何方法的方法，或其類似方法所執行。

做為基板100，可使用SOI基板。在此情況中，蝕刻該SOI基板的半導體層，使得可形成島狀之半導體膜104，106，108，及110。選擇性地，使部分之半導體層氧化，以致可使用未被氧化之區域來做為島狀之半導體膜104，106，108，及110。取代該SOI基板，可使用GOI基板或SGOI基板。

其次，如第25A圖中所示地，形成絕緣層112，以覆蓋該等島狀之半導體膜104，106，108，及110。該絕緣膜112係由使用氧化矽，氮化矽，或氮氧化矽之單層膜或具有二或更多層之多層膜，而由LPCVD法或電漿CVD法所形成。該絕緣膜112作用成為記憶體胞格MC之電晶體Ts的閘極絕緣膜；因此，該絕緣膜112係以10奈米至50奈米之厚度而形成。

接著，如第25B圖中所示地，選擇性地蝕刻絕緣膜112，以及暴露出半導體膜104，106，及108的表面。此處，設置在記憶體部分中的半導體膜110係由阻體114而選擇性地覆蓋，以及將形成於半導體膜104，106，及108上的絕緣膜112加以蝕刻及去除。

將阻體114去除，且分別形成絕緣膜116，118，及120

於半導體膜104，106，及108之上，如第25C圖中所示。絕緣膜120形成記憶體電晶體Tm的第一絕緣膜；較佳地，該等絕緣膜116，118，及120之各個絕緣膜的厚度係1奈米至10奈米，更佳地係1奈米至5奈米。注意的是，絕緣膜116及118會在稍後的步驟中被去除。

絕緣膜116，118，及120可以以此一方式而形成，亦即，使半導體膜104，106，及108接受熱處理，高密度電漿處理，或其類似處理。例如，以與第2圖中之非依電性記憶體電晶體的第一絕緣膜11相似之方式，使半導體膜104，106，及108接受由高密度電漿處理之氧化處理，氮化處理，或氮氧化處理，使得可形成由半導體之氧化物，氮化物，或氮氧化物所形成的絕緣膜116，118，及120。在其中在該處之半導體膜104，106，及108係由矽膜所形成的情況中，當使半導體膜104，106，及108之各個半導體膜接受藉由高密度電漿處理之氧化處理時，可形成氧化矽層；當使半導體膜104，106，及108之各個半導體膜接受藉由高密度電漿處理之氮化處理時，可形成氮化矽層；以及當使半導體膜104，106，及108之各個半導體膜接受藉由度電漿處理之氮氧化處理時，可形成氮氧化矽層。此外，在執行氧化處理以形成氧化矽層之後，可執行氮化處理。在此情況中，可調整氮化處理時間或類似時間，使得可形成具有氮化之表面的氧化矽層，氮氧化矽層，或氮化矽層。

首先，在此處，將氧氣（ O_2 ）及氬氣（Ar）之混合氣

體引入至反應室之內，由高密度電漿來產生氧游離基，以及執行氧化處理於半導體膜104，106，及108之上；因而，形成具有大約3奈米至6奈米之厚度的氧化矽層於半導體膜104，106，及108的表面上。做為處理氣體之流率，可將氧氣之流率設定於0.1sccm至100sccm，且可將氬氣之流率設定於100sccm至5000sccm。

接著，將氮氣（ N_2 ）及氬氣（Ar）之混合氣體引入至其中在該處已執行氧化處理的反應室之內，由高密度電漿來產生氮游離基，以及使氧化矽層接受氮化處理。例如，可調整氮化處理時間，使得各個氧化矽層可設置有具有20原子百分比（at.%）至50原子百分比之氮濃度及具有大約1奈米之厚度的層。此時，可將形成於半導體膜110上之絕緣膜112的表面氧化或氮化，且在一些情況中，可形成氮氧化矽層。做為處理氣體之流率，可將氧氣之流率設定於20sccm至2000sccm，且可將氬氣之流率設定於100sccm至10000sccm。

其次，如第26A圖中所示，形成用作電荷貯存層之第一氮化矽膜122及第二氮化矽膜123，以覆蓋絕緣膜112，116，118，及120。第一氮化矽膜122可以以相似於實施例模式1之第一氮化矽膜12之方式而形成，且第二氮化矽膜123可以以相似於實施例模式1之第二氮化矽膜13之方式而形成；例如，將 NH_3 及 SiH_4 引入至電漿CVD設備的反應室之內，且形成第一氮化矽膜122於400℃之基板溫度；將 N_2 ， SiH_4 ，及Ar引入至且同一反應室之內，且形成第二氮化

矽膜 123 於 400°C 之基板溫度。

接著，如第 26B 圖中所示，形成阻體 124，由蝕刻法來去除絕緣膜 116 及 118，以及部分之第一氮化矽膜 122 及部分之第二氮化矽膜 123；暴露半導體膜 104 及 106 的頂部表面，及半導體膜 108 上之絕緣膜 120 的頂部表面；以及保留第一氮化矽膜 122 及第二氮化矽膜 123 於半導體膜 108 之上，以用作記憶體電晶體 T_m。

去除阻體 124，及成絕緣膜 128 於基板 100 之上，如第 26C 圖中所示。該絕緣膜 128 形成邏輯部分 54 之電晶體 T_{rp} 及 T_{rn} 的閘極絕緣膜，且形成記憶體電晶體 T_m 的第二絕緣膜。該絕緣膜 128 係由 CVD 法，濺鍍法，或類似方法來沈積由氧化矽，氮化矽，氮氧化矽，或其類似物所形成之絕緣材料所形成；該絕緣膜 128 可由單層膜或具有二或更多層之多層膜所形成。例如，在其中在該處之絕緣膜 128 係由單一層所形成的情況中，氮氧化矽層係由 CVD 法而形成於 5 奈米至 50 奈米之厚度；此外，在其中在該處之絕緣膜 128 係由三層之結構所形成的情況中，氮氧化矽層係形成為第一絕緣層，氮化矽層係形成為第二絕緣層，以及氮氧化矽層係形成為第三絕緣層。

接著，如第 27A 圖中所示，導電膜 130 係形成於絕緣膜 128 之上，以及導電膜 132 係形成於導電膜 130 之上；由導電膜 130 及導電膜 132 所形成之堆疊膜形成電晶體 T_{rp}，T_{rn}，及 T_s 以及記憶體電晶體 T_m 的閘極電極。無庸置疑地，該等閘極電極亦可由具有單層結構的導電膜所形成。

注意的是，當記憶體電晶體 T_m 係 MNOS 型時，在形成導電膜 130 的步驟之前，可由蝕刻法自其中形成記憶體電晶體 T_m 之區域來去除絕緣膜 128。

導電膜 130 及 132 可具有單層之結構或二或更多層的多層結構。做為形成該等導電膜 130 及 132 的導電性材料，可使用選擇自鉭 (Ta)，鎢 (W)，鈦 (Ti)，鉬 (Mo)，鋁 (Al)，銅 (Cu)，鉻 (Cr)，鈮 (Nb)，及其類似物之單一金屬；含有該等金屬之任一金屬以做為其主要成分之合金材料或化合物材料；摻雜有諸如磷之雜元素的多晶矽；或其類似物。例如，做為金屬化合物，具有金屬氮化物，矽化物，及其類似物。

例如，導電膜 130 係由氮化鉭膜所形成，以及導電膜 132 係由鎢膜所形成。選擇性地，導電膜 130 可由使用選擇自氮化鎢，氮化鉬，及氮化鈦之導電性材料的單層膜或堆疊層之膜所形成；以及導電膜 132 可由使用選擇自鉭，鎢，及鈦之導電性材料的單層膜或堆疊層之膜所形成。

接著，如第 27B 圖中所示，蝕刻由導電膜 130 及 132 所形成之堆疊膜，以形成分別與半導體膜 104，106，108，及 110 重疊的導電膜 134，136，138，及 140。在此狀態中之頂視圖係顯示於第 30 圖之中，導電膜 134 及 136 分別作用成為電晶體 T_{rp} 及 T_{rn} 的閘極電極，導電膜 138 形成第二字元線 WL 且作用成為開關電晶體 T_s 的閘極電極，以及導電膜 140 形成第一字元線 WL 且作用成為開關電晶體 T_s 的閘極電極。

然後，如第27C圖中所示，選擇性地形成阻體142以覆蓋半導體膜104，使用導電膜136，138，及140以做為罩幕，且以給予n型導電性之雜質元素來摻雜半導體膜106，108，及110，而分別形成n型高濃度雜質區146，150，及154，該等高濃度雜質區146，150，及154形成源極區及汲極區。藉由添加給予n型導電性之此雜質，可以以自行對齊的方式來分別形成通道形成區144，148，及152於半導體膜106，108，及110之中。

去除該阻體142。接著，如第28A圖中所示，形成阻體156以覆蓋半導體膜106，108，及110，使用導電膜134以做為罩幕，且以給予p型導電性之雜質來摻雜半導體膜104，而形成p型高濃度雜質區160，該高濃度雜質區160形成源極區及汲極區。藉由添加給予p型導電性之此雜質，可以以自行對齊的方式來形成通道形成區158於半導體膜104之中。

去除該阻體156。隨後，如第28B圖中所示，形成絕緣膜162以覆蓋導電膜134，136，138，及140；形成到達高濃度雜質區160，146，150，及154之開口於絕緣膜162中；以及形成電性連接至半導體膜104，106，108，及110中所形成之高濃度雜質區160，146，150，及154的導電膜164至170。此狀態之頂視圖係顯示於第31圖之中，導電膜164及導電膜165形成p通道電晶體Trp的源極電極及汲極電極，導電膜166及導電膜167形成n通道電晶體Trn的源極電極及汲極電極，導電膜168形成連接開關電晶體Ts及記憶

體電晶體 Tm 的電極，導電膜 169 形成位元線 BL，以及導電膜 170 形成源極線 SL。

絕緣膜 162 可由單層結構或堆疊層結構所形成。做為形成絕緣膜 162 之絕緣膜，可由 CVD 法，濺鍍法，或其類似方法來形成含有氧化矽，氮化矽，氮氧化矽，或 DLC（似鑽石之碳）之無機絕緣膜。此外，可使用由諸如環氧，聚亞醯胺，聚醯胺，聚乙烯酚，苯并環丁烯，或丙烯酸之有機材料所形成的膜；或可使用由諸如矽氧烷樹脂之矽氧烷材料所形成的膜。

導電膜 164 可由單層結構或堆疊層結構所形成。該導電膜 164 係使用諸如選擇自鋁（Al），鎢（W），鈦（Ti），鉭（Ta），鉬（Mo），鎳（Ni），鉑（Pt），銅（Cu），金（Au），銀（Ag），錳（Mn），及釹（Nd）之單一金屬元素；或含有該等元素之任一元素以做為其主要成分之合金材料或化合物材料的導電性材料，而由 CVD 法，濺鍍法，或其類似方法所形成。例如，做為含有鋁以做為其主要成分之合金材料，可給予鋁及鎳的合金；含有鎳以及碳及矽的其中之一或二者皆有的鋁合金；及其類似物。因為鋁或鋁矽具有低的電阻值且並不昂貴，所以鋁或鋁矽係適用於導電膜 164 之形成材料。

例如，做為具有三層結構之導電膜 164，存在有包含障壁層，鋁矽（Al-Si）層，及障壁層之堆疊膜；包含障壁層，鋁矽（Al-Si）層，氮化鈦層，及障壁層之堆疊膜；及其類似物。注意的是，該障壁層係使用由鈦，鈦之氮

化物，鋁，或鋁之氮化物所形成之薄膜所形成。當障壁層係設置用於上方層及下方層時，可防止鋁或鋁矽之小丘的產生。此外，當使用由具有高還原性質之鈦所形成的障壁層時，即使當薄的氧化物膜係自然地形成於晶體半導體層之上，該障壁層亦可還原此氧化物膜，且因而，可獲得與晶體半導體膜之有利的接觸。

藉由上述步驟，可形成其中記憶體胞格陣列52及邏輯部分54係成一體於同一基板100之上的非依電性半導體裝置。

（實施例模式4）

在實施例模式3之中，係描述製造方法，其中用作記憶體胞格MC中所形成之非依電性記憶體元件的控制絕緣膜的絕緣層及形成於邏輯部分中之薄膜電晶體的閘極絕緣膜係同時地形成；然而，非依電性半導體記憶體裝置的製造方法並未受限於此，例如亦可使用如第32A至32C圖中所示的形成。

首先，直至第26A圖且包含第26A圖之方法係由實施例模式3之製造方法所執行。如第32A圖中所示，在相似的形成之後，形成絕緣膜128於第一氮化矽膜122及第二氮化矽膜123之上。

接著，如第32B圖中所示，選擇性地形成阻體124以覆蓋半導體膜108，且然後，去除形成於半導體膜104，106，及110上之第一氮化矽膜122，第二氮化矽膜123，及絕

緣膜 128，以及暴露出半導體膜 104 及 106 和絕緣膜 112。

其次，如第 32C 圖中所示，與實施例模式 3 相似地由高密度電漿處理來形成絕緣膜 116 及 118 於半導體膜 104 及 106 的表面上；結果，可以以不同的厚度及由不同的材料來形成邏輯部分 54 中所形成之電晶體 Trp 及 Trn 的閘極絕緣膜，以及記憶體胞格 MC 中所形成之非依電性記憶體電晶體 Tm 的第二絕緣膜。

執行實施例模式 3 之包含第 27A 圖及第 27A 圖之後的方法，使得可形成非依電性半導體記憶體裝置。

（實施例模式 5）

在此實施例模式中，將敘述半導體裝置的製造方法。在此實施例模式中，將與實施例模式 3 及 4 相似地描述非依電性半導體記憶體裝置的製造方法。

第 33A 至 33C，34A 至 34C，及 35A 至 35C 圖係橫剖面視圖，用以顯示此實施例模式的製造方法。與實施例模式 3 相似地，在邏輯部分 54 中之電晶體 Trp 及 Trn 以及在記憶體胞格陣列 52 中之非依電性記憶體電晶體 Tm 及開關電晶體 Ts 係以橫剖面視圖而顯示。在此實施例模式中，與實施例模式 3 相似地，記憶體胞格陣列 52 係由第 19 圖中所示之電路所形成。注意的是，在此實施例模式中的製造方法之中，實施例模式 3 的方法可應用於具有與第 25A 至 25C，26A 至 26C，27A 至 27C，及 28A 和 28B 圖中之參考符號相同的參考符號之組件的形成方法；因此，使用實施例模式 3 的

說明用於該等組件的詳細說明。

首先，執行實施例模式3之中所述的直至第25A圖且包含第25A圖之方法。接著，形成阻體114於絕緣膜112之上；使用該阻體114，且由蝕刻法來去除並未由阻體114所覆蓋之區域中的絕緣膜112（請參閱第33A圖）。

藉由此蝕刻法，半導體膜104，106，及108的邊緣可由絕緣膜112所覆蓋，此結構係設置以便防止在基底絕緣膜102中形成凹陷於其中在該處各個半導體膜104，106，及108之邊與基底絕緣膜102所接觸的部分中（若其中在該處係由蝕刻法來去除形成於各個半導體膜104，106，及108上的整個絕緣膜112時）。若其中在該處形成凹陷於基底絕緣膜102之中時，將在隨後之形成用以覆蓋半導體膜104，106，及108之絕緣層或其類似物的情況中產生諸如覆蓋性缺失之問題。為避免此一問題，以絕緣膜112來覆蓋各個半導體膜104，106，及108之邊緣係有效的。

去除阻體114。如第33B圖中所示，與實施例模式3相似地，由高密度電漿處理以分別形成絕緣膜116，118，及120於半導體膜104，106，及108之上。接著，如第33C圖中所示，與實施例模式3相似地，形成第一氮化矽膜122及第二氮化矽膜123。

接著，如第34A圖中所示地，由阻體126來覆蓋半導體膜108及半導體膜110，且由蝕刻法來去除形成於並未由阻體126所覆蓋之區域中的第一氮化矽膜122及第二氮化矽膜123。去除該阻體126，且如第34B圖中所示地形成絕緣

膜 128。用以形成該絕緣膜 128 之方法可以以與實施例模式 3 相似之方式來執行，例如由電漿 CVD 法來形成 5 奈米至 50 奈米厚度之氮氧化矽層以做為絕緣膜 128。

接著，如第 34C 圖中所示地，分別形成各自地用作閘極電極的導電膜 134，136，138 及 140 於半導體膜 104，106，108，及 110 之上。注意的是，形成於記憶體部分中所設置之半導體膜 108 上的導電膜 138 形成第二字元線 WL，且用作非依電性記憶體電晶體 T_m 中之控制閘極。此外，導電膜 134 及 136 分別用作電晶體 T_{rp} 及 T_{rn} 的閘極電極，以及導電膜 140 形成第一字元線 WL 且用作開關電晶體 T_s 的閘極電極。

注意的是，當記憶體電晶體係 MNOS 型時，在其中形成導電膜 134，136，138，及 140 的過程之前，絕緣膜 128 係由蝕刻法而自其中形成記憶體電晶體 T_m 的區域去除。

之後，如第 35A 圖中所示地，選擇性地形成阻體 142 以覆蓋半導體膜 104，以及使用該阻體 142 及導電膜 136，138，及 140 來做為罩幕，使得該等半導體膜 106，108，及 110 可摻雜以能給予 n 型導電性之雜質元素。藉由摻雜能給予 n 型導電性的雜質元素之此步驟，可以以自行對齊的方式而分別形成高濃度雜質區 146，150，及 154，以及通道形成區 144，148，及 152 於半導體膜 106，108，及 110 之中。

去除阻體 142。接著，如第 35B 圖中所示，形成阻體 156 以覆蓋半導體膜 106，108，及 110。使用導電膜 134 以

做為罩幕，且引入能給予p型導電性之雜質元素至半導體膜104之內，使得高濃度雜質區160及通道形成區158可以自行對齊的方式而形成於半導體膜104之中。

去除阻體156。接著，如第35C圖中所示，形成絕緣膜162以覆蓋導電膜134，136，138，及140，且分別形成到達高濃度雜質區160，146，150，及154的開口；以及形成電性連接至半導體膜104，106，108，及110中之高濃度雜質區160，146，150，及154的導電膜164至170。透過上述方法，可形成其中記憶體胞格陣列52及邏輯部分54係成一體於同一基板100之上的非依電性半導體記憶體裝置。

（實施例模式6）

在此實施例模式中，將敘述半導體裝置的製造方法。在此實施例模式中，將與實施例模式3至5相似地描述非依電性半導體記憶體裝置的製造方法。

第36A至36C，37A至37C，及38A至38C圖係橫剖面視圖，用以各個地顯示此實施例模式的製造方法。與實施例模式3相似地，在邏輯部分54中之電晶體 T_{rp} 及 T_{rn} 以及在記憶體胞格陣列52中之非依電性記憶體電晶體 T_m 及開關電晶體 T_s 係以橫剖面視圖而顯示。在此實施例模式中，與實施例模式3相似地，記憶體胞格陣列52係由第19圖中所示之電路所形成。此外，在此實施例模式中的製造方法之中，實施例模式3的方法可應用於具有與第25A至25C，26A至26C，27A至27C，及28A和28B圖中之參考符號相同

的參考符號之組件的形成方法；因此，使用實施例模式3的說明於該等組件的詳細說明。

首先，如第36A圖中所示地，形成基底絕緣膜102於基板100之上，形成半導體膜103於基底絕緣膜102之上，以及形成絕緣膜112於半導體膜103之上。

做為用以形成半導體膜103之方法，可使用以下之方法。由濺鍍法，LPCVD法，電漿CVD法，或類似方法來形成由矽，矽鎢，或鎢所形成之非晶半導體膜，且使該非晶半導體膜結晶化以形成晶體半導體膜。該非晶半導體膜之結晶可由雷射結晶法，使用RTA或退火爐之熱結晶法，使用可促進結晶之金屬元素的熱結晶法，其中結合該等方法之任何方法的方法，或其類似方法所執行。

接著，形成阻體114於絕緣膜112之上。如第36B圖中所示，使用阻體114以做為罩幕且蝕刻該絕緣膜112。如第36C圖中所示，去除阻體114，及使所暴露之半導體膜103接受高密度電漿處理以形成絕緣膜115。該絕緣膜115可由與實施例模式3的絕緣膜116及118之方法相似的法所形成。

其次，如第37A圖中所示，第一氮化矽膜122係形成於絕緣膜115及112之上，以及第二氮化矽膜123係形成於第一氮化矽膜122之上。

接著，形成阻體125。使用該阻體125來做為罩幕，且如第37B圖中所示地蝕刻絕緣膜115，第一氮化矽膜122，及第二氮化矽膜123。在G與H之間的第一氮化矽膜122及

第二氮化矽膜 123 作用成為開關電晶體的閘極絕緣膜，在 G 與 H 之間的第一氮化矽膜 122 及第二氮化矽膜 123 亦可加以去除。

去除該阻體 125。接著，如第 37C 圖中所示，使用阻體罩幕，且將半導體膜 103 蝕刻，以形成島狀半導體膜 104，106，108，及 110（請參閱第 37C 圖）。

其次，如第 38A 圖中所示，形成覆蓋半導體膜 104，106，108，及 110 之絕緣膜 128。接著，如第 38B 圖中所示，分別形成各自地用作閘極電極之導電膜 134，136，138，及 140 於半導體膜 104，106，108，及 110 之上。

注意的是，當記憶體電晶體 T_m 係 MNOS 型時，在其中形成導電膜 134，136，138，及 140 的過程之前，可由蝕刻法將絕緣膜 128 自其中形成記憶體電晶體 T_m 之區域來予以去除。

接著，執行實施例模式 3 之第 27C 及 28A 圖之方法；如第 38C 圖中所示，分別形成通道形成區 158，144，148，及 152 以及高濃度雜質區 160，146，150，及 154 於半導體膜 104，106，108，及 110 之中。其次，形成絕緣膜 162，以形成到達高濃度雜質區 160，146，150，及 154 的開口於絕緣膜 162 之中；接著，形成電性連接至形成於半導體膜 104，106，108，及 110 中之高濃度雜質區 160，146，150，及 154 的導電膜 164 至 170 於該絕緣膜 162 之上。

透過上述方法，可形成其中記憶體胞格陣列 52 及邏輯部分 54 係成一體於同一基板 100 之上的非依電性半導體記

憶體裝置。

(實施例模式7)

在此實施例模式中，將敘述使用半導體基板來製造非依電性半導體記憶體裝置之方法，以做為半導體裝置的製造方法。

第39A至39C，40A至40C，41A至41C，42A至42C，及43A至43C圖係橫剖面圖，用以描繪此實施例模式之非依電性半導體記憶體裝置的製造方法。在此實施例模式中，記憶體胞格陣列52係由如第21圖中所示之NAND（反及）型記憶體胞格所形成。在第39A至39C，40A至40C，41A至41C，42A至42C，及43A至43C圖的各個圖式中，設置於邏輯部分54中之p通道電晶體 Trp 及n通道電晶體 Trn 的橫剖面係顯示於A與B之間，設置於記憶體胞格陣列52中之非依電性記憶體電晶體 Tm 及第二選擇電晶體 $S2$ 的橫剖面係顯示於C與D之間。第44A及44B，45A及45B，以及46A及46B圖係頂視圖，用以描繪此實施例模式的製造方法，沿著第44A及44B，45A及45B，以及46A及46B圖之點虛線A-B及C-D所取得的橫剖面對應於第39A至39C，40A至40C，41A至41C，42A至42C，及43A至43C圖。

首先，如第39A圖中所示，製備半導體基板1200，具有n型導電性之單晶Si晶圓係使用於該半導體基板1200。形成絕緣膜1201於該半導體基板1200之上；做為用以形成絕緣膜1201之方法，可使用其中半導體基板1200的表面係

由熱氧化處理所氧化以形成氧化矽之方法。氮化矽膜 1202 係由 CVD 法而形成於絕緣膜 1201 之上。此外，氮化矽膜 1202 可以以此一方式而形成，亦即，形成絕緣膜 1201 且接著由高密電漿處理而使該絕緣膜 1201 氮化的方式。

接著，如第 39B 圖中所示，形成阻體 1203 的圖案於氮化矽膜 1202 之上，使用該阻體 1203 來做為罩幕，且蝕刻氮化矽膜 1202，絕緣膜 1201，及半導體基板 1200，使得凹陷 1204 形成於半導體基板 1200 之中。此蝕刻可由使用電漿之乾蝕刻法所執行。

去除該阻體 1203。接著，如第 39C 圖中所示，形成絕緣膜 1205 以充填半導體基板 1200 中所形成之凹陷 1204。絕緣膜 1205 係使用諸如氧化矽，氮化矽，含有氧之氮化矽，或含有氮之氧化矽之絕緣材料，而由 CVD 法，濺鍍法，或其類似方法所形成。此處，做為該絕緣膜 1205 之氧化矽係使用 TEOS（四氧乙基矽）氣體而由氮圍壓力 CVD 法或低壓 CVD 法所形成。

接著，執行研磨法，拋光法，或化學機械拋光（CMP）法，使得絕緣膜 1205，氮化矽膜 1202，及絕緣膜 1201 如第 40A 圖中所示地被去除，藉以暴露半導體基板 1200 的表面。藉由此處理，可將半導體區 1207 至 1209 設置於半導體基板 1200 之凹陷 1204 中所保留的絕緣膜 1205 之間。接著，以給予 p 型導電性之雜質元素來選擇性地摻雜該半導體基板 1200，以形成 p 阱 1210。此狀態之頂視圖係顯示於第 44A 及 44B 圖之中。

注意的是，在此實施例模式中，係使用具有n型導電性的半導體基板以做為半導體基板1200；因此，並未執行雜質元素至半導體區1207之內的引入。然而，可引入給予n型導電性之雜質元素，使得n阱可形成於半導體區1207之內。注意的是，在其中在該處使用p型半導體基板的情況中，係形成n阱，使得形成半導體區1207。半導體區1208及1209可由p阱所形成，但無需一定要由p阱所形成。

接著，如第40B圖中所示，形成絕緣膜1211於半導體基板1200的表面上。該絕緣膜1211可以以與實施例模式3之絕緣膜112相似的方式而形成。此處，氮氧化矽膜係由電漿CVD法所形成，以做為絕緣膜1211。注意的是，形成於半導體區1209之上的絕緣膜1211將形成開關電晶體Ts的閘極絕緣膜。

其次，如第40C圖中所示，形成阻體1212。藉由使用阻體1212，可將形成於半導體基板1200之半導體區1207及1208上的絕緣膜1211去除。

在去除該阻體1212之後，形成絕緣膜1214於半導體區1207的表面上，以及形成絕緣膜1215於半導體區1208的表面上，如第41A圖中所示。絕緣膜1216係形成於半導體區1209之上。接著，形成第一氮化矽膜1012以覆蓋絕緣膜1214至1216，以及形成第二氮化矽膜1013以覆蓋第一氮化矽膜1012。

絕緣膜1214至1216可以以此一方式而形成，亦即，由高密度電漿處理來氧化半導體基板1200，且使其接受氮化

處理。該高密度電漿處理可以與實施例模式3相似地執行，該等絕緣膜1214至1216亦可由熱氧化或熱氮化所形成。

接著，如第41B圖中所示，形成阻體1218。使用該阻體1218以做為罩幕，且蝕刻第二氮化矽膜1013，第一氮化矽膜1012，及絕緣膜1214至1216。此處，第二氮化矽膜1013，第一氮化矽膜1012，絕緣膜1214，及絕緣膜1215係自半導體區1207及1208而去除。關於半導體區1209，第二氮化矽膜1013，第一氮化矽膜1012，及絕緣膜1216係保留於其中在該處形成非依電性記憶體電晶體 T_m 以及該等絕緣膜係自另一區去除的區域中。

在去除該阻體1218之後，形成絕緣膜1221以覆蓋半導體區1207至1209，如第41C圖中所示。絕緣膜1221可由單層膜或堆疊膜所形成；形成該絕緣膜1221之絕緣膜可使用諸如氧化矽，氮化矽，或氮氧化矽之絕緣材料，而由CVD法，濺鍍法，或類似方法所形成。此處，氮氧化矽膜係由使用 SiH_4 及 N_2O 來做為源材料之電漿CVD法所形成，以做為該絕緣膜1221。

接著，如第42A圖中所示，形成導電膜1222於絕緣膜1221之上，以及形成導電膜1223於該導電膜1222之上。該等導電膜1222及1223可以與實施例模式3之導電膜130及132相似的方式而形成。此處，導電膜1222係由氮化鉬所形成，以及導電膜1223係由鎢所形成。

接著，蝕刻該等導電膜1222及1223，且形成各自地作用成為閘極電極的導電膜1224至1228，如第42B，45A，

及 45B 圖中所示。藉由此蝕刻過程，可使並未與導電膜 1224 至 1228 重疊之區域的表面暴露於半導體區 1207 至 1209 中。導電膜 1226 形成第二選擇閘極線，導電膜 1227 形成字元線，以及導電膜 1228 形成第一選擇閘極線。

接著，如第 42C 圖中所示，將雜質元素選擇性地引入至半導體區 1207 至 1209 之內，以形成低濃度雜質區 1229 至 1231。使用導電膜 1225 至 1227 來做罩幕，以及將給予 n 型導電性之雜質引入至半導體區 1208 及 1209 之內，以形成 n 型低濃度雜質區 1230 及 1231。在半導體區 1207 之中，係使用導電膜 1224 來做為罩幕，且添加給予 p 型導電性之雜質，而形成 p 型低濃度雜質區 1229。

其次，形成由絕緣膜所形成而分別與導電膜 1224 至 1228 的側表面接觸之間隔物 1233 至 1237（亦稱為側壁）（請參閱第 43A，45A，及 45B 圖）；特定地，絕緣膜係由諸如矽，氧化矽，或氮化矽之無機材料或諸如有機樹脂之有機材料，而由電漿 CVD 法，濺鍍法，或其類似方法所形成的單層結構或具有二或更多層之多層結構所形成。然後，該絕緣膜係由主要地在垂直方向中之各向異性蝕刻法所蝕刻，使得該等間隔物 1233 至 1237 可形成為與導電膜 1224 至 1227 之各個導電膜的側表面接觸。

接著，如第 43A 圖中所示，使用間隔物 1233 至 1237 及導電膜 1224 至 1228 來做為罩幕，且引入雜質元素至半導體區 1207 至 1209 之內，而形成作用為源極區及汲極區的高濃度雜質區 1238 至 1240。第 43A 圖的頂視圖對應於第 45A 及

45B圖。

在半導體區1207之中，形成高濃度雜質區1238，用以形成LDD區之低濃度雜質區1241，及通道形成區1245。在半導體區1208之中，形成高濃度雜質區1239，用以形成LDD區之低濃度雜質區1242，及通道形成區1246。在半導體區1209之中，形成高濃度雜質區1240，用以形成LDD區之低濃度雜質區1243及1244，以及通道形成區1247及1248。形成於半導體區1207至1209中之高濃度雜質區1238至1240可形成源極區及汲極區。

注意的是，雜質元素係在暴露並未與導電膜1224至1228重疊之半導體區1207至1209的狀態中被引入。因此，形成於半導體區1207至1209之中的通道形成區1245至1248可以以相對於導電膜1224至1228之自行對齊的方式而形成。

接著，如第43B圖中所示，形成絕緣膜1249，且將開口1250至1254形成於絕緣膜1249之中。該絕緣膜1249可以以與實施例模式3之絕緣膜162相似的方式所形成；此處，係使用聚矽氮烷。

接著，分別形成導電膜1255至1259於開口1250至1254之中，且選擇性地形成導電膜1260至1263於絕緣膜1249之上，以便電性連接至導電膜1255至1259。該等導電膜1255至1259，及1260至1263可以以與實施例模式3之導電膜164相似的方式所形成。此外，導電膜1255至1259可以以此一方式而形成，亦即，由CVD法來選擇性地成長鎢（W）之

方式。第43C圖之頂視圖對應於第46A及46B圖。導電膜1259及導電膜1263形成位元線。

透過上述步驟，可形成其中形成於半導體基板1200的半導體區1207之中的p通道電晶體 T_{rp} ，形成於半導體基板1200的半導體區1208之中的n通道電晶體 T_{rn} ，以及形成於半導體基板1200的半導體區1209之中的n通道第二選擇電晶體S2及非依電性記憶體元件 T_m 係成一體的非依電性半導體記憶體裝置。

注意的是，凹陷1204及絕緣膜1205係形成以供元件隔離用；然而，取代該凹陷1204及絕緣膜1205，可由LOCOS（矽之局部氧化）法來形成絕緣膜1290以做為元件隔離區，如第47圖中所示。

（實施例模式8）

在此實施例模式中，將敘述非依電性半導體記憶體裝置的製造方法，以做為用以製造半導體裝置之方法。在此實施例模式中，將與實施例模式7相似地描述使用半導體基板之非依電性半導體記憶體裝置的製造方法。

第48A至48C圖，及第49A至49C圖係橫剖面視圖，各自地顯示此實施例模式的製造方法。與第39A至39C，40A至40C，41A至41C，42A至42C，及43A至43C圖相似地，在邏輯部分54中之電晶體 T_{rp} 及 T_{rn} ，以及在記憶體胞格陣列52中之非依電性記憶體電晶體 T_m 及第二選擇電晶體S2係以橫剖面視圖而顯示。注意的是，在此實施例模式中，

實施例模式7的方法可應用於具有與第39A至39C，40A至40C，41A至41C，42A至42C，及43A至43C圖中之參考符號相同的參考符號之組件的形成方法；因此使用實施例模式7的說明於該等組件的詳細說明。

執行實施例模式7之中所描述之自第39A圖至第41A圖的方法；接著，如第48A圖中所示，形成絕緣膜1271於第二氮化矽膜1013之上。該絕緣膜1271可以以與實施例模式6之絕緣膜1221相似的方式而形成。

接著，形成阻體1218於絕緣膜1271之上。使用該阻體1218來做為罩幕，且蝕刻絕緣膜1271，第二氮化矽膜1013，第一氮化矽膜1012，以及絕緣膜1214至1216。如第48B圖中所示，將絕緣膜1216，第一氮化矽膜1012，第二氮化矽膜1013，及絕緣膜1271所形成的堆疊層形成於其中在該處形成半導體區1209之記憶體電晶體 T_m 的區域上；將第一氮化矽膜1012，第二氮化矽膜1013，絕緣膜1271，以及絕緣膜1216，1214，及1215自其他區域去除；以及暴露半導體區1207，半導體區1208，及絕緣膜1211，且暴露出部分的半導體區1209。

在去除阻體1218之後，執行氧化處理或氮化處理於半導體區1207至1209之所暴露的部分之上，且如第48C圖中所示地，形成絕緣膜1273至1275。該等絕緣膜1273至1275可由與實施例模式7之絕緣膜1214及1215相似的方法所形成，絕緣膜1273及1274可形成邏輯部分54中所形成之電晶體 T_{rp} 及 T_{rn} 的閘極絕緣膜。例如，該等絕緣膜1273至1275

可以以此一方式而形成，亦即，由高密度電漿來執行氧化處理至半導體基板1200的表面，以及接連地由高密度電漿來執行氮化處理。

接著，如第48C圖中所示，將導電膜1222形成於半導體基板1200之上，以及將導電膜1223形成於導電膜1222之上。

隨後，蝕刻由導電膜1222及1223所形成的堆疊膜，使得形成導電膜1224至1228（請參閱第49A，45A，及45B圖）。進一步地，使用導電膜1224至1227來做為罩幕，且如第49A圖中所示，蝕刻形成於該等導電膜1224至1227之下的絕緣膜。

在半導體區1207之上的絕緣膜1273形成電晶體Trp的閘極絕緣膜，在半導體區1208之上的絕緣膜1274形成電晶體Trn的閘極絕緣膜，在半導體區1209之上的絕緣膜1211形成第二選擇電晶體S2的閘極絕緣膜，在半導體區1209之上的絕緣膜1216形成記憶體電晶體Tm的第一絕緣膜，第一氮化矽膜1012及第二氮化矽膜1013形成記憶體電晶體Tm的電荷貯存層，以及絕緣膜1271形成記憶體電晶體Tm的第二絕緣膜。

其次，與實施例模式7相似地，半導體區1207至1209係低濃度地以雜質元素來摻雜，而形成低濃度雜質區；接著，形成分別與導電膜1224至1228的側表面接觸之由絕緣膜所形成的間隔物1233至1237。然後，半導體區1207至1209係高濃度地以雜質元素來摻雜，而形成高濃度雜質區

如第49B圖中所示地，執行此過程，使得高濃度雜質區1238，低濃度雜質區1241，及通道形成區1245係以自行對齊的方式來形成於半導體區1207之中。在半導體區1208之中，高濃度雜質區1239，低濃度雜質區1242，及通道形成區1246係以自行對齊的方式而形成。在半導體區1209之中，高濃度雜質區1240，低濃度雜質區1243及1244，以及通道形成區1247及1248係以自行對齊的方式而形成。此狀態之頂視圖係顯示於第45A及45B圖中。

執行與實施例模式7相似之方法，且形成絕緣膜1249，導電膜1255至1259，及導電膜1260至1263，如第49C圖中所示。第49C圖之頂視圖係顯示於第46A及46B圖之中。

藉由上述之方法，可獲得其中邏輯部分54及記憶體胞格陣列52係成一體於半導體基板1200之上的非依電性半導體記憶體裝置。

（實施例模式9）

在此實施例模式中，將敘述能無需接點而輸入及輸出資料的半導體裝置，非依電性半導體記憶體裝置係使用於該半導體裝置。描述於此實施例模式之中的半導體裝置係根據使用型樣而稱為RFID標籤，ID標籤，IC標籤，IC晶片，RF標籤，無線式標籤，電子標籤，或無線式晶片。

第50圖係方塊圖，顯示能無需接點而輸入及輸出資料之半導體裝置的結構性實例。如第44A及44B圖中所示，

半導體裝置 800 具有無需接點而交換資料的功能，以及包含高頻頻率 810，電源供應電路 820，重設電路 830，時脈產生電路 840，資料解調變電路 850，資料調變電路 860，用以控制包含在該半導體裝置 800 中之其他電路的控制電路 870，記憶體裝置 880，及天線 890。

高頻電路 810 接收來自天線 890 之信號，且自天線 890 來輸出自資料調變電路 860 所接收之信號；電源供應電路 820 自所接收之信號來產生電源供應電位；重設電路 830 產生重設信號；時脈產生電路 840 根據輸入自天線 890 之所接收的信號來產生各式各樣的時脈信號；資料解調變電路 850 解調變所接收之信號且輸出所解調變的信號至控制電路 870；以及資料調變電路 860 調變自控制電路 870 所接收之信號。

做為控制電路 870，例如係設置碼提取電路 910，碼判斷電路 920，CRC 判斷電路 930，及輸出單元電路 940。注意的是，碼提取電路 910 可提取包含在所傳送至控制電路 870 的指令中之複數個碼的各個碼，碼判斷電路 920 藉由比較所提取的碼與對應於參考值的碼而判斷該指令的內容，以及 CRC 判斷電路 930 根據所判斷的碼而偵測是否存在有傳輸錯誤或類似者。

記憶體裝置 880 包含實施例模式 1 至 8 之任一實施例模式中所描述之非依電性半導體裝置，及無法被重寫入的 ROM。本發明之非依電性半導體記憶體裝置可降低驅動電壓；因此，可延伸通訊距離，且具有高品質之通訊係可行

的。

信號係自諸如讀取器／寫入器之通訊裝置傳送至半導體裝置800，且自半導體裝置800所傳送之信號係由通訊裝置所接收；因此，可讀取半導體裝置800的資料。其次，將敘述該半導體裝置800的通訊操作。無線電信號係由天線890所接收，且然後，透過高頻電路810而被傳送至電源供應電路820，藉以產生高的電源供應電位（下文中稱為VDD）；該VDD係供應至半導體裝置800中的各個電路。注意的是，低的電源供應電位（下文中稱為VSS）係共用於半導體裝置800中所包含的複數個電路之中，且該VSS可為接地電位（GND）。

將透過高頻電路810而傳送至資料解調變電路850的信號解調變（下文中將稱呼此信號為解調變信號）；此外，經由高頻電路810而通過重設電路830及時脈產生電路840的信號及解調變信號係傳送至控制電路870。傳送至控制電路870的信號係由碼提取電路910，碼判斷電路920，CRC判斷電路930，及其類似物所分析；然後，根據所分析之信號，將儲存於記憶體裝置880中之半導體裝置800之資訊輸出。已輸出之半導體裝置800的資訊係透過輸出單元電路940而編碼；再者，該半導體裝置800之所編碼的資訊通過資料調變電路860，且然後由天線890來傳送而成為無線電信號。

半導體裝置800之使用的實例將參照第51A及51B圖來加以敘述。如第51A圖中所示，包含顯示部分3210之諸如

蜂巢式電話的行動終端機之側表面設置有讀取器／寫入器3200；同時，產品3220之側表面設置有半導體裝置800（第51A圖）。當該讀取器／寫入器3200保持於半導體裝置800之上時，則儲存於該半導體裝置800中之資訊會由讀取器／寫入器所傳送及接收；結果，行動終端機之顯示部分3210會顯示產品上的資訊，例如材料，原產地，用於各個生產步驟之檢查結果，流通過程的歷史，以及產品之說明。

如第51B圖中所示，當產品3260係由輸送帶所轉移時，該產品3260可藉由附著至產品3260及讀取器／寫入器3240之半導體裝置800來予以檢查。藉由能在此一檢查系統之中無線式通訊的半導體裝置800，可易於獲得無法直接顯示於產品3260上之各式各樣的資訊。

（實施例模式10）

在此實施例模式中，將敘述設置有非依電性半導體記憶體裝置之電子裝置以做為半導體裝置。本發明可使用於所有領域之設置有非依電性半導體記憶體裝置以做為記憶體裝置的電子裝置，例如可舉例如下：諸如攝影機或數位相機之相機，眼鏡型顯示器（頭戴式顯示器），導航系統，聲頻再生裝置（汽車音響組合，聲頻組件組合，或其類似物），電腦，遊戲機，可攜式資訊終端機（行動電腦，行動電話，可攜式遊戲機，電子書（e-book）讀取器，或其類似物），以及設置有記錄媒體及其類似物之影像再生

裝置（特定地，設置有顯示裝置而可再生諸如數位多功能碟片（DVD）之記錄媒體及顯示影像的裝置）。該等電子裝置的特定實例係顯示於第52A至52E圖之中。

第52A及52B圖顯示數位相機，第52B圖係顯示第52A圖中所示之數位相機的背面之視圖。第52A及52B圖中所示的數位相機包含機架2111，顯示部分2112，鏡頭2113，操作鍵2114，快門按鈕2115，設置有非依電性半導體記憶體裝置之儲存媒體2116，及其類似物。機架2111具有其中使用者可取出該儲存媒體2116的結構。在數位相機中，所攝取之靜像或動像，或所記錄之聲頻資料可予以儲存於該儲存媒體2116中。在實施例模式2至8之任一實施例模式中所描述的非依電性半導體記憶體裝置可應用於該儲存媒體2116。

第52C圖係蜂巢式電話的外部視圖。該蜂巢式電話係行動終端機的典型實例，該蜂巢式電話包含機架2121，顯示部分2122，操作鍵2123，及其類似物。該蜂巢式電話設置有包含非依電性半導體記憶體裝置之儲存媒體2125，該機架2121具有其中可取出儲存媒體2125的結構。包含於該蜂巢式電話中之諸如電話號碼，影像資料，音樂資料，聲頻資料，或其類似物的資料可儲存於該儲存媒體2125之中；且儲存於該儲存媒體2125之中的影像資料，音樂資料，或聲頻資料可由蜂巢式電話所再生。在實施例模式2至8之任一實施例模式中所描述之非依電性半導體記憶體裝置可應用於該儲存媒體2125。

第 52D 圖係數位播放器的外部視圖。該數位播放器係聲頻裝置的典型實例，該數位播放器包含主體 2130，顯示部分 2131，操作部分 2133，耳機 2134，及其類似物。注意的是，頭戴式耳機或無線電耳機可使用以取代該耳機 2134，設置有非依電性半導體記憶體裝置的儲存媒體 2132 係結合於該數位播放器的主體 2130 之中。在實施例模式 2 至 8 之任一實施例模式中所描述的非依電性半導體記憶體裝置可應用於該儲存媒體 2132，主體 2130 可具有其中使用者可取出儲存媒體 2132 的結構。

例如，具有 20 至 200 千百萬位元組（GB）之記憶體容量的 NAND（反及）型非依電性半導體記憶體裝置可使用於儲存媒體 2132；操作部分 2133 可予以操作，藉此可儲存靜像，動像，聲頻資料，或音樂資料於儲存媒體 2132 之中，且可再生所儲存的資料。

第 52E 圖係電子書讀取器（亦稱為電子紙）的外部視圖。此電子書讀取器包含主體 2141，顯示部分 2142，操作鍵 2143，及儲存媒體 2144。調變解調變器可內建於主體 2141 之中，或其中可無線電地傳送及接收資訊的結構可予以使用。在實施例模式 2 至 8 之任一實施例模式中所描述的非依電性半導體記憶體裝置可應用於儲存媒體 2144，例如可使用具有 20 至 200 千百萬位元組（GB）之記憶體容量的 NAND 型非依電性半導體記憶體裝置。操作鍵 2143 可予以操作，藉此，可記錄靜像，動像，聲頻資料，或音樂資料於儲存媒體 2144 之中，且可再生所儲存的資料。該主體

2141可具有其中使用者可取出該儲存媒體2144的結構。

如上述，本發明之半導體裝置的應用範圍極廣，且本發明之半導體裝置可應用至所有領域的電子裝置，只要該等電子裝置具有儲存媒體即可，其中改善電荷保持特徵的非依電性儲存媒體係設置使得可改善電子裝置之記憶體性能的可靠性。

[實施例1]

在此實施例之中，將敘述本發明之記憶體電晶體的電荷保持特徵。第53圖係本發明之非依電性記憶體電晶體的橫剖面視圖，此非依電性記憶體電晶體稱為「記憶體電晶體TM-1」。

記憶體電晶體TM-1係形成於玻璃基板501之上。基底絕緣膜502係形成於玻璃基板501之上，形成半導體區之矽膜503係形成於基底絕緣膜502之上。在該矽膜503之中，形成通道形成區504，源極區505，汲極區506，低濃度雜質區507，及低濃度雜質區508。區域505至508係n型雜質區，以及該記憶體電晶體TM-1係n通道電晶體。

第一絕緣膜511，第一氮化矽膜512，第二氮化矽膜513，第二絕緣膜514，及閘極電極515係堆疊於矽膜503之上。第一氮化矽膜512及第二氮化矽膜513的堆疊膜形成電荷貯層516，閘極電極515係由具有包含氮化鉬膜517及鎢膜518之二層結構的導電膜所形成。

在該記憶體電晶體TM-1之中，閘極電極515的各個側

表面設置有由絕緣膜所形成的間隔物 520。覆蓋矽膜 503 的絕緣膜 521 及絕緣膜 522，第一絕緣膜 511，電荷貯存層 516，第二絕緣膜 514，閘極電極 515，及間隔物 520 係形成於玻璃基板 501 之上。連接至源極區 505 之源極電極 523 及連接至汲極區 506 之汲極電極 524 係形成於絕緣膜 522 之上。

在記憶體電晶體 TM-1 之中，第一氮化矽膜 512 係使用 NH_3 以做為氮氣源氣體，而由電漿 CVD 法所形成的膜；以及第二氮化矽膜 513 係使用 N_2 以做為源氣體，而由電漿 CVD 法所形成的膜。也就是說，第一氮化矽膜 512 係含有大量 N-H 鍵之膜，以及第二氮化矽膜 513 係含有少量 N-H 鍵之膜。

做為比較性實例，係形成三種非依電性記憶體電晶體，各具有不同的電荷貯存層 516。一係其中電荷貯存層 516 僅由第一氮化矽膜 512 所形成的非依電性記憶體電晶體，此記憶體電晶體將稱為“比較性記憶體電晶體 TM-A”；另一係其中電荷貯存層 516 僅由第二氮化矽膜 513 所形成的非依電性記憶體電晶體，此記憶體電晶體將稱為“比較性記憶體電晶體 TM-B”；以及再一係其中第二氮化矽膜 513 及第一氮化矽膜 512 係以此順序而堆疊成為電荷貯存層 516 的非依電性記憶體電晶體，此記憶體電晶體將稱為“比較性記憶體電晶體 TM-C”。

接著，將參照第 54A 至 54C，55A 至 55C，56A 至 56C，及 57A 至 57D 圖來敘述記憶體電晶體 TM-1 的製造方法。首先，如第 54A 圖中所示，基底絕緣膜 502 係形成於玻璃基

板 501 之上，以及結晶矽膜 530 係形成於基底絕緣膜 502 之上。此處，該基底絕緣膜 502 具有二層之結構：具有 50 奈米之厚度的氮氧化矽膜係使用 SiH_4 ， NH_3 ，及 N_2O 以做為處理氣體，而由電漿 CVD 法來形成為第一層；以及具有 100 奈米之厚度的氮氧化矽膜係使用 SiH_4 及 N_2O 以做為處理氣體，而形成為第二層。該第一氮氧化矽膜含有比氧更多的氮，以及該第二氮氧化矽膜含有比氮更多的氧。

該結晶矽膜 530 係由使非晶矽膜結晶化而獲得。首先，具有 66 奈米之厚度的非晶矽膜係由使用 SiH_4 以做為處理氣體之電漿 CVD 法，而形成於基底絕緣膜 502 之上；接著，藉由以連續波之 $\text{Nd}:\text{YVO}_4$ 雷射（1064 奈米之基波）的第二諧波（532 奈米）之照射，使該非晶矽膜結晶化而形成結晶矽膜 530。其次，為了要控制該記憶體電晶體 TM-1 的臨限電壓，該結晶矽膜 530 係由離子摻雜設備而以硼來摻雜。

將阻體罩幕形成於該結晶矽膜 530 之上；藉由使用此阻體罩幕，可將結晶矽膜 530 蝕刻成為所欲之形狀，而形成矽膜 503。在將該阻體罩幕去除之後，形成第一絕緣膜 511（請參閱第 54B 圖）；在由微波來產生電漿之高密度電漿處理設備中，執行固相氧化處理及固相氮化處理於該矽膜 503 之上，藉以形成第一絕緣膜 511。

接著，在同一電漿 CVD 設備中，連續形成具有 5 奈米之厚度的第一氮化矽膜 512，具有 5 奈米之厚度的第二氮化矽膜 513，及具有 10 奈米之厚度的第二絕緣膜 514 於第一絕

緣膜 511 之上（請參閱第 54C 圖）。

用於第一氮化矽膜 512 之形成，係使用 NH_3 以做為氮氣源氣體，以及使用 SiH_4 以做為矽源氣體； SiH_4 係以 2 sccm 之流率及 NH_3 係以 400 sccm 之流率而供應至反應室。此外，基板溫度係設定於 400°C ，反應壓力係設定於 40 Pa，電極間之距離係設定於 30 毫米，以及 RF 功率係設定於 100 W。

用於第二氮化矽膜 513 之形成，係使用 N_2 以做為氮氣源氣體，使用 SiH_4 以做為矽源氣體，以及添加 Ar 成為處理氣體； SiH_4 係以 2 sccm 之流率， N_2 係以 400 sccm 之流率，以及 Ar 係以 50 sccm 之流率而供應至反應室。與當形成第一氮化矽膜 512 時相似地，將基板溫度設定於 400°C ，反應壓力設定於 40 Pa，電極間之距離設定於 30 毫米，以及 RF 功率設定於 100 W。

第二絕緣膜 514 係具有 10 奈米之厚度及含有比氧更多的氮於所有的記憶體電晶體之中的氮氧化矽膜，且使用 SiH_4 及 N_2O 以做為處理氣體； SiH_4 係以 1 sccm 之流率以及 N_2O 係以 800 sccm 之流率而供應至反應室。此外，基板溫度係設定於 400°C ，反應壓力係設定於 40 Pa，電極間之距離係設定於 28 毫米，以及 RF 功率係設定於 150 W。

在第 54C 圖的方法中，於該比較性記憶體電晶體 TM-A 之中，具有 10 奈米之厚度的第一氮化矽膜 512 及第二絕緣膜 514 係接續地形成；且於該比較性記憶體電晶體 TM-B 之中，具有 10 奈米之厚度的第二氮化矽膜 513 及第二絕緣膜

514係接續地形成。在比較性記憶體電晶體 TM-C之中，具有5奈米之厚度的第二氮化矽膜 513，具有5奈米之厚度的第一氮化矽膜 512，及具有10奈米之厚度的第二絕緣膜 514係接續地形成。該等比較性記憶體電晶體 TM-A，TM-B，及 TM-C之各個比較性記憶體電晶體係由與記憶體電晶體 TM-1之製造方法相似的方法所形成，除了第 54C圖之方法之外。

在比較性記憶體電晶體 TM-A及比較性記憶體電晶體 TM-C之中，第一氮化矽膜 512的膜形成條件與記憶體電晶體 TM-1之第一氮化矽膜 512的膜形成條件相同；在比較性記憶體電晶體 TM-B及比較性記憶體電晶體 TM-C之中，第二氮化矽膜 513的膜形成條件與記憶體電晶體 TM-1之第二氮化矽膜 513的膜形成條件相同。第 5表顯示各個記憶體電晶體的電荷貯存層 516的結構。

[第 5表]

	處理氣體及其流率 [sccm]	記憶體電晶體			
		TM-1	TM-A	TM-B	TM-C
第一氮化矽膜 512	SiH ₄ /NH ₃ =2/400	5(奈米) (下方層)	10(奈米)		5(奈米) (上方層)
第二氮化矽膜 513	SiH ₄ /N ₂ /Ar =2/400/50	5(奈米) (上方層)		10(奈米)	5(奈米) (下方層)

其次，形成具有30奈米之厚度的氮化鉬膜 517於第二絕緣膜 514之上，且然後，形成具有370奈米之厚度的鎢膜 518（請參閱第 55A圖）。該氮化鉬膜 517及鎢膜 518係由

濺鍍設備所形成。

接著，蝕刻氮化鉬膜 517 及鎢膜 518 之堆疊膜，且形成閘極電極 515。首先，形成阻體罩幕於鎢膜 518 之上，藉由使用此阻體罩幕而蝕刻該鎢膜 518，該鎢膜 518 係由電漿蝕刻設備所蝕刻。且使用 CF_4 ， Cl_2 ，及 O_2 來做為蝕刻氣體。在去除該阻體罩幕之後，使用所蝕刻之鎢膜 518 來做為罩幕，且蝕刻該氮化鉬膜 517，該氮化鉬膜 517 係由電漿蝕刻設備所蝕刻，且使用 Cl_2 來做為蝕刻氣體。如上述地，可形成閘極電極 515（請參閱第 55B 圖）。

接著，爲了要形成高電阻雜質區於記憶體電晶體 TM-1 之中，使用該閘極電極 515 來做為罩幕，且以磷來摻雜矽膜 503。此過程係由電漿摻雜設備所執行，處理氣體係 PH_3 ，以及劑量係 1×10^{13} 離子/平方公分。在此過程之中，通道形成區 504，低濃度雜質區 507，及低濃度雜質區 508 係以自行對齊之方式形成於矽膜 503 之中（第 55C 圖）。

其次，如第 56A 圖中所示地，以間隔物 520 來設置閘極電極 515 之各個側表面。該間隔物 520 係以此一方式而形成，亦即，形成間隔物 520 之絕緣膜係形成以覆蓋閘極電極 515，第二絕緣膜 514，電荷貯存層 516，第一絕緣膜 511，及矽膜 503，且將此絕緣膜蝕刻之方式。此處，可形成第二絕緣膜來形成間隔物 520：具有 100 奈米之厚度的氮氧化矽膜係由電漿 CVD 法而形成，以做為第一層；以及具有 200 奈米之厚度的氧化矽膜係由低壓 CVD 法而形成，以做為第二層，第二絕緣膜 514，第二氮化矽膜 513，及第一氮

化矽膜 512 亦可由形成間隔物 520 之蝕刻處理所蝕刻。如第 56A 圖中所示，形成由第一氮化矽膜 512 及第二氮化矽膜 513 所形成之電荷貯存層 516。

接著，爲了要形成源極區 505 及汲極區 506，矽膜 503 係使用閘極電極 515 及間隔物 520 來做爲罩幕，而以磷來加以摻雜。在此過程中，使用電漿摻雜設備且使用 PH_3 以做爲處理氣體，以及劑量係 3×10^{15} 離子/平方公分。以此方法，可以自行對齊的方式來形成源極區 505 及汲極區 506 於矽膜 503 之中（請參閱第 56B 圖）。

其次，形成絕緣膜 521 及絕緣膜 522 於玻璃基板 501 的整個表面之上（第 56C 圖）。做爲該絕緣膜 521，係形成具有 100 奈米之厚度且含有氫之氮氧化矽膜，此氮氧化矽膜係由電漿 CVD 設備所形成，且使用 SiH_4 ， NH_3 ，及 N_2O 來做爲處理氣體。做爲該絕緣膜 522，係由電漿 CVD 法來形成具有 600 奈米之厚度的氮氧化矽膜；針對此氮氧化矽膜的處理氣體，可使用 SiH_4 及 N_2O 。

在形成該絕緣膜 522 之後，熱處理係由加熱爐而執行於矽膜 503 之上。此熱處理係用以激活所添加至矽膜 503 之硼及磷，以及以包含於絕緣膜 521 中之氫來使矽膜 503 氫化的處理。

接著，將到達源極區 505 及汲極區 506 的接觸孔形成於絕緣膜 521 及絕緣膜 522 之中。形成源極電極 523 及汲極電極 524 之導電膜係形成於絕緣膜 522 之上。此處，該導電膜具有四層之結構，第一層係具有 60 奈米之厚度的鈦膜，第

二層係具有40奈米之厚度的氮化鈦膜，第三層係具有300奈米之厚度的純鋁膜，以及第四層係具有100奈米之厚度的氮化鈦膜。將此導電膜蝕刻，且形成源極電極523及汲極電極524（第53圖）。如上述地，可完成記憶體電晶體TM-1。此外，可相似地形成該等比較性記憶體電晶體TM-A，TM-B，及TM-C。

爲了要評估各個記憶體電晶體的電荷保持特徵，係測量寫入操作之後的汲極／源極電流 I_{DS} -閘極／源極電壓 V_{GS} 之特徵（下文中稱爲 I_{DS} - V_{GS} 特性），以及在拭除操作之後的 I_{DS} - V_{GS} 特性。由此測量結果，可獲得各個保持特徵。第57A圖係記憶體電晶體TM-1之保持特徵的圖形，第57B至57D圖係該等比較性實性之保持特徵的圖形。第57B圖係比較性記憶體電晶體TM-A之保持特徵的圖形，第57C圖係比較性記憶體電晶體TM-B之保持特徵的圖形，第57D圖係比較性記憶體電晶體TM-C之保持特徵的圖形，各個圖形的水平軸顯示自寫入操作及拭除操作起之所逝去的時間。注意的是，因爲水平軸係對數之刻度，所以當執行寫入操作時之點及當執行拭除操作時之點係表示成爲0.1小時；垂直軸係各個記憶體電晶體的臨限電壓 V_{th} ，由該等 I_{DS} - V_{GS} 特性的測量結果所計算出。

寫入操作係以此一方式而執行，亦即，將源極電極523的電位及汲極電極524的電位設定於0伏特（V），將寫入電壓 W_r 施加至閘極電極515一毫秒，以及注入電子至電荷貯存層516之內。拭除操作係以此一方式而執行於記

憶體電晶體之中，亦即，將源極電極523的電位及汲極電極524的電位設定於0伏特（V），將拭除電壓 E_r 施加至閘極電極515一毫秒。對各個記憶體電晶體的寫入電壓 W_r 及拭除電壓 E_r 係使用由Agilent Technologies Inc.所製作之脈波產生器擴展器（SMU及脈波產生器擴展器，型號：41501B）所施加。此外，各個記憶體電晶體的寫入電壓 W_r 及拭除電壓 E_r 係設定於如下：針對記憶體電晶體TM-1， $W_r=18$ 伏特（V）及 $E_r=-18$ 伏特（V）；針對比較性記憶體電晶體TM-A， $W_r=18$ 伏特（V）及 $E_r=-18$ 伏特（V）；針對比較性記憶體電晶體TM-B， $W_r=18.5$ 伏特（V）及 $E_r=-18.5$ 伏特（V）；以及針對比較性記憶體電晶體TM-C， $W_r=17$ 伏特（V）及 $E_r=-17$ 伏特（V）。

在記憶體電晶體的寫入操作之後的 $I_{DS}-V_{GS}$ 特性的測量係執行如下：首先，執行其中將資料寫入至記憶體電晶體的寫入操作；接著，保持寫入狀態中之記憶體電晶體係由熱盤來加熱於 85°C 之狀態，且在從寫入操作起而經過預定時間之後，測量各個記憶體電晶體的 $I_{DS}-V_{GS}$ 特性。此外，在拭除操作之後的 $I_{DS}-V_{GS}$ 特性的測量係執如下：在藉由寫入操作而將資料寫入至記憶體電晶體之後，保持拭除狀態中之記憶體電晶體係由熱盤來加熱於 85°C 之狀態，且在從拭除操作起而經過預定時間之後，測量各個記憶體電晶體的 $I_{DS}-V_{GS}$ 特性。

該等 $I_{DS}-V_{GS}$ 特性之測量係使用由Agilent Technologies Inc.所製作之半導體參數分析儀（半導體參

數分析儀，型號：4155C）所執行。在測量時，源極電極523的電位係保持於0伏特（V）且汲極電極524的電位係保持於1伏特（V），閘極電極515的電位係從-6伏特（V）改變至+6伏特（V），以及測量汲極／源極電流 I_{DS} 相對於閘極／源極電壓 V_{GS} 的改變。注意的是，記憶體電晶體TM-1具有4微米（ μm ）的通道長度L及8微米（ μm ）的通道寬度W；以及該等比較性記憶體電晶體TM-A，TM-B，及TM-C各具有4微米（ μm ）的通道長度L及4微米（ μm ）的通道寬度W。

第57A至57D圖中所示的圖形顯示出記憶體電晶體TM-1具有最寬的 V_{th} 窗口；也就是說，設置其中堆疊使用 NH_3 來做為氮氣源氣體的氮化矽膜及使用 N_2 來做為氮氣源氣體的氮化矽膜的電荷貯存層，使得非依電性記憶體電晶體的電荷保持特徵可予以改善。換言之，設置其中堆疊含有大量的N-H鍵之氮化矽膜及含有少量N-H鍵之氮化矽膜的電荷貯存層，使得非依電性記憶體電晶體的電荷保持特徵可予以改善。

此申請案係根據2007年3月23日向日本專利局所申請之日本專利申請案序號2007-077930，該專利申請案的全部內容係結合於本文以供參考。

【圖式簡單說明】

第1圖係非依電性記憶體電晶體的橫剖面視圖；

第2圖係非依電性記憶體電晶體的橫剖面視圖；

第3圖係電容器（元件1）的橫剖面視圖，其係形成以便評估本發明之非依電性半導體記憶體元件的保持特徵；

第4A至4C圖係各描繪電容器的橫剖面視圖，該電容器係形成以便評估比較性實例之非依電性半導體記憶體元件的保持特徵；

第5圖係顯示元件1之保持特徵的圖形；

第6圖係顯示比較性元件A之保持特徵的圖形；

第7圖係顯示比較性元件B之保持特徵的圖形；

第8圖係顯示比較性元件C之保持特徵的圖形；

第9圖係氮化矽膜之FTIR的吸收光譜；

第10圖係非依電性記憶體電晶體的橫剖面視圖；

第11圖係非依電性記憶體電晶體的橫剖面視圖；

第12圖係非依電性記憶體電晶體的橫剖面視圖；

第13圖係非依電性記憶體電晶體的橫剖面視圖；

第14圖係非依電性記憶體電晶體的橫剖面視圖；

第15圖係非依電性記憶體電晶體的橫剖面視圖；

第16圖係非依電性記憶體電晶體的橫剖面視圖；

第17圖係非依電性記憶體電晶體的橫剖面視圖；

第18圖係顯示半導體裝置之結構性實例的方塊圖；

第19圖係顯示記憶體胞格陣列之結構性實例的電路圖

；

第20圖係顯示記憶體胞格陣列之結構性實例的電路圖

；

第21圖係顯示記憶體胞格陣列之結構性實例的電路圖

;

第 22A 及 22B 圖 各 係 描 繪 記 憶 體 胞 格 陣 列 之 寫 入 操 作 的 電 路 圖 ；

第 23 圖 係 描 繪 記 憶 體 胞 格 陣 列 之 拭 除 操 作 的 電 路 圖 ；

第 24 圖 係 描 繪 記 憶 體 胞 格 陣 列 之 讀 取 操 作 的 電 路 圖 ；

第 25A 至 25C 圖 係 描 繪 半 導 體 裝 置 之 製 造 方 法 的 橫 剖 面 視 圖 ；

第 26A 至 26C 圖 係 描 繪 半 導 體 裝 置 之 製 造 方 法 的 橫 剖 面 視 圖 ；

第 27A 至 27C 圖 係 描 繪 半 導 體 裝 置 之 製 造 方 法 的 橫 剖 面 視 圖 ；

第 28A 及 28B 圖 係 描 繪 半 導 體 裝 置 之 製 造 方 法 的 橫 剖 面 視 圖 ；

第 29 圖 係 描 繪 半 導 體 裝 置 之 製 造 方 法 的 頂 視 圖 ；

第 30 圖 係 描 繪 半 導 體 裝 置 之 製 造 方 法 的 頂 視 圖 ；

第 31 圖 係 描 繪 半 導 體 裝 置 之 製 造 方 法 的 頂 視 圖 ；

第 32A 至 32C 圖 係 描 繪 半 導 體 裝 置 之 製 造 方 法 的 橫 剖 面 視 圖 ；

第 33A 至 33C 圖 係 描 繪 半 導 體 裝 置 之 製 造 方 法 的 橫 剖 面 視 圖 ；

第 34A 至 34C 圖 係 描 繪 半 導 體 裝 置 之 製 造 方 法 的 橫 剖 面 視 圖 ；

第 35A 至 35C 圖 係 描 繪 半 導 體 裝 置 之 製 造 方 法 的 橫 剖 面 視 圖 ；

第 36A 至 36C 圖係描繪半導體裝置之製造方法的橫剖面視圖；

第 37A 至 37C 圖係描繪半導體裝置之製造方法的橫剖面視圖；

第 38A 至 38C 圖係描繪半導體裝置之製造方法的橫剖面視圖；

第 39A 至 39C 圖係描繪半導體裝置之製造方法的橫剖面視圖；

第 40A 至 40C 圖係描繪半導體裝置之製造方法的橫剖面視圖；

第 41A 至 41C 圖係描繪半導體裝置之製造方法的橫剖面視圖；

第 42A 至 42C 圖係描繪半導體裝置之製造方法的橫剖面視圖；

第 43A 至 43C 圖係描繪半導體裝置之製造方法的橫剖面視圖；

第 44A 及 44B 圖係描繪半導體裝置之製造方法的頂視圖；

第 45A 及 45B 圖係描繪半導體裝置之製造方法的頂視圖；

第 46A 及 46B 圖係描繪半導體裝置之製造方法的頂視圖；

第 47 圖係描繪半導體裝置之製造方法的橫剖面視圖；

第 48A 至 48C 圖係描繪半導體裝置之製造方法的橫剖面視圖；

面視圖；

第 49A 至 49C 圖係描繪半導體裝置之製造方法的橫剖面視圖；

第 50 圖係方塊圖，描繪可無接點地傳輸資料之半導體裝置的結構性實例；

第 51A 及 51B 圖係各描繪可無接點地傳輸資料之半導體裝置的使用模式之圖式；

第 52A 至 52E 圖係具有非依電性半導體記憶體裝置之電子裝置的外視圖；

第 53 圖係描繪一實施例之非依電性記憶體電晶體的結構之橫剖面視圖；

第 54A 至 54C 圖係描繪非依電性記憶體電晶體之製造方法的橫剖面視圖；

第 55A 至 55C 圖係描繪非依電性記憶體電晶體之製造方法的橫剖面視圖；

第 56A 至 56C 圖係描繪非依電性記憶體電晶體之製造方法的橫剖面視圖；以及

第 57A 至 57D 圖係顯示一實施例及比較性實例之記憶體電晶體的保持特徵之圖形。

【主要元件符號說明】

10，1207～1209：半導體區

11，42，511：第一絕緣膜

12，122，1012，512：第一氮化矽膜

- 13, 123, 1013, 513 : 第二氮化矽膜
- 14, 44, 514 : 第二絕緣膜
- 15,130,132,134,136,138,140,164,166,167,168,169,
170,1222,1223,1224 ~ 1228,1255 ~ 1259,1260 ~ 1263 : 導
電膜
- 16,144,148,152,1245,1247,1248,1246 : 通道形成區
- 17,18,146,150,154,160,1239,1240,1238 : 高濃度雜質
區
- 17a,18a,1242,1243,1244,1241,507,508 : 低濃度雜質
區
- 21, 1200 : 半導體基板
- 22, 1210 : 阱
- 31, 100 : 基板
- 32, 102, 502 : 基板絕緣膜
- 33, 103 : 半導體膜
- 43, 12-a ~ 12-c, 1202, 13-a, 13-b : 氮化矽膜
- 45 : 電極
- 35, 1233 ~ 1237, 520 : 間隔物
- 52 : 記憶體胞格陣列
- 54 : 邏輯部分
- 56 : 位址緩衝器
- 58 : 控制電路
- 60 : 升壓器電路
- 62 : 列解碼器

64：行解碼器

66：感測放大器

68：資料緩衝器

70：資料輸入/輸出緩衝器

MC：記憶體胞格

WL：字元線

SL：源極線

Ts：開關電晶體

Tm：非依電性記憶體電晶體

BL：位元線

S1，S2：選擇電晶體

SG：選擇閘極線

104，106，108，110：島狀半導體膜

112,116,118,120,128,162,115,1201,1205,1211,1214～

1216,1221,1249,1290,1271,1273～1275,522,521：絕緣膜

114，142，156，125，1203，1212，1218：阻體

1204：凹陷

1250～1254：開口

800：半導體裝置

810：高頻電路

820：電源供應電路

830：重設電路

840：時脈產生電路

850：資料解調變電路

860：資料調變電路

870：控制電路

880：記憶體裝置

890：天線

910：碼提取電路

920：碼判斷電路

930：CRC判斷電路

940：輸出單元電路

3200，3240：讀取器/寫入器

3210，2112，2122，2131，2142：顯示部分

3220，3260：產品

2111，2121：機架

2113：鏡頭

2114，2123，2143：操作鍵

2115：快門按鈕

2116，2125，2144，2132：儲存媒體

2130，2141：主體

2133：操作部分

2134：耳機

503：矽膜

505：源極區

506：汲極區

501：玻璃基板

515：閘極電極

516：電荷貯存層

517：氮化鉬膜

518：鎢膜

530：結晶矽膜

523：源極電極

524：汲極電極

十、申請專利範圍

1. 一種半導體裝置，包含非依電性半導體記憶體元件，該非依電性半導體記憶體元件包含：

半導體區，包含半導體材料，該半導體區包括低濃度雜質區，高濃度雜質區，及通道形成區；

第一絕緣膜，係形成於該半導體區之上；

第一氮化矽膜，係形成於該第一絕緣膜之上；

第二氮化矽膜，係形成於該第一氮化矽膜之上；以及
導電膜，係形成於該第二氮化矽膜之上，

其中針對矽與氫及鹵素元素之至少之一間的鍵之濃度對氮-氫（N-H）鍵之濃度的比例，該第二氮化矽膜具有比該第一氮化矽膜更高的比例，

其中該第一絕緣膜和該第二氮化矽膜之各者與該低濃度雜質區重疊，以及

其中該導電膜不與該低濃度雜質區重疊。

2. 如申請專利範圍第1項之半導體裝置，其中針對矽-氫（Si-H）鍵之濃度對氮-氫（N-H）鍵之濃度的比例（ $(\text{Si-H}) / (\text{N-H})$ ），該第二氮化矽膜具有比該第一氮化矽膜更高的比例。

3. 如申請專利範圍第1項之半導體裝置，其中針對矽-鹵素元素（Si-X；X係一鹵素元素）鍵之濃度對氮-氫（N-H）鍵之濃度的比例（ $(\text{Si-X}) / (\text{N-H})$ ），該第二氮化矽膜具有比該第一氮化矽膜更高的比例。

4. 如申請專利範圍第1項之半導體裝置，其中針對矽

-氫 (Si-H) 鍵之濃度與矽-鹵素元素 (Si-X ; X 係一鹵素元素) 鍵之濃度的和對氮-氫 (N-H) 鍵之濃度的比例 $((\text{Si-H} + \text{Si-X}) / (\text{N-H}))$, 該第二氮化矽膜具有比該第一氮化矽膜更高的比例。

5. 如申請專利範圍第 1 項之半導體裝置，其中該第二氮化矽膜係由在化學計量上比該第一氮化矽膜更接近於 Si_3N_4 之氮化矽所形成。

6. 如申請專利範圍第 1 項之半導體裝置，其中該非依電性半導體記憶體元件包含第二絕緣膜，該第二絕緣膜係插入於該半導體區與該導電膜之間，且形成於該第二氮化矽膜之上。

7. 如申請專利範圍第 1 項之半導體裝置，其中該半導體區係形成於一半導體基板之中。

8. 如申請專利範圍第 7 項之半導體裝置，其中該半導體基板係單晶矽基板，多晶矽基板，單晶矽鍺基板，多晶矽鍺基板，單晶鍺基板，及多晶鍺基板之其中的任一基板。

9. 如申請專利範圍第 7 項之半導體裝置，其中該半導體基板係 SOI (矽在絕緣物上) 基板，SGOI (矽-鍺在絕緣物上) 基板，及 GOI (鍺在絕緣物上) 基板之其中的任一基板。

10. 如申請專利範圍第 1 項之半導體裝置，其中該半導體區係半導體膜，該半導體膜係形成於基板之上，而絕緣膜插入於該半導體膜與該基板之間。

11. 如申請專利範圍第 10 項之半導體裝置，其中該基

板係玻璃基板，石英基板，及塑膠膜之其中的任一基板。

12. 一種半導體裝置的製造方法，該半導體裝置包含非依電性半導體記憶體元件，該方法包括以下步驟：

形成半導體區；

形成第一絕緣膜於該半導體區之上；

由使用第一矽源氣體及包含氫氮氣之第一氮源氣體以做為源材料，以第一化學氣相沈積法，而形成第一氮化矽膜於該第一絕緣膜之上；

由使用第二矽源氣體及並未含有氫氣於組成物中之第二氮源氣體以做為源材料，以第二化學氣相沈積法，而形成第二氮化矽膜於該第一氮化矽膜之上；

形成導電膜於該第二氮化矽膜之上；以及

藉由使用該第一氮化矽膜，該第二氮化矽膜，和該導電膜做為罩幕以添加雜質而在該半導體區中形成低濃度雜質區及高濃度雜質區；

其中該第一氮化矽膜和該第二氮化矽膜之各者與該低濃度雜質區重疊，以及

其中該導電膜不與該低濃度雜質區重疊。

13. 如申請專利範圍第 12 項之半導體裝置的製造方法，其中 $\text{NH}_2\text{H}_2\text{N}$ 氣體係使用於該第一氮化矽膜的形成期間。

14. 一種半導體裝置的製造方法，該半導體裝置包含非依電性半導體記憶體元件，該方法包括以下步驟：

形成半導體區；

形成第一絕緣膜於該半導體區之上；

由使用第一矽源氣體及 NH_3 氣體以做為源材料，以第一化學氣相沈積法，而形成第一氮化矽膜於該第一絕緣膜之上；

由使用第二矽源氣體及 N_2 氣體以做為源材料，以第二化學氣相沈積法，而形成第二氮化矽膜於該第一氮化矽膜之上；

形成導電膜於該第二氮化矽膜之上；以及

藉由使用該第一氮化矽膜，該第二氮化矽膜，和該導電膜做為罩幕以添加雜質而在該半導體區中形成低濃度雜質區及高濃度雜質區；

其中該第一氮化矽膜和該第二氮化矽膜之各者與該低濃度雜質區重疊，以及

其中該導電膜不與該低濃度雜質區重疊。

15. 如申請專利範圍第 12 或 14 項之半導體裝置的製造方法，進一步包含在形成該導電膜之前，形成第二絕緣膜於該第二氮化矽膜之上的步驟。

16. 如申請專利範圍第 12 或 14 項之半導體裝置的製造方法，其中該第一氮化矽膜及該第二氮化矽膜係連續地形成於同一反應室之中。

17. 如申請專利範圍第 12 或 14 項之半導體裝置的製造方法，其中該第一氮化矽膜係由電漿 CVD 法所形成。

18. 如申請專利範圍第 12 或 14 項之半導體裝置的製

造方法，其中該第二氮化矽膜係由電漿 CVD 法所形成。

19. 如申請專利範圍第 12 或 14 項之半導體裝置的製造方法，其中當該第一氮化矽膜係由電漿 CVD 法所形成時，其上形成該第一氮化矽膜的表面之溫度係設定小於或等於 600℃。

20. 如申請專利範圍第 12 或 14 項之半導體裝置的製造方法，其中當該第二氮化矽膜係由電漿 CVD 法所形成時，其上形成該第二氮化矽膜的表面之溫度係設定小於或等於 600℃。

21. 如申請專利範圍第 12 或 14 項之半導體裝置的製造方法，其中該第一及第二矽源氣體各個源氣體係選擇自 SiH_4 ， Si_2H_6 ， SiCl_4 ， SiHCl_3 ， SiH_2Cl_2 ，及 SiF_4 之氣體。

22. 如申請專利範圍第 12 或 14 項之半導體裝置的製造方法，其中該半導體區係形成於玻璃基板及石英基板的其中之一上。

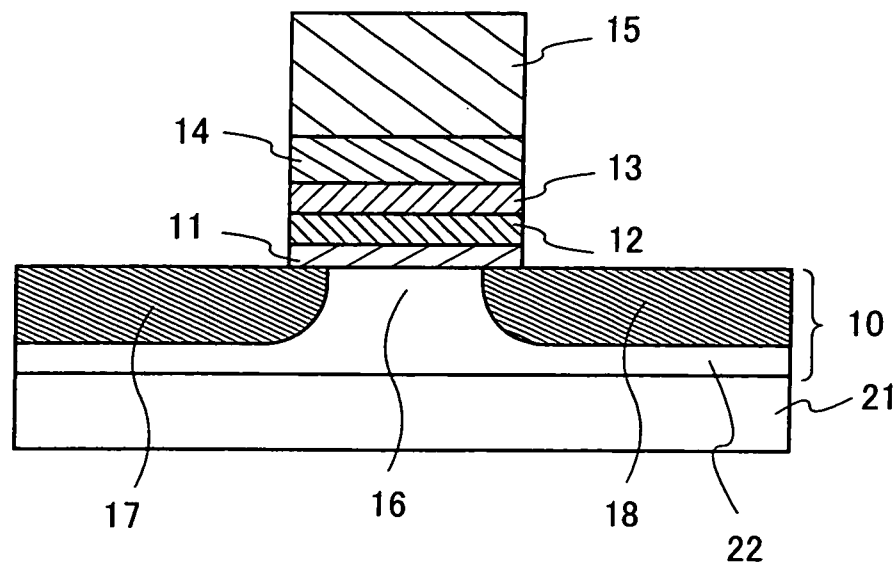
23. 如申請專利範圍第 12 或 14 項之半導體裝置的製造方法，其中該半導體區係形成於半導體基板之中。

24. 如申請專利範圍第 23 項之半導體裝置的製造方法，其中該半導體基板係單晶矽基板，多晶矽基板，單晶矽鍺基板，多晶矽鍺基板，單晶鍺基板，及多晶鍺基板之其中的任一基板。

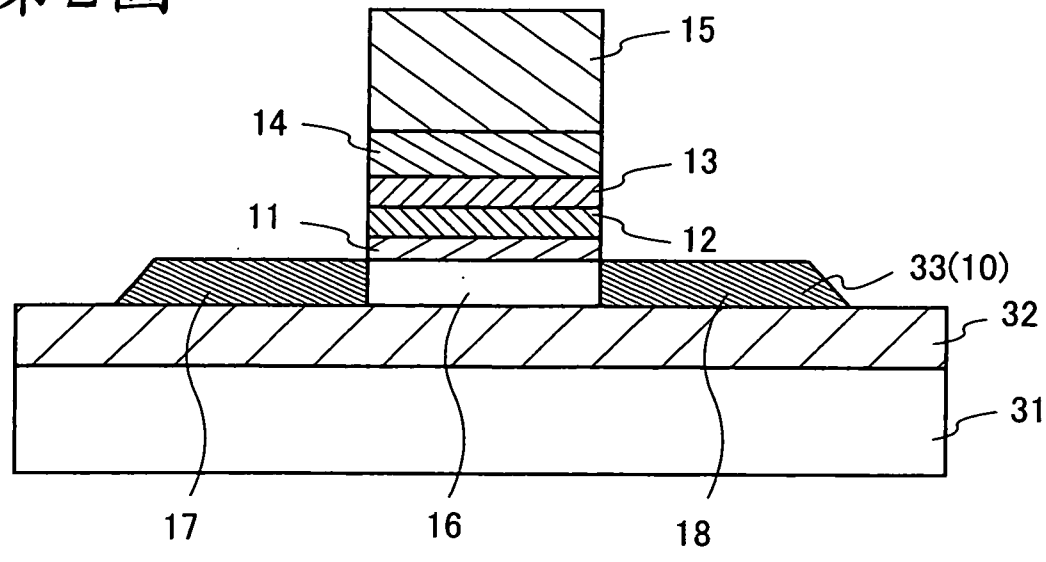
25. 如申請專利範圍第 23 項之半導體裝置的製造方法，其中該半導體基板係 SOI（矽在絕緣物上）基板，SGOI（矽-鍺在絕緣物上）基板，及 GOI（鍺在絕緣物上）基板

之 其 中 的 任 一 基 板 。

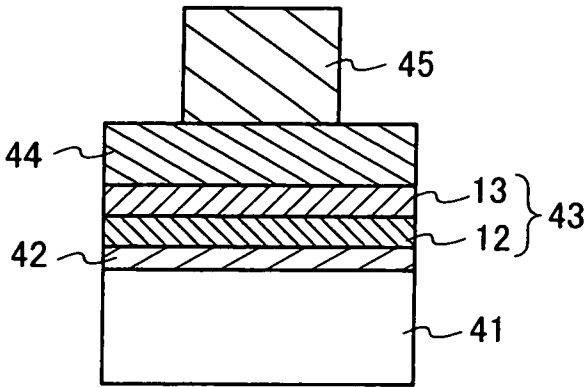
第1圖



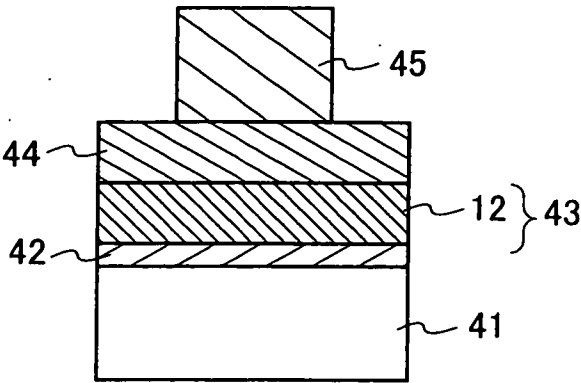
第2圖



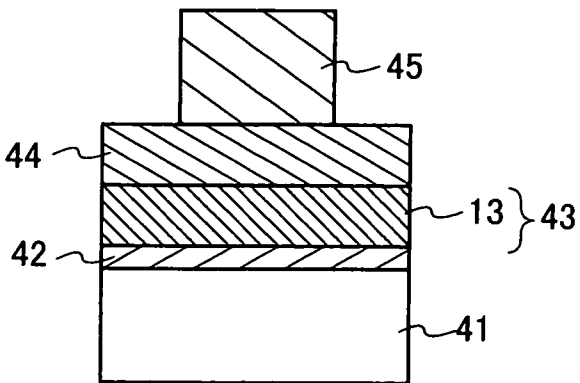
第3圖



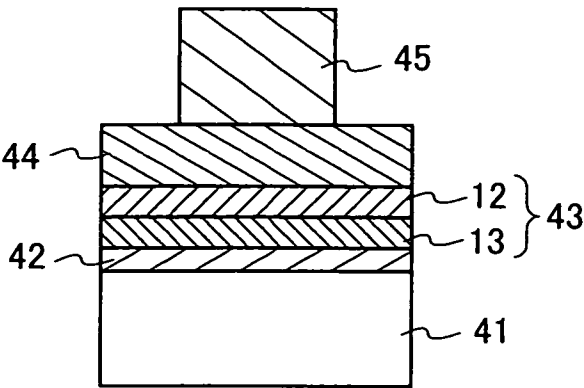
第4A圖



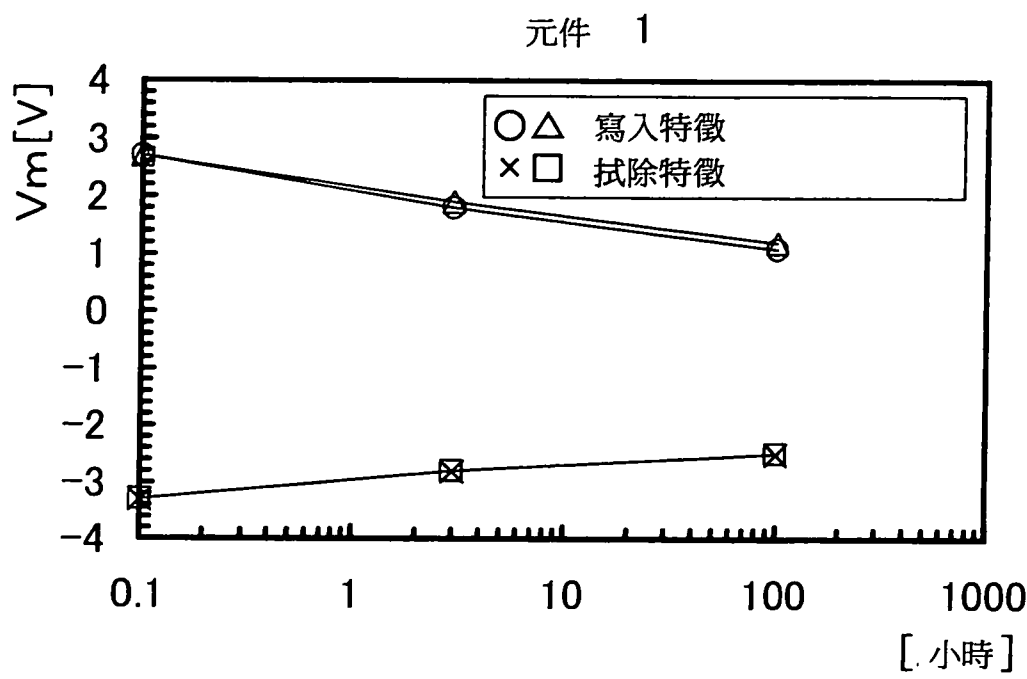
第4B圖



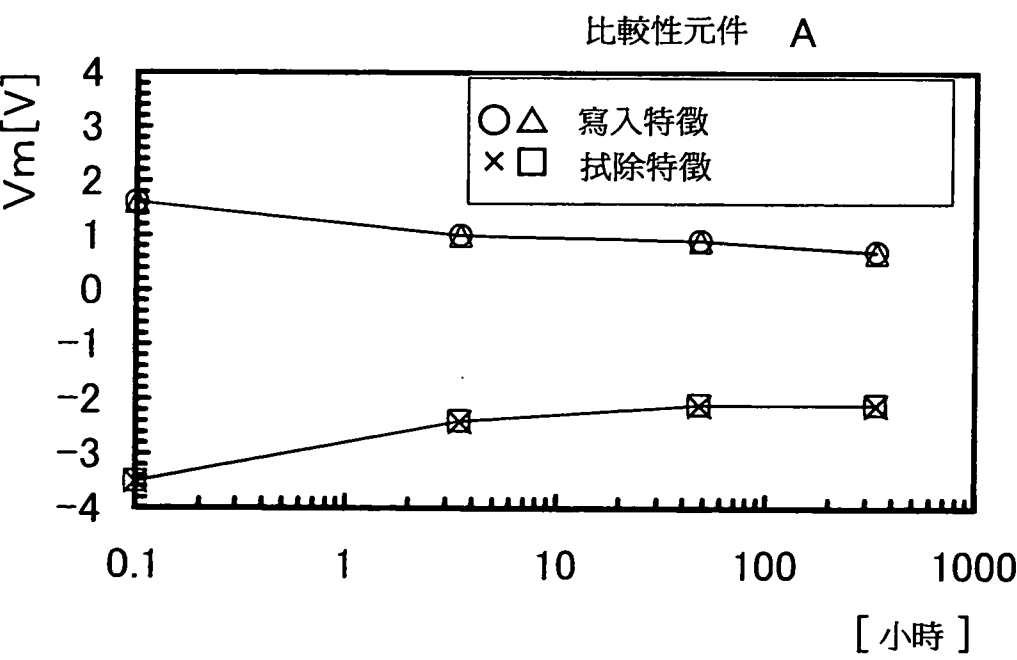
第4C圖



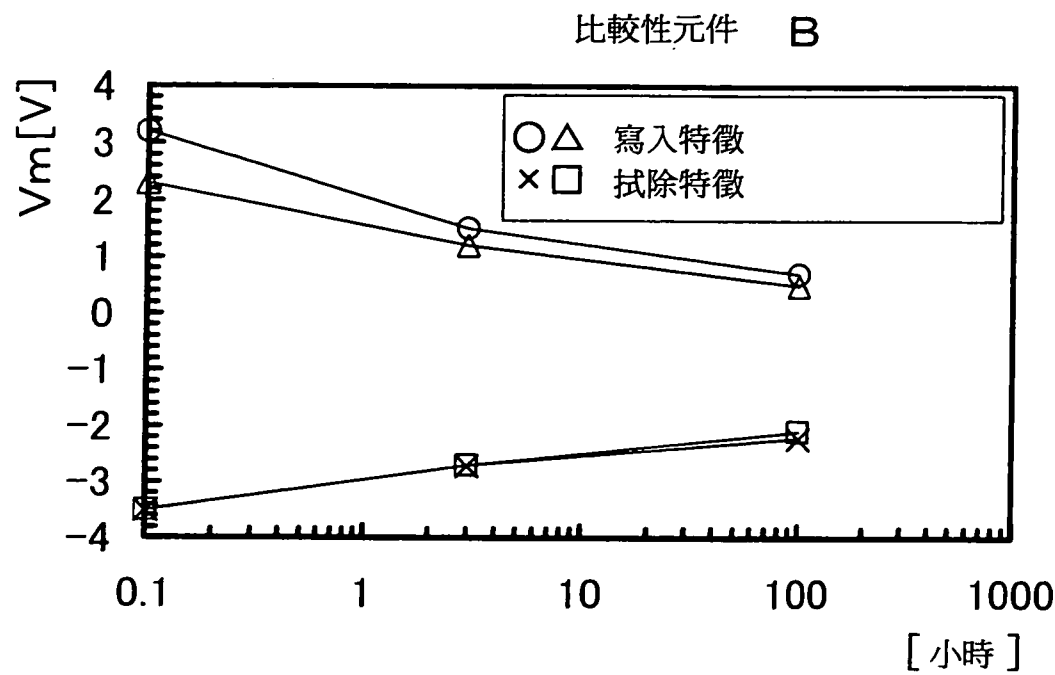
第5圖



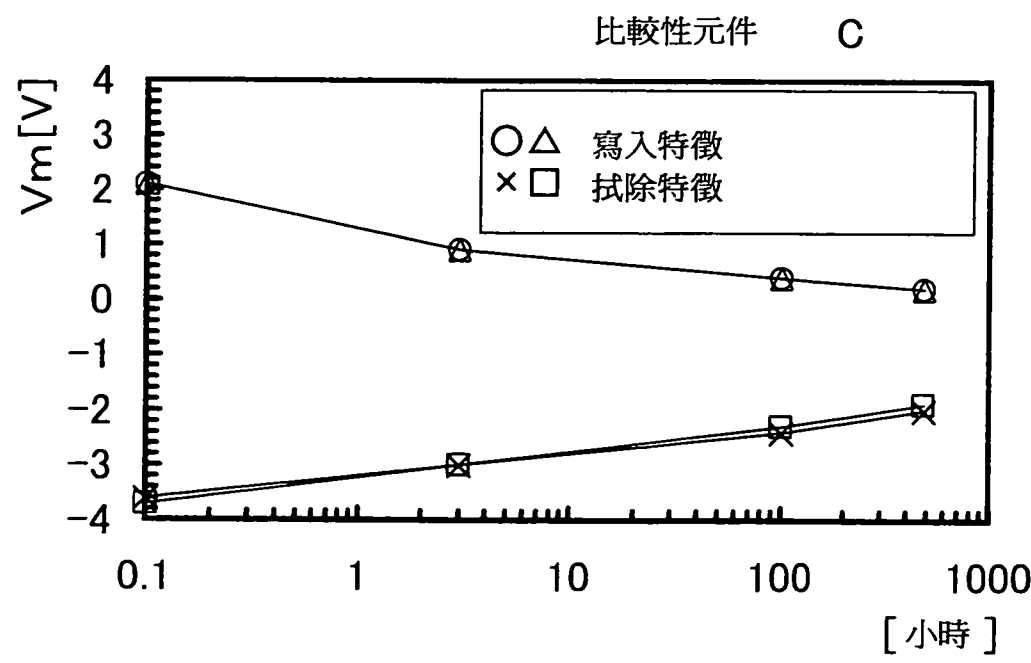
第6圖



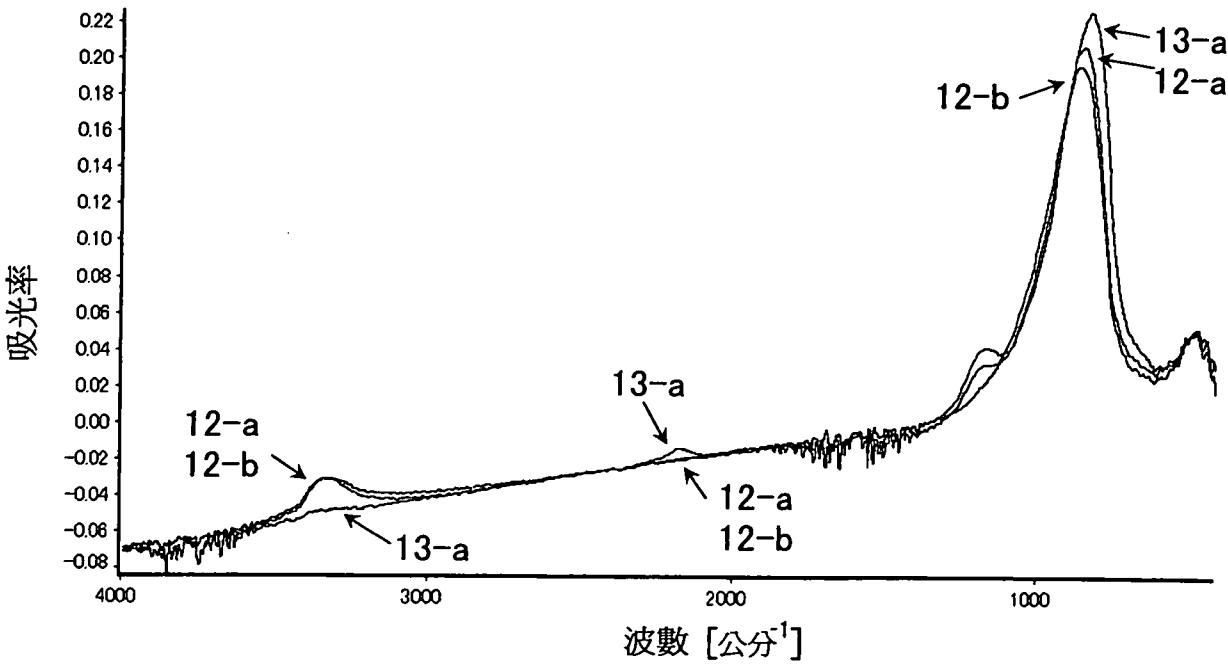
第7圖



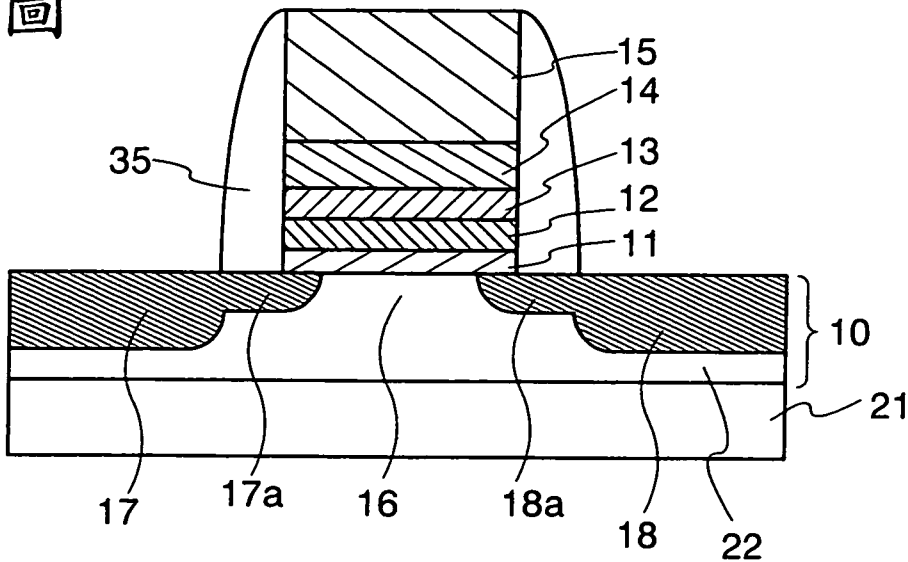
第8圖



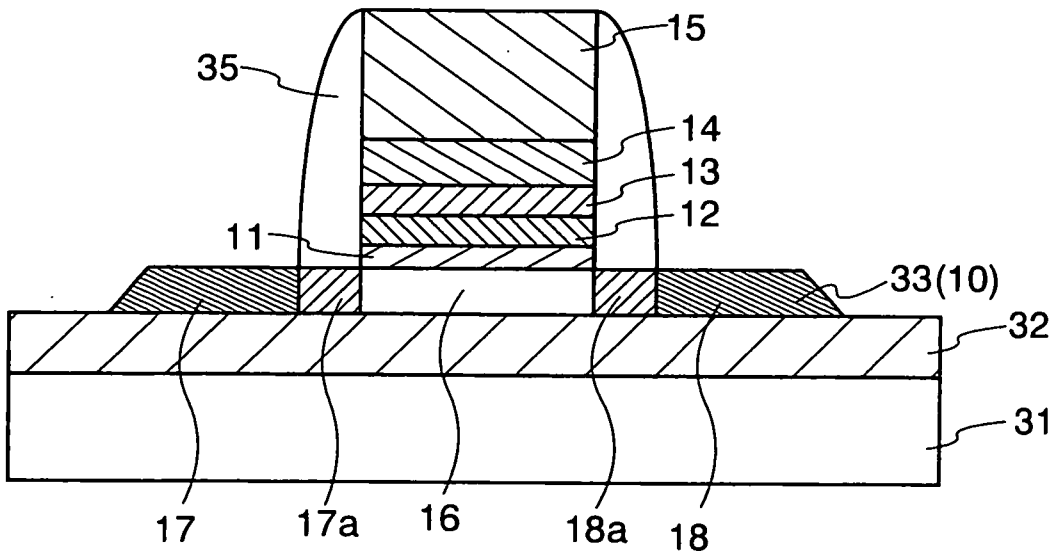
第9圖



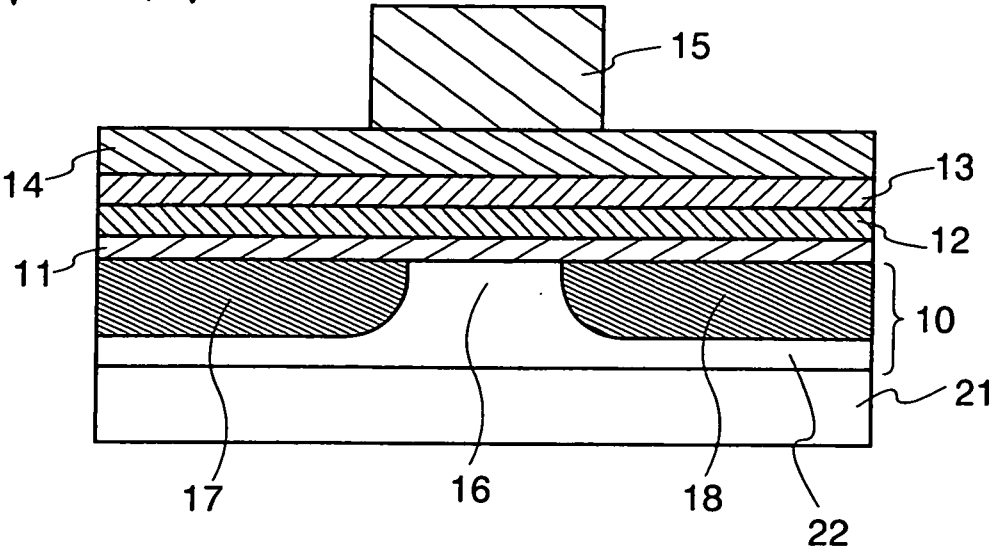
第10圖



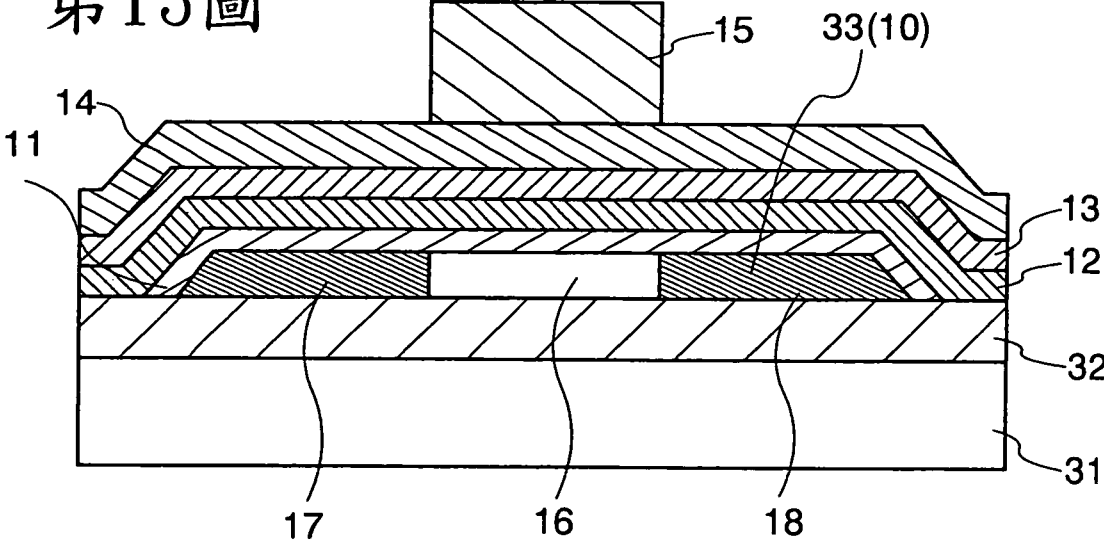
第11圖



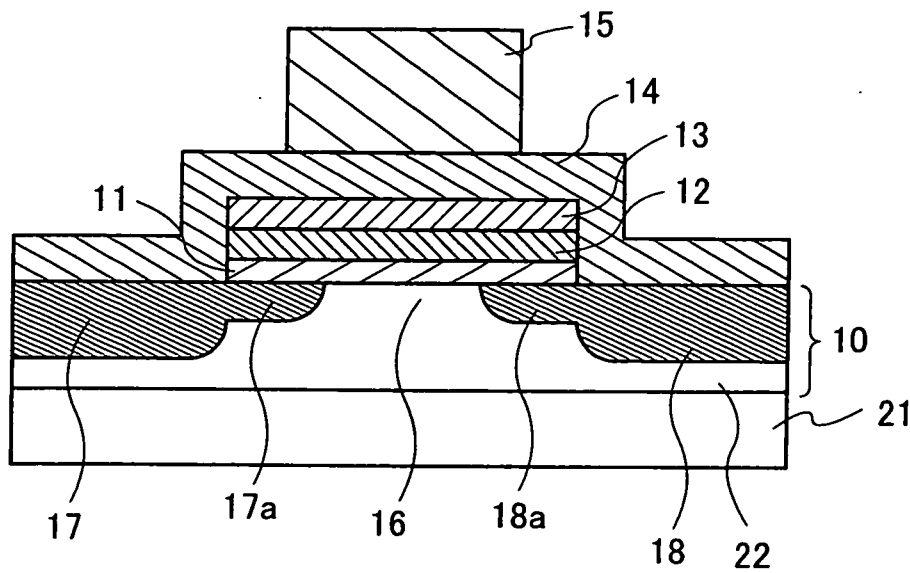
第12圖



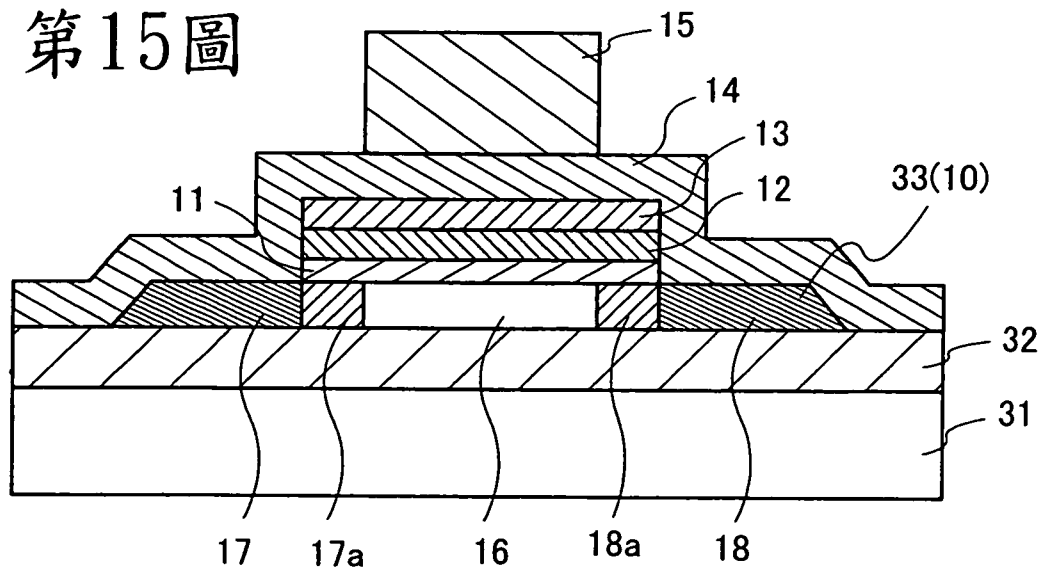
第13圖



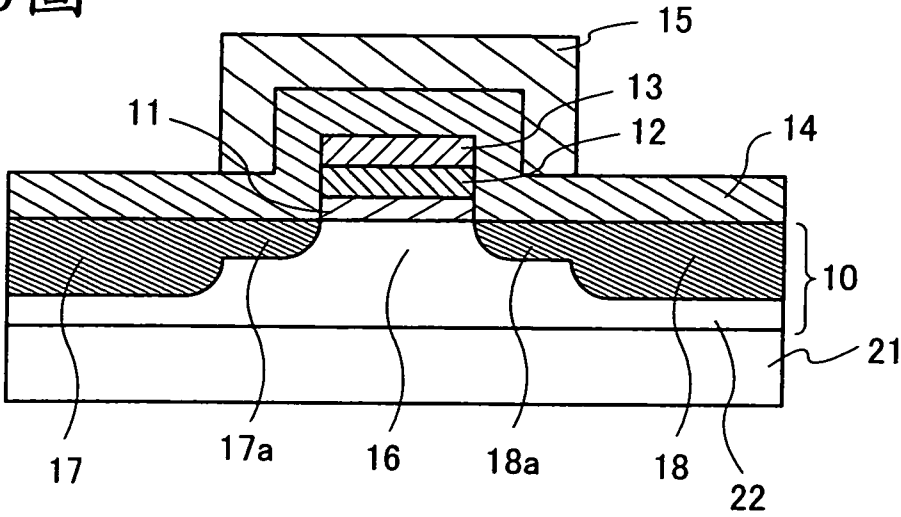
第14圖



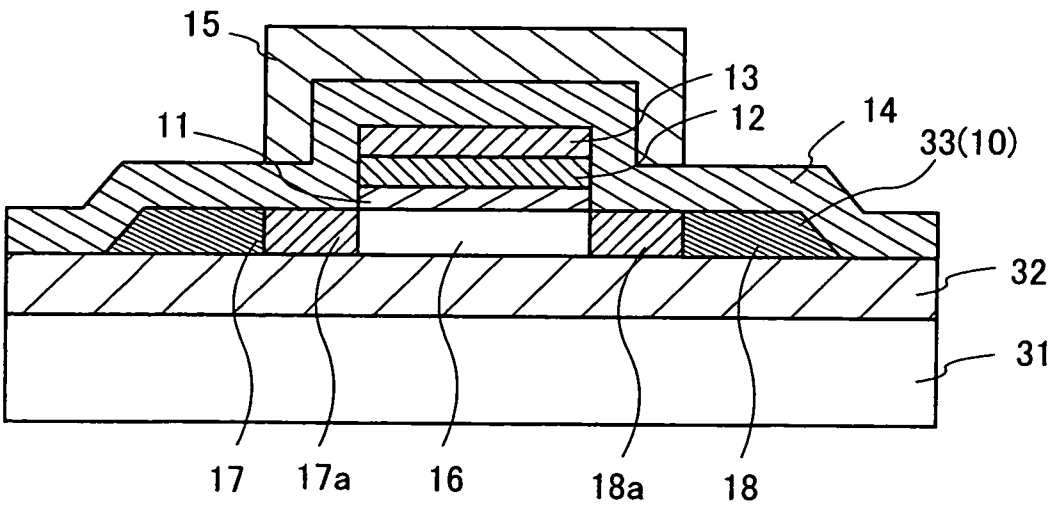
第15圖



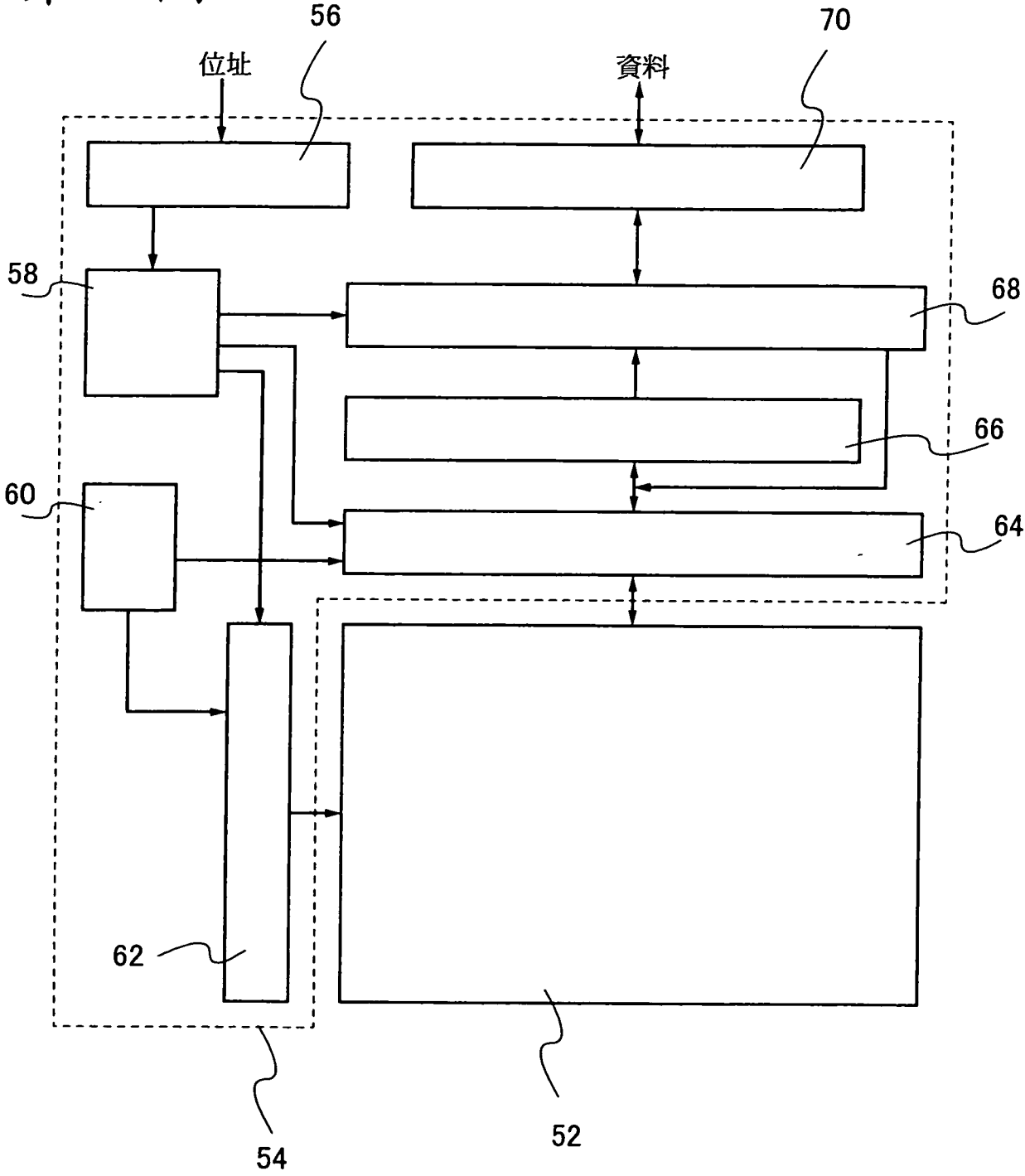
第16圖



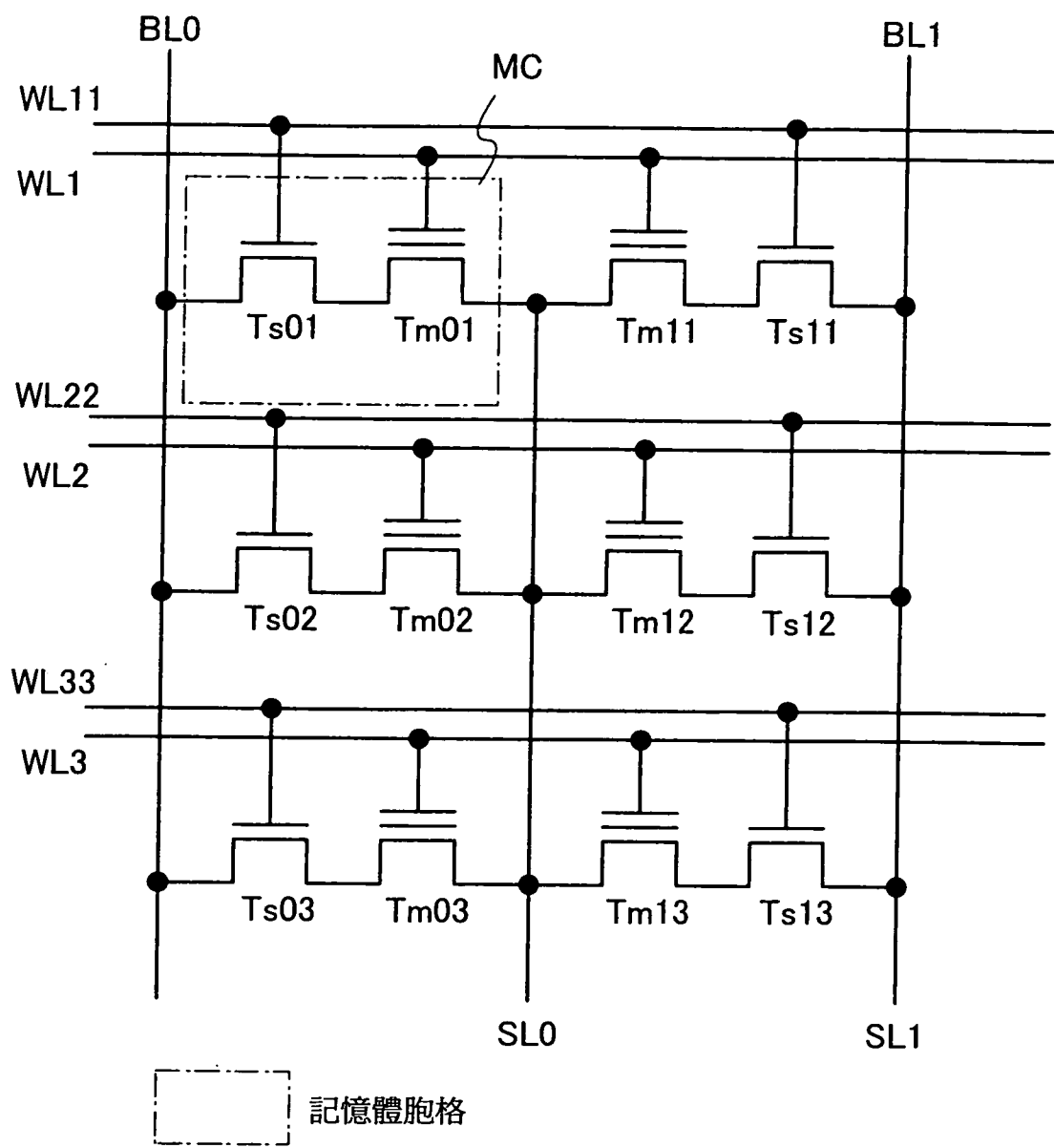
第17圖



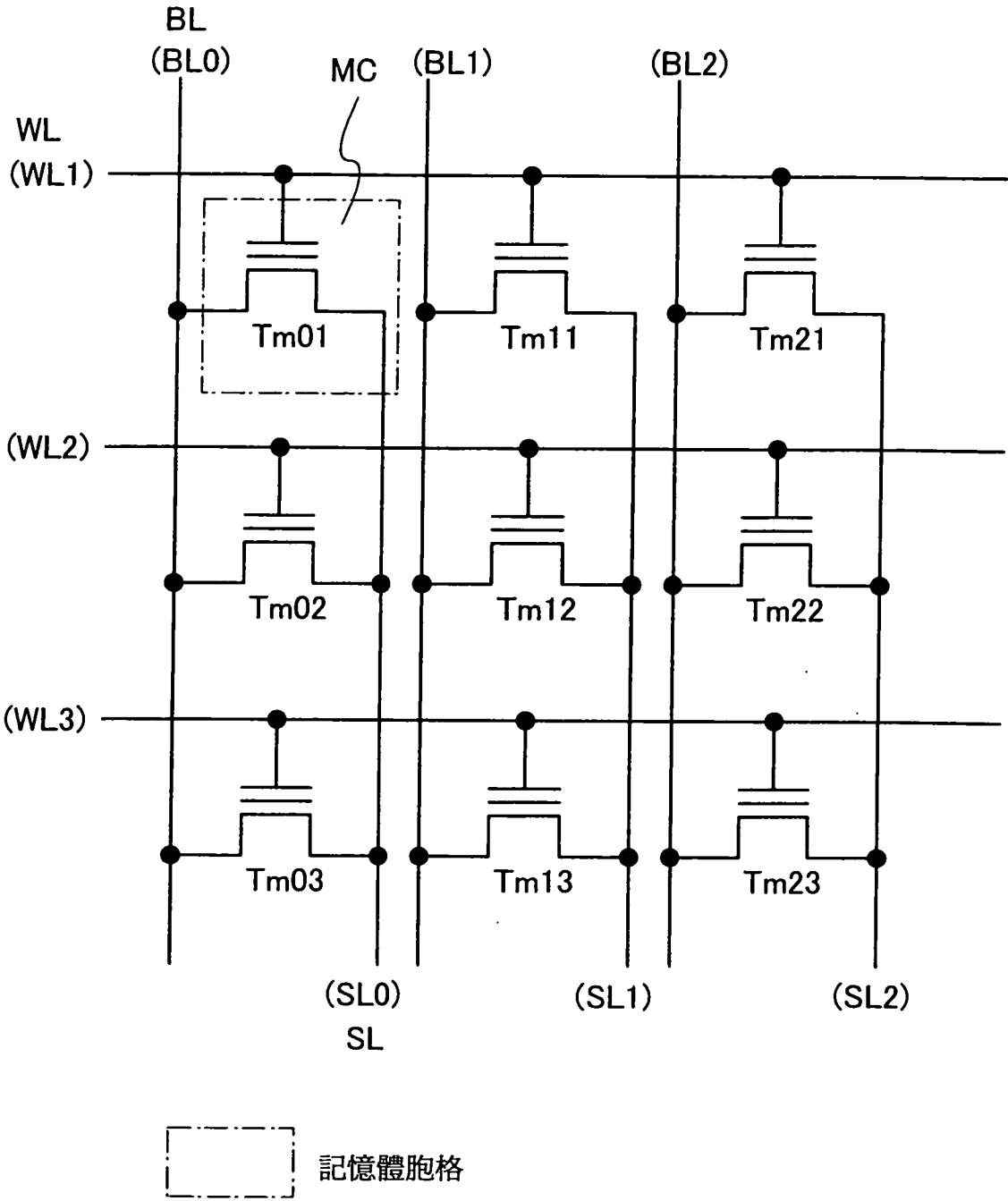
第18圖



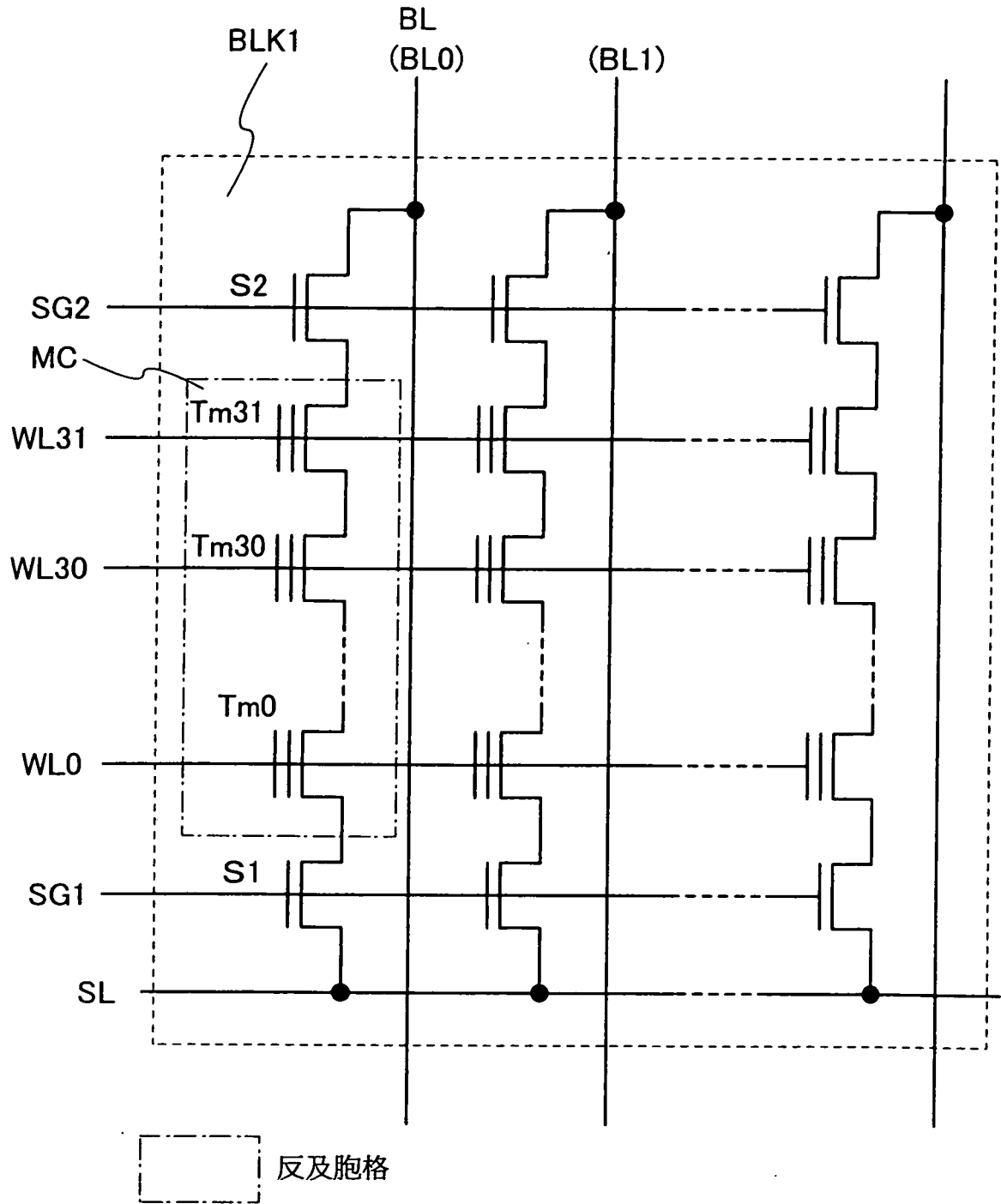
第19圖



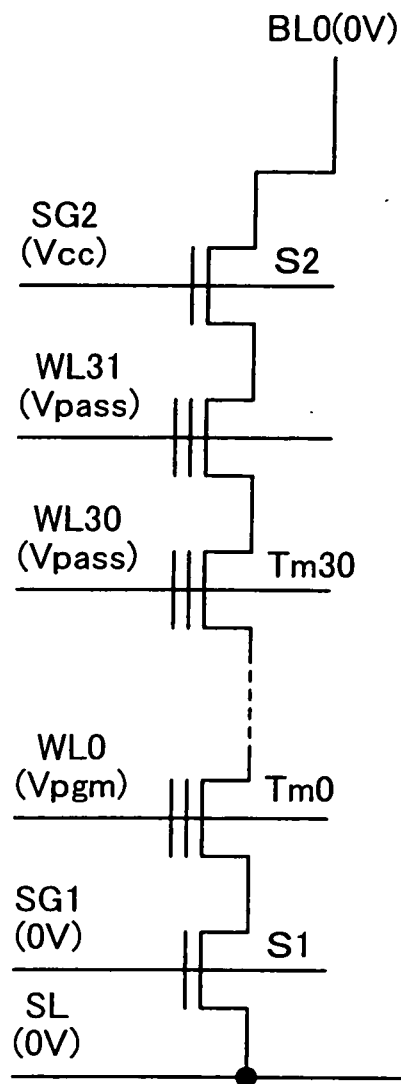
第20圖



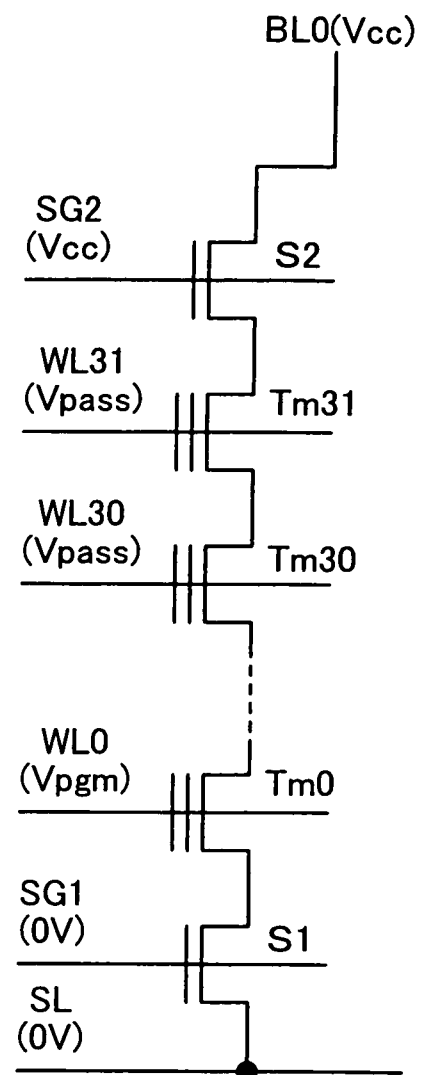
第21圖



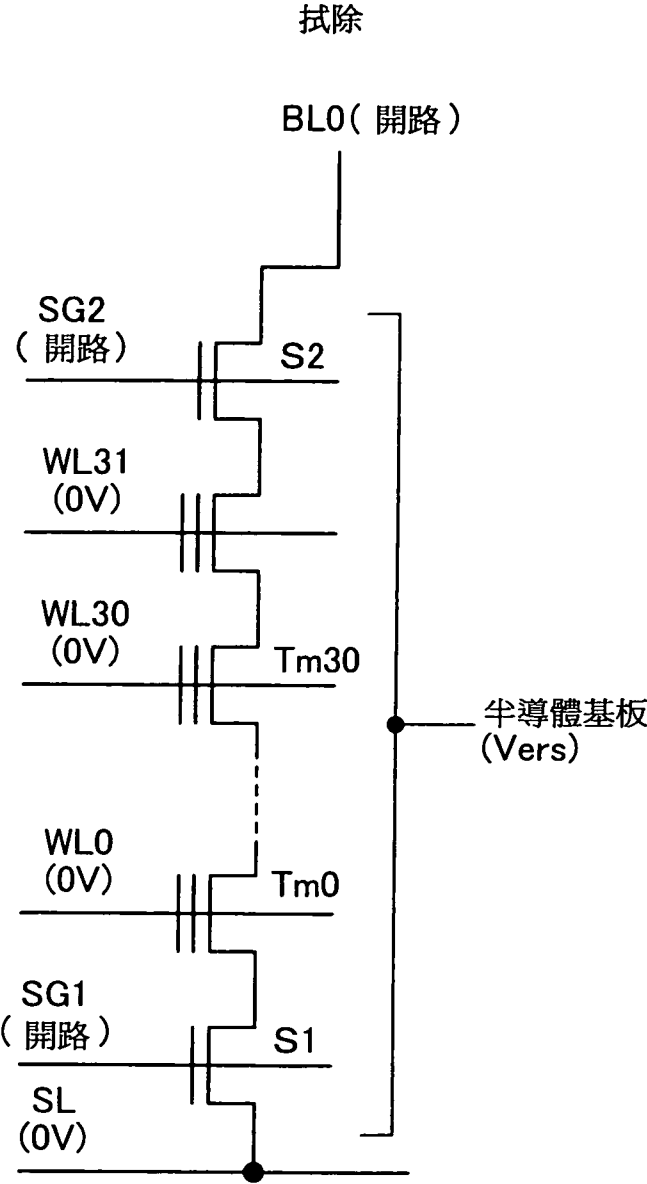
"0" 寫入



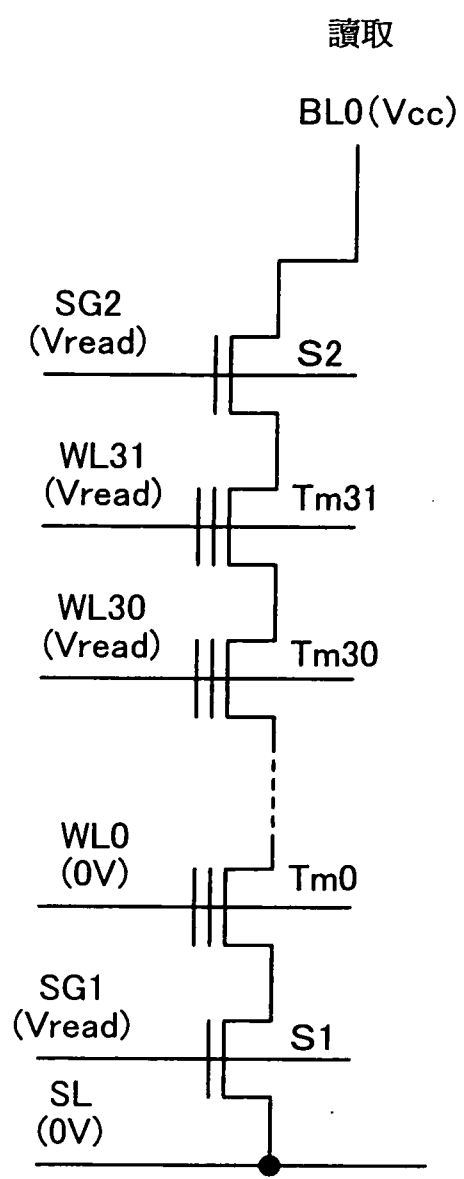
"1" 寫入



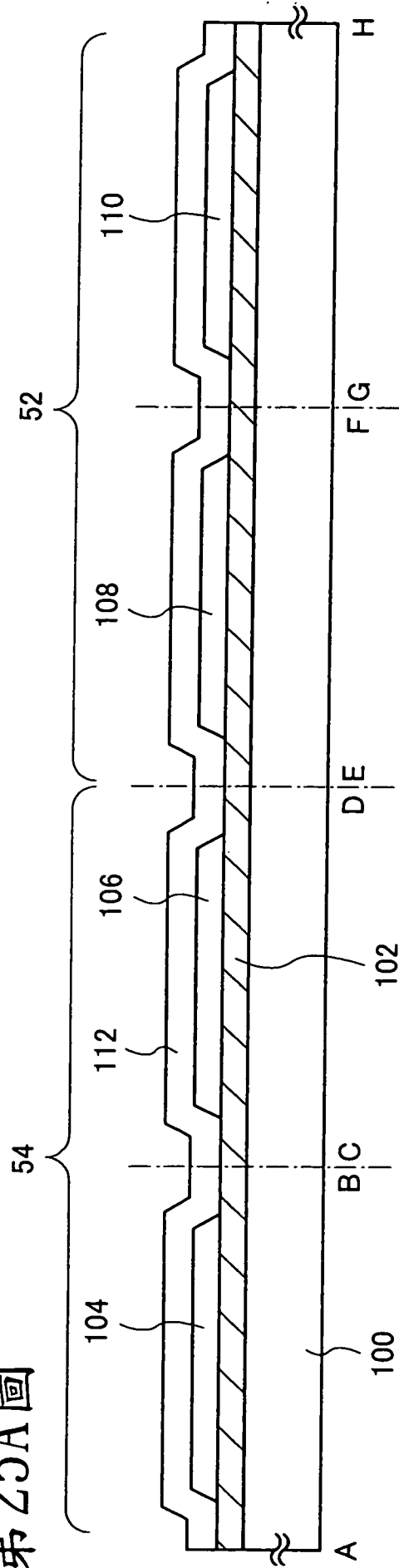
第23圖



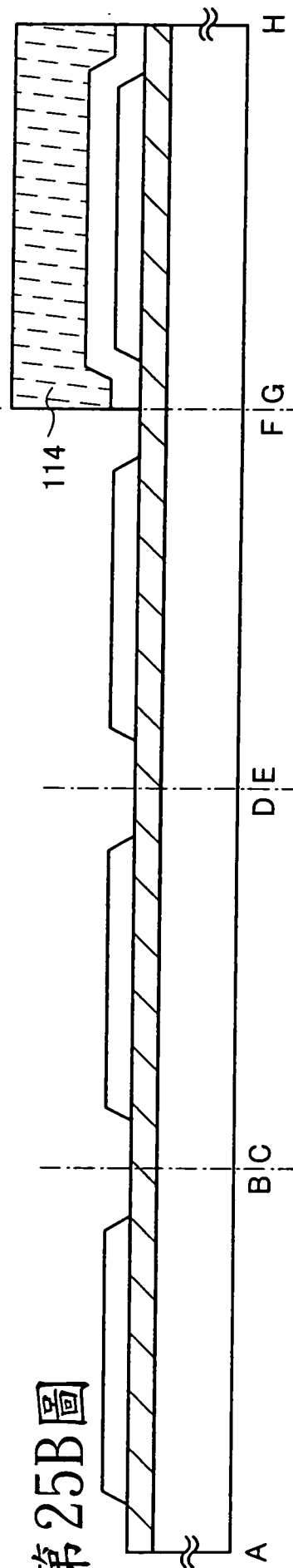
第24圖



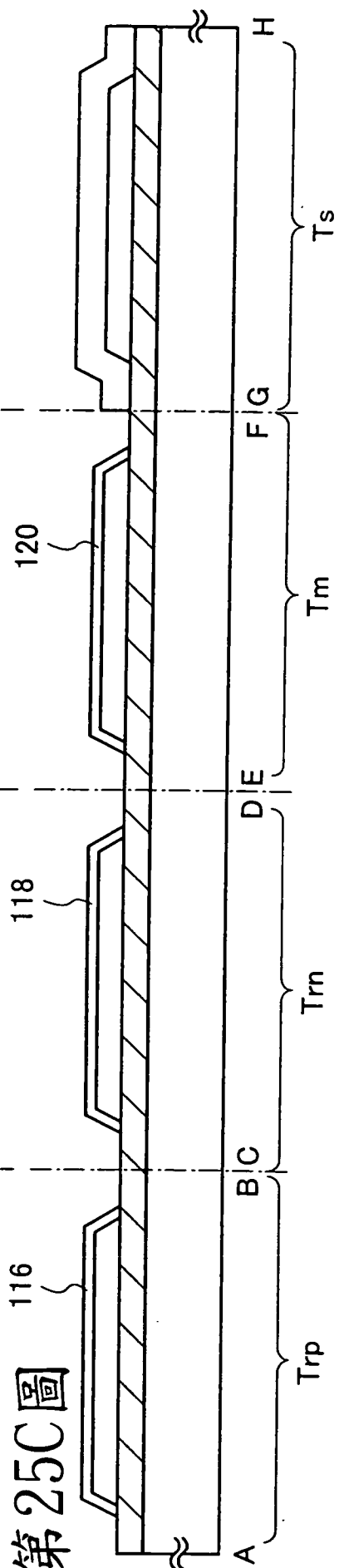
第25A圖



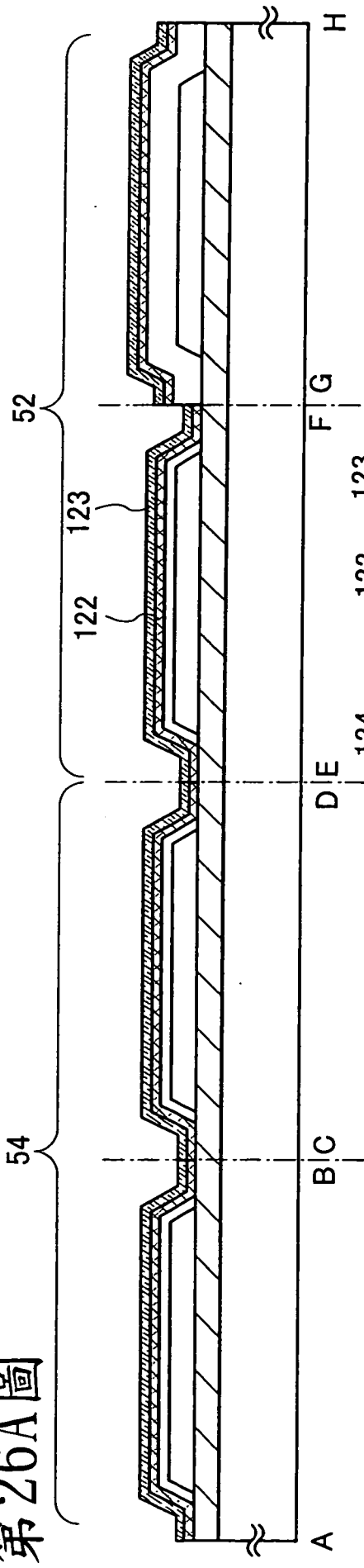
第25B圖



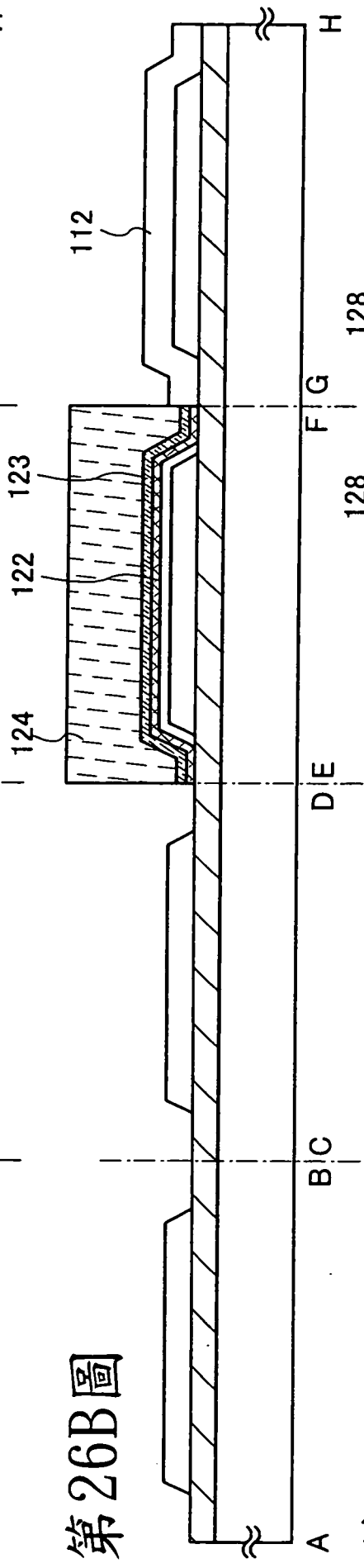
第25C圖



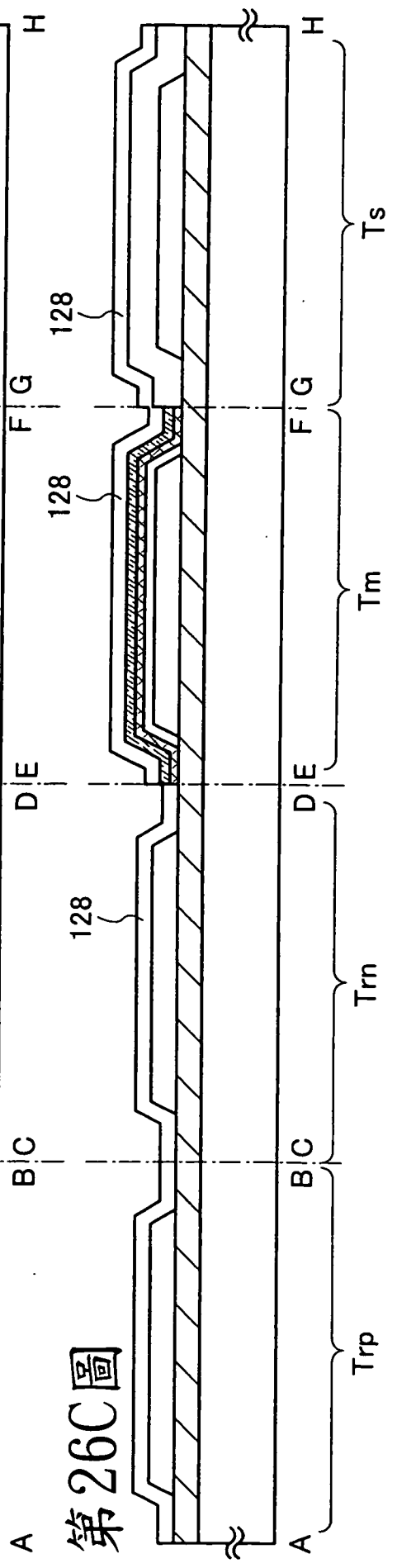
第26A圖



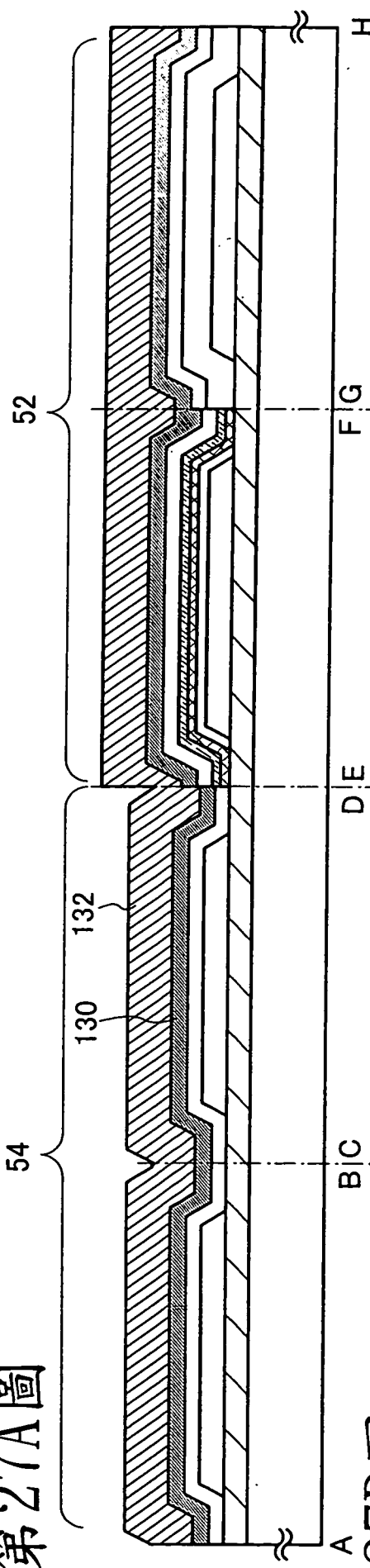
第26B圖



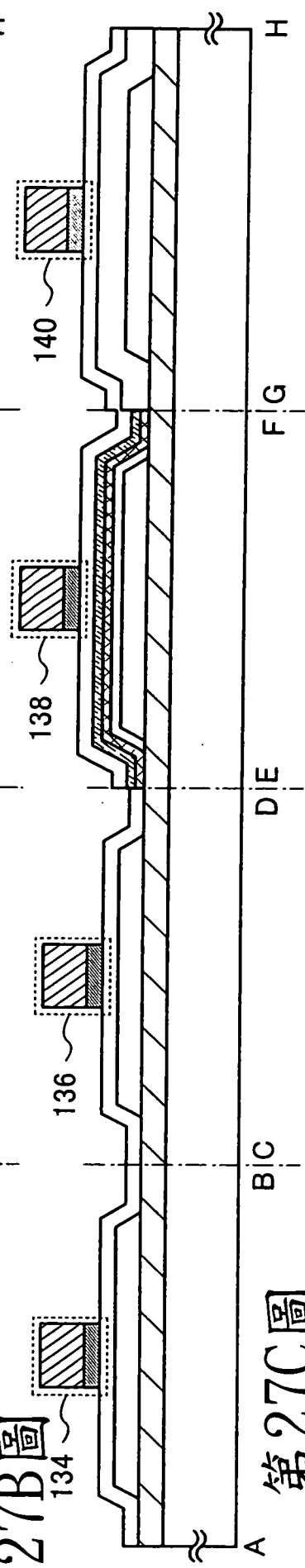
第26C圖



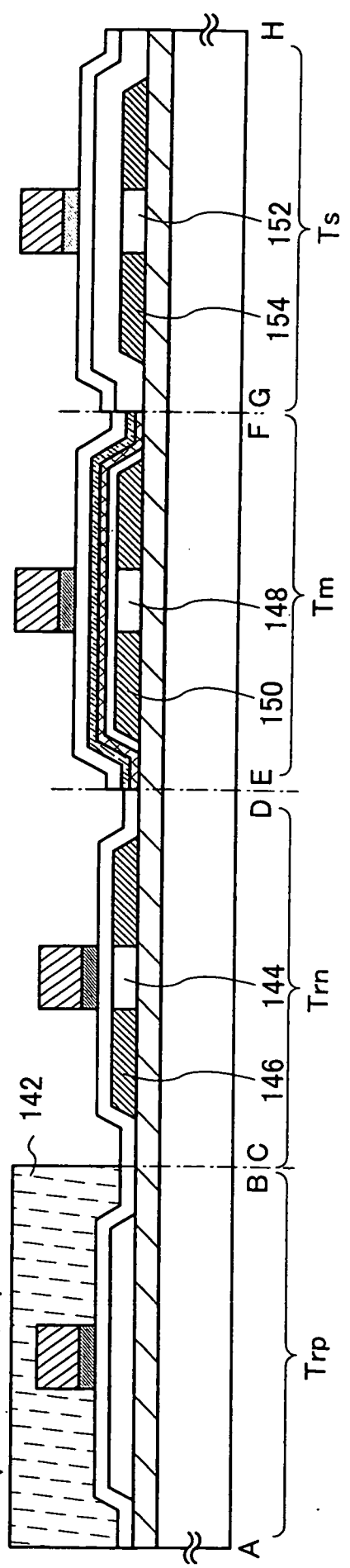
第27A圖



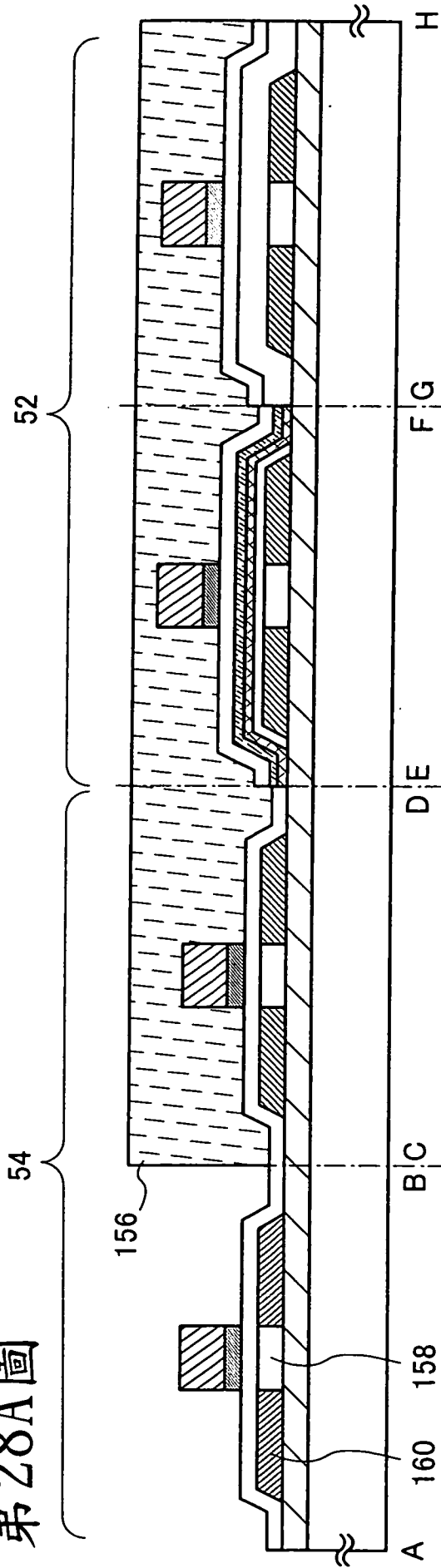
第27B圖



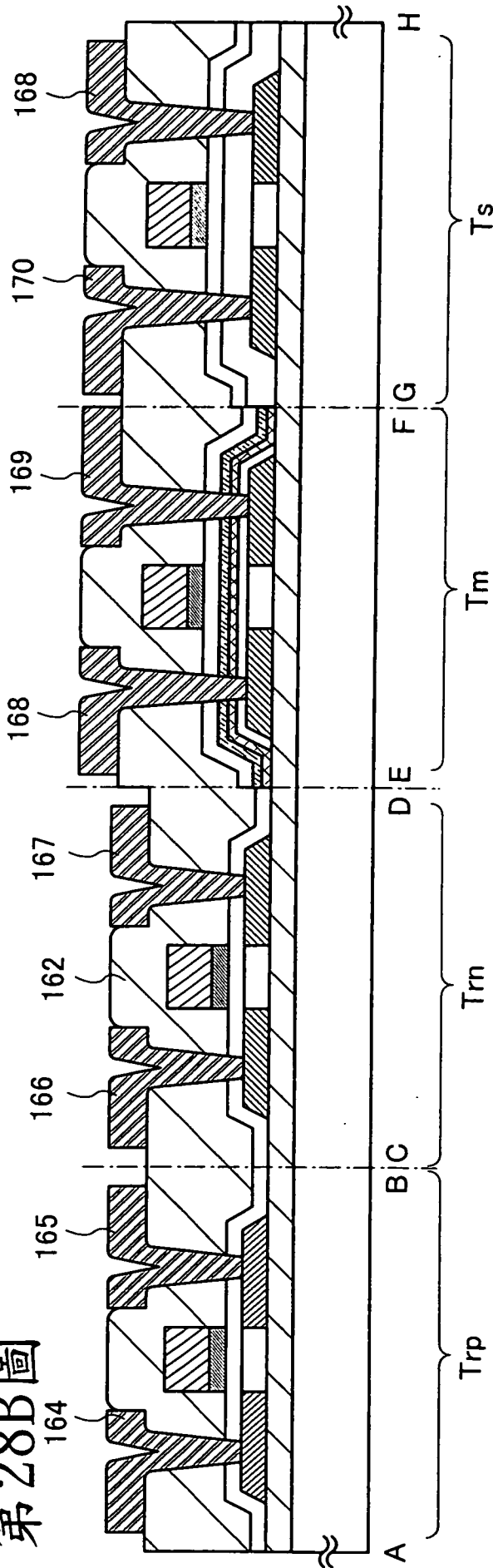
第27C圖



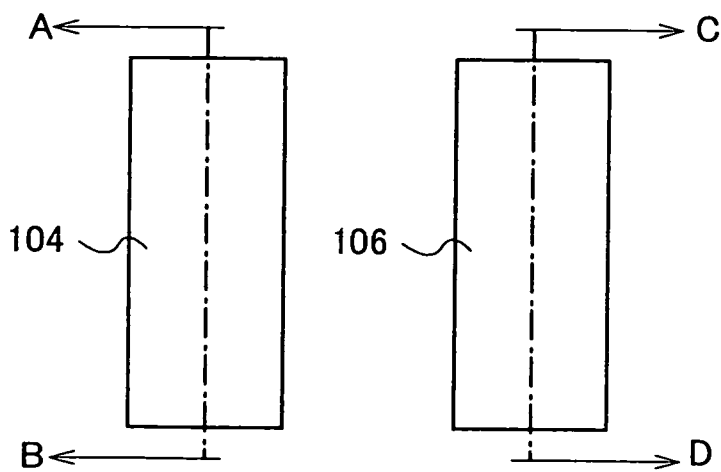
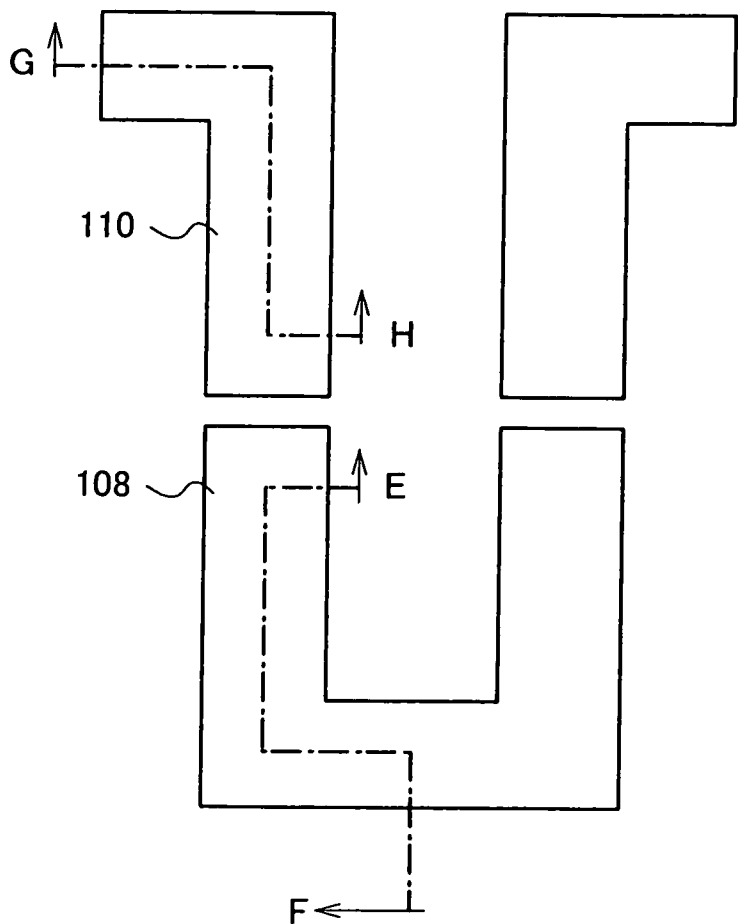
第28A圖



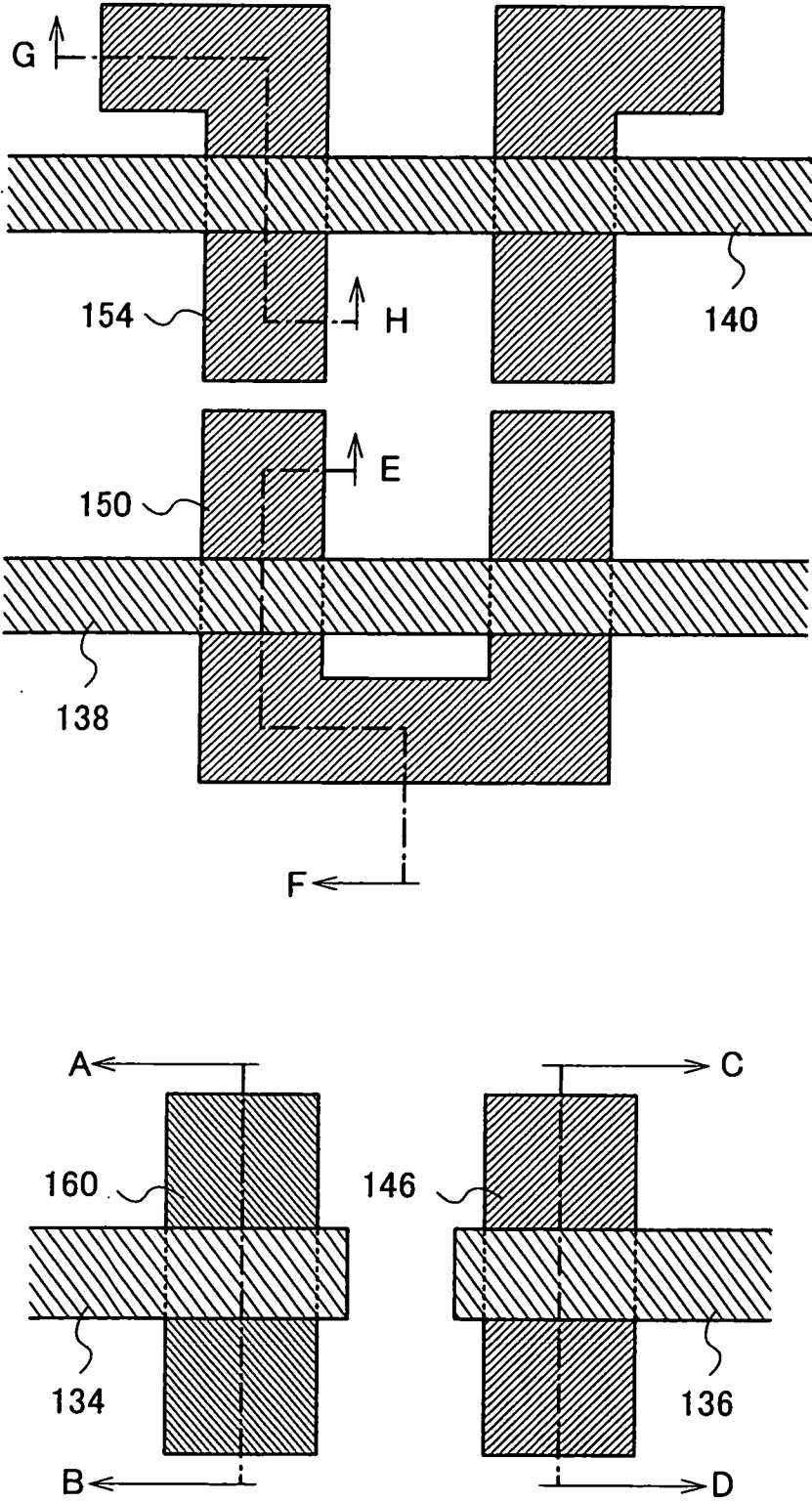
第28B圖



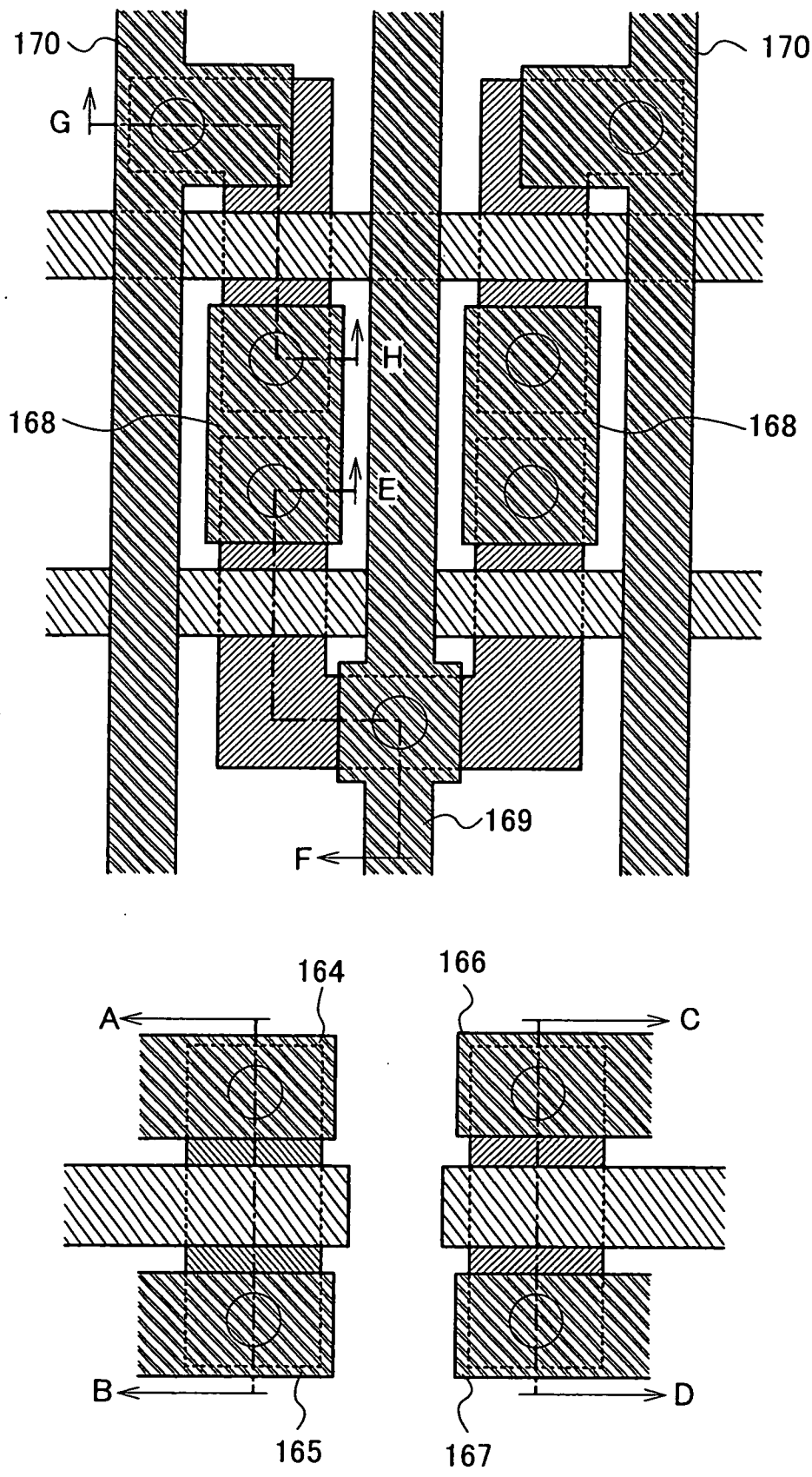
第29圖



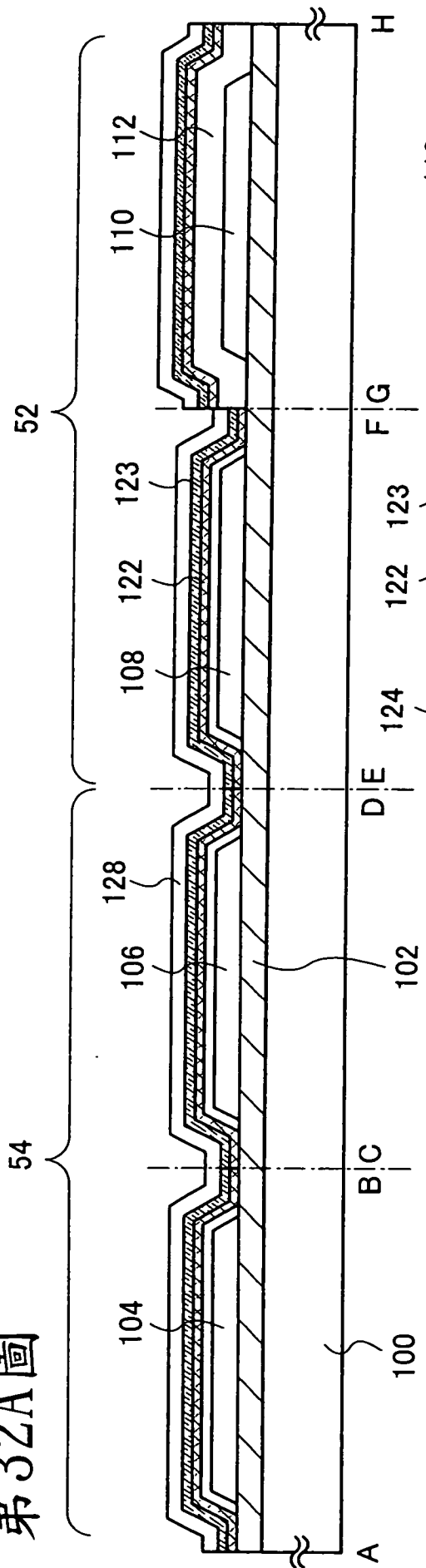
第30圖



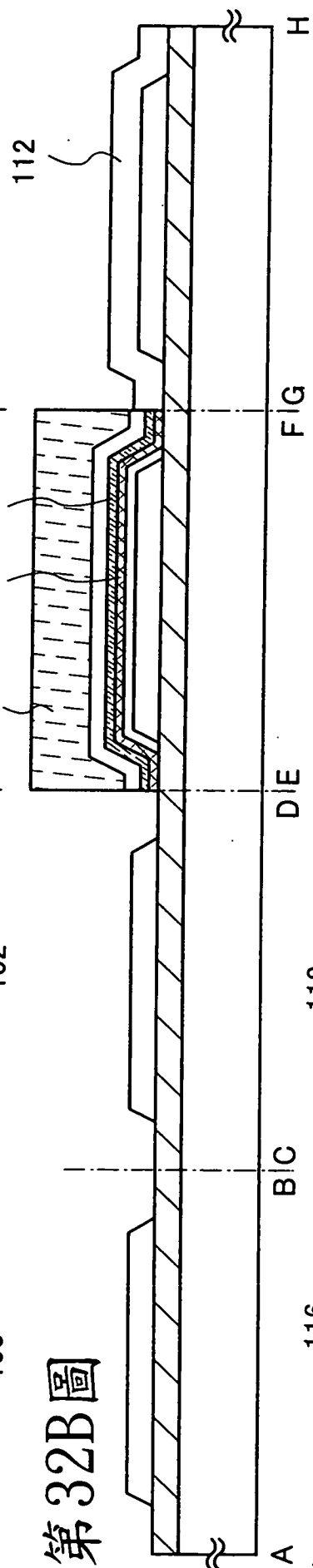
第31圖



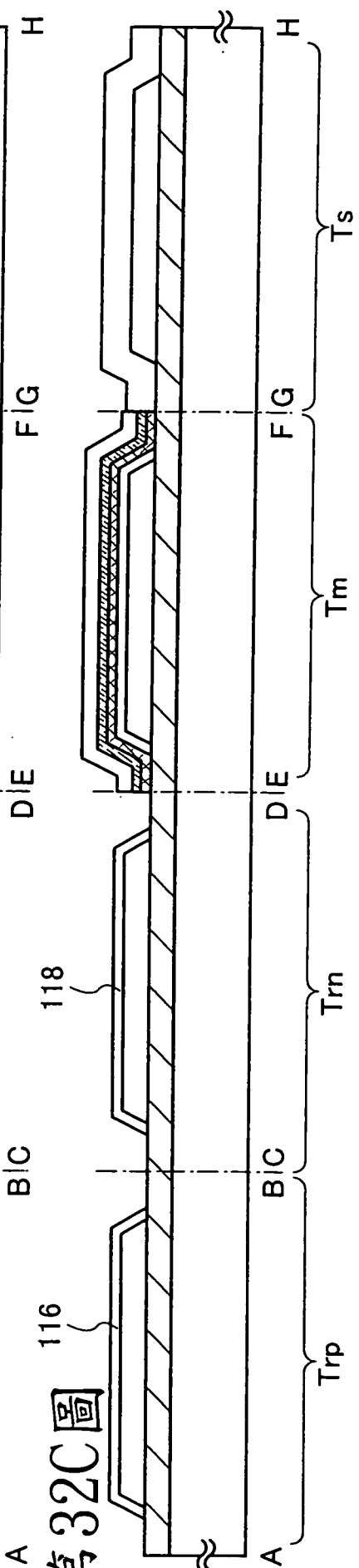
第32A圖

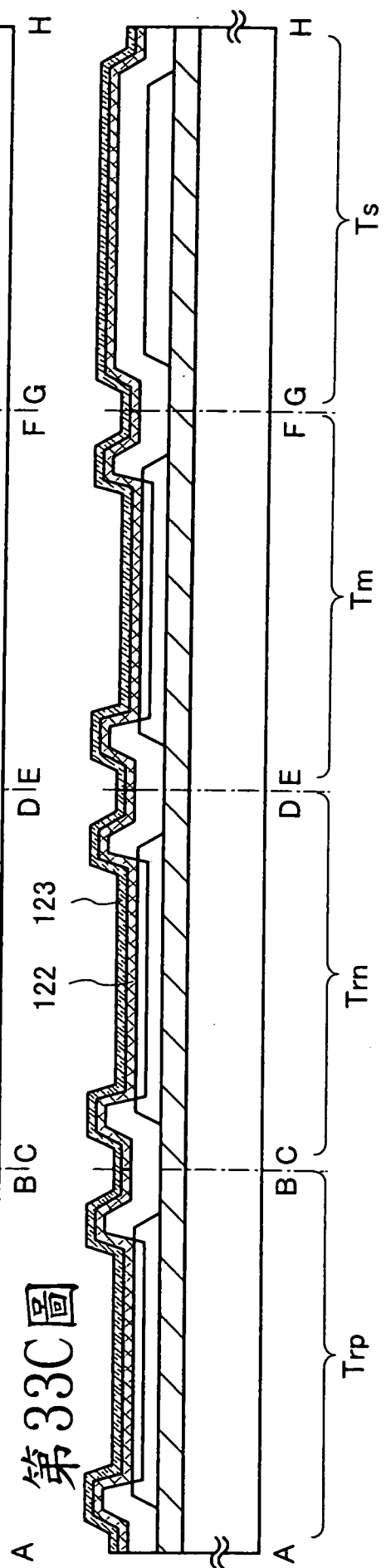
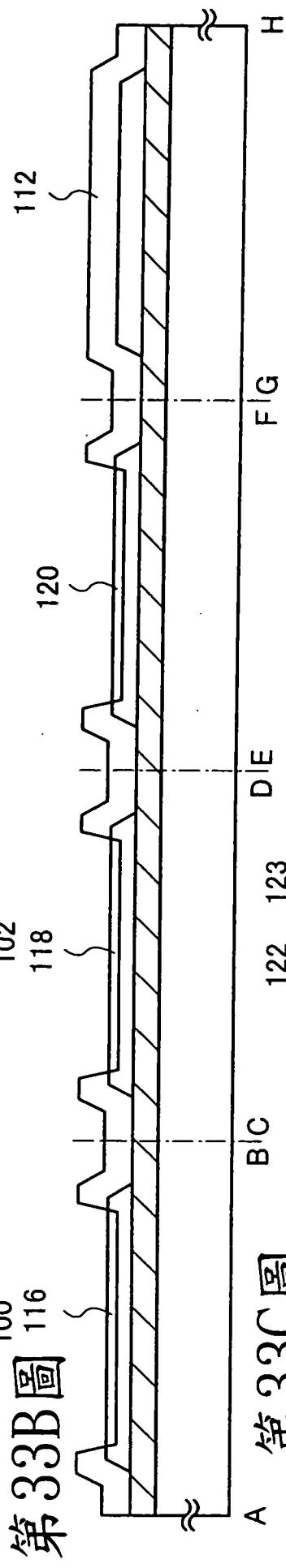
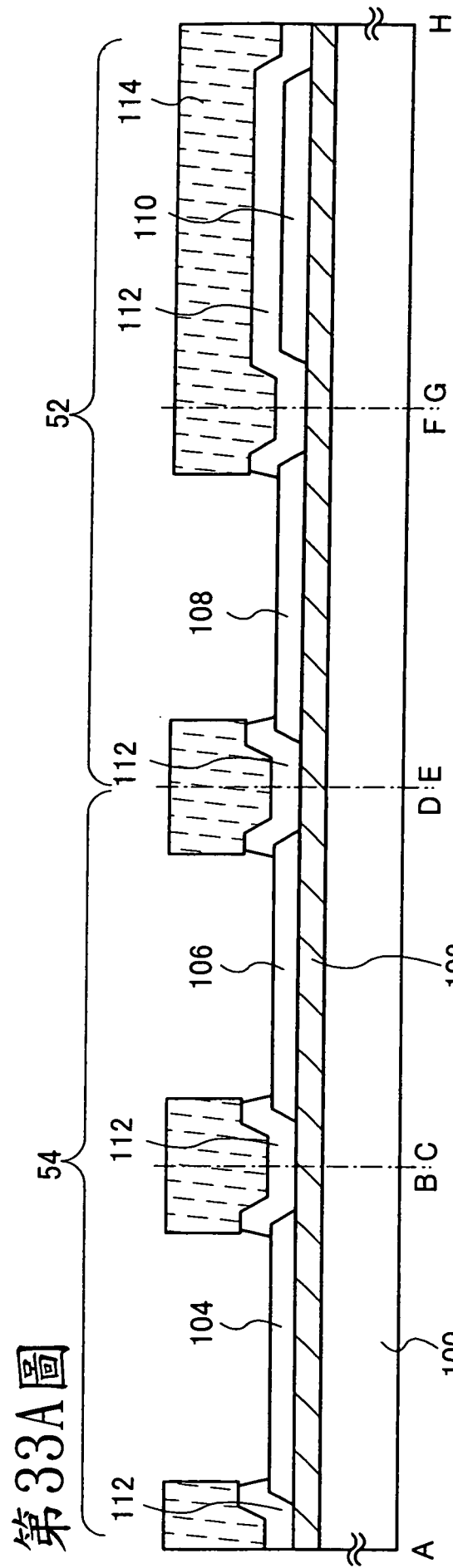


第32B圖

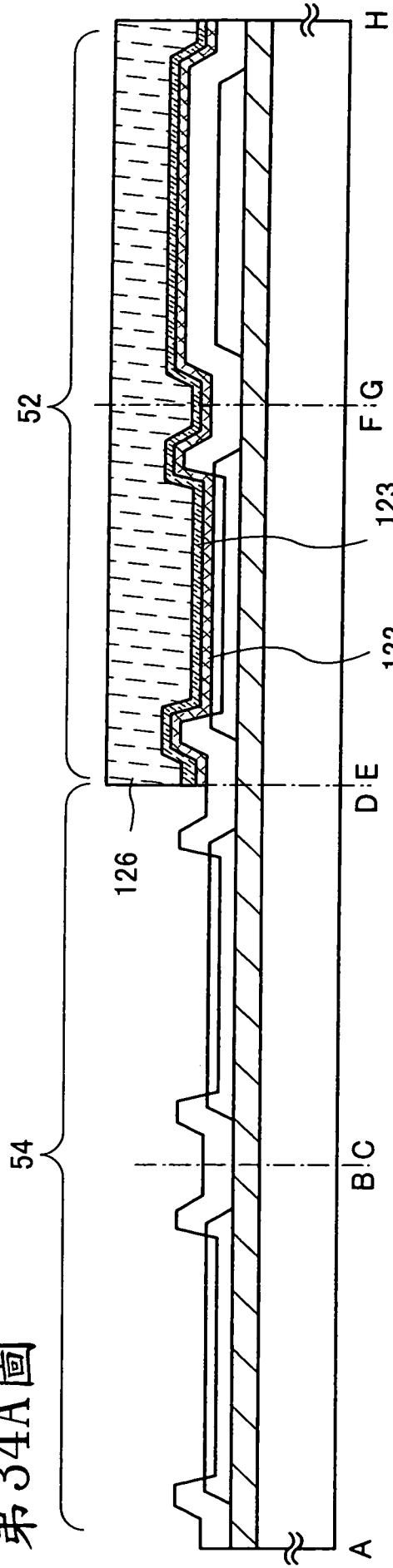


第32C圖

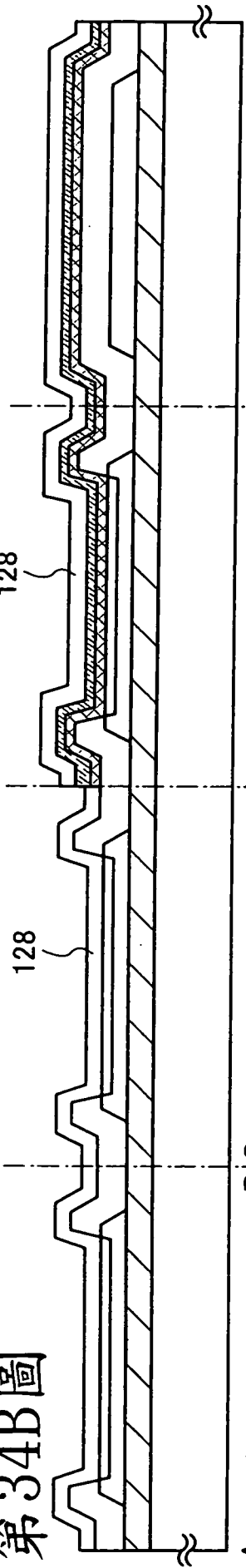




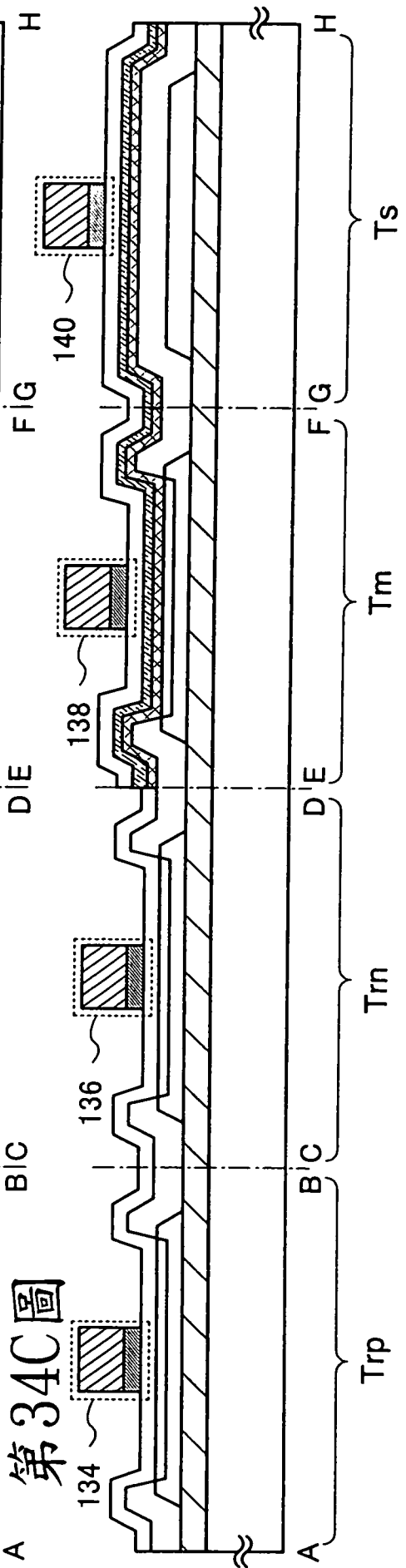
第34A圖



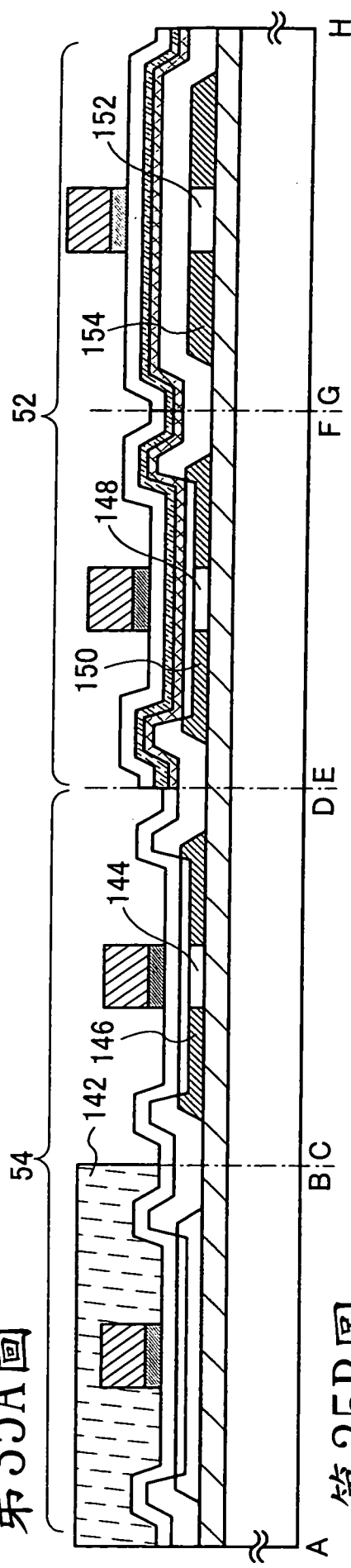
第34B圖



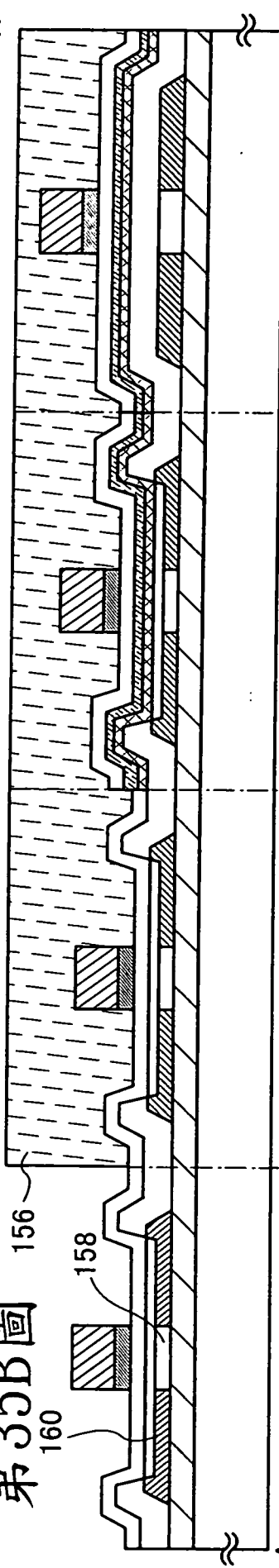
第34C圖



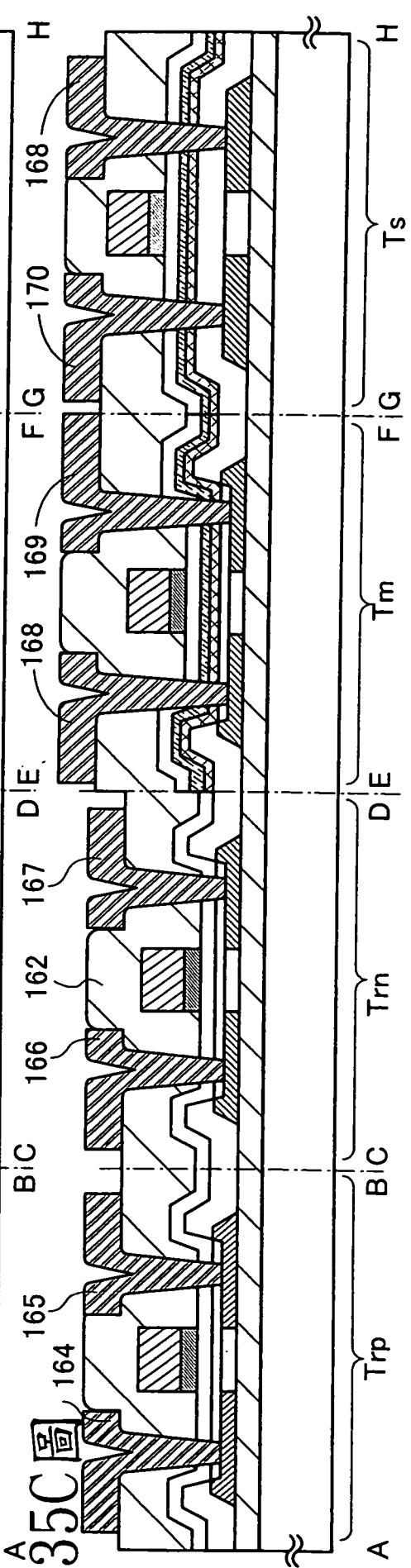
第35A圖



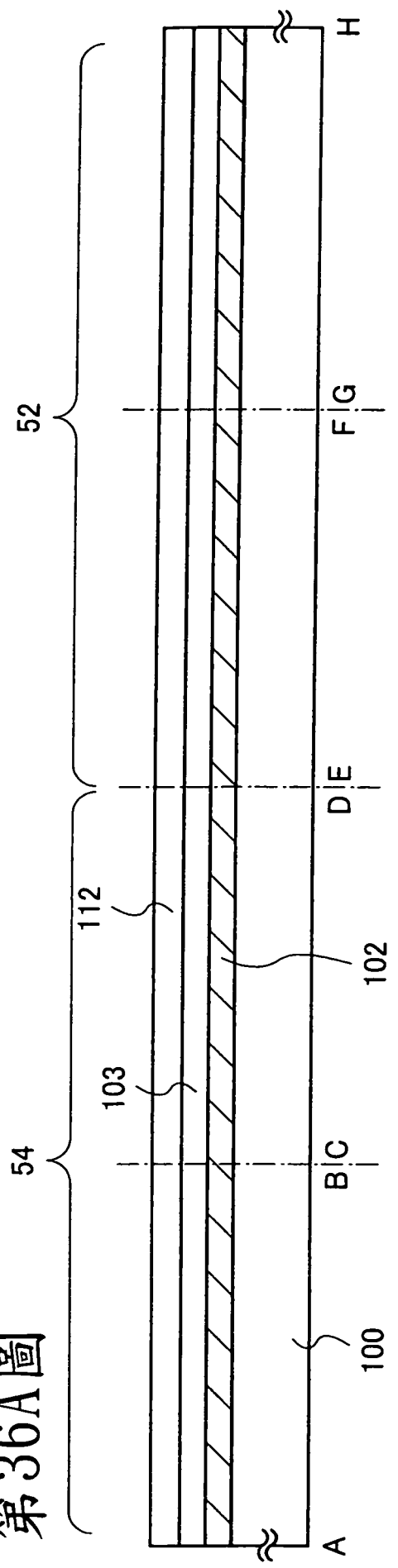
第35B圖



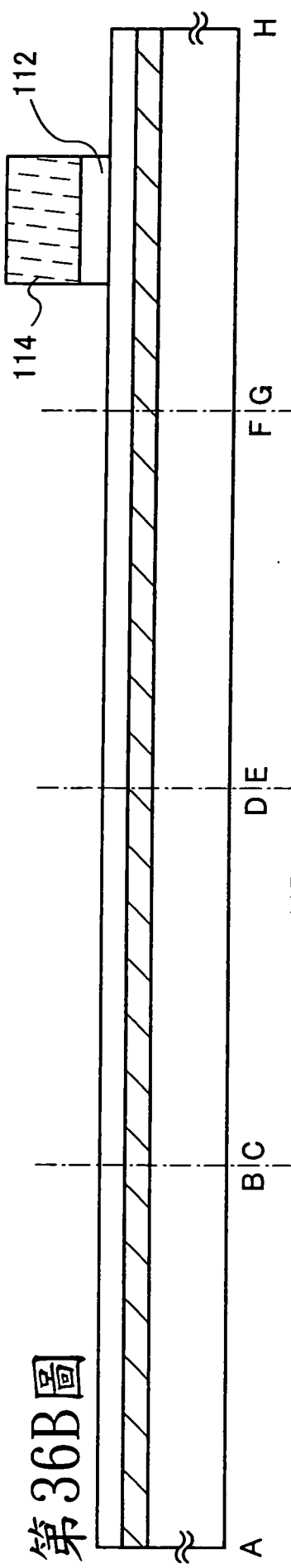
第35C圖



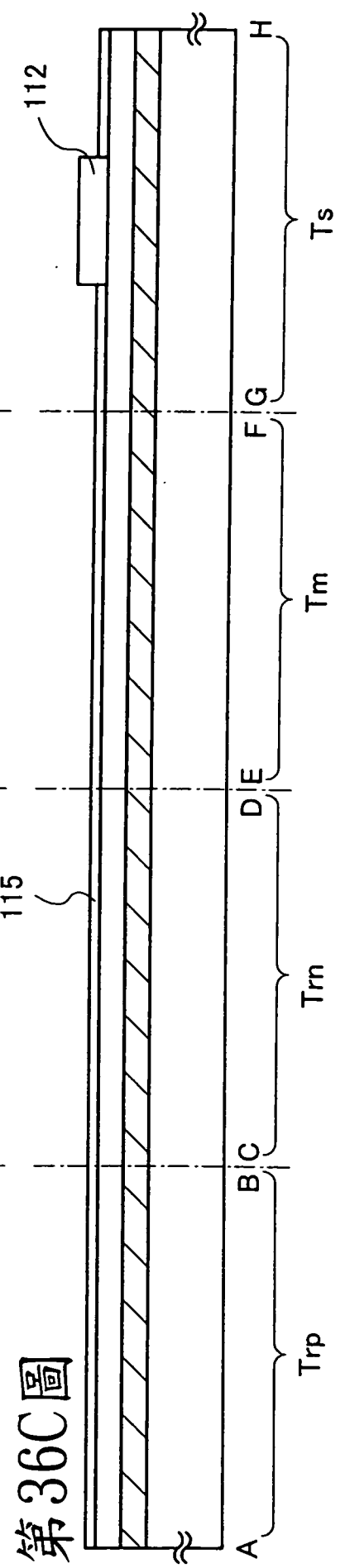
第36A圖



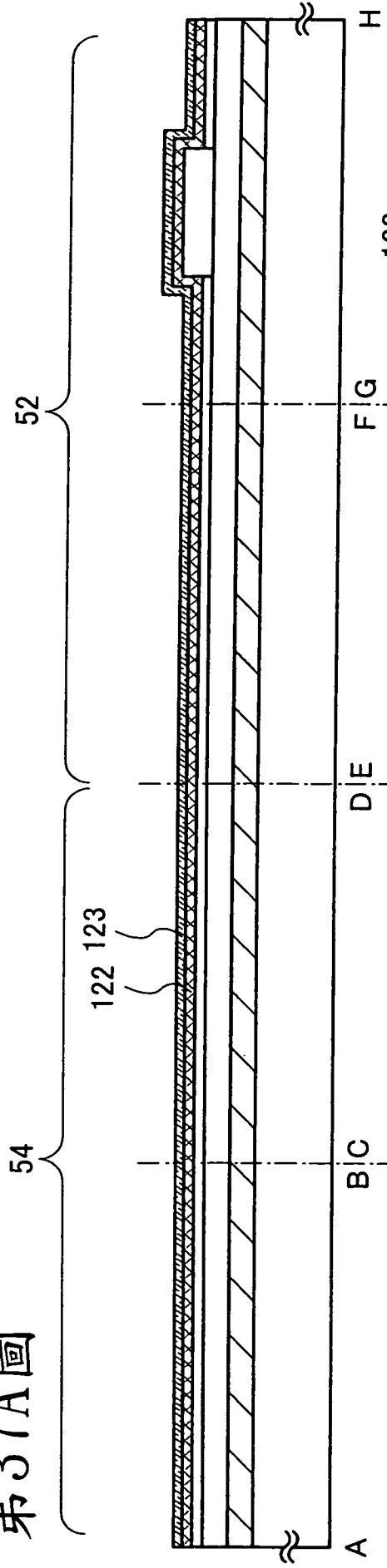
第36B圖



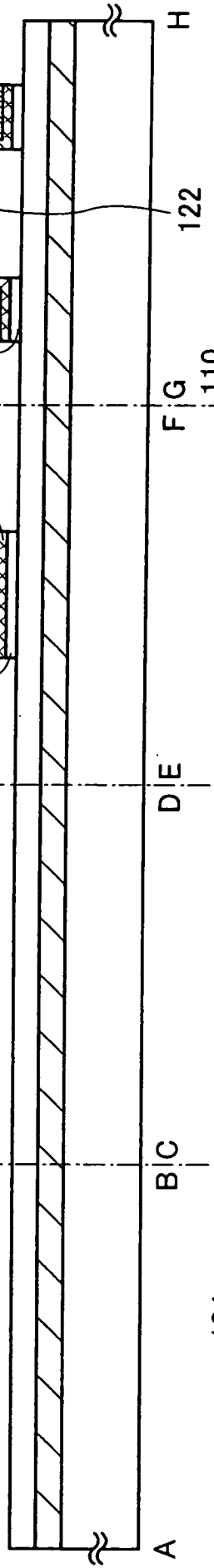
第36C圖



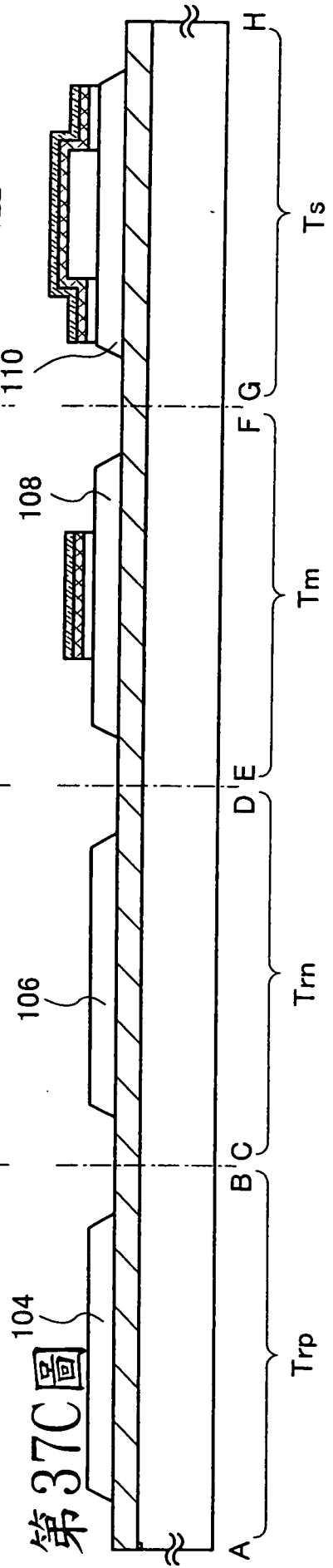
第37A圖



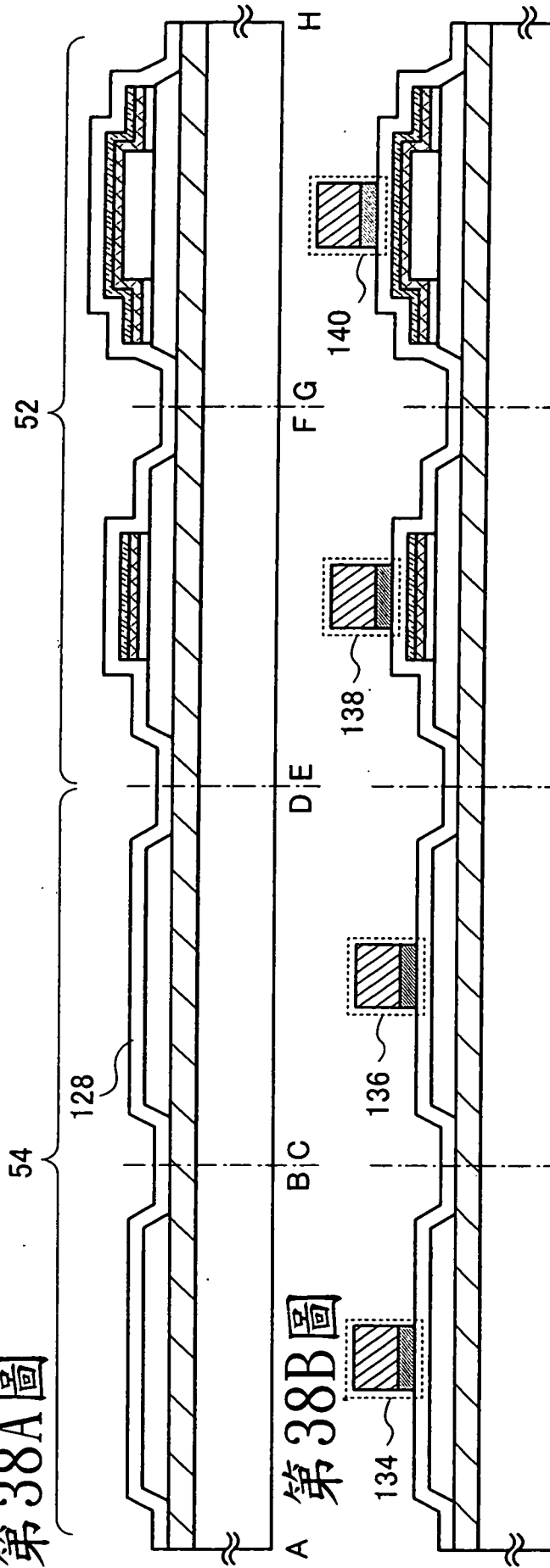
第37B圖



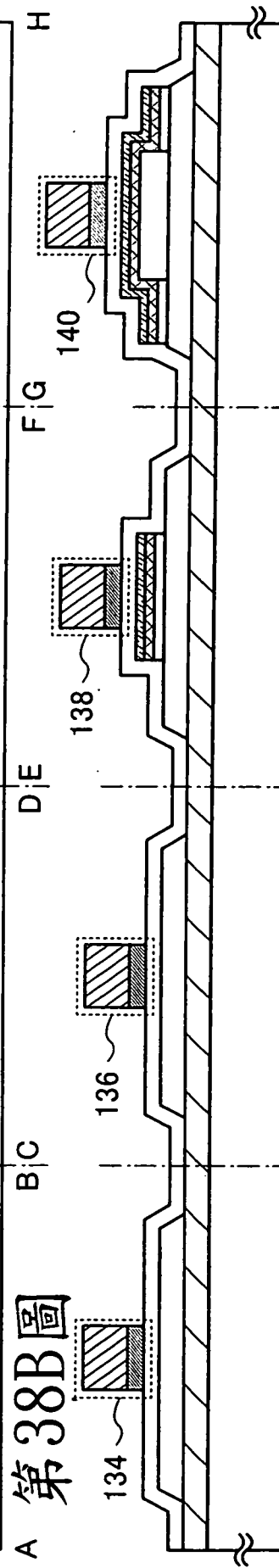
第37C圖



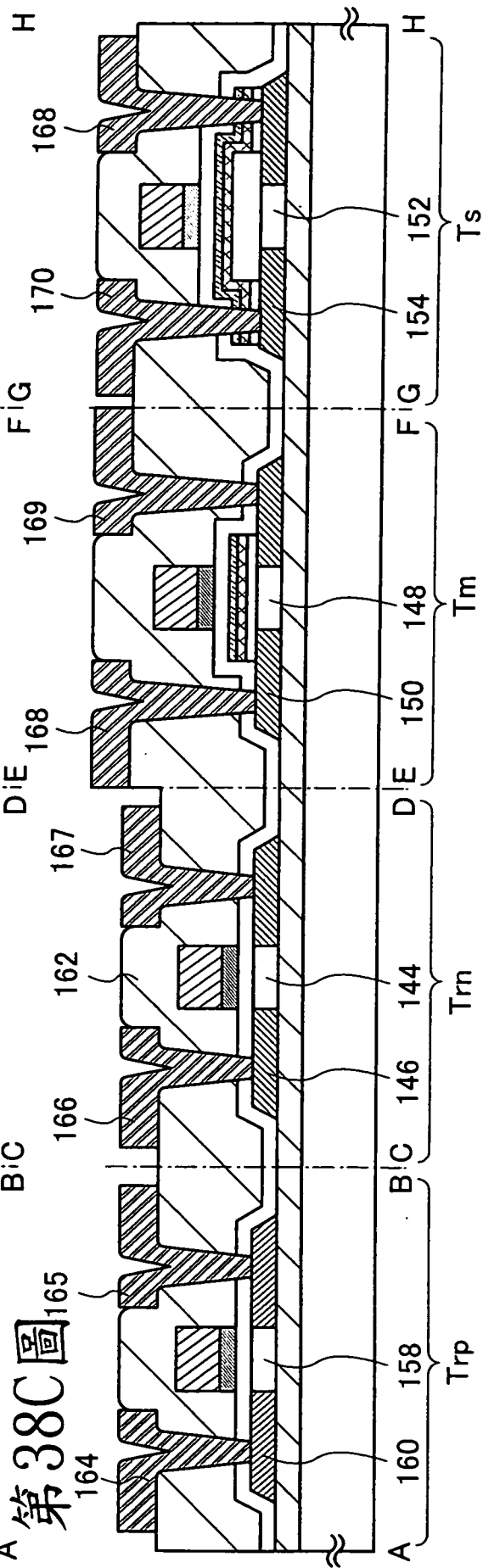
第38A圖



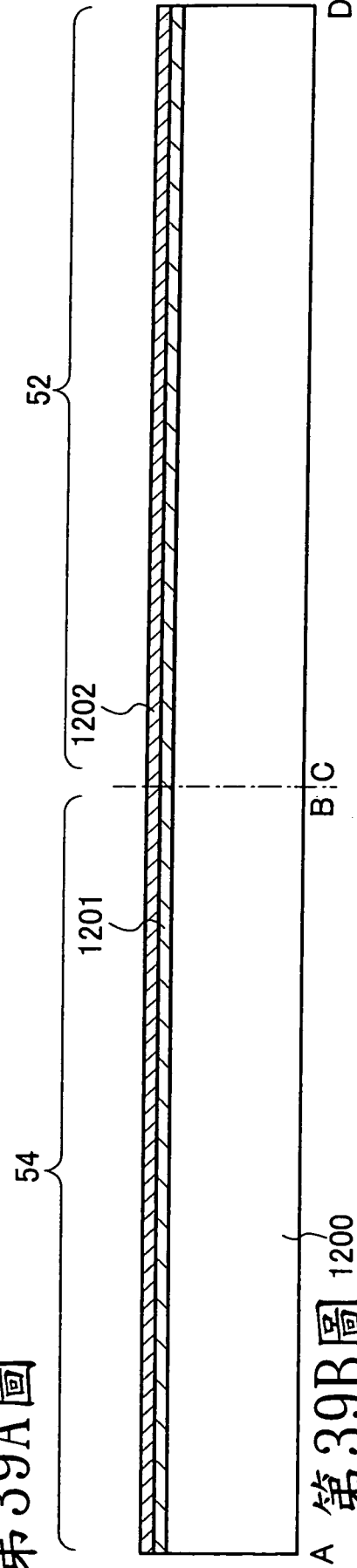
第38B圖



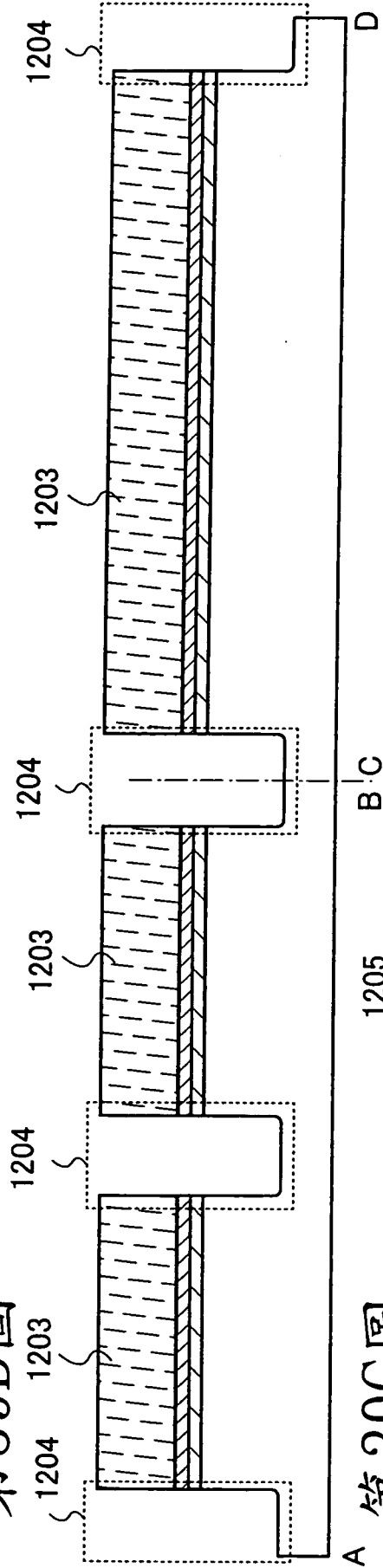
第38C圖



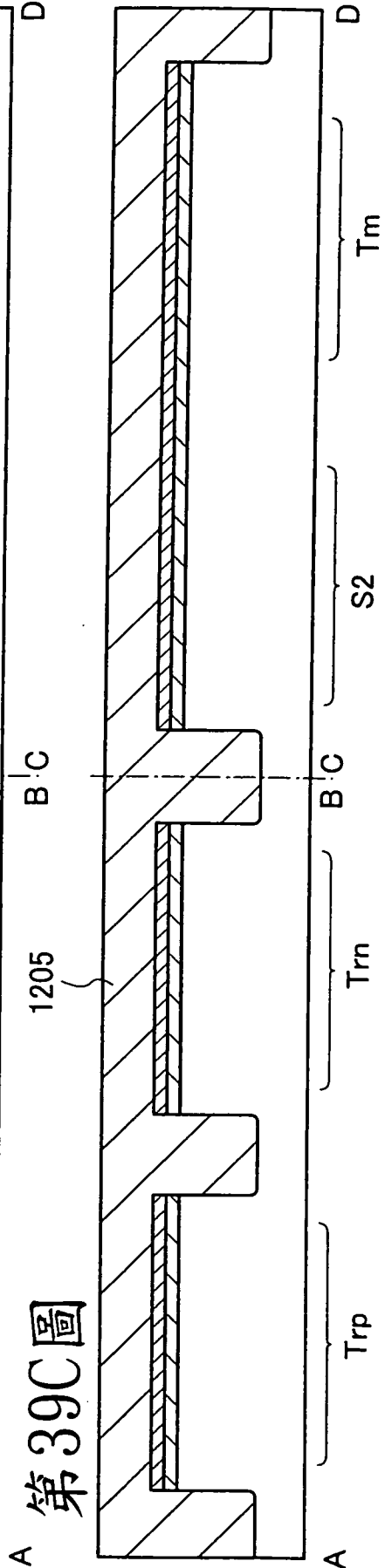
第39A圖



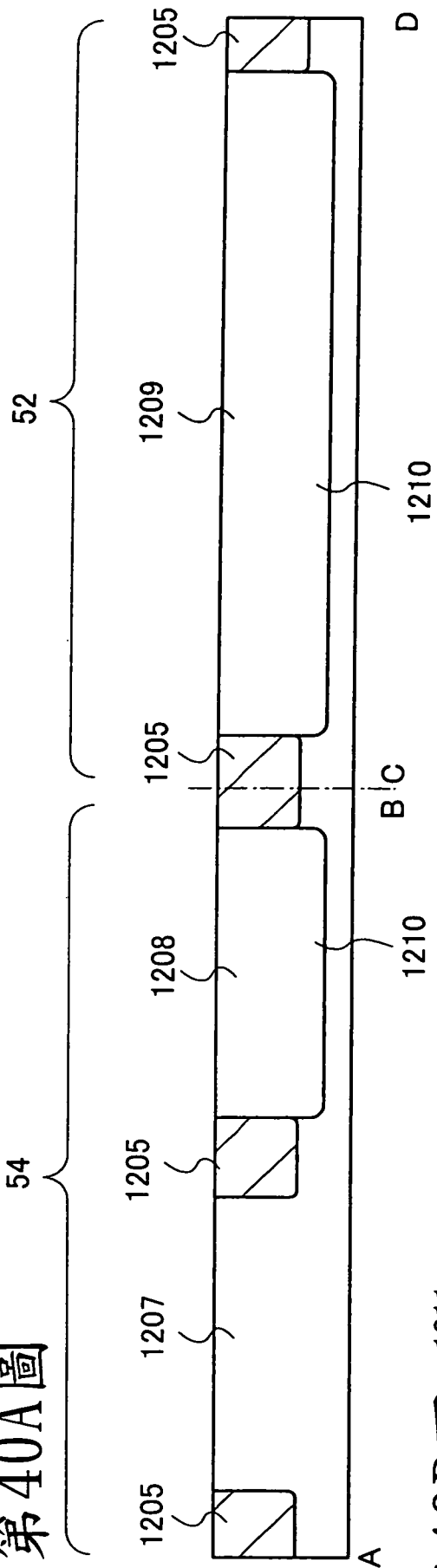
第39B圖



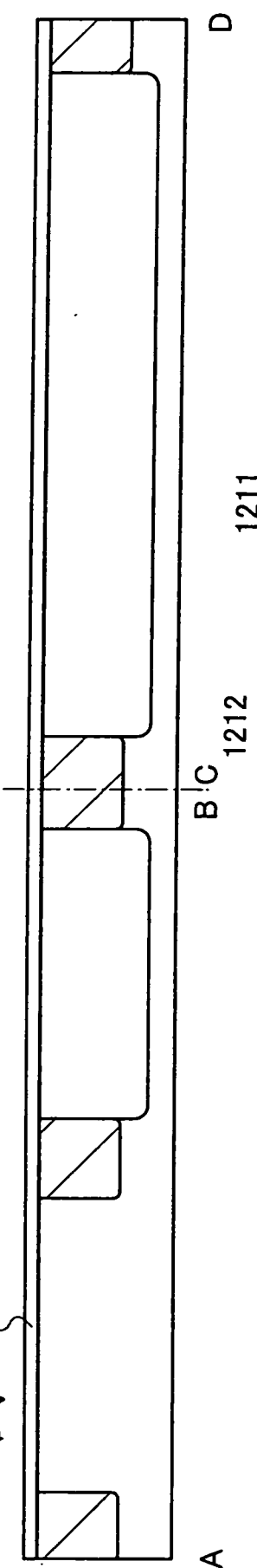
第39C圖



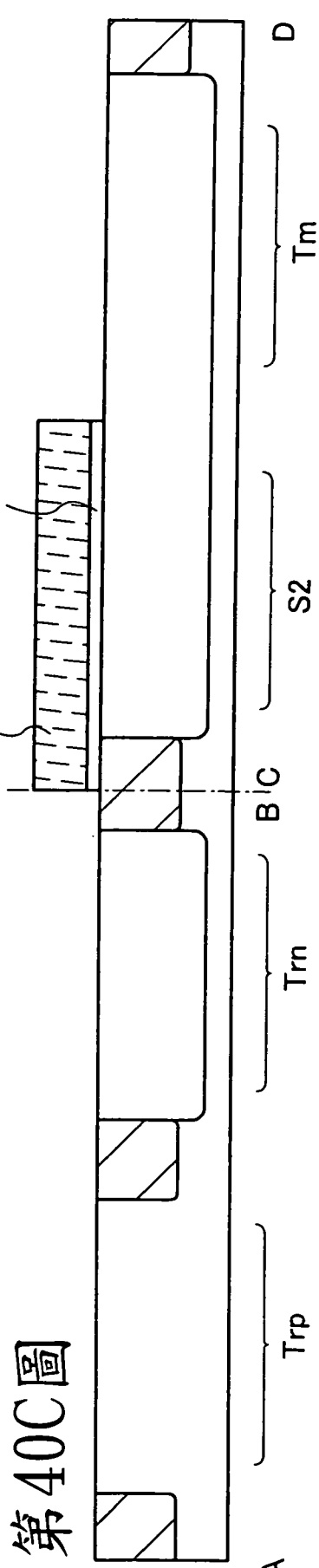
第40A圖



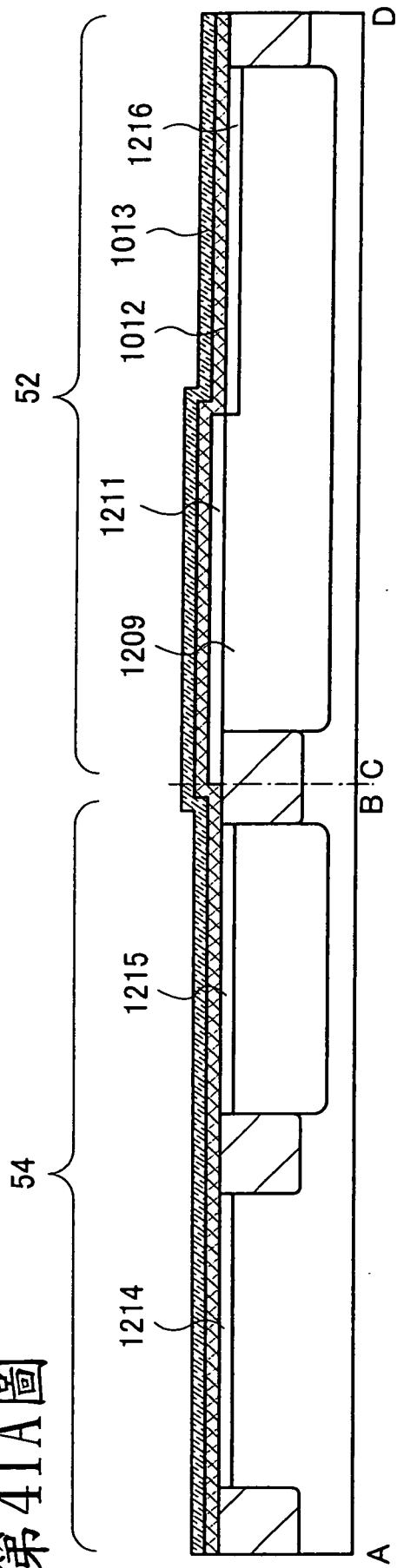
第40B圖



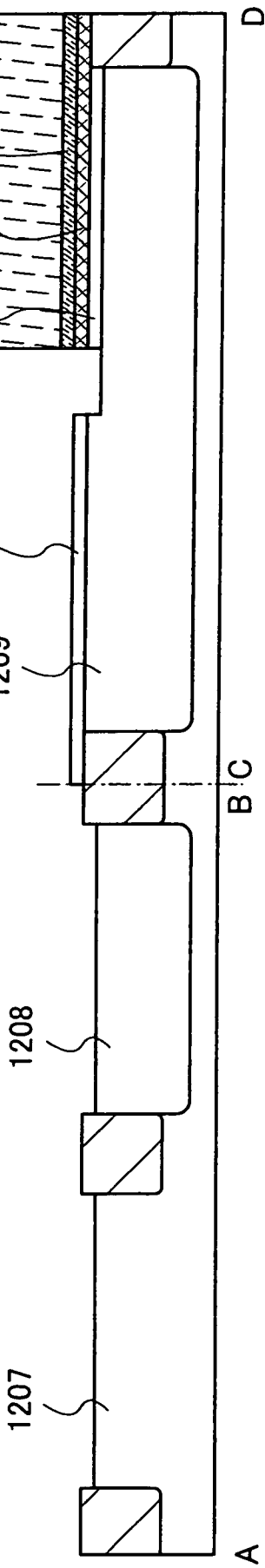
第40C圖



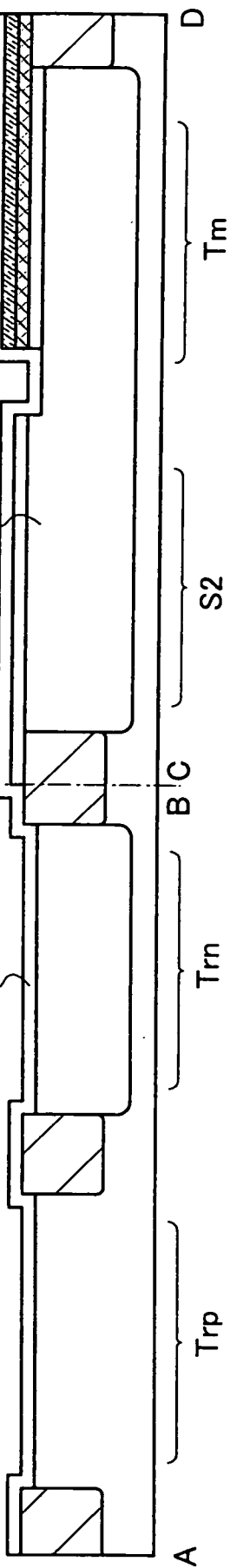
第41A圖



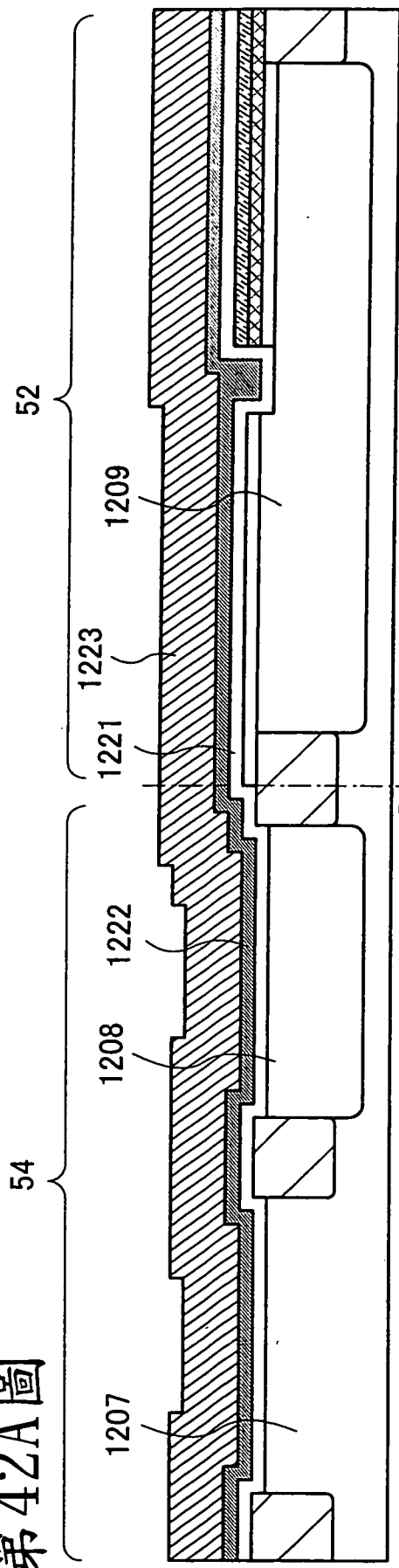
第41B圖



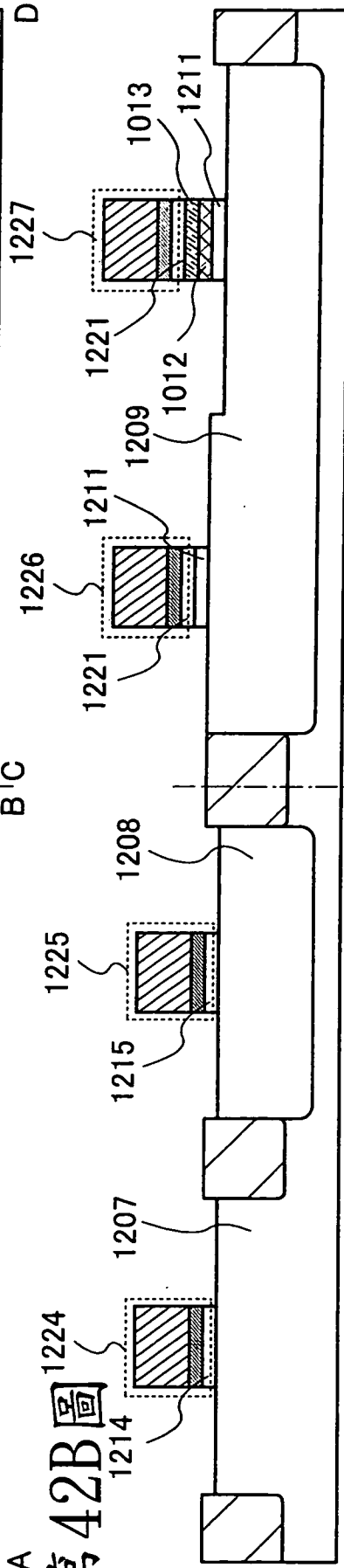
第41C圖



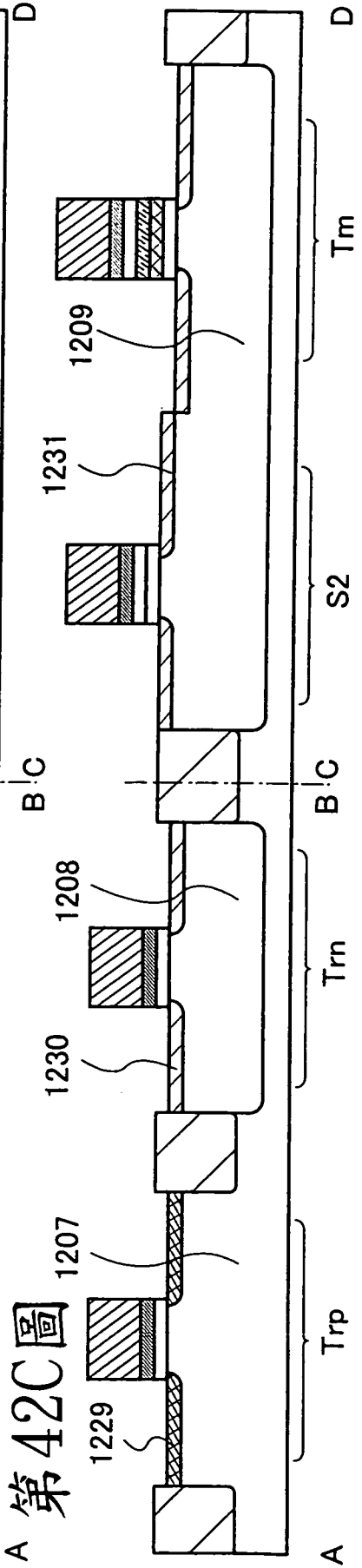
第42A圖



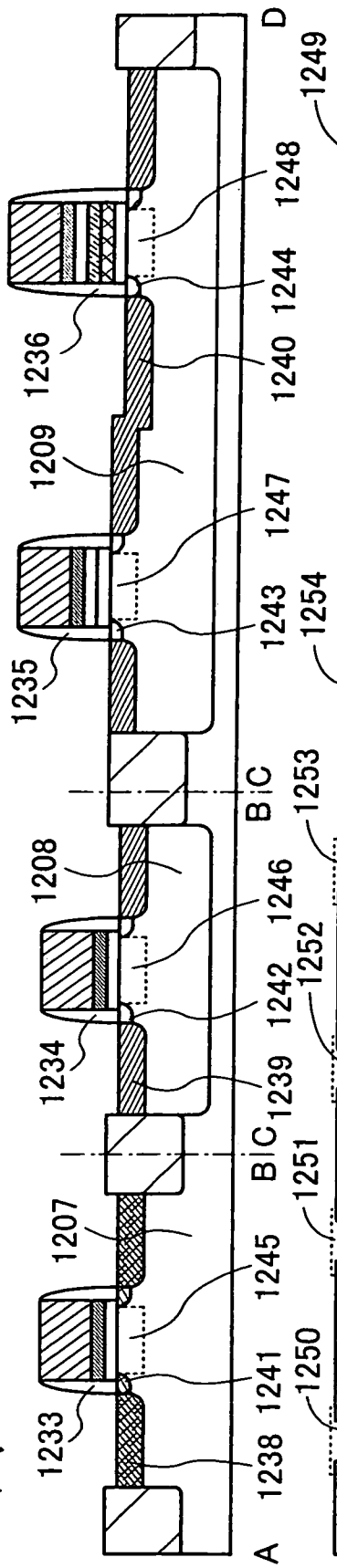
第42B圖



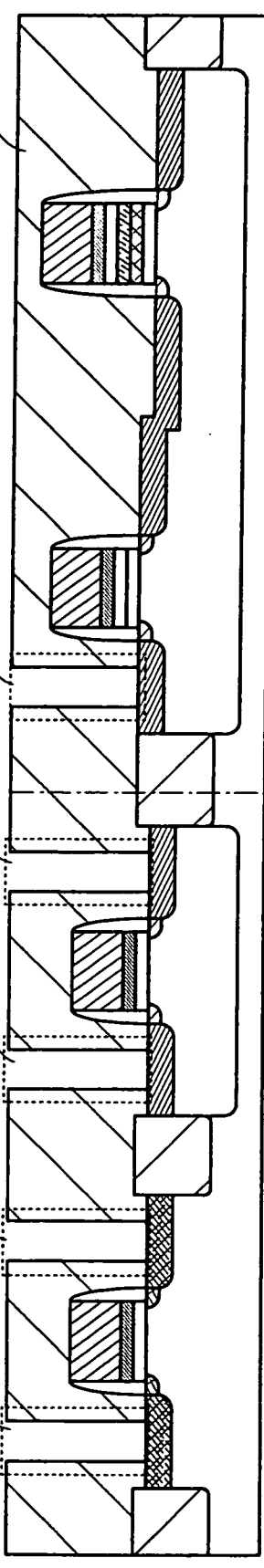
第42C圖



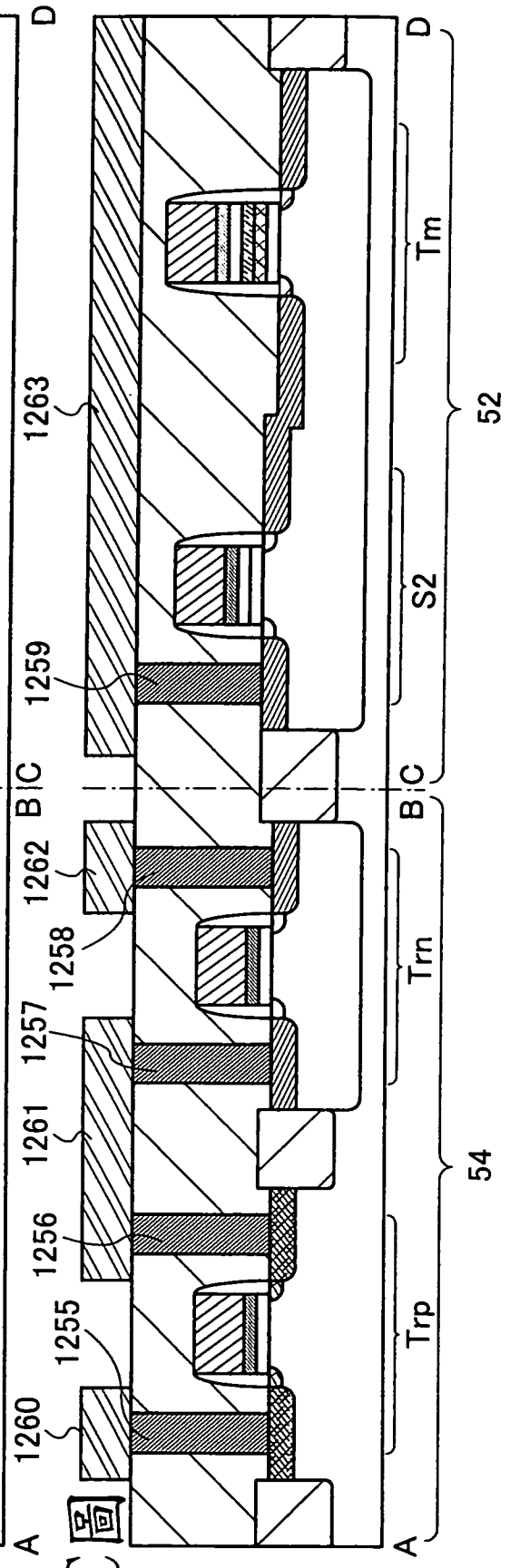
第43A圖



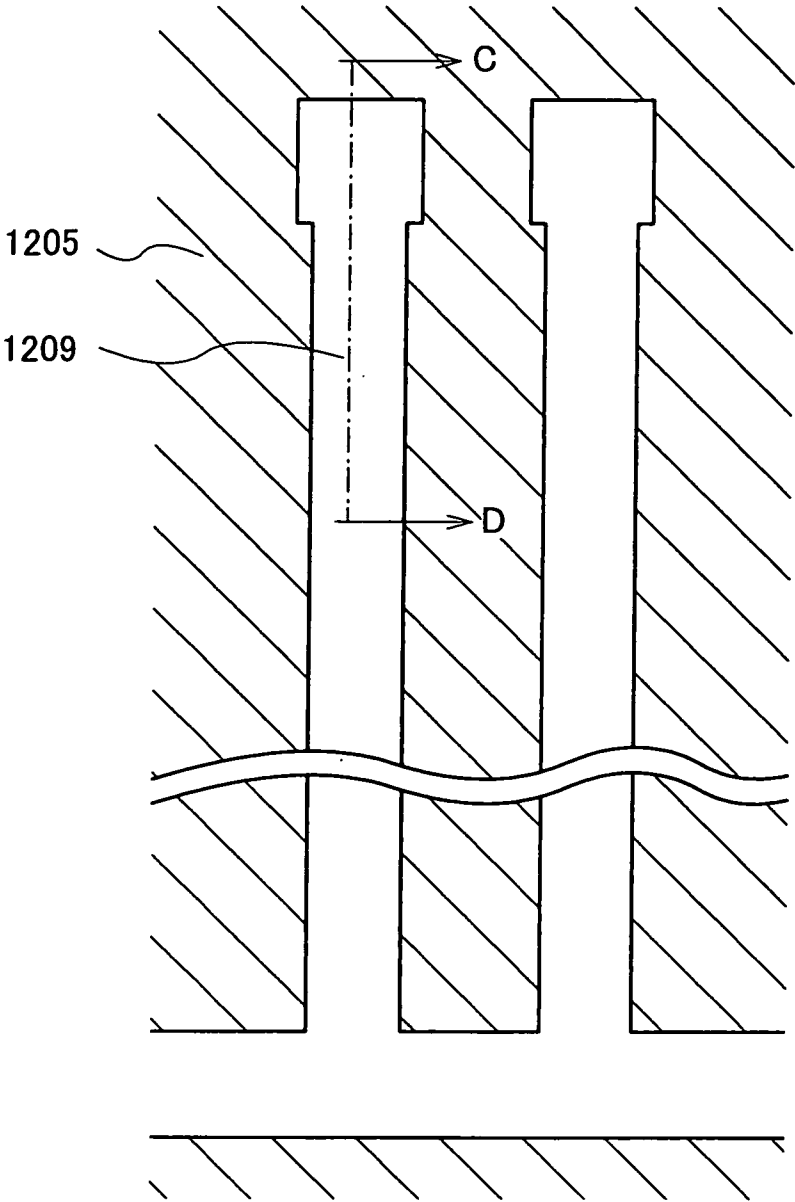
第43B圖



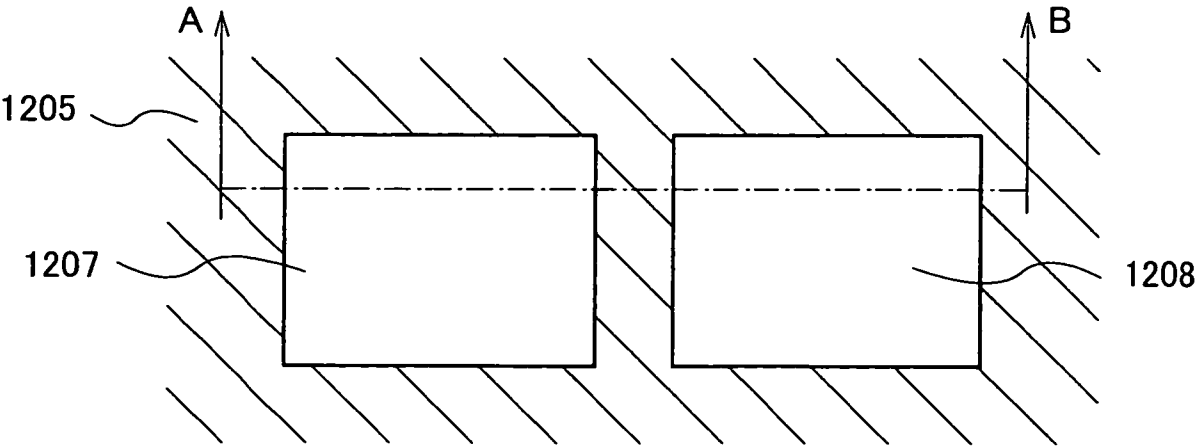
第43C圖



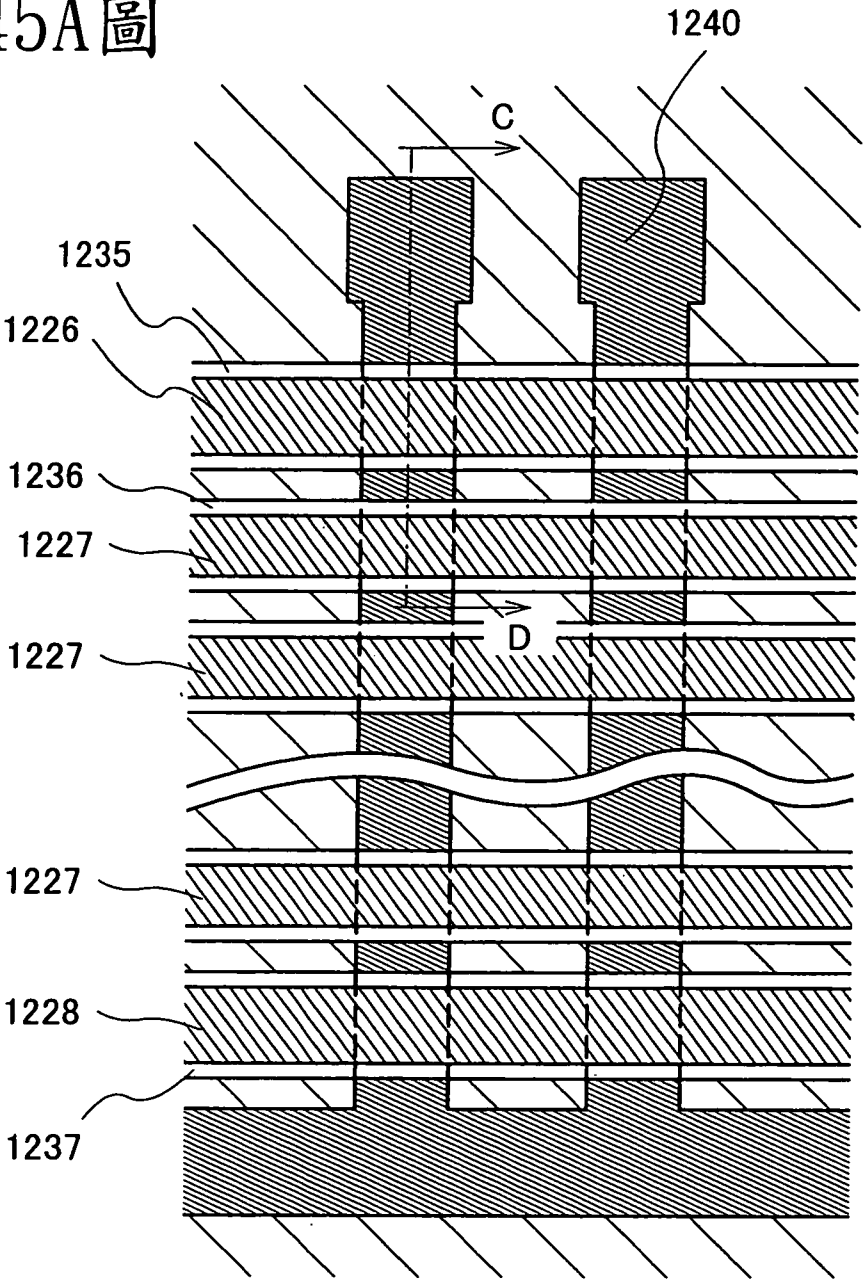
第44A圖



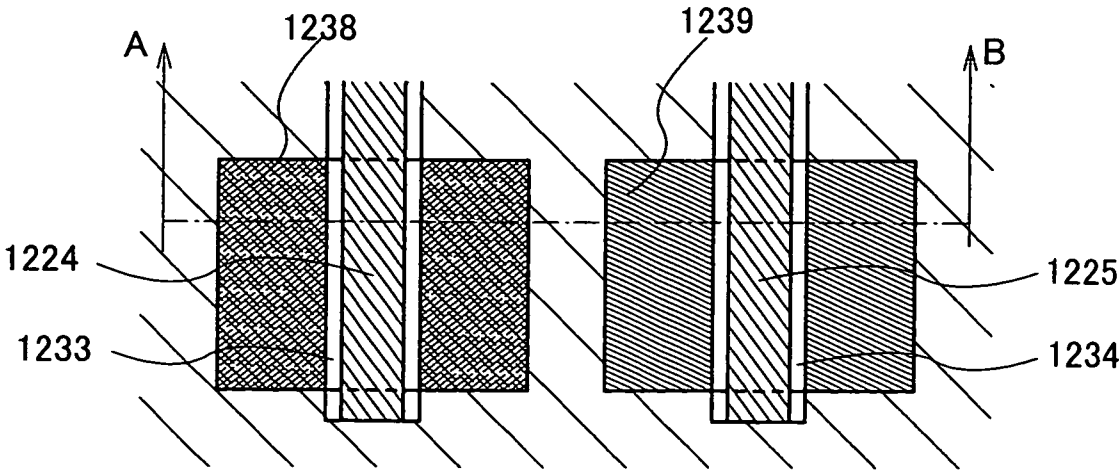
第44B圖



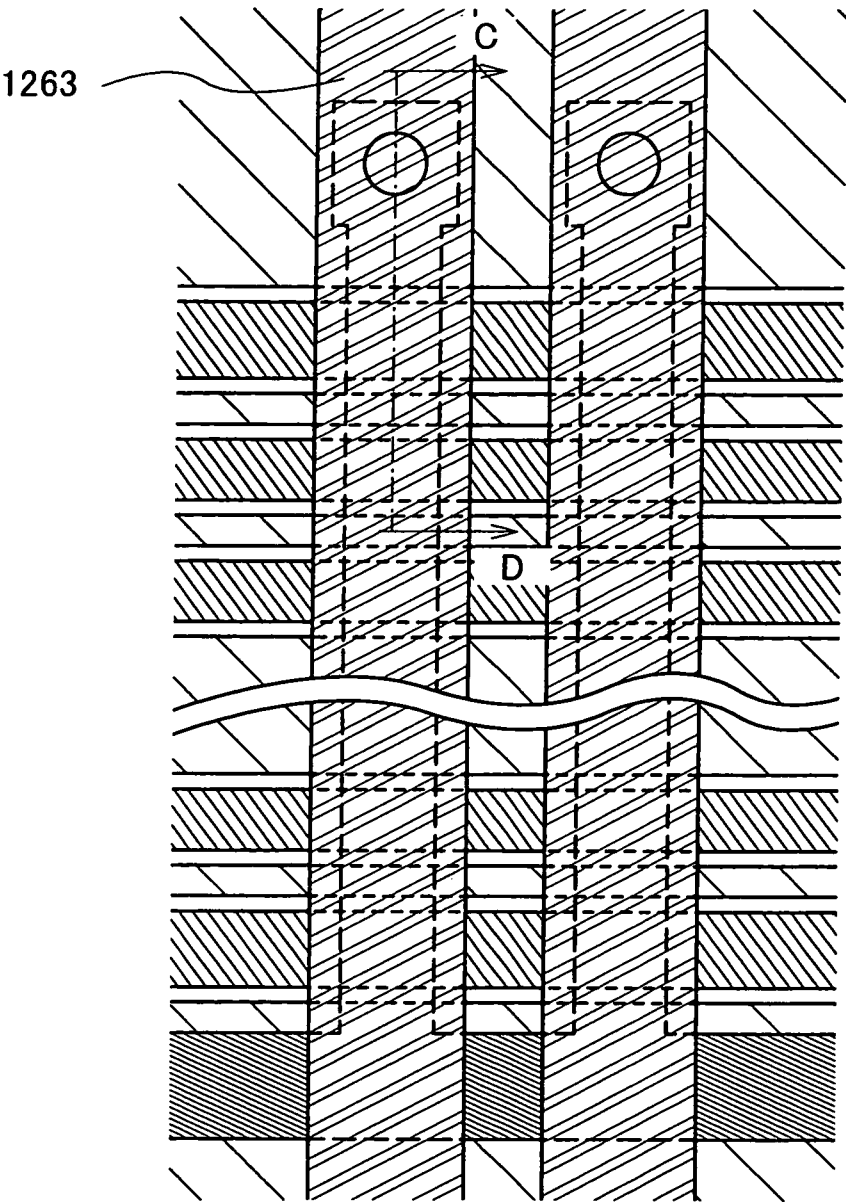
第45A圖



第45B圖



第46A圖



第46B圖

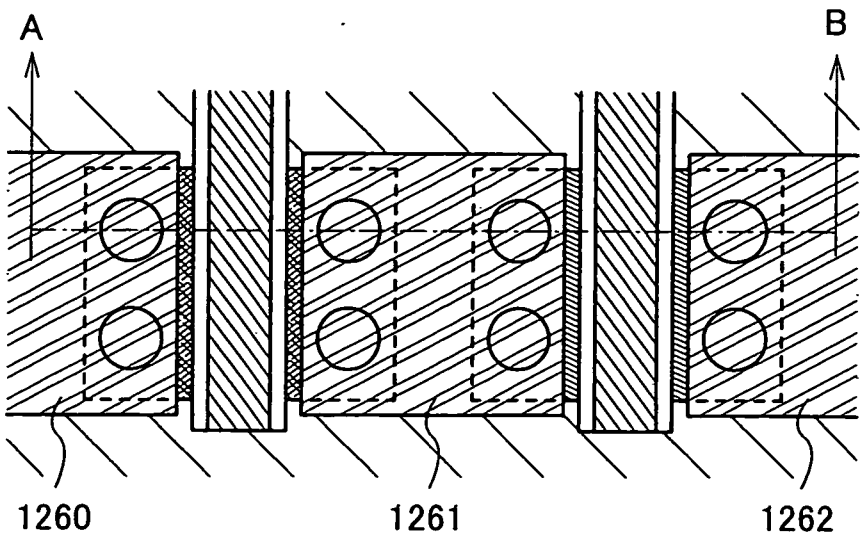
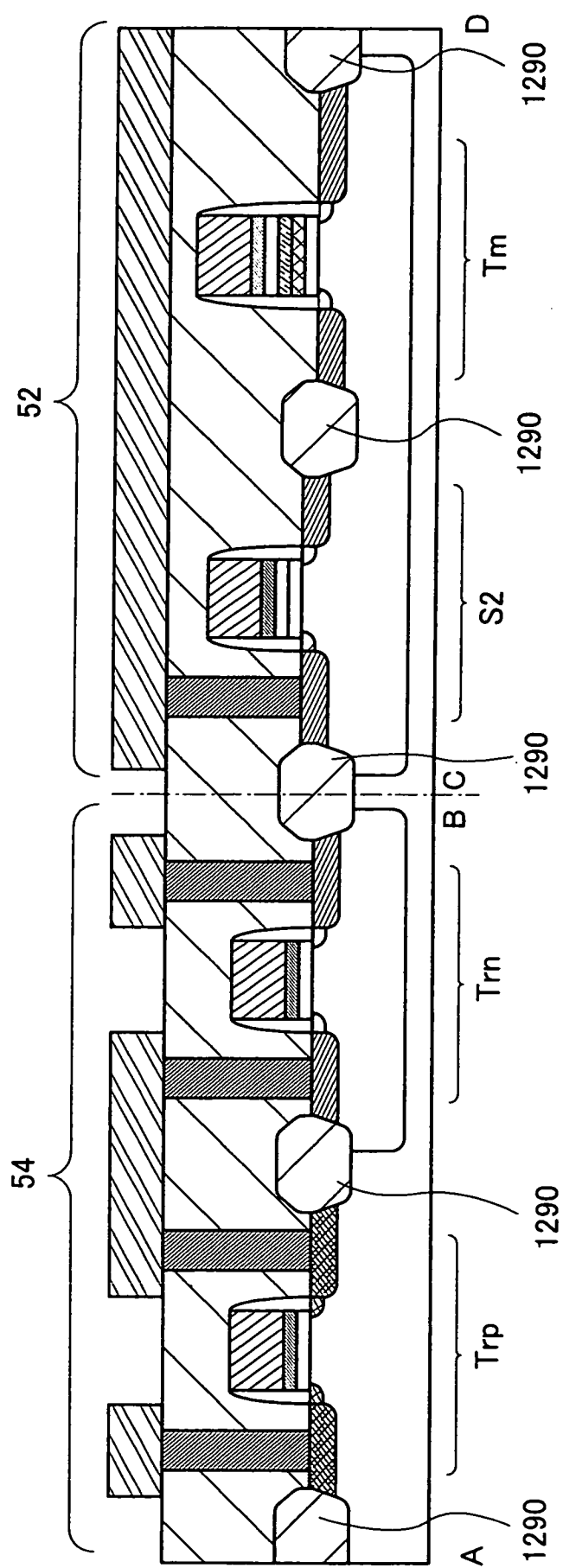
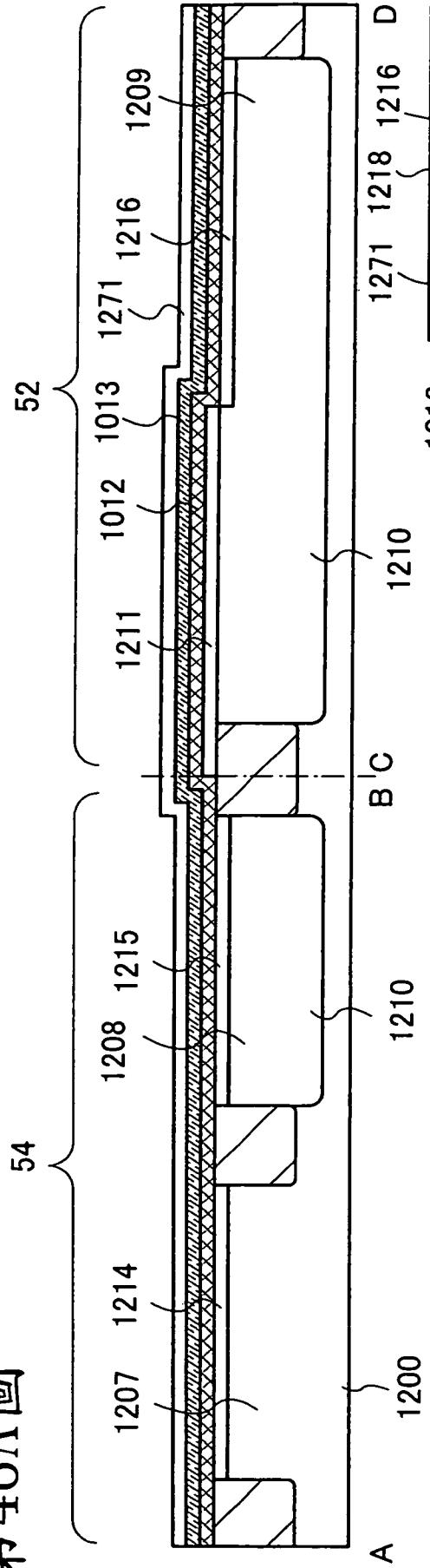


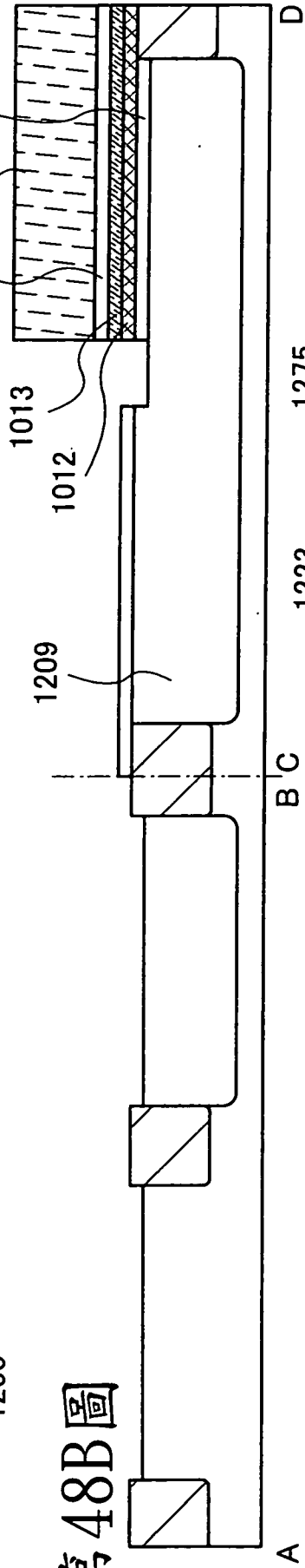
圖 47 第



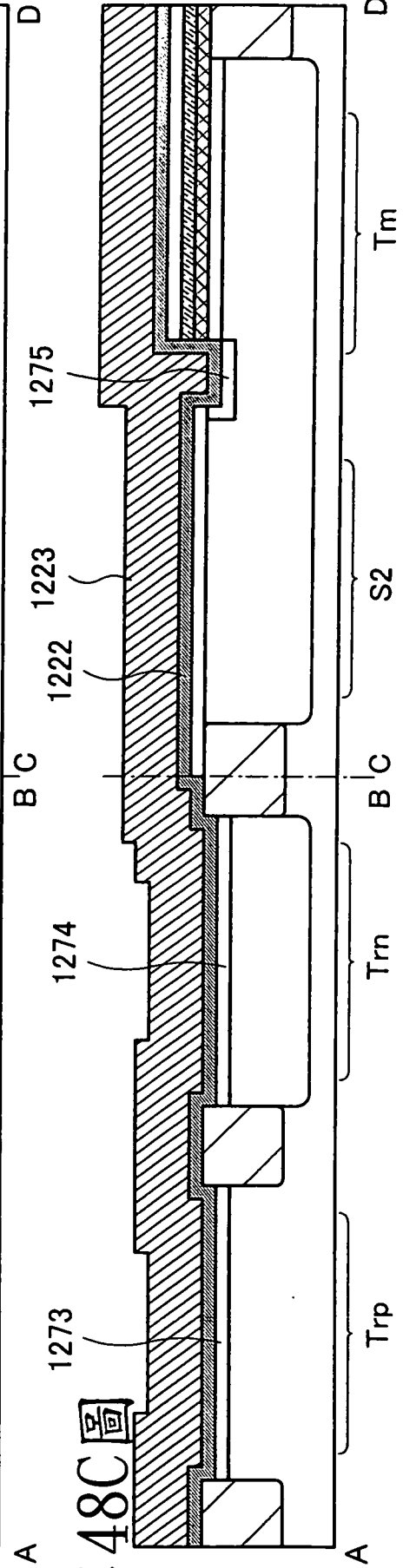
第48A圖



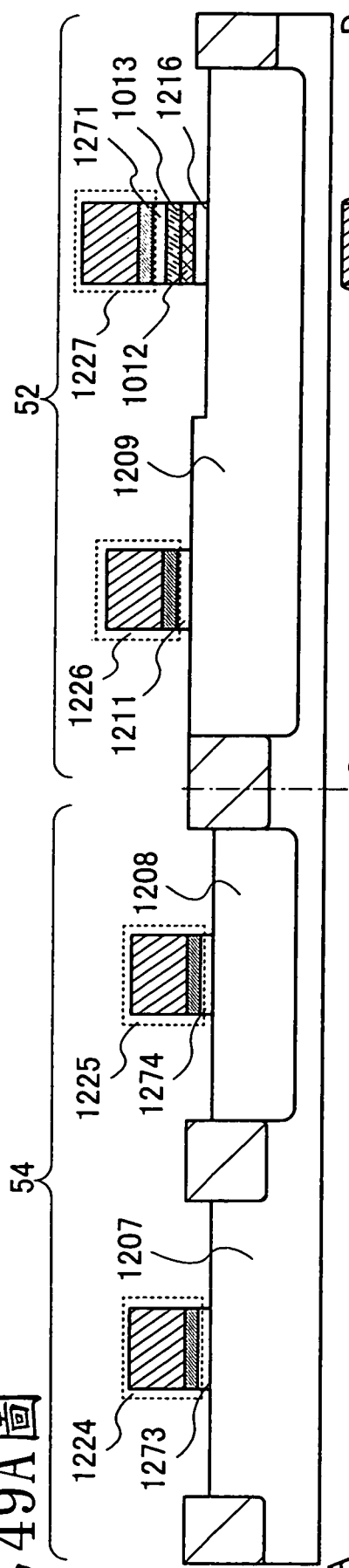
第48B圖



第48C圖



第49A圖



第49B圖

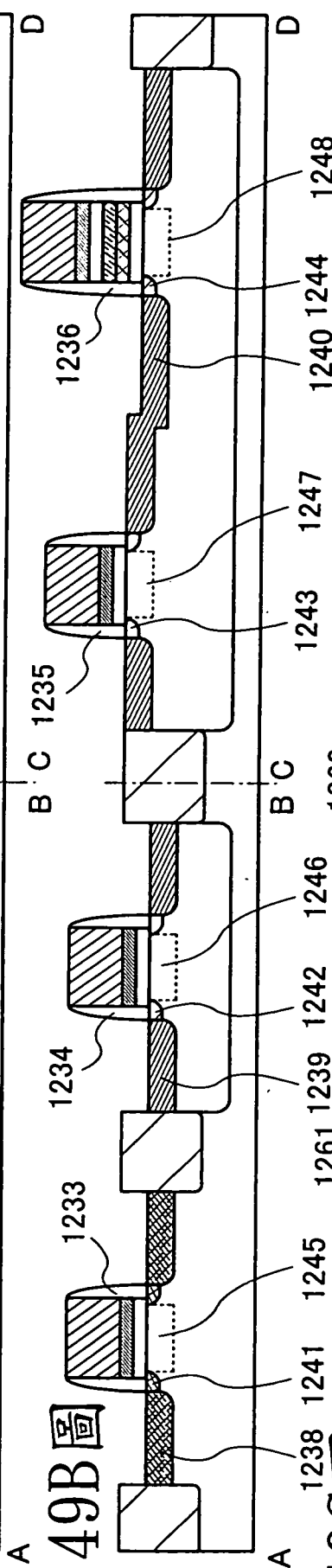
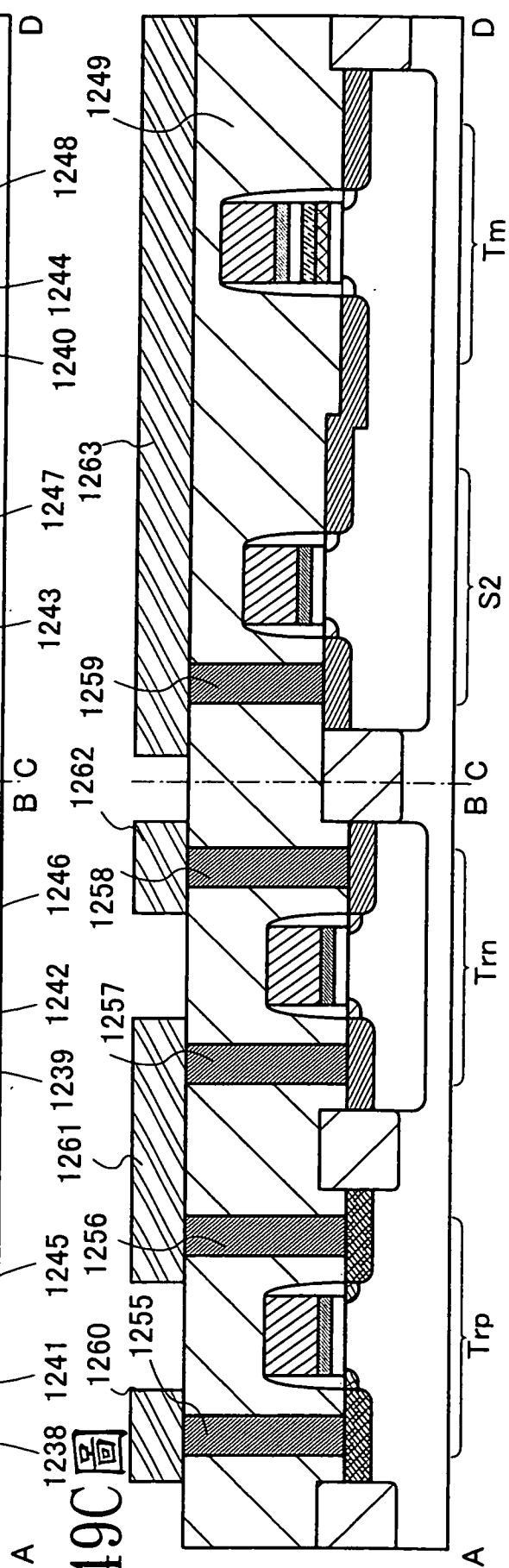
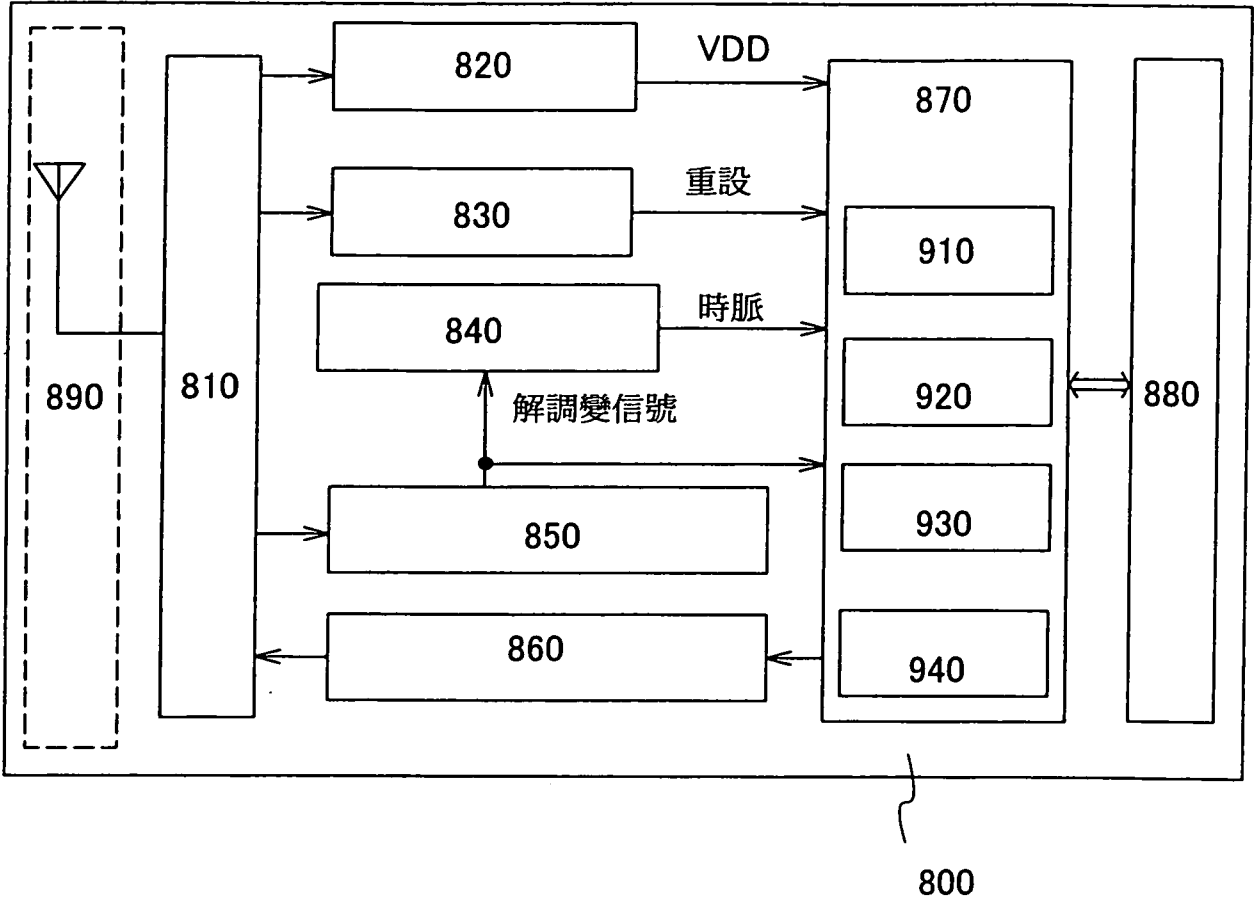


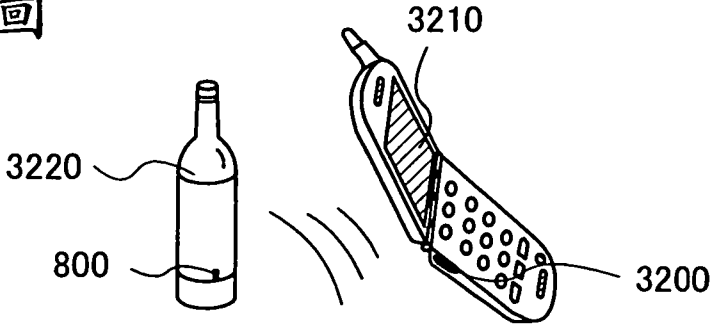
圖 49C 第 1230



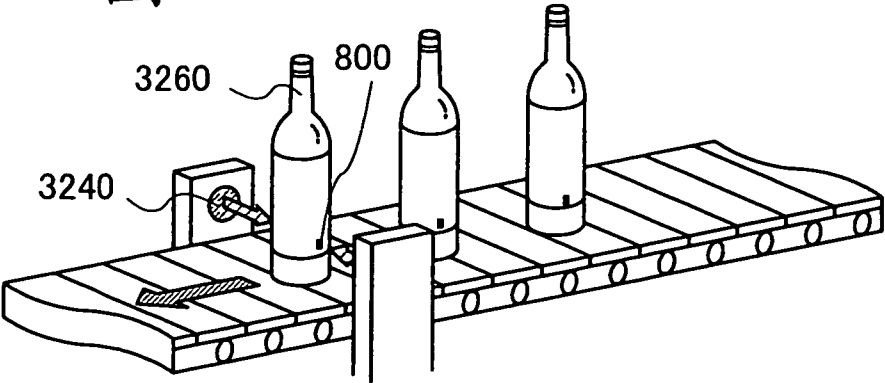
第50圖



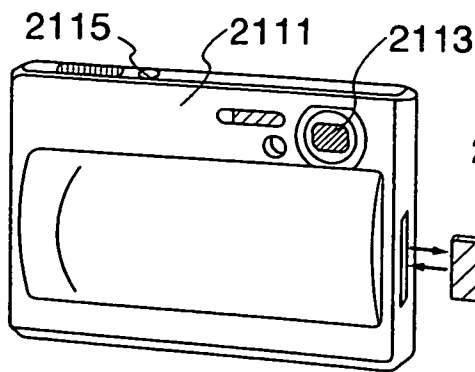
第51A圖



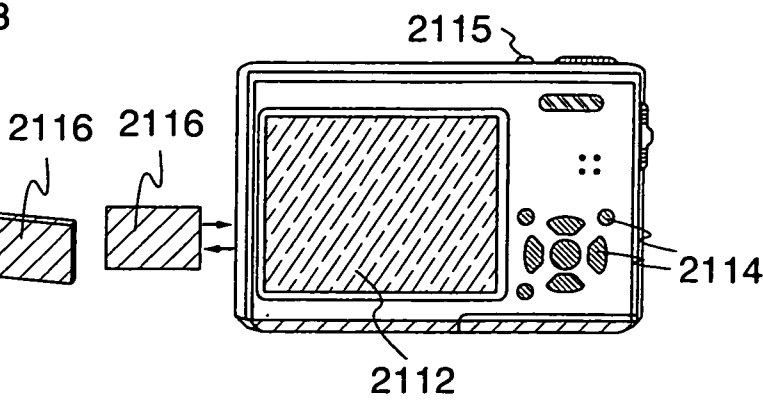
第51B圖



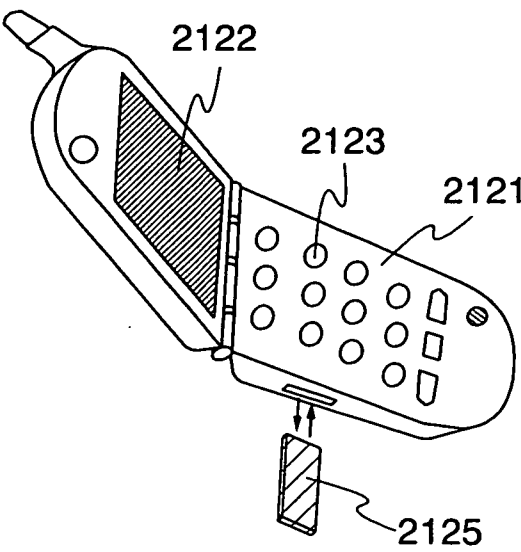
第52A圖



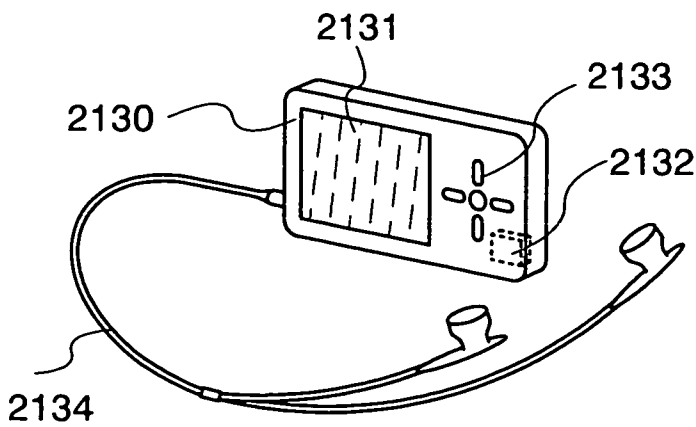
第52B圖



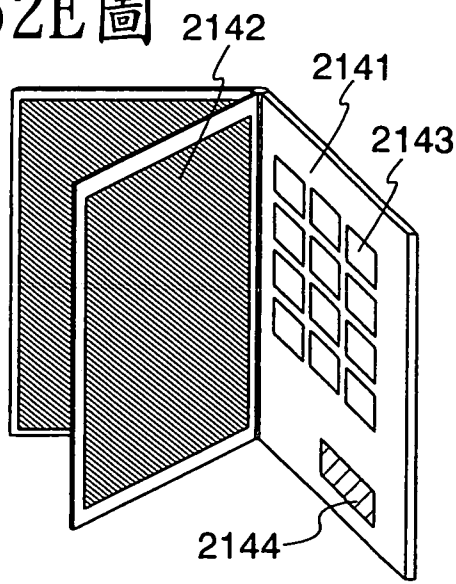
第52C圖



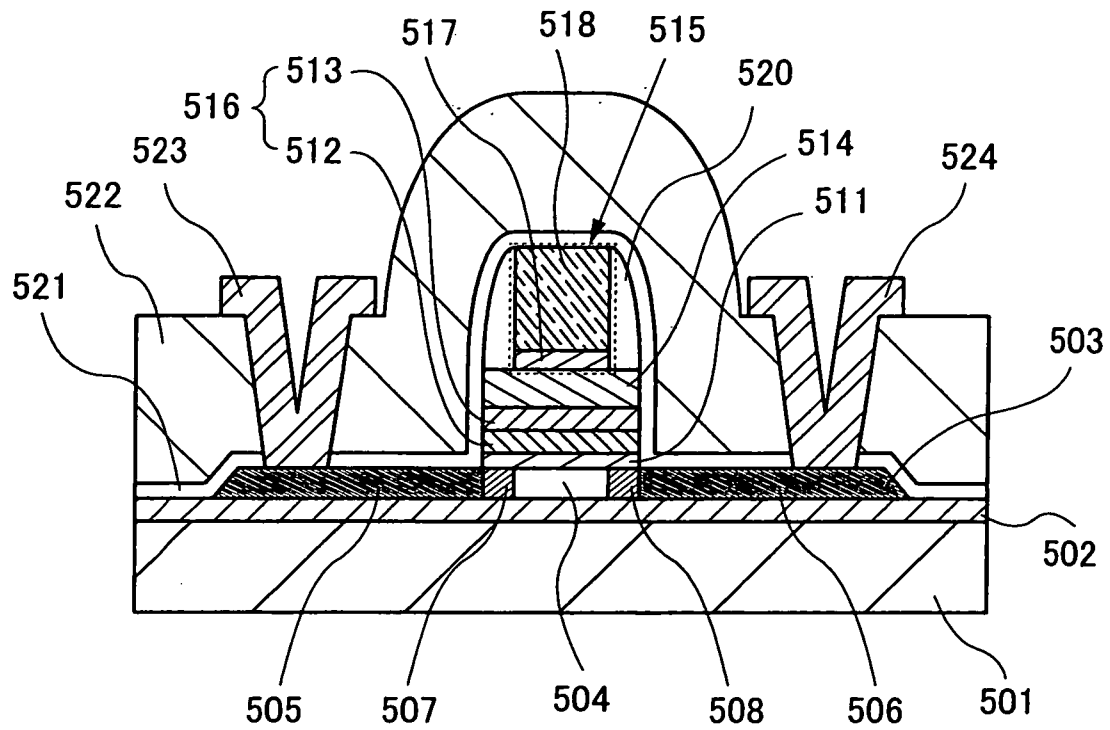
第52D圖



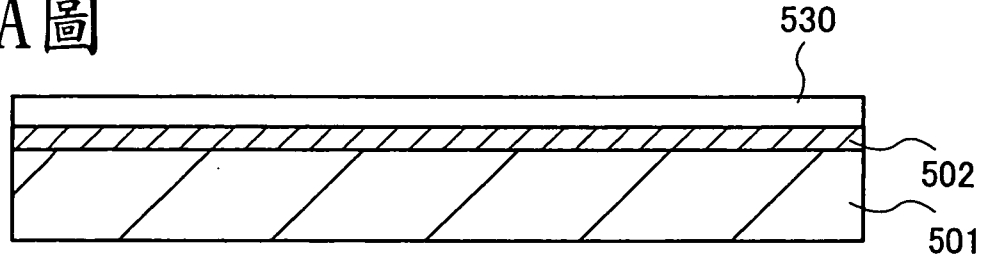
第52E圖



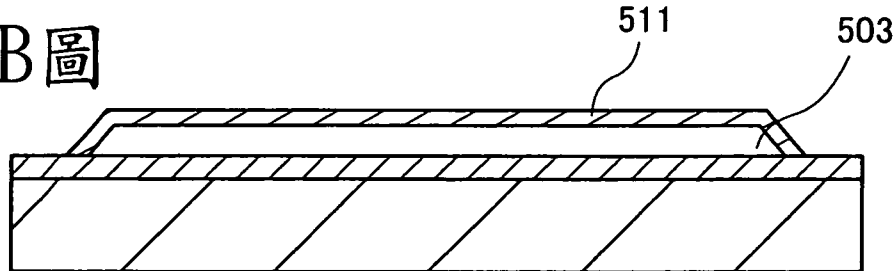
第53圖



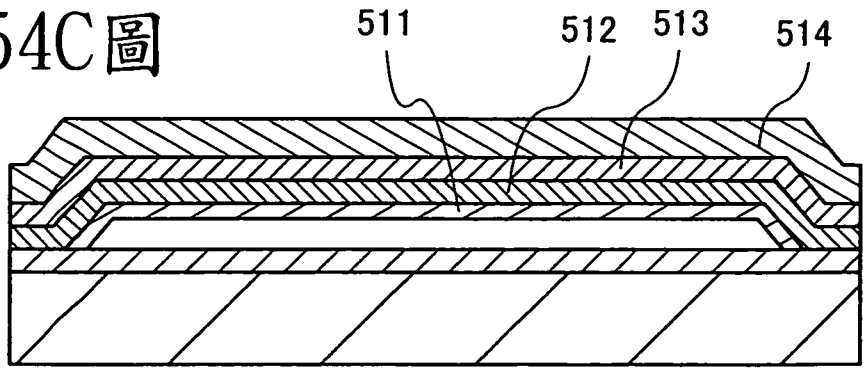
第54A圖



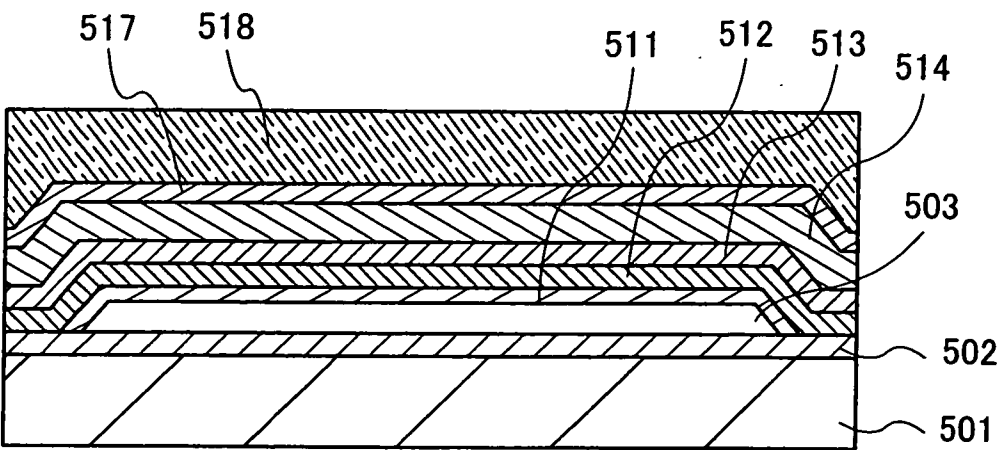
第54B圖



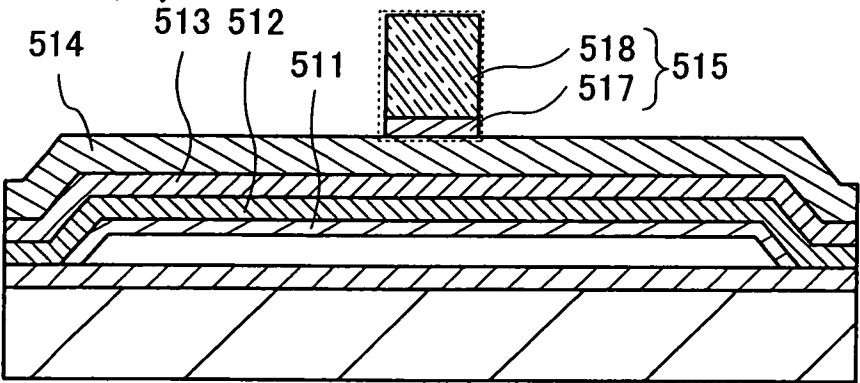
第54C圖



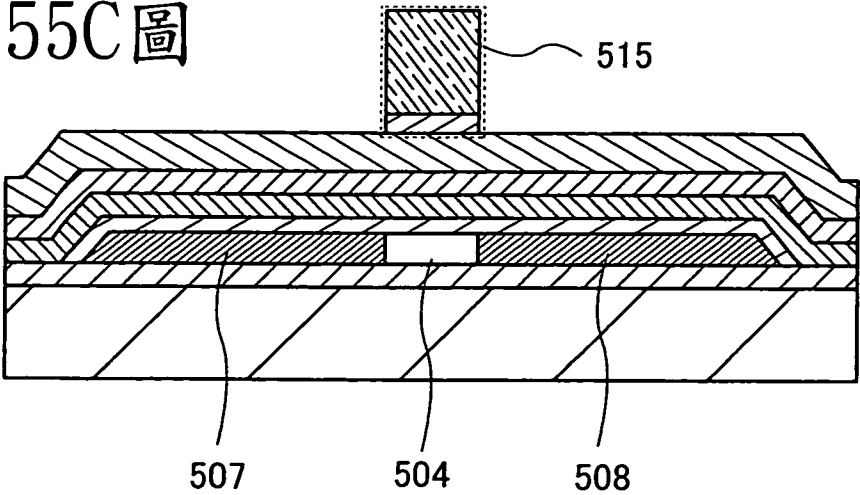
第55A圖



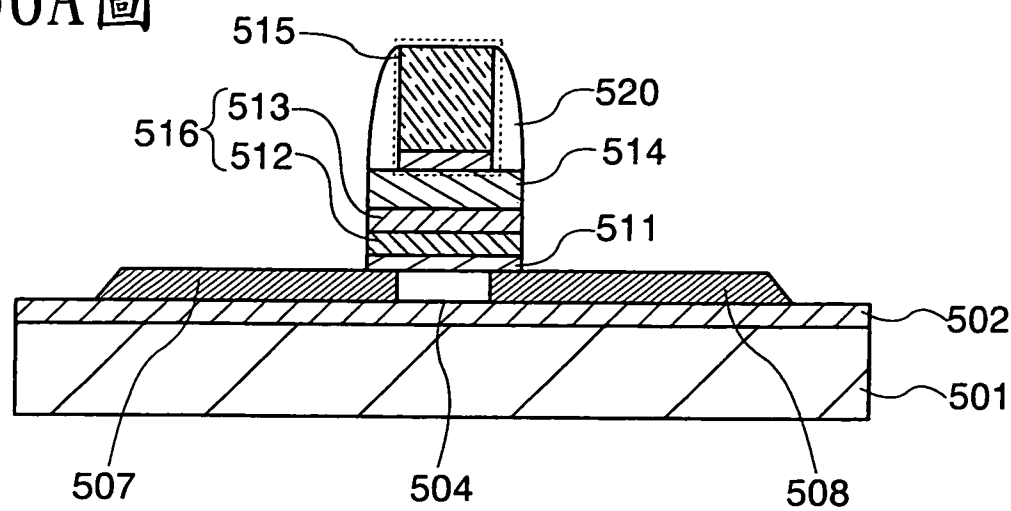
第55B圖



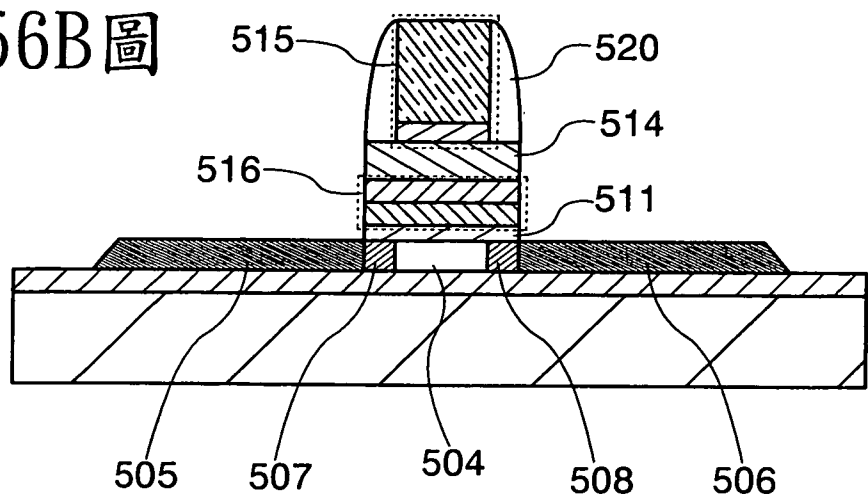
第55C圖



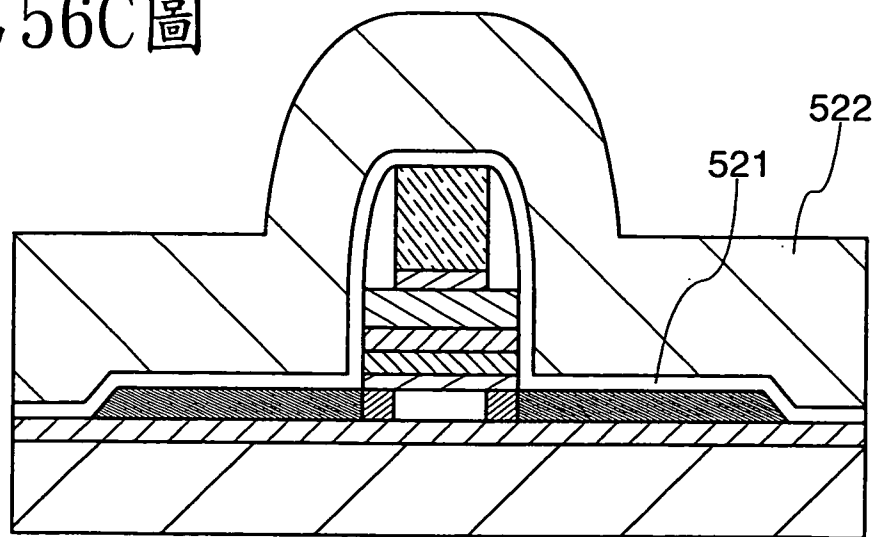
第56A圖



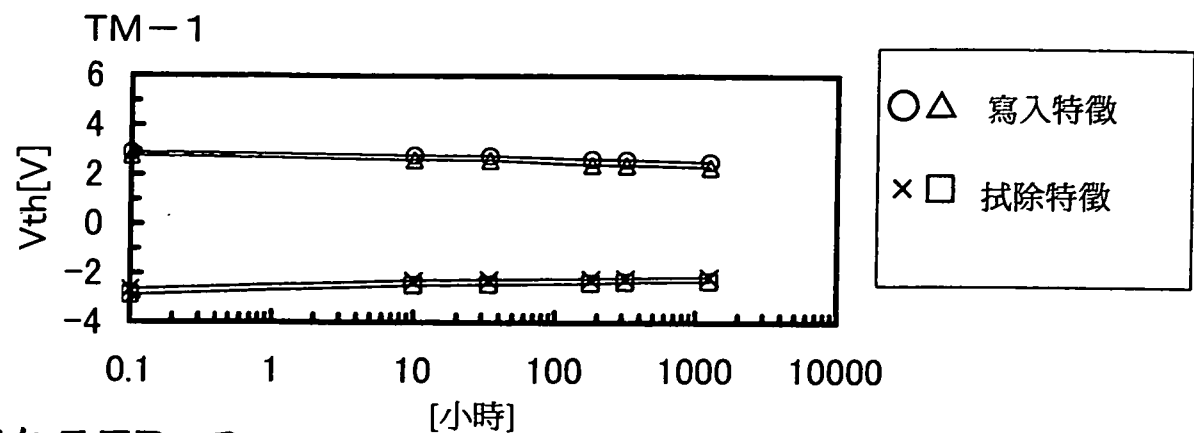
第56B圖



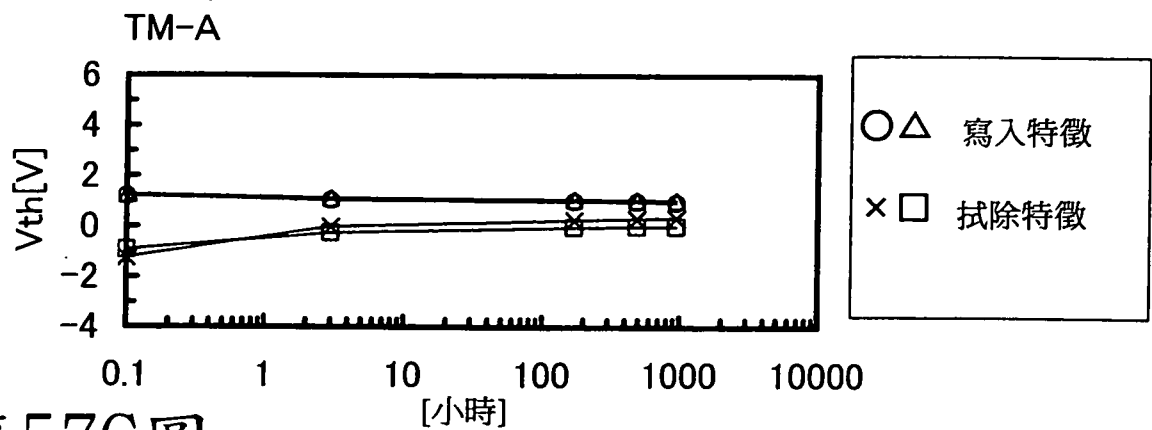
第56C圖



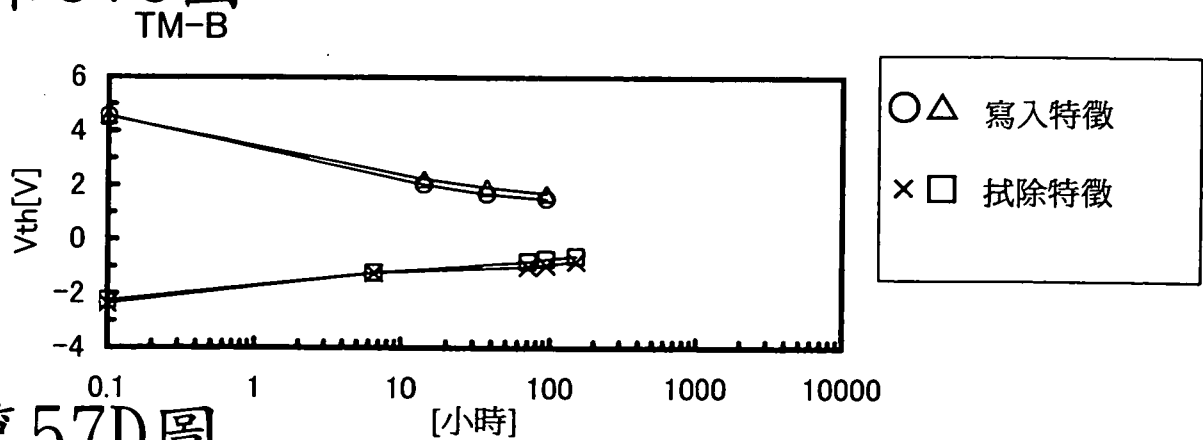
第57A圖



第57B圖



第57C圖



第57D圖

