



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I419207 B

(45)公告日：中華民國 102 (2013) 年 12 月 11 日

(21)申請案號：099103322

(22)申請日：中華民國 99 (2010) 年 02 月 04 日

(51)Int. Cl. : H01L21/28 (2006.01)

H01L21/336 (2006.01)

(30)優先權：2009/03/19 日本

2009-068233

(71)申請人：富士通半導體股份有限公司 (日本) FUJITSU SEMICONDUCTOR LIMITED (JP)
日本

(72)發明人：島昌司 SHIMA, MASASHI (JP)

(74)代理人：惲軼群；陳文郎

(56)參考文獻：

TW 317653

TW 425692

US 2004/0259302A1

審查人員：許勝宗

申請專利範圍項數：14 項 圖式數：20 共 0 頁

(54)名稱

製造半導體裝置之方法

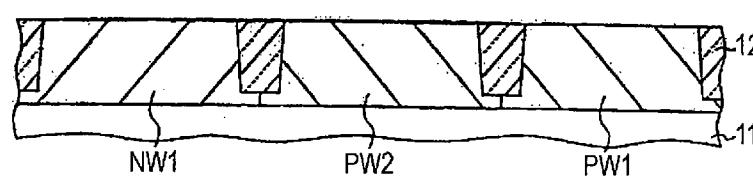
METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57)摘要

一種製造半導體裝置的方法包括，形成一個界定第一區域與一第二區域的隔離區域、把第一導電類型的第一雜質注入至該第一區域和該第二區域內、在該第一區域之上形成一個第一閘極絕緣薄膜與一個第一閘極電極、在該第二區域之上形成一個第二閘極絕緣薄膜與一個第二閘極電極、在該第二區域之第一部份之上形成一個露出該第一區域與該第二區域之第二部份的第一光罩層、及從一個斜對該半導體基體之表面的方向把第一導電類型的第二雜質注入至該半導體基體內。

A method of manufacturing a semiconductor device includes, forming an isolation region defining a first region and a second region, injecting a first impurity of a first conductivity type into the first region and the second region, forming a first gate insulating film and a first gate electrode over the first region, forming a second gate insulating film and a second gate electrode over the second region, forming a first mask layer over a first portion of the second region to expose a second portion of the second region and the first region, and injecting a second impurity of the first conductivity type into the semiconductor substrate from a direction diagonal to a surface of the semiconductor substrate.

第 1A 圖



11 . . . 砂基體

12 . . . STI 元件-隔
離區域13 . . . n-型 LDD 區
域14 . . . n-型通道劑
量區域

I419207

TW I419207 B

| | |
|-----------|--------------|
| 15 · · · | 閘極絕緣薄 膜 |
| 16 · · · | 閘極電極 |
| 18 · · · | 對稱通道劑 量區域 |
| 19 · · · | 通道劑量區 域 |
| 20 · · · | n-型延伸區 域 |
| 22 · · · | p-型延伸區 域 |
| NW1 · · · | n-型井 |
| PW1 · · · | p-型井 |
| PW2 · · · | p-型井 |
| PR2 · · · | 光阻光罩 |
| PR4 · · · | 光阻光罩 |

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99103322

※申請日： 99. 2. 4 ※IPC 分類：
H01L 21/128 (2006.01)

一、發明名稱：(中文/英文)
製造半導體裝置之方法/
METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE
H01L 21/336 (2006.01)

二、中文發明摘要：

一種製造半導體裝置的方法包括，形成一個界定第一區域與一第二區域的隔離區域、把第一導電類型的第一雜質注入至該第一區域和該第二區域內、在該第一區域之上形成一個第一閘極絕緣薄膜與一個第一閘極電極、在該第二區域之上形成一個第二閘極絕緣薄膜與一個第二閘極電極、在該第二區域之第一部份之上形成一個露出該第一區域與該第二區域之第二部份的第一光罩層、及從一個斜對該半導體基體之表面的方向把第一導電類型的第二雜質注入至該半導體基體內。

三、英文發明摘要：

A method of manufacturing a semiconductor device includes, forming an isolation region defining a first region and a second region, injecting a first impurity of a first conductivity type into the first region and the second region, forming a first gate insulating film and a first gate electrode over the first region, forming a second gate insulating film and a second gate electrode over the second region, forming a first mask layer over a first portion of the second region to expose a second portion of the second region and the first region, and injecting a second impurity of the first conductivity type into the semiconductor substrate from a direction diagonal to a surface of the semiconductor substrate.

四、指定代表圖：

(一)本案指定代表圖為：第（1A-1E）圖。

(二)本代表圖之元件符號簡單說明：

| | | | |
|-----|------------|-----|------|
| 11 | 矽基體 | PR2 | 光阻光罩 |
| 12 | STI元件-隔離區域 | PR4 | 光阻光罩 |
| 13 | n-型LDD區域 | | |
| 14 | n-型通道劑量區域 | | |
| 15 | 閘極絕緣薄膜 | | |
| 16 | 閘極電極 | | |
| 18 | 對稱通道劑量區域 | | |
| 19 | 通道劑量區域 | | |
| 20 | n-型延伸區域 | | |
| 22 | p-型延伸區域 | | |
| NW1 | n-型井 | | |
| PW1 | p-型井 | | |
| PW2 | p-型井 | | |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

相關申請案之相互參照

本申請案係主張2009年3月19日在日本所申請之日本專利申請案第2009-68233號的優先權，茲將其完整內容在此列入參考。

發明領域

本發明係有關於製造包括MOS電晶體之半導體裝置的方法。

【先前技術】

發明背景

關於半導體積體電路裝置，MOS電晶體依據比例定律(scaling law)的微型化是持續進行。一個在閘極電極下面具有一閘極絕緣薄膜的電晶體是稱為MOS電晶體。雖然MOS電晶體的運作速度由於MOS電晶體的尺寸縮減而增加，短通道效應趨於容易發生。一個通道區域是摻雜有具備與源極/汲極區域之導電類型相反之導電類型的通道雜質以致於臨界值被調整到一適當值。用於防止短通道效應的已知結構是為一個界定一淺接點(shallow joint)的延伸區域是形成於一個低電阻源極/汲極區域的內側俾可降低關於載體移動之源極/汲極的有效接點深度。再者，具備與源極/汲極區域之導電類型相反之導電類型的口袋區域(中空區域)也是形成在該延伸區域四周。

在一半導體積體電路中，除了一個低電壓驅動MOS電

晶體之外，是需要一個高電壓驅動MOS電晶體。

在一個高頻功率放大MOS電晶體中，相對於輸入高頻電力，汲極電壓波動高達偏壓點的大約兩倍或更高。為了這原因，MOS電晶體需要一個高汲極崩潰電壓。裝配在行動裝置內的功率放大器是標準地在數佰MHz到數個GHz的範圍內使用。因此，優異的高頻特性也是需要的。不僅在行動裝置，在高輸出、高頻功率放大器中，高崩潰電壓和優異的高頻特性有時是需要的。

在需要高崩潰電壓與優異之高頻特性的MOS電晶體中，是希望電晶體的開態電阻降低而高頻的增益被加強。當一個在一有效通道區域與該汲極區域之間的空乏層被加寬時，是會獲得一個高崩潰電壓。在該有效通道區域內電流是由閘極電壓控制。此外，該汲極側通道電阻被降低，藉此提升高頻輸出功率。MOS結構的已知例子包括一種橫向擴散MOS電晶體結構和一種延伸汲極MOS電晶體結構，在該橫向擴散MOS電晶體結構中，在一通道區域內的橫向雜質密度分佈被調制以致於該橫向雜質密度是自該通道區域的中間部份開始朝該汲極區域降低，而在該延伸汲極MOS電晶體結構中，一個在一低密度汲極(LDD)區域與一閘極電極之間的重疊長度被增加以致於該空乏層是由於閘極電壓的效應而被加寬。

當離子注入是在閘極電極的形成之前利用一光阻光罩來被執行俾可在與該閘極電極重疊之區域內形成一通道雜質增加區域時，光罩的數目和步驟的數目是增加。

日本早期公開專利公告第11-214686號案建議的一個例子為該通道區域在其之中間部份具有低雜質密度而在其之相對側部份具有高雜質密度且該通道區域在深度方向上的雜質密度是為二級退化類型(two-level retrograde type)。在這例子中，具高雜質密度的源極/汲極區域是形成比該高密度通道區域深。

日本早期公開專利公告第2000-357792號案建議的一種方法包括形成閘極電極或者形成偽電極在一閘極電極兩側且與它平行、藉由執行從閘極電極之兩側的對角離子注入形成對稱的雜質區域在該閘極電極下面以致於在該閘極電極之兩側的有源區域是被其他閘極電極或者該等偽電極遮蔽，及藉由執行僅從一個方向的對角離子注入來形成對稱的雜質區域在該閘極電極下面。

【發明內容】

發明概要

根據本發明之一特徵，一種製造半導體裝置的方法包括形成界定一個第一區域和一個第二區域的隔離區域、把第一導電類型的第一雜質注入該第一區域和該第二區域、在該第一區域之上形成一個第一閘極絕緣薄膜和一個第一閘極電極、在該第二區域之上形成一個第二閘極絕緣薄膜和一個第二閘極電極、在該第二區域之第一部份之上形成一個曝露該第一區域和該第二區域之第二部份的第一光罩層、及從一個與該半導體基體之表面斜對的方向把第二導電類型的第二雜質注入該半導體基體。

本發明之實施例的目的和優點將會藉由在申請專利範圍中特別指出之元件和元件的組合來實現與達成。要了解的是，前面的大致描述與後面的詳細描述是為範例而已，並非限制本發明的主張。

圖式簡單說明

第1A至1H、1X和1Y圖描繪本發明之第一實施例之製造半導體裝置的方法；

第2A至2D圖描繪本發明之第二實施例之製造半導體裝置的方法；

第3A和3B圖描繪本發明之第二實施例之變化之製造半導體裝置的方法；及

第4A至4D圖描繪本發明之第三實施例之製造半導體裝置的方法。

【實施方式】

較佳實施例之詳細說明

第1A至1H、1X和1Y圖描繪本發明之第一實施例之製造半導體裝置的方法。一個包括一邏輯電路的低崩潰電壓CMOS電晶體、一個輸入/輸出用的中間崩潰電壓CMOS電晶體、和一個高頻功率放大用的高崩潰電壓NMOS電晶體是形成在一半導體基體上。後面的描述將會主要集中在中間崩潰電壓CMOS電晶體和高崩潰電壓NMOS電晶體。

請參閱第1A圖所示，淺槽溝隔離(STI)元件-隔離區域12，例如，是形成在一個矽基體11上。例如，一個氧化矽薄膜是藉由熱氧化該矽基體11的表面來被形成，而一個氮

化矽薄膜是藉著化學蒸氣沉積法(CVD)來被沉積在該氧化矽上。一個覆蓋有源區域的光阻圖案是形成於該氮化矽薄膜上，而且該氮化矽薄膜與該氧化矽薄膜是被蝕刻，藉此形成一個硬式光罩(hard mask)。利用該硬式光罩作為蝕刻光罩，該矽基體11被蝕刻到大約250 nm至400 nm的深度，例如300 nm，藉此形成槽溝。在藉由熱氧化該等槽溝表面來形成氧化矽薄膜之後，該氧化矽薄膜是藉高密度電漿(HDP) CVD來被沉積及埋藏於該等槽溝內。在該硬式光罩上的氧化矽薄膜然後是藉化學機械研磨法(CMP)來被移去，而在其下面之露出的氮化矽薄膜是藉著使用，例如，熱磷酸的蝕刻來被移去。然後，在下面之露出的氧化矽薄膜是藉由使用，例如，稀釋之氫氟酸的蝕刻來被移去。這樣，由該等元件-隔離區域12所界定的有源區域被得到。

一個具有對應於有源區域之開孔之用於形成p-型井的光阻圖案被形成，而然後p-型雜質B是在，例如，200 keV的加速能量和 $3 \times 10^{13} \text{ cm}^{-2}$ 的劑量下被離子-植入，藉此形成p-型井PW1和PW2。利用一個覆蓋該等p-型井PW1和PW2的光阻光罩，n-型雜質P是在，例如，400 keV的加速能量和 $3 \times 10^{13} \text{ cm}^{-2}$ 的劑量下被離子-植入，藉此形成n-型井NW1。雖然一個n-型井NW1和兩個p-型井PW1和PW2是在圖式中顯示，更多的n-型井NW和p-型井PW是可以被形成。在第1A圖之右側的p-型井PW1相當於一個要形成有高崩潰電壓NMOS電晶體的有源區域，在中間的p-型井PW2相當於一個要形成有中間崩潰電壓NMOS電晶體的有源區域，而在左

邊的n-型井NW1相當於一個要形成有中間崩潰電壓PMOS電晶體的有源區域。

請參閱第1B圖所示，一個覆蓋該高崩潰電壓NMOS電晶體之低密度汲極(LDD)區域以外之區域的光阻光罩PR2被形成，而n-型雜質P是在，例如，50 keV到200 keV的加速能量和 $1 \times 10^{13} \text{ cm}^{-2}$ 的劑量下被離子-植入，藉此形成一個n-型LDD區域13。隨後，該光阻光罩PR2被移去。

一個覆蓋NMOS電晶體區域但露出PMOS電晶體區域的光阻光罩被形成，而n-型雜質As是在，例如，80 keV到130 keV的加速能量和 $1 \times 10^{12} \text{ cm}^{-2}$ 到 $2 \times 10^{12} \text{ cm}^{-2}$ 的劑量下被離子-植入，藉此形成一個n-型通道劑量區域(n-type channel dose region) 14。隨後，該光阻光罩被移去。

在形成該LDD區域13和該通道劑量區域14之後，一個用於作動經離子-植入之雜質的回火過程是在，例如，大約1000°C下被執行大約10秒。該等經離子-植入的雜質是因此被作動且變成擴散。

請參閱第1C圖，一個，例如，大約7 nm厚的氧化矽薄膜是藉由熱氧化該等有源區域的表面來被形成。在要形成有低崩潰電壓MOS電晶體的有源區域中，被形成的氧化矽薄膜是藉稀釋的氫氟酸溶液來被暫時移去，而，例如，大約1 nm到2 nm厚的另一氧化矽薄膜是藉熱氧化來形成。如果不同厚度的三種或更多種類型的氧化矽薄膜要被形成的話，從一較厚的氧化矽薄膜開始，相同的熱氧化過程被重覆。在一個要形成有厚熱氧化薄膜的區域中，厚度是依據

在後續之熱氧化過程中於厚度上的預期增加來被設定。該等氧化矽薄膜可以藉由把氮混合到其之表面來變成氮氧化矽薄膜，或者一個高介電絕緣薄膜，像是氧化鈴薄膜(hafnium oxide film)般，可以被堆疊在該等氧化矽薄膜上。這樣，閘極絕緣薄膜15被形成。

一個多晶矽薄膜是藉著CVD來被沉積在每個閘極絕緣薄膜15上達到，例如，100 nm的厚度。一個乾蝕刻過程是藉由使用一個形成於該等多晶矽薄膜上的光阻光罩作為光罩來被執行，俾可圖案化閘極電極16。在圖案化之前，n-型雜質可以被離子-植入到該等NMOS電晶體的閘極電極內而p-型雜質可以被離子-植入到該PMOS電晶體的閘極電極內。該高崩潰電壓MOS電晶體的閘極電極16具有一個，例如，大約500 nm的閘極長度而且是與該LDD區域13重疊100 nm到250 nm，其是為閘極長度的大約20%到50%。該中間崩潰電壓電晶體的閘極長度是為，例如，大約350 nm。

請參閱第1D圖所示，一個覆蓋整個PMOS電晶體區域和該高崩潰電壓NMOS電晶體之汲極區域的光阻光罩PR4被形成，而p-型雜質是被斜對地離子-植入到NMOS電晶體區域內俾可調整在通道區域內的雜質密度。例如，p-型雜質B是在，例如，20 keV到50 keV的加速能量，或者具體地，例如，30 keV，和大約 $5 \times 10^{12} \text{ cm}^{-2}$ 到的劑量下從相對於基體之法線的數個對稱方向，或者例如，從相對於該基體之法線之方向之四個方向上之 25° 到 60° 的角度被離子-植入。

第1X圖示意地描繪一個從圖式之左上角朝右下角斜對

地執行的離子注入製程。一個多晶矽閘極電極G是形成在一個矽基體SUB上。在第1X圖中，閘極絕緣薄膜未被顯示。穿透該矽基體SUB的注入離子也穿透該多晶矽閘極電極G。為了簡化該說明，離子穿透多晶矽閘極電極G的距離是實質上與離子穿透矽基體SUB的距離相同。在斜對離子注入製程的情況中，進入閘極電極G之側表面的離子僅通過該閘極電極G之厚度的一部份。在閘極電極G之厚度是因注入之角度而是較薄之地方通過該閘極電極G的離子進入該矽基體SUB。因此，由於該等通過該閘極電極G的離子，一個劑量梯度區域GR1是形成在該矽基體SUB中位於該閘極電極G下面。在該劑量梯度區域GR1中，注入深度和劑量是朝該閘極電極G的中央逐漸地減少。在該閘極電極G的右側，離子通過該閘極電極G之厚度的一部份和通過該閘極電極G的右側表面俾可進入該矽基體SUB。因此，注入深度和劑量是逐漸地增加的一個劑量梯度區域GR2是形成在由閘極電極G所遮掩的面積區域內。

第1Y圖示意地描繪從圖式之右上角朝左下角斜對地執行的離子注入製程。離子是斜對地進入該閘極電極G的右側表面以致於注入深度與劑量是朝閘極電極G之中央逐漸減少的一個劑量梯度區域GR3是形成在該矽基體SUB中位於該閘極電極G下面。在該閘極電極G的左側，注入深度與劑量是離開該閘極電極G之中央逐漸增加的一個劑量梯度區域GR4是形成在一個由該閘極電極G所遮掩的區域內。

例如，當從閘極電極G之源極側與汲極側的斜對離子注

入製程是執行兩次時，得到的雜質密度分佈是與在第1X和1Y圖中所示之劑量梯度區域GR1至GR4的總和相等。

請參閱第1D圖所示，就中間崩潰電壓NMOS電晶體而言，斜對離子注入製程是從該閘極電極16的兩側對稱地執行，藉此形成對稱通道劑量區域18。由於在兩側的通道雜質密度是相當高，該電晶體的臨界值被決定。就該高崩潰電壓NMOS電晶體而言，該斜對注入製程是從源極側執行，藉此形成劑量在源極側是高且朝汲極逐漸減少的一個通道劑量區域19。該汲極是由一光阻光罩PR4覆蓋。

藉由利用該等閘極電極16作為光罩來執行該斜對離子注入，深度與雜質密度是從閘極邊緣朝閘極之中央逐漸減少的一個雜質密度分佈是形成在每個閘極電極16下面。在該高崩潰電壓MOS電晶體中，深度與雜質密度是從源極側閘極邊緣朝汲極逐漸減少的一個通道雜質密度分佈是形成。由於該通道雜質密度在汲極側是低，該通道電阻被降低。結果，該電晶體的開態電阻是降低，藉此提升高頻輸出功率。

請參閱第1E圖所示，藉由利用該用於形成通道劑量區域的光阻光罩PR4，一個n-型雜質P是在，例如，30 keV的加速能量和 $1 \times 10^{13} \text{ cm}^{-2}$ 的劑量下被垂直地離子注入，藉此形成n-型延伸區域20。該高崩潰電壓NMOS電晶體的汲極區域是由該光阻光罩PR4覆蓋。

藉由使用一個覆蓋全部NMOS電晶體區域的光阻光罩，一個p-型雜質BF是在，例如，10 keV到20 keV的加速

能量和 $3 \times 10^{13} \text{ cm}^{-2}$ 到 $7 \times 10^{13} \text{ cm}^{-2}$ 的劑量下被垂直地離子注入到該PMOS電晶體區域，藉此形成p-型延伸區域22。

請參閱第1F圖所示，一個大約10 nm厚的氧化矽薄膜24和大約30 nm厚的氮化矽薄膜25是在，例如，450°C的基體溫度下藉著電漿CVD來被沉積在該半導體基體的整個表面之上。藉由使用一個部份地覆蓋在該高崩潰電壓NMOS電晶體之汲極區域中之閘極電極側區域的光阻光罩PR5，該氮化矽薄膜25和該氧化矽薄膜24是藉著像是反應離子蝕刻般的各向異性乾蝕刻來被各向異性地蝕刻，以致於側壁間隙子SW餘留在每個閘極電極16的側壁上。在該高崩潰電壓NMOS電晶體中，一個從閘極電極16延伸到汲極區域之一部份的絕緣汲極-偏離區域OF是形成在該汲極側取代側壁間隙子。隨後，該光阻光罩PR5被移去。

請參閱第1G圖所示，一個覆蓋該PMOS電晶體區域與該高崩潰電壓NMOS電晶體之絕緣汲極-偏離區域OF的光阻光罩PR6是形成，而一個n-型雜質P是在，例如，10 keV的加速能量和 $5 \times 10^{15} \text{ cm}^{-2}$ 的劑量下被離子注入，藉此形成低電阻源極/汲極區域26。隨後，該光阻光罩PR6被移去。該等低電阻源極/汲極區域26是各從對應之閘極電極16偏離一個比該側壁間隙子寬度大的某距離。

類似地，一個覆蓋該等NMOS電晶體區域的光阻光罩是形成，而一個p-型雜質B是在，例如，5 keV的加速能量和 $5 \times 10^{15} \text{ cm}^{-2}$ 的劑量下被離子注入，藉此形成低電阻源極/汲極區域27。

一個回火處理是在，例如， 1000°C 之下執行一秒俾可作動該等離子植入雜質。

請參閱第1H圖所示，一個鎳薄膜是沉積在該矽基體的整個表面之上，而一個回火處理是在 400°C 到 500°C 之下被執行俾可執行一個矽化反應(silicidation reaction)。未作反應的鎳薄膜被移去，因此矽化鎳薄膜28是在閘極電極16的矽表面上和在源極/汲極區域中得到。該回火處理可以被執行超過一次。

在該第一實施例中，一個斜對離子注入是對該高崩潰電壓MOS電晶體執行俾可形成雜質密度在源極側是高而在汲極側是低的一個通道雜質密度分佈且也形成各從對應之閘極電極16偏離某距離的低電阻汲極區域。據此，一個具低開態電阻與一能隨時變寬之空乏層的高崩潰電壓NMOS電晶體是形成。

第2A至2D圖描繪一種製造第二實施例之半導體裝置的方法。藉由執行與在第1A圖中所示之那個相同的步驟，STI式元件隔離區域12是形成在一矽基體11中，而一p-型井PW1、一p-型井PW2、和一n-型井NW1是分別形成在一高崩潰電壓NMOS電晶體的有源區域中、一中間崩潰電壓NMOS電晶體的有源區域中、和一中間崩潰電壓PMOS電晶體的有源區域中。

請參閱第2A圖所示，p-型雜質被離子注入至該等p-型井PW1和PW2俾可形成構成NMOS電晶體通道區域的p-型通道劑量區域18和19。例如，p-型雜質B是在，例如，30 keV

至 35 keV 的加速能量和 $3 \times 10^{12} \text{ cm}^{-2}$ 至 $4 \times 10^{12} \text{ cm}^{-2}$ 的劑量下被離子注入至該中間崩潰電壓 NMOS 電晶體區域和該高崩潰電壓 NMOS 電晶體區域。

由於兩類的臨界值，例如，高和低臨界值，是設定給該中間崩潰電壓 NMOS 電晶體，當兩類的 p-型通道雜質密度分佈，例如，高與低密度分佈，是要被形成時，對應於該低臨界值的一個低通道雜質密度分佈是形成於該高崩潰電壓 NMOS 電晶體區域。例如，該 p-型雜質 B 是在，例如，30 keV 至 35 keV 的加速能量和 $3 \times 10^{12} \text{ cm}^{-2}$ 至 $4 \times 10^{12} \text{ cm}^{-2}$ 的劑量下被離子注入到第一中間崩潰電壓 NMOS 電晶體區域內和該高崩潰電壓 NMOS 電晶體區域內以及是在，例如，30 keV 至 35 keV 的加速能量和 $5 \times 10^{12} \text{ cm}^{-2}$ 至 $6 \times 10^{15} \text{ cm}^{-2}$ 的劑量下被離子注入到第二中間崩潰電壓 NMOS 電晶體區域內。

類似地，n-型雜質被離子注入至該 n-型井 NW1 內俾可形成一個通道劑量區域 21。

請參閱第 2B 圖所示，一個覆蓋該高崩潰電壓 NMOS 電晶體之 LDD 區域以外之區域的光阻光罩 PR2 是形成，而 n-型雜質 P 被離子注入俾可形成一個 n-型 LDD 區域 13。隨後，該光阻光罩 PR2 被移去。在形成該 LDD 區域 13 之後，一個用於作動該等被離子注入之雜質的回火處理被執行。

請參閱第 2C 圖所示，與在第 1C 圖中所示之那個相同的步驟被執行俾可形成閘極絕緣薄膜 15 和閘極電極 16。該高崩潰電壓 MOS 電晶體的閘極電極 16 被設置來重疊該 LDD 區

域13。重疊長度是為該閘極電極16之長度的20%到50%。

請參閱第2D圖所示，一個覆蓋整個PMOS電晶體區域和該高崩潰電壓NMOS電晶體之汲極區域的光阻光罩PR4是形成，而n-型雜質P被垂直地離子注入俾可形成n-型延伸區域20。該高崩潰電壓NMOS電晶體在源極側是設有一個n-型延伸區域20。

類似地，一個覆蓋該等NMOS電晶體區域的光阻光罩是形成，而p-型雜質B被垂直地離子注入俾可形成p-型延伸區域22。在中間崩潰電壓PMOS電2體中的p-型延伸區域22是形成在源極側和汲極側。

隨後的步驟是與在前面和在第1F圖中所示的那些相同。

根據該第二實施例，該通道雜質密度是自該源極側和汲極側固定。因此，一個在該汲極與該源極之間的擊穿現象會被減至最小程度，藉此改進該截止-崩潰-電壓(off-breakdown-voltage)。如果高頻輸出功率是希望設成高水平的話，該偏離長度最好被設成一個短值俾可降低汲極側的寄生電阻。

第3A圖是為該第二實施例之第一變化之半導體裝置的橫截面圖。在執行該等於第2A至2D圖中所示的步驟之後，在第1F圖中所示的步驟被執行。在這情況中，該氧化矽薄膜24與該氮化矽薄膜25被沉積，而各向異性蝕刻是在沒有形成該光阻光罩PR5之下被執行，藉此形成側壁間隙子SW。在這情況中，一側壁間隙子SW也被形成在該高崩潰

電壓NMOS電晶體的汲極側。

隨後，在第1G圖中所示的步驟被執行。在這情況中該光阻光罩PR6被構築來僅覆蓋該PMOS區域，而n-型雜質P被離子注入在中間崩潰電壓NMOS電晶體和該高崩潰電壓NMOS電晶體之側壁間隙子SW之外側的區域內，藉此形成低電阻源極/汲極區域26。該高崩潰電壓NMOS電晶體的低電阻汲極區域具有0 nm的偏離長度。然而，由於在該LDD區域13與該閘極電極16之間的重疊長度是與在第一和第二實施例中的那個相同，該電晶體結構是非對稱的。隨後，在第1H圖中所示的矽化步驟被執行俾可形成矽化物薄膜28。這變化允許開態電阻的降低和高頻輸出功率的提升。

第3B圖是為該第二實施例之第二變化之半導體基體的橫截面圖。與在第2B圖中所示的步驟類似，覆蓋該高崩潰電壓NMOS電晶體之LDD區域以外之區域的光阻光罩PR2是形成。一n-型雜質是以相對於基體之法線之方向的25°到60°的角度斜對地從汲極側朝源極側離子注入，藉此形成一個具有一雜質密度梯度的LDD區域13。在該LDD區域13的雜質密度梯度中，深度與雜質密度是從該LDD區域13之開孔的源極側邊緣朝源極側逐漸減少。例如，具有固定密度之p-型通道劑量區域19的p-型雜質載體是逐漸地被具有橫向密度梯度之n-型LDD區域13的n-型雜質載體抵消，藉此顛倒導電性並形成一n-型LDD區域13。具有一個降低之有效通道雜質密度的一個區域是在橫向方向上擴展。因此，汲極側通道電阻被降低而開態電阻被減少，藉此提升

高頻輸出功率。隨後，在第2C和2D圖中所示的步驟被執行。

第4A至4D圖是為一半導體基體的橫截面圖，顯示製造第三實施例之半導體裝置的方法。藉由執行與在第1A圖中所示之那個相同的步驟，STI-型元件-隔離區域12是形成在一矽基體11中，而p-型井PW1、p-型井PW2、和n-型井NW1是分別形成在一高崩潰電壓NMOS電晶體的有源區域、一中間崩潰電壓NMOS電晶體的有源區域、和一中間崩潰電壓PMOS電晶體的有源區域。

請參閱第4A圖所示，p-型雜質是離子注入至該等p-型井PW1和PW2內俾可形成構成NMOS電晶體通道區域的p-型通道劑量區域18和19。類似地，n-型雜質被離子注入至該n-型井NW1區域俾可形成一通道劑量區域21。

請參閱第4B圖所示，與在第1C圖中所示之那個相同的步驟被執行俾可形成閘極絕緣薄膜15和閘極電極16。該通道雜質密度從源極側到汲極側是實質上固定的。

請參閱第4C圖所示，一個覆蓋該高崩潰電壓NMOS電晶體之LDD區域之外之區域的光阻光罩PR2x是形成，而n-型雜質是被斜對地離子-注入。例如，n-型雜質P是從相對於基體之法線之方向傾斜 25° 至 60° 的對稱方向被離子-注入，藉此形成一n-型LDD區域13。隨後，光阻光罩PR2x被移去。

在形成該LDD區域13之後，一個用於作動該等經離子-注入之雜質的回火處理是，例如，在大約 1000°C 下被執行大約10秒。藉由斜對地執行該離子注入，該LDD區域13具

有雜質密度是從閘極邊緣朝源極側逐漸減少的一個雜質密度分佈。這特性是與在第二實施例之第二變化中的特性相同。再者，由於該LDD區域13是在形成該等閘極電極16之後藉由使用對應之閘極電極16作為光罩來被形成，該閘極電極16與該LDD區域13是彼此自我對準，藉此提升相對定位準確度。

請參閱第4D圖所示，一個覆蓋該高崩潰電壓NMOS電晶體之汲極區域與整個PMOS電晶體區域的光阻光罩PR4是形成，而n-型雜質是被垂直地離子注入俾可形成n-型延伸區域20。該高崩潰電壓NMOS電晶體是僅在源極側設有一n-型延伸區域20。

後續的步驟是與在第1F至1H圖中所示的那些相同。

由於具均稱密度的通道劑量區域是形成於第三實施例的裝置，在汲極與源極之間的擊穿現象會被減至最小程度，藉此改進該截止-崩潰-電壓。

如果高頻輸出功率是希望設成高水平的話，該偏離長度最好是設定成一短值俾可降低在汲極側的寄生電阻。如同在第二實施例的第一變化中一樣，該高崩潰電壓NMOS電晶體的汲極側也可以作用為一側壁，而一個低電阻汲極區域會形成於該側壁的外側。

所有於此中所述的例子及條件用語是意在幫助閱讀者了解本發明的原理以及發明人的概念，並不是把本發明限制為該等特定例子和條件，且在說明書中之該等例子的組織也不是涉及本發明之優劣的展示。雖然本發明的實施例

業已詳細地作描述，應要了解的是，在沒有離開本發明的精神與範疇之下，對於本發明之實施例之各式各樣的改變、替換、與變化是能夠完成。

【圖式簡單說明】

第1A至1H、1X和1Y圖描繪本發明之第一實施例之製造半導體裝置的方法；

第2A至2D圖描繪本發明之第二實施例之製造半導體裝置的方法；

第3A和3B圖描繪本發明之第二實施例之變化之製造半導體裝置的方法；及

第4A至4D圖描繪本發明之第三實施例之製造半導體裝置的方法。

【主要元件符號說明】

| | | | |
|----|------------|-----|------------|
| 11 | 矽基體 | 25 | 氮化矽薄膜 |
| 12 | STI元件-隔離區域 | 26 | 低電阻源極/汲極區域 |
| 13 | n-型LDD區域 | 27 | 低電阻源極/汲極區域 |
| 14 | n-型通道劑量區域 | 28 | 矽化鎳薄膜 |
| 15 | 閘極絕緣薄膜 | GR1 | 劑量梯度區域 |
| 16 | 閘極電極 | GR2 | 劑量梯度區域 |
| 18 | 對稱通道劑量區域 | GR3 | 劑量梯度區域 |
| 19 | 通道劑量區域 | GR4 | 劑量梯度區域 |
| 20 | n-型延伸區域 | NW1 | n-型井 |
| 22 | p-型延伸區域 | PW1 | p-型井 |
| 24 | 氧化矽薄膜 | PW2 | p-型井 |

| | | | |
|------|------|-----|-------|
| PR2 | 光阻光罩 | PR6 | 光阻光罩 |
| PR2x | 光阻光罩 | SUB | 矽基體 |
| PR4 | 光阻光罩 | SW | 側壁間隙子 |
| PR5 | 光阻光罩 | | |

七、申請專利範圍：

双面影印

1. 一種製造半導體裝置的方法，該方法包含：

在一半導體基體中形成多個界定一第一區域與一二區域的隔離區域；

把第一導電類型的第一雜質注入到該第一區域與該第二區域；

在該第一區域之上形成一第一閘極絕緣薄膜與一第一閘極電極；

在該第二區域之上形成一第二閘極絕緣薄膜與一第二閘極電極；

在該第二區域的一第一部份之上形成一第一光罩層俾可露出該第一區域與該第二區域的一第二部份，該第一部分設置在該第二閘極電極與該等隔離區域中界定出該第二區域的一者之間，該第二部分設置在該第二閘極電極與該等隔離區域中界定出該第二區域的另一者之間；及

藉由使用該第一光罩層、該第一閘極電極、與該第二閘極電極作為光罩，從一個與該半導體基體之表面斜對的方向把第一導電類型的第二雜質注入到該半導體基體內。

2. 如申請專利範圍第 1 項所述之方法，更包含藉由使用該第一光罩層作為光罩，把與第一導電類型相反之第二導電類型的第三雜質注入至該半導體基體內。

3. 如申請專利範圍第 1 項所述之方法，更包含：

在形成該第二閘極電極之前，形成一第二光罩層俾可露出該第二區域的該第一部份；及

藉由使用該第二光罩層作為光罩，把與第一導電類型相反之第二導電類型的第四雜質注入至該半導體基體內，

其中，該第二閘極電極被形成俾可部份地與一注入有第四雜質的區域重疊。

4. 如申請專利範圍第3項所述之方法，其中，該第二閘極電極與該注入有第四雜質的區域重疊了該第二閘極電極之閘極長度的20%到50%。

5. 一種製造半導體裝置的方法，該方法包含：

在一半導體基體中形成一界定一第一區域與一第二區域的隔離區域；

把第一導電類型的第一雜質注入至該第一區域與該第二區域內俾可在該第一區域內形成一第一井以及在該第二區域內形成一第二井；

把第一導電類型的第二雜質注入至該第一井和該第二井內；

在該第一區域之上形成一第一光罩層俾可露出該第二區域的一部份；

藉由使用該第一光罩層作為光罩，把與第一導電類型相反之第二導電類型的第三雜質注入至該半導體基體內；

把該第一光罩層移去；

在該第一區域內形成一第一閘極絕緣薄膜與一第一閘極電極；

在該第二區域內形成一第二閘極絕緣薄膜與一第二閘極電極以致於該第二閘極絕緣薄膜與該第二閘極電極部份地與一注入有第三雜質的區域重疊；

在該第二區域的第一部份之上形成一第二光罩層俾可露出該第一區域與該第二區域的第二部份；

藉由使用該第二光罩層、該第一閘極電極、與該第二閘極電極作為光罩，把第二導電類型的第四雜質注入至該半導體基體內；

在該第一閘極電極的兩側壁與該第二閘極電極的一側壁上形成絕緣側壁間隙子；

形成一從該第二閘極電極之另一側壁延伸到一注入有第二雜質之區域的絕緣薄膜；及

藉由使用該第一閘極電極、該第二閘極電極、該等絕緣側壁間隙子、與該絕緣薄膜作為光罩，把第二導電類型的第五雜質注入至該半導體基體內。

6. 一種製造半導體裝置的方法，該方法包含：

在一半導體基體中形成界定一第一區域與一第二區域的隔離區域；

把第一導電類型的第一雜質注入至該第一區域和該第二區域內俾可在該第一區域內形成一第一井及在該第二區域內形成一第二井；

把第一導電類型的第二雜質注入至該第一井和該第

二井內；

在該第一區域之上形成一第一光罩層俾可露出該第二區域的一部份；

藉由使用該第一光罩層作為光罩，把與第一導電類型相反之第二導電類型的第三雜質注入至該半導體基體內；

把該第一光罩層移去；

在該第一區域內形成一第一閘極絕緣薄膜和一第一閘極電極；

在該第二區域內形成一第二閘極絕緣薄膜和一第二閘極電極以致於該第二閘極絕緣薄膜和該第二閘極電極部份地與一注入有第三雜質的區域重疊；

在該第二區域的第一部份之上形成一第二光罩層俾可露出該第一區域和該第二區域的第二部份；

藉由使用該第二光罩層、該第一閘極電極、與該第二閘極電極作為光罩，把第二導電類型的第四雜質注入到該半導體基體內；

在該第一閘極電極的兩側壁上和在該第二閘極電極的兩側壁上形成絕緣側壁間隙子；及

藉由使用該第一閘極電極、該第二閘極電極、與該等絕緣側壁間隙子作為光罩，把第二導電類型的第五雜質注入至該半導體基體內。

7. 如申請專利範圍第 3 項所述之方法，其中，該第四雜質的注入是從一個與該半導體基體之表面斜對的方向執行。

8. 如申請專利範圍第 5 項所述之方法，其中，該第三雜質的注入是從一個與該半導體基體之表面斜對的方向執行。
9. 如申請專利範圍第 6 項所述之方法，其中，該第三雜質的注入是從一個與該半導體基體之表面斜對的方向執行。
10. 如申請專利範圍第 3 項所述之方法，其中，該第二閘極電極與該注入有第四雜質的區域重疊了該第二閘極電極之閘極長度的 20% 至 50%。
11. 如申請專利範圍第 5 項所述之方法，其中，該第二閘極電極與該注入有第三雜質的區域重疊了該第二閘極電極之閘極長度的 20% 至 50%。
12. 如申請專利範圍第 6 項所述之方法，其中，該第二閘極電極與該注入有第三雜質的區域重疊了該第二閘極電極之閘極長度的 20% 至 50%。
13. 一種製造半導體裝置的方法，該方法包含：
 - 在一半導體基體中形成多個界定一第一區域與一第二區域的隔離區域；
 - 把第一導電類型的第一雜質注入至該第一區域和該第二區域內俾可在該第一區域內形成一第一井及在該第二區域內形成一第二井；
 - 在該第一區域內形成一第一閘極絕緣薄膜和一第一閘極電極；
 - 在該第二區域內形成一第二閘極絕緣薄膜和一第二閘極電極；
 - 把第一導電類型的第二雜質注入至該第一井與該第

二井內；

在該第一區域與該第二區域之一第一部分之上形成一露出該第二區域之一第二部份的第一光罩層，該第一部分設置在該第二閘極電極與該等隔離區域中界定出該第二區域的一者之間，該第二部分設置在該第二閘極電極與該等隔離區域中界定出該第二區域的另一者之間；

藉由使用該第一光罩層與該第二閘極電極作為光罩，從一個與該半導體基體之表面斜對的方向把與第一導電類型相反之第二導電類型的第三雜質注入至該半導體基體內；

把該第一光罩層移去；

在該第二區域的該第一部份之上形成一露出該第一區域和該第二區域之該第二部份的第二光罩層；及

藉由使用該第二光罩層、該第一閘極電極、與該第二閘極電極作為光罩，把第二導電類型的第四雜質注入到該半導體基體內。

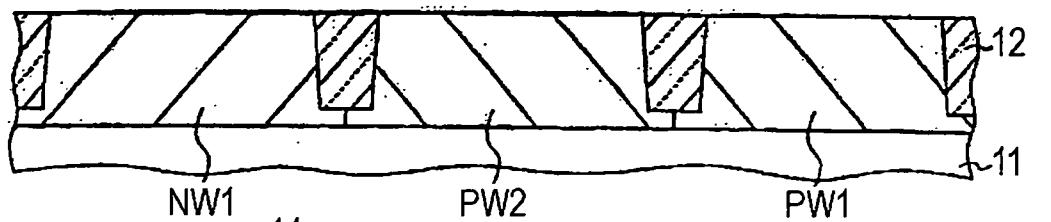
14. 如申請專利範圍第13項所述之方法，更包含：

在該第一閘極電極的兩側壁上與在該第二閘極電極的兩側壁上形成絕緣側壁間隙子；及

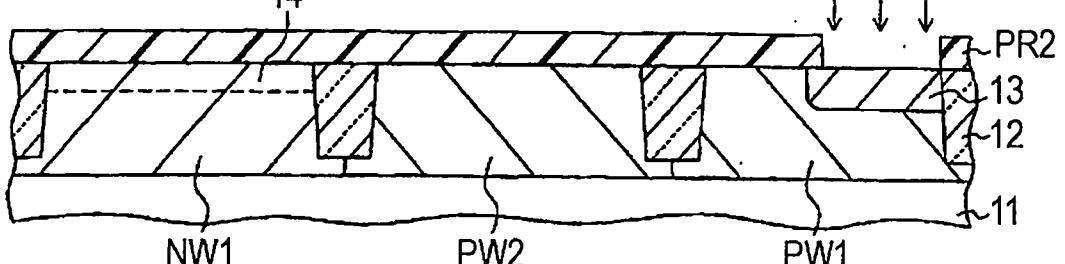
藉由使用該第一閘極電極、該第二閘極電極、與該等絕緣側壁間隙子作為光罩，把第二導電類型的第五雜質注入至該半導體基體內。

1 / 5

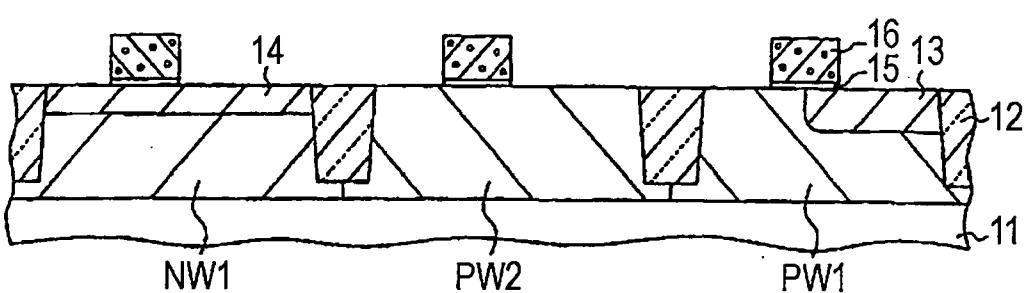
第 1A 圖



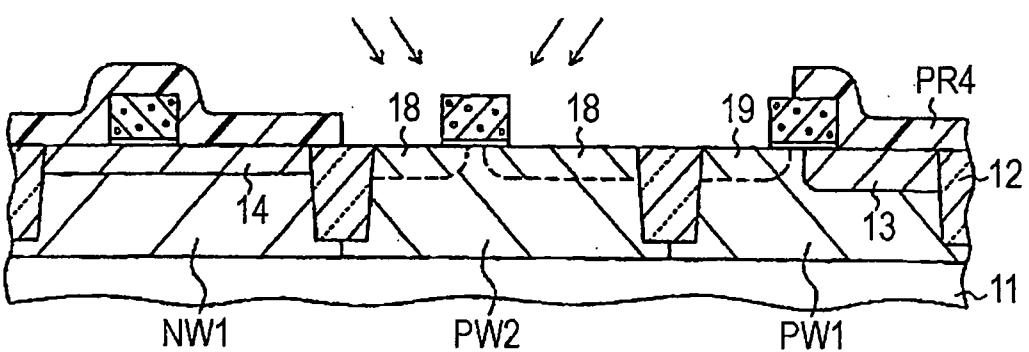
第 1B 圖



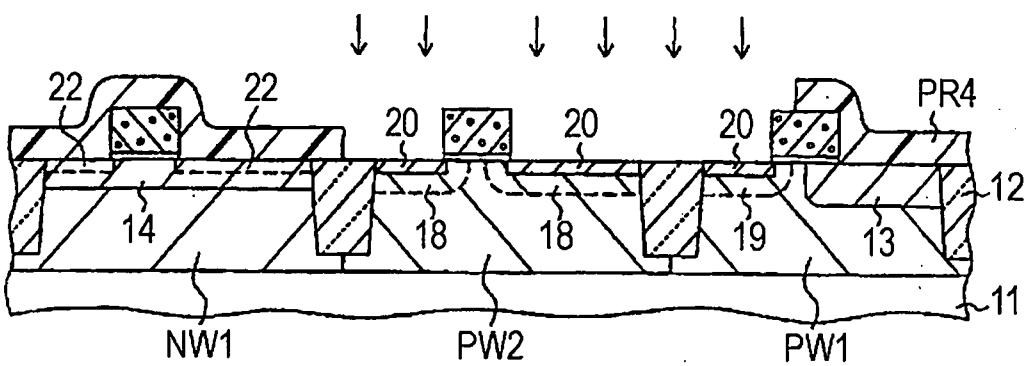
第 1C 圖



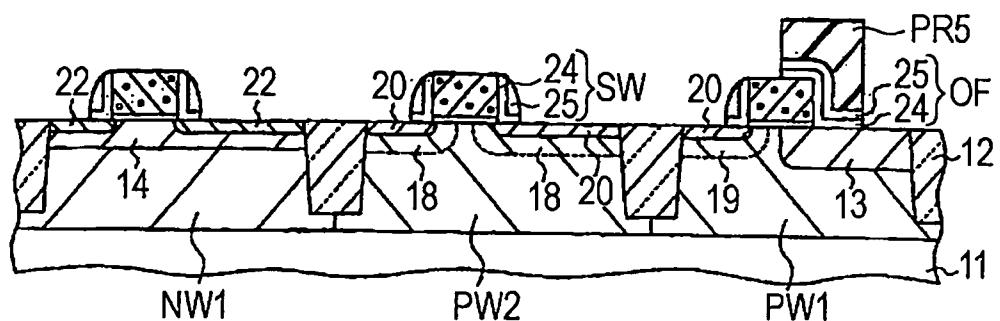
第 1D 圖



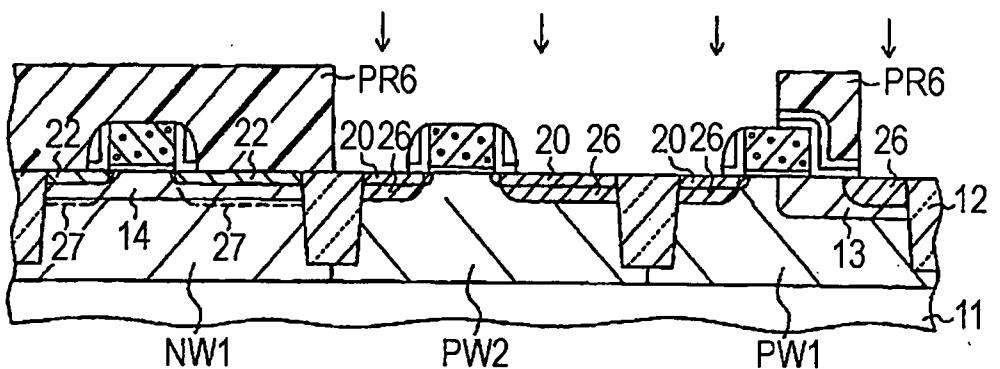
第 1E 圖



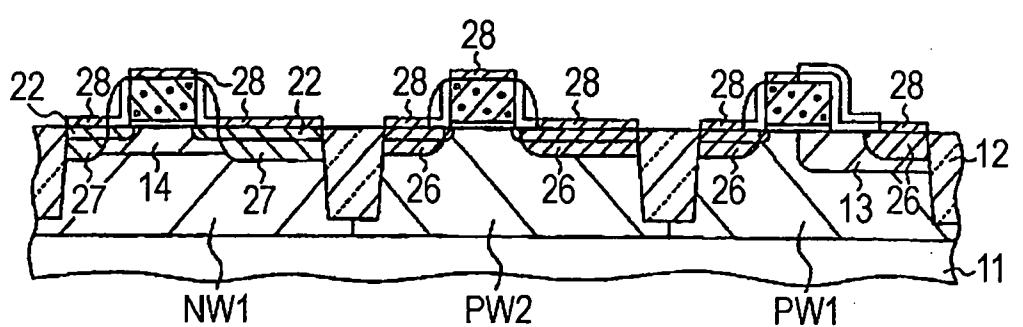
第 1F 圖



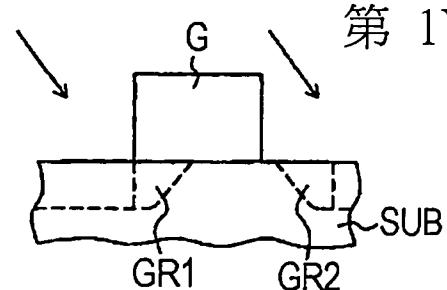
第 1G 圖



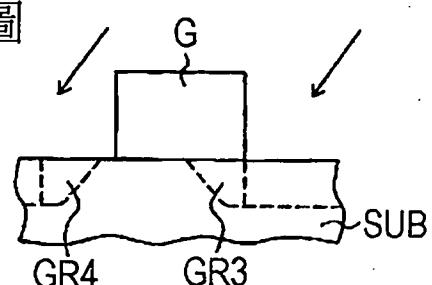
第 1H 圖



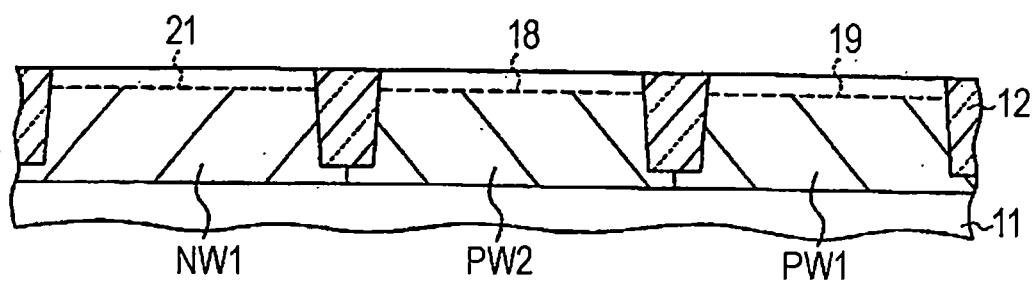
第 1X 圖



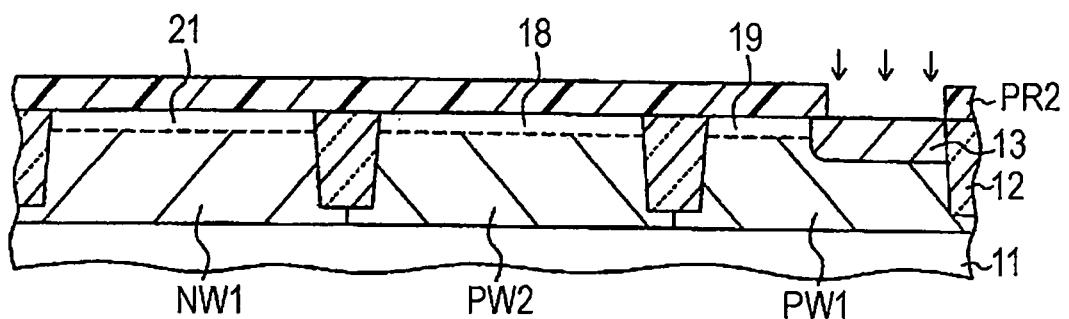
第 1Y 圖



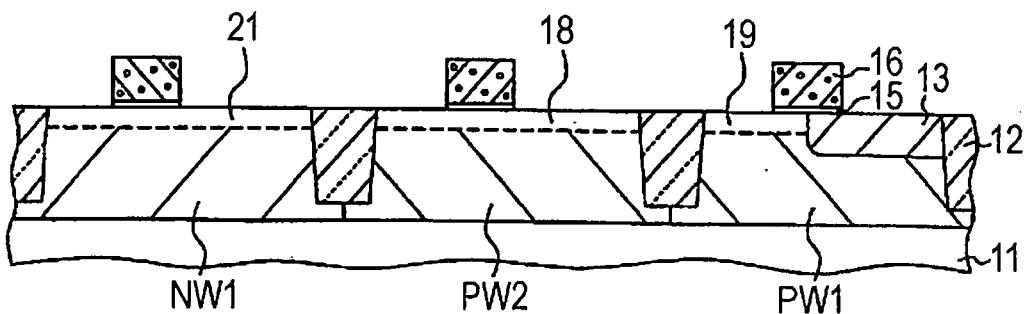
第 2A 圖



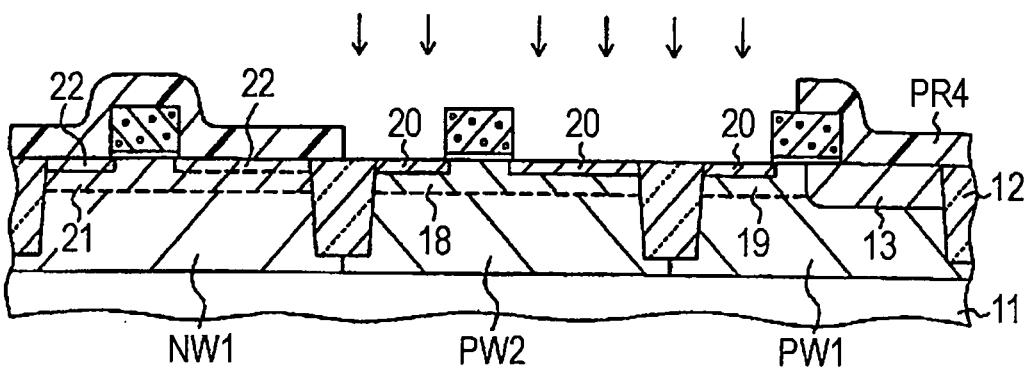
第 2B 圖



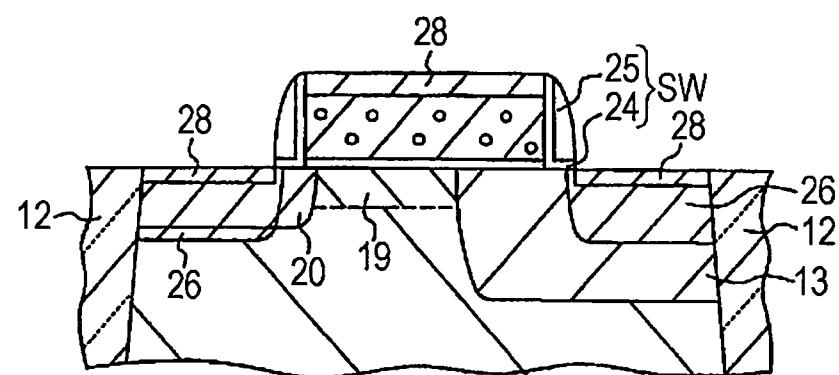
第 2C 圖



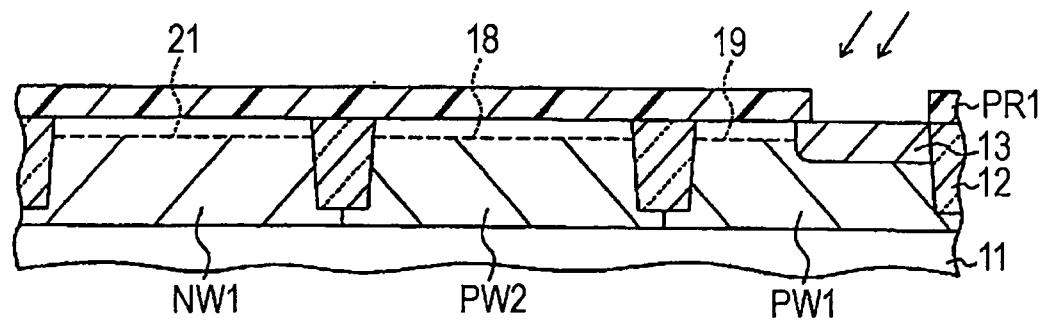
第 2D 圖



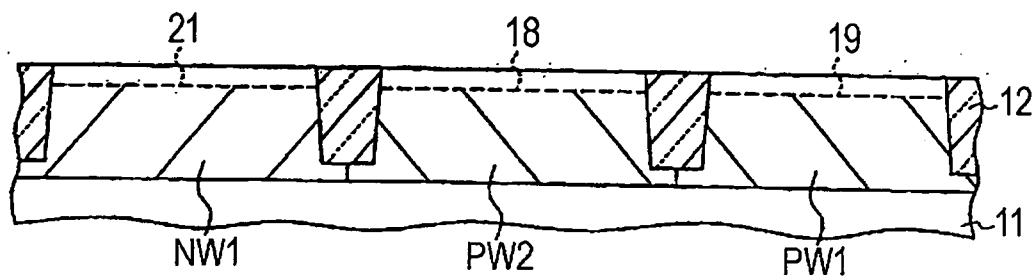
第 3A 圖



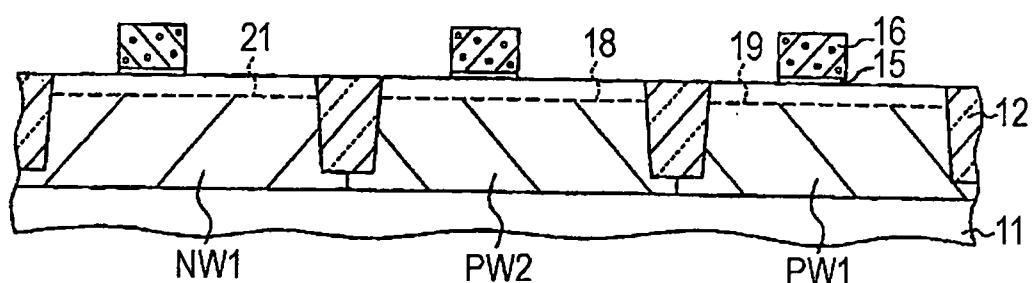
第 3B 圖



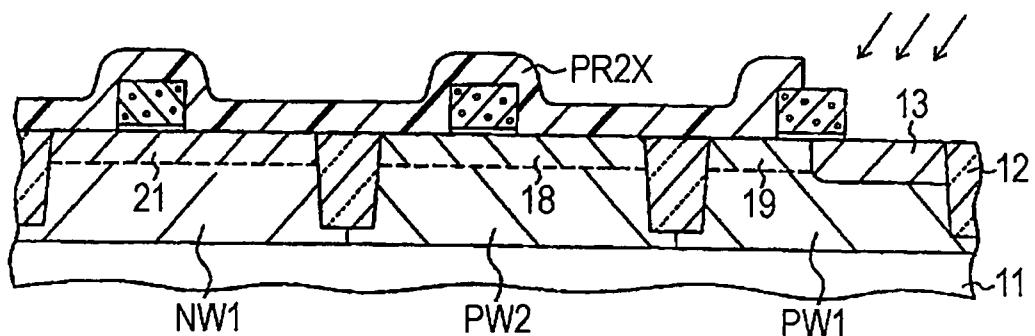
第 4A 圖



第 4B 圖



第 4C 圖



第 4D 圖

