[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G06F 13/40 (2006.01)

[12] 发明专利说明书

专利号 ZL 200410003974.1

[45] 授权公告日 2008 年 10 月 1 日

[11] 授权公告号 CN 100422971C

[22] 申请日 1994.7.29

[21] 申请号 200410003974.1

分案原申请号 01125550.1

[30] 优先权

[32] 1993.12.28 [33] JP [31] 1993 - 334631

[73] 专利权人 株式会社日立制作所

地址 日本东京

[72] 发明人 武隈俊次 栗原良一 山际明
柏木健二 井上雅雄

[56] 参考文献

US4922449A 1990.5.1

审查员 王 可

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

代理人 王以平

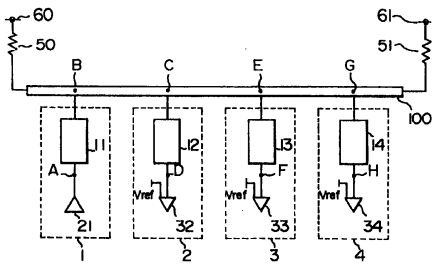
权利要求书 2 页 说明书 28 页 附图 25 页

[54] 发明名称

适于快速信号传输的信号传输装置

[57] 摘要

本发明涉及一种信号传输装置，包括：母板；第一传输线；至少一个端接在所述第一传输线的一端或两端的端电阻；接收信号的接收器，以及安装在所述母板上的连接器，用于将所述母板连接到第一子板，所述第一子板包括：输出信号的驱动器；起电路元件作用的第二传输线，该电路元件具有预定的阻抗，所述第二传输线将所述驱动器输出的信号传输到所述第一传输线，以及与第一传输线和第二传输线偶联的装置，该装置具有电阻值以降低由所述驱动器的操作在所述第二传输线中引起的重复反射。



1. 一种信号传输装置，包括:

母板;

第一传输线;

至少一个端接在所述第一传输线的一端或两端的端电阻;

接收信号的接收器，以及

安装在所述母板上的连接器，用于将所述母板连接到第一子板，

所述第一子板包括:

输出信号的驱动器;

起电路元件作用的第二传输线，该电路元件具有预定的阻抗，所述第二传输线将所述驱动器输出的信号传输到所述第一传输线，以及

与第一传输线和第二传输线偶联的装置，该装置具有电阻值以降低由所述驱动器的操作在所述第二传输线中引起的重复反射。

2. 如权利要求 1 所述的信号传输装置，其中，

所述与第一传输线和第二传输线偶联的装置使所述接收器能够在小于 2Td 的时间段内读取由所述驱动器驱动的信号，其中，Td 是信号从所述第一传输线的一端被传输到另一端所需的时间。

3. 如权利要求 1 所述的信号传输装置，其中，

所述 Td 等于 6 毫微秒。

4. 如权利要求 1 所述的信号传输装置，其中，

所述与第一传输线和第二传输线偶联的装置使所述接收器

能够在Td～2Td之间的时间段内读取由所述驱动器驱动的信号，其中，Td 是信号从所述第一传输线的一端被传输到另一端所需的时间。

5. 如权利要求 4 所述的信号传输装置，其中，

所述 Td 为 6 毫微秒。

6. 如权利要求 1~5 中任一项所述的信号传输装置，其中，所述第一传输线位于所述母板上。

7. 如权利要求 1~5 中任一项所述的信号传输装置，其中，所述第一传输线表现为具有规定阻抗的分布电路常数元件。

8. 如权利要求 1~5 中任一项所述的信号传输装置，其中，所述第二传输线表现为分布电路常数元件。

9. 如权利要求 1~5 中任一项所述的信号传输装置，其中，所述第一传输线的阻抗低于所述第二传输线的阻抗。

10. 如权利要求 1~5 中任一项所述的信号传输装置，其中，所述第二传输线以高频将所述驱动器输出的信号传输到所述第一传输线。

11. 如权利要求 10 所述的信号传输装置，其中，所述高频至少为 50MHz。

12. 如权利要求 1~5 中任一项所述的信号传输装置，其中，所述第一传输线仅有一端被端接。

13. 如权利要求 1~5 中任一项所述的信号传输装置，其中，所述第一传输线两端被以相同的电压端接。

适于快速信号传输的信号传输装置

本发明是申请号 01125550.1、申请日为 2001 年 8 月 9 日、发明名称为“适于快速信号传输的信号传输装置，电路块和集成电路”的分案申请。

技术领域

本发明涉及在例如CPU和存储器器件或存储器IC元件之间（例如在包含CMOS元件或CMOS元件的功能块的数字电路之间）传输信号的技术，更具体地说，涉及通过一条总线快速传输信号的技术，在该总线中，一条主传输线连接有多个元件。

背景技术

在每个包含有半导体集成电路的数字电路之间快速传输信号的技术领域，已经提出了用于传递具有 1V 左右信号幅度的低幅接口技术。

作为这种低幅接口的代表，已经提出了一种 GTL（Gunning Transceiver Logic）射击收发机逻辑接口或 CTT（Center Tapped Termination）中央抽头端子接口。这些低幅接口在 Nikkei Electronics, November 27, 1993 中的 269-290 页有详细介绍。

图 1 显示了这种低幅接口的现有技术的结构，其中，一个主传输线具有多个分支线。

数字 100 代表一条传输线，它端接端电源 60 和 61 及端电阻 50 和 51。传输线 100 与驱动电路块 1 和接收电路块 2、3 和 4 相连接。

传输线 100 具有 50Ω的阻抗。每个分支线 11-14 具有 50Ω的阻抗。每个端电阻 50 和 51 具有 50Ω的阻抗。每个端电源 60 和 61 的电压为 0.5V。发送或驱动电路 21 具有 10Ω的导通电阻。

当驱动电路 21 在逻辑“高”输出时，电路 21 工作，将传输线 11 接到一个 1V 电源（未示出）。当驱动电路 21 在逻辑“低”输出时，电路 21 将传输线 11 接到地，即 0V 电源（未示出）。数字 32 到 34 代表接收电路，每个接收电路分别包括在相应的各接收电路块内。这些接收电路将接收到的信号与参考电压 Vref 比较，以确定接收到的信号是处在低电平还是高电平。在该电路中，Vref 设为 0.5V。

下面说明当驱动电路 21 从低电平输出转换为高电平时信号是如何在该总线上传输到图 1 中的各点的。首先，推导出当驱动电路 21 在低电平输出时传输总线 100 的电势，此时，在传输线上的点 A 的电压对应于由端电阻 50 和 51 及发送电路 21 的导通电阻对 0.5V 的端电源的分压而得到的电压。即，该电压为：

$$0.5V\times10\Omega/(10\Omega+50\Omega/2)=0.14(V)$$

当发送电路 21 的输出从低电平输出转换为高电平输出而使得信号被发送到图 1 中点 A 时，传输线的电势可以按以下得出。一旦在发送电路 21 的输出转换以后，电源电压由发送电路 21 的导通电阻和传输线 11 的 50Ω阻抗所分压。于是，点 A 的电势增量为：

1V×50Ω/（50Ω+10Ω/2）=0.83（V）

初始电压 0.14V 和电压增量相加为 0.97V，这就是在点 A 的电势。

当幅度为 0.83V 的波形到达分支点 B 时，产生的电势可按以下得出。从传输线 11 看传输线 100，由于传输线 100 被分为两部分，左和右，传输线 100 的实际阻抗只有其阻抗的一半，即，25Ω。而由于传输线 11 的阻抗是 50Ω，该阻抗的失配导致信号在点 B 反射。

反射系数可按下式得出：

（50Ω-25Ω）/（50Ω+25Ω）=0.33

这意味着传导到点 A 的 0.83V 的信号幅度的 1/3，即幅度为 0.28V 的信号被反射并返回到发送电路侧。剩下的 0.55V 的幅度的信号被传送到传输线 100 作为初次传输的波。因此，对应于 0.55V 和初始电势的相加的被传输的信号的电势为 0.69V。

当返回到发送电路的幅度为 0.28V 的信号到达发送电路时，该信号又被镜象反射到 B 点。信号的 2/3 部分通过传输线 100，而余下的 1/3 返回到传输线 11。这样，信号在传输线 11 上传来传去。每当信号波形到达点 B 时，每个波形的 2/3 部分被传输到传输线 100。通过这种操作，在点 A 的原来的 0.83V 的幅度被逐次传送到传输线 100。

通过点 B 并传送到传输线 100 的 0.69V 的信号到达点 C。在此点，该信号面临的每条传输线都具有 50Ω的阻抗。因此，对于通过信号的 50Ω传输线而言，25 欧姆的正向总阻抗是失配的，这造成了信号的反射。

反射系数如下:

（50Ω-25Ω）/（50Ω+25Ω）=0.33

通过点 C 的波形的电势对应于在 B 点的 0.55V 的信号幅度乘以一个透射率 2/3（=1-1/3）后再加上初始电势而得到的电势，即，

0.55V×2/3+0.14V=0.50（V）

在点 E 或 G 发生相似的反射。点 E 的电势为 0.38V，点 G 的电势为 0.30V。

这些结果示于图 2A 到 2C。图 2A 显示了进出点 C 的信号，即来到点 C 的点 B 的信号，和离开点 C 的点 D 和点 E 的信号。为了清楚起见，在点 A 的信号也被示出。类似地，图 2B 显示了进出点 E 的信号。图 2C 显示了进出点 G 的信号。在图 2A 到 2C 中，数字 201 代表在图 1 中点 A 的信号波形。数字 202 代表在点 B 的波形。数字 203 代表在点 C 的波形。数字 204 代表在点 D 的波形。数字 205 代表在点 E 的波形。数字 206 代表在点 F 的波形。数字 207 代表在点 G 的波形。数字 208 代表在点 H 的波形。当信号下降时，情况相同。在信号下降时在波形示于图 3A-3C 中。在图 3 中，数字 201 到 208 分别代表在图 1 中所示的点 A 到点 H 的信号波形。

从上面所述可以看到，利用传统的信号传输电路不可能使来自驱动电路的在点 A 的指示高电平的初始信号在所有的接收电路块超出参考电压 Vref（在上述条件下为 0.5V）以确定信号为高电平。换句话说，由于在点 B，C，E 和 G 有较大的反射，初始信号在点 A 的原高电平电压被衰减到一个很低的电压电平，

在接收电路超不过参考电压 Vref。因此，即使发送电路 21 指示高电平，接收电路 32，33 和 34 也不能识别，最终经过来回反射后，在点 B，C 和 D 的电压电平将增加到非常接近在点 A 的电平，但只有在此时，接收电路才能识别出这是高电平。

在点 C，E 或 G 进入到每个分支线的信号如进入传输线 11 那样在分支线内被反射。当反射的波形返回到分支点时，信号的 2/3 部分到达传输线 100。这将引起传输线 100 上的波形失真。

如上所述，在上述的现有技术中，反射在每个分支点发生。因反射造成的电势降低互相迭加。信号电势的上升在驱动电路的较远的地方将要延迟。这将造成延时的增加，因此妨碍了信号的快速传输，非常不利。

此外，进入到接收电路块的信号在接收电路部分被反射，然后，进入传输线 100。这也造成信号波形的不利的失真，从而，降低了信号传输的可靠性。

为了加速信号传输和使在传输线 100 上的信号幅度更小，上述的现有技术将供电电压设置为 1V。在前面讨论的电路中，为了在通常使用的 3.3V 的电源的情况下取得 1V 的幅度，驱动电路的导通电阻被设置成为 100Ω的特定值以实现小幅度。

上述的特定值使得广泛使用的具有 10Ω的导通电阻的晶体管无法使用。换句话说，需要使用特制的晶体管。

此外，此较高的发送电路 21 的导通电阻使驱动电路的功耗增加，从而，使整个功耗增加。

作为另一个与本发明相关的现有技术，美国专利 No.4, 92, 449 可以作为参考。该专利披露了在具有多个包含一个驱动电路

和一个接收电路的电路块的电路线结构中的电路块和块间信号传输线之间提供一个电阻，该块间信号传输线用于在电路块之间传递信号。设置电阻的目的在于减少在源转换操作产生的信号冲击时出现的通过电流，即，减少在内部块信号传输总线上的信号幅度。该电阻被设置为 20Ω到 40Ω之间。该电阻可造成在电路块内部的传输线和块间传输线之间的分支点的信号的反射。该信号反射对信号的快速传输造成不利。也就是说，该技术没有根据块间信号传输线和块内部的信号传输线之间的阻抗关系确定电阻。

另外，在块间信号传输线和电路块内部的信号传输线之间提供电阻的另一个现有技术是日本专利 JP-B54-5929。在该专利中电阻只是被提供在接收电路侧的电路块和块间信号传输线之间，在具有发送电路的电路块和块间信号传输总线之间没有提供电阻。与美国专利 No.4, 922, 449 一样，当来自发送电路的信号被传输到块间信号传输总线时，信号发生反射。如前所述，这种信号反射可造成快速信号传输难以实现。

发明内容

本发明的目的就是要提供一种信号传输装置，该信号传输装置可克服前述缺点，抑制在具有分支线的传输线上的信号的电势的下降，防止在每个分支线中重复反射，保持在线上的信号幅度较小，以便在快速传输信号。

为此，本发明提供出了一种信号传输装置，包括：母板；第一传输线；至少一个端接在所述第一传输线的一端或两端的端电阻；接收信号的接收器，以及安装在所述母板上的连接器，用于将所述母板连接到第一子板，所述第一子板包括：输出信号的驱

动器；起电路元件作用的第二传输线，该电路元件具有预定的阻抗，所述第二传输线将所述驱动器输出的信号传输到所述第一传输线，以及与第一传输线和第二传输线偶联的装置，该装置具有电阻值以降低由所述驱动器的操作在所述第二传输线中引起的重复反射。

根据本发明的信号传输装置，所述与第一传输线和第二传输线偶联的装置使所述接收器能够在 Td～2Td 之间的时间段内读取由所述驱动器驱动的信号，其中，Td 是信号从所述第一传输线的一端被传输到另一端所需的时间。

根据本发明的信号传输装置，所述与第一传输线和第二传输线偶联的装置使所述接收器能够在小于 2Td 的时间段内读取由所述驱动器驱动的信号，其中，Td 是信号从所述第一传输线的一端被传输到另一端所需的时间。

根据本发明的信号传输装置，所述 Td 等于 6 毫微秒。

在本发明的上述信号传输装置中，所述第一传输线位于所述母板上。

本发明的上述信号传输装置中，所述第一或第二传输线表现为分布电路常数元件。

本发明的上述信号传输装置中，所述第一传输线的阻抗低于所述第二传输线的阻抗。

本发明的上述信号传输装置中，所述第二传输线以高频将所述驱动器输出的信号传输到所述第一传输线。

本发明的信号传输装置中，所述高频至少为 50MHz。

本发明的信号传输装置中，所述第一传输线仅有一端被端接。

根据本发明的信号传输装置，所述第一传输线两端被以相同

的电压端接。

在具有驱动电路或接收电路集成的集成电路中所使用的具有长引线框的封装件，如方型扁平封装件（QFP）或针式格栅阵列（PGA）的情况下，终端接到块间传输线上，加有一个电阻使块间传输线和块内传输线之间阻抗匹配，而引线框的阻抗和块内传输线的阻抗是匹配的。

根据本发明，通过插入一个阻值接近于将分支线的阻抗的减去主传输线阻抗的一半得到的值的电阻，就能利用分配插入的电阻和端电阻的阻值防止在分支线内部的重复反射和传输线的幅度衰减。从而可以高速传输信号。

在块间传输线上有大量分支点存在时，由于电阻的存在，块间传输线不直接受到分支线容量（即，传输线负载容量和驱动和接收电路的容量的总和）的影响。这有效地抑制了传输线阻抗的降低。此外，由于现场插入造成的波形失真也可被抑制。

附图说明

图 1 为传统单向传输线的示意图；

图 2A 到 2C 为显示在利用传统传输线时出现的信号波形（前沿波形）；

图 3A 到 3C 显示了利用传统传输线时出现的信号波形（后沿波形）；

图 4 为显示本发明的实施例 1 的方框图；

图 5 为显示驱动电路的实例的电路图；

图 6 为显示差分接收电路的实例的电路图；

图 7A 到 7C 为显示本发明的实施例 1 中的信号波形（前沿波形）图；

图 8*A* 到 8*C* 为显示本发明的实施例 1 中的信号波形(后沿波形)图;

图 9 显示当利用传统传输线时执行现场 插入时产生的波形失真图;

图 10 显示了利用本发明的实施例 1 的电路时因现场 插入造成的波形失 真;

图 11 为显示本发明的实施例 2 的方框图;

图 12*A* 到 12*B* 为显示利用传统的传输线,当发送电路转换时产生的波形 图;

图 13*A* 到 13*B* 为显示实施例 2 的驱动电路进行转换操作的转换的波形图;

图 14 为显示本发明的实施例 3 的方框图;

图 15 为显示实施例 3 的改进图;

图 16*A* 到 16*C* 显示了根据本发明的实施例 3 的电路中发生的信号波形(前沿波形);

图 17*A* 到 17*C* 显示了本发明的实施例 3 的电路中产生的信号波形(后沿 波形);

图 18*A* 到 18*C* 显示了本发明的实施例 1 的电路中,在传输线上的阻抗变 化产生的信号波形(前沿波形);

图 19*A* 到 19*C* 显示了本发明的实施例 1 的电路中,在传输线上的阻抗变 化产生的信号波形(后沿波形);

图 20 为显示本发明的实施例 3 的结构电路图，其中，有一个电容取代 电阻；

图 21 为显示本发明的实施例 3 的结构电路图的另一个例子，其中，有 一个电容取代电阻；

图 22*A* 到 22*C* 为显示利用图 20 的结构电路时产生的信号波形(前沿波形)；

图 23*A* 到 23*C* 为显示利用图 20 的结构电路时产生的信号波形(后沿波形)；

图 24 显示了图 4 所示电路结构中产生的信号波形.

图 25 显示了图 4 中的电路结构中电阻 80 到 83 具有较小值时产生的信号 波形；

图 26 显示了图 4 中的电路结构中电阻 80 到 83 具有较大值时产生的信号 波形；

图 27 显示了本发明的实施例 4 的方框图；

图 28 为 *QFP* 封装件的截面图；

图 29 为 *PGA* 封装件的截面图；

图 30 显示了装有 QFP 封装件的装置的例子。

具体实施方式

下面参照附图详细地描述本发明的实施例。

图 4 显示了一个基本的方框图，这是应用本发明的单向传输线的第一 实施例。

在图 4 中，数字 1 代表具有驱动电路 21 的驱动电路块(单元)

数字 2 到 4 代表具有接收电路 32 到 34 的接收电路块。所述电路块包括电阻 80 到 83 及传输线 11 到 14。传输线 100 连接于电路块 1—4，传输总线 100 的两端 是电阻 50 和 51，每个电阻的阻值等于或接近于传输线 100 的特征 阻抗值。

在图 4 中，传输线 100 的阻抗为 50Ω。分支线 11—14 每个的阻抗为 100 Ω。端电阻 50 和 51 的阻值为 50Ω。端电源 60 和 61 可以提供 1.5V 的电压。驱动电路 21 导通电阻为 10Ω。

当驱动电路 21 保持高电平输出时，驱动电路 21 将传输线接于一个 3V 电 源(如图 5 中的 62)。当驱动电路 21 保持低电平输出时，传输线接于 地电位(如图 5 中的 63)。在图 4 中，数字 32—34 代表接收电路。

电阻 80—83 都被限定为具有 75Ω 的阻值。限定该阻值的方法在下面描 述。

在这个实施例中，可以注意到，传输线 100 在两端端接电阻。然而，如果 需要也可以在一端只接一个电阻。此外，该实施例提供了三个接 收电路块，每个接收电路块都具有一个接收电路。但是，本发明也可 以应用于只包括至少一个具有接收电路的接收电路块的信号传输装置。

图 5 示出了图 4 结构中使用的发送或驱动电路 21 的例子。该驱动电 路 21 是一个推挽驱动电路，包括一个上推晶体管 70 和一个下拉晶体管 71。

上推晶体管 70 示于图 5，为一个 *N* 沟道 *MOS* 场效应晶体管（*NMOS*）。但 晶体管 70 也并不限于 *NMOS*。例如，*P* 沟道场效应晶体管（*PMOS*）也可用来作为晶体管 70。

具有推挽驱动电路的低幅驱动电路的详细讨论参见前面引用的作为现 有技术的“*Nikkei* 电子”的文章。在该文章中，驱动电路利用了一 个导通电阻为 100Ω 左右的晶体管。相反，本发明利用了一个目前可 以广泛得到的导通电阻为 10Ω 的晶体管。本发明可以利用常规的驱动 电路，因为，在本实施例中加入的电阻 80 到 83 和 10Ω 的晶 体管的导通电阻之和接近于现有技术装置的导通电阻 100Ω，使得传 输总线 100 上的幅度与现有技术中的幅度大体相等。

例如，假定传输线 100 的阻抗和端电阻为 50Ω，分支线阻抗为 100Ω，端电源提供的电压为 1.5*V*，并且电源向驱动电路提供 3*V* 的电压。根据 这些假定，在上述的利用导通电阻为 100 Ω 的晶体管的文章中使用的 传输线上，信号幅度变为 0.6*V*，该幅度基本上等于图 4 中所示的传输 线 100 的 0.68*V* 的幅度。

通过将驱动电路 21 的导通电阻从 100Ω 降到 10Ω，降低驱动电路中的功 耗是可能的。例如，在上述条件下，使用 100 Ω 导通电阻的现有技术 装置的功耗为 14.4*mW*，而本发明可以使功耗降低到 1.9*mW*。此外，本 实施例可以使用具有导通电阻 10Ω 或更多，例如 50Ω 的驱动电路。这种 驱动电路可以得到上述同样的效果。

图4中的接收电路的例子被示于图6中。该接收电路为一个差分 接收电路，通过将输入信号与参考电压*Vref*进行比较来确定输入信号是逻辑高还是逻辑 低。这里使用的参考电压可以由一个集成电路内部产生。但是，如果 在集成电路内部产生噪声或从外界进入的噪声引起电源发生波动，参 考电压也会相应地波动。因此，最好从外界提供参考电压。而且，接 收电路最好为一个*NMOS*型差分接收电路，用于通过*NMOS*的效应接收输 入信号。如果该型接收电路用来作为参考电压，则使用端电源的电压。在这种情况下，参考电压等于电源电压的一半。因此，接收在参考电 压附近的1*V*或更少的小幅度波形是可能的。

例如，在下述条件下，在接收电路的幅度为0.68*V*。具体地说，如果 每个端电阻50，51的阻值为50Ω，每个匹配电阻80，81，82和83的阻 值为75Ω，驱动电路的导通电阻为10Ω，驱动电路的供电电压为3*V*，端电源电压为1.5*V*，当驱动电路为低电平输出时，在每个接收电路的 电压为1.16*V*(＝1.5*V*－(1.5*V*－0)＊(50Ω/2)/(50Ω/2＋75Ω＋10)＝1.5－0.34)，当 驱动电路处于高电平输出时，在每个接收电路的电压为1.84*V*(＝1.5*V*＋(3－1.5)＊(50/2)/(50/2＋75＋10)＝1.5＋0.34)。因此，在每个接收电路 的幅度为0.68*V*(＝1.84－1.16)。

在图4中，只是对每个电路块的一个接收电路32－34以举例的方式进行了 描述。但是，本发明并不限制接收电路的个数。

在上述的信号传输电路中，电阻80到83的每个阻值都作成与块内传输 线11的阻抗减去线100的阻抗的一半得到的值相等。线100的阻抗被折 成一半，因为来自驱动电路块的信号在与总线100的接触点*B*分成两路。即，下述等式成立：

$$Rm=Zs-Z0/2$$

其中，*Zs*代表传输线11的阻抗，*Z*0代表线100的阻抗，*Rm*代表电阻80的阻 值。

从该式可以看出，从传输线11来看，电阻80和线100的总阻抗被作成等 于传输线11本身的阻抗。这样，就可以防止在分支线内部的重复反射。

电阻81到83可用同样的方法限定。这样，另外的块与前述的块1有 同样的效果。

下面，描述由表达式1得到的电阻的效果，当驱动电路电路21从低电平 转换到高电平输出时，传送到图4中每点的波形将参照图4的电路图进 行描述。

首先，要求出当驱动电路21馈入一个低电平输出时，传输线100的电势。传输总线的电压等于将端电源电压1.5*V*被端电阻50和51，电阻80和驱 动电路21的导通电阻分压而得到的电压。结果，当驱动电路21提供低电 平输出时，在传输线上的点*B*的电压为：

$$1.5V*(75\Omega+10\Omega)/(30\Omega+75\Omega+25\Omega)=1.16(V)$$

在图 4 的电路中，由驱动电路 21 中被驱动的信号在点 *B* 没有反射。因此，整个信号被传送到线 100。当驱动电路输出从低电平转换到高电平时 传送到点 *B* 的信号的电势等于将端电源电压 1.5*V* 和驱动电路 21 的供电 电压 3*V* 被端电阻 50 和 51，电阻 80，驱动电路 21 的导通电阻分压所得到的电 压。因此，当驱动电路 21 提供高电平输出时在点 *B* 的信号电势可按下式 得出：

$$1.5V+(3V-1.5V)*25\Omega/(10\Omega+75\Omega+25\Omega)=1.84V$$

即，传送到点 *B* 的信号幅度为：

$$1.84V-1.16V=0.68V$$

当传送到传输线 100 的幅度为 0.68*V* 的信号到达点 *C* 时，面临的是 50Ω 的传输线和 75Ω 的电阻加上 100Ω 的传输总线，因为该两条传输 线的 38，9Ω 的总阻抗与信号通过的 50Ω 的传输线的阻抗不同，这种阻 抗失配引起信号的反射。透射系数为：1－反射系数＝1－(50－39.8)／(50＋38.9)＝0.875. 经过点 *C* 的信号的电势等于点 *B* 处的信号幅度 0.68*V* 乘以透射系数 0.875 再加上初始电势。即，该信号的电势为：

$$0.68V*0.875+1.16V=1.76V$$

在点 *E* 或点 *G* 发生类似的反射. 在点 *E* 或 *G* 的电势分别为 1.68*V* 和 1.61*V*。

这些结果示于图 7*A* 到图 7*C*。图 7*A* 显示了进出点 *C* 的信号波形，即，在点 *B* 去往点 *C* 的信号波形和离开点 *C* 的在点 *D* 和 *E* 的信

号的波形。图 7*B* 显示了 进出点 *E* 的信号的波形。图 7*C* 显示了进出点 *G* 的信号的波形。在图 7*A*— 7*C* 中，数字 702 代表在图 4 中点 *B* 的信号波形。数字 703 代表在点 *C* 的信号 波形。数字 704 代表在点 *D* 的信号波形。数字 705 代表在点 *E* 的信号波 形。数字 706 代表在点 *F* 的信号波形。.数字 707 代表在点 *G* 的信号波形。数字 708 代表在点 *H* 的信号波形。当信号下降时，将发生同样的现象。此时的信号波形示于图 8*A* 到 8*C*。在图 8*A* 到 8*C* 中，数字 702—708 代表如图 4 中 从点 *B* 到点 *H* 的信号的波形。

在利用本实施例中明确描述的信号传输电路的情形中，应当懂得，在 每个分支点，对来自驱动电路 21 的指示高电平的任何初始信号来说，超 过参考电压(在上述条件中为 1.5*V*)是可能的。因此，每个接收电路将 可以识别发出的高电平信号。

通过从表达式(1)得到的值及从任何接近表达式(1) 的值中得出电阻 80—83 的阻值即可足以得出本发明的效果。

下面通过参照图 24—26 进一步进行描述。图 24 显示了当发送电路 21 连 续在图 4 的电路结构中输出脉冲波形时在图 4 中的点 *A*，*C*，*D*，*G* 和 *H* 处时间 和电压关系的波形，其中，块间传输线(主传输线)100 的阻抗为 50Ω，块内传输线 11—14 的阻抗为 100Ω，每个端电阻 50 和 51 的阻抗为 50Ω，端 电源电压为 1.65*V*，每个电阻 80—83 的阻值由表达式(1)得出，为 75Ω。

在图 24 中，数字 701 代表在点 *A* 的信号波形。数字 703 代表

在点C的信号波形。数字704代表在点D的信号波形。数字707代表在点G的信号波形。数字708代表在点H的信号波形。由于曲线707和曲线708相互迭加在一起，所以肉眼分辨出两曲线是很困难的。

另一方面，图25显示了另一种情形。图25显示了当电阻80—83均改为50Ω以得到较大幅度时的波形。如图25所示，数字701，703，707和708显示了图4中A，C，D，G和H处的波形。阻值50Ω仅仅是由表达式(1)得出的75Ω的阻值的60%。从图25中可以看到，可以使用该阻值，而不会产生任何问题。

如果块内线的阻抗为75Ω，电阻80—83的阻值可被固定为75Ω用于保持信号幅度与图24的值相同。在该例中，电阻80—83的每个阻值比通过表达式(1)得到的50Ω的阻值大50%。关于这一点，应当注意，如果电阻80—83的每个阻值相对于由表达式(1)得到的值有50%的变化，仍能得到本发明的效果。

此外，为了加强本发明的效果，最好将电阻80—83的阻值设定为高于主传输线100的阻抗。另外，当传输线有许多分支线时，来自驱动电路21的信号既使在利用本实施例的情况下也不能超过参考电压。对付这种缺点的方法见实施例3所述。

每个在点C，E和G进入到传输线12—14的信号在相应的接收电路上被镜象反射，然后，返回到分支点。由于电路保持阻抗适当匹配，整个信号在同一时刻被传送到传输线100，而不在分支点

产生反射。

从该图中可以明显得出，在本发明中所插入的电阻可以显著地减小因反射 造成的电势降落。此外，这些电阻使距离驱动电路较远的接收电路中 的信号电势的降落可以忽略。

通过在电路块内部的传输线和块间传输线之间的连接处附近插入一个 具有预定值的电阻，即可以保持传输总线上的信号幅度较小并以高速 传输信号。通过改变传输线 100 和每个块内传输线的阻抗可以设定幅 度的大小。例如，如果发送电路 21 具有导通电阻值 10Ω，假定块内传输线的 阻抗为 100Ω 而传输线 100 的阻抗为 25Ω，传输总线的信号幅度为：

$$1.5V * 12.5\Omega/(12.5\Omega+87.5\Omega+10\Omega) * 2=0.34(V)$$

其中，电阻 80— 83 具有阻值为 87.5Ω。此时的波形示于图 18*A*—18*C* 和图 19*A*—19*C*。在这 些图中，数字 702—708 代表图 4 中点 *B* 到点 *H* 处的信号波形。从图中可以 看出，已经取得了小幅度的波形和较小的降落。

此外，电阻 80—83 具有抑制传输线 100 因电路块中负载容量大而造成的阻 抗的降低的效果。即，通过在传输线 100 和每个电路块 1—5 之间插入一 个电阻，使得块间传输线即不直接受到电路块中的容量(即，传输线负 载电容量和驱动及接收电路的容量的总和)。因此，抑制传输线的阻 抗的降低是可以实现的。

此外，本发明的信号传输系统的另一个优越的效果在于当一

个新的电 路板加到传输总线工作或安装的电路板被去掉时，即，进行现场 插入时 的情况。例如，具有高电平的电路板被插入到传送低电平信号的传输 线时。在这种情况下，由于板内的电容的电势与传输线的电势不同，电流从板 流向传输线。该电流被传输到传输线。该电流被进一步以失真的波形 传送到分支线内的接收电路。如果该失真波形的电位比参考电压高 ，接收电路认为传送的是高电平信号，从而工作失常。

为了描述该失真波形的作用，图 9 显示了当在传统传输线中进行现场插入时发生的 波形，图 10 显示了在本发明的传输电路现场插入时产生的波形。从图 9 和图 10 中可以看出，因现场插入产生的波形失真在本发明中以被减小。

实施例 2

下面描述实施例 2，其中，本发明应用于双向传输线。

图 11 为显示实施例 2 的基本框图。电路块 1—4 提供了驱动电路 21—24，接 收电路 31—34，电阻 80—83，传输线 11—14。传输线 100 接于电路块 1—4 并 端接端电阻 50 和 51，每个端电阻的阻值等于传输线 100 的特征阻抗值。

图 11 示出了两端接有电阻的传输线。如果需要也可以在另一端接有一个电阻。此外，图 11 中示出了四个块。在实际当中，本发明可以应用于任 何接于两个或多个块的传输线。

示于图 11 中的电路块中的驱动电路 21—24 和接收电路 31—

34 的布置与图 5 和图 6 中的相同。电阻 80—83 的阻值可按图 4 所示的实施例由表达式(1) 限定的 方式得出。此外，假定电路块 1 发出一个信号，在点 *A*—*H* 的信号波形与实 施例 1 中的那些相同。

在实施例 2 中所示的在一个电路块中具有驱动电路和接收电路的结构 中，通过使电阻等于或接近于由前述表达式(1)得到的阻值，即可以减 少驱动电路转换时的等待时间。在图 11 所示的电路结构中，当驱动 电路转换时信号波形发生的变化在下面进行描述。

首先，驱动电路按下述程序转换。

(1)驱动电路 21 输出一个高电平信号。

(2)比(1)晚 10*ns* 之后，驱动电路 21 转换到高阻抗状态。此时，驱动电 路 24 输出高电平信号。

在驱动电路 21 转换之后，端电势使传输线上靠近驱动电路 21 的信号 电势降落，直到驱动电路 24 的高电平信号到达传输线的该部分。因此，下降的波形通过传输线被传输到每个分支线。

在没有电阻的传统的传输线的情况下在每点发生的下降的波形示于图 12*A* 和 12*B*，而本发明的传输线中估计的每点发生的下降的波形示于图 13*A* 和 13*B*。这些图中的这些波形为包含在与具有驱动电路 21 的电路块 1 相邻的电路块 2 中的接收电路 32 的输入电路块处的波形。

从图 12*A* 和 12*B* 中可以明确看出，在传统传输线中，在分支线

中的重复反 射的迭加的效应和因转换驱动电路造成的信号降落引起当接收电路读 输入信号时的延迟，即，要比驱动电路转换晚 2*Td*。*Td* 表示信 号从传输线的一端传输到另一端的时间。这里，*Td* 为 6*ns*。

根据本发明的传输线在驱动电路被转换之后接收电路读输入信号之前，只需要 *Td* 的延迟。即，本发明提供了将驱动电路转换后，读输入 信号所需的等待时间从 2*Td* 减少到 *Td* 的能力。

前述的实施例描述了高电平到高电平的转换。但该操作对任何转换如 低电平到低电平，低电平到高电平，高电平到低电平都是适用的。此外，这种效果在任何组合中都是有效的，而与所要转换的驱动电路无关。

实施例 3

下面的描述针对于第三实施例，该实施例对有许多分支线而每个分支线的顶端有较大 容量时非常有效。图 14 为解释根据本实施例的单向 传输总线的基本框图。图 15 为解释根据本实施例的双向传输总线的基 本框图。在图 14 中，电路块 1 包括驱动电路 21，电路块 2—4 包括接收电路 32—34。此外，该电路块分别具有电阻 80—83 和传输线 11—14。在图 15 中，电路块 1—4 具有发送电路 21—24，接收电路 31—34，电阻 80—83，和传输线 11—14。在图 14 和 15 中，传输线 100 接于电路块 1—4，并端接电阻 50 和 51，每个电阻的阻值等于传输线 100 的特征阻抗。

在图 14 和 15 中，传输线的两端都端接电阻，如果需要，传输线也可只 在一端端接一个电阻。此外，在图 14 和 15 中，块的个数为 4，在实际 当中，本发明在只有两个块或更多的块也是可以的。

在图中，数字 90—93 代表开关，数字 110—113 代表电阻。

在该实施例中，将参照图 14 和 15 描述这些开关的操作和效果。该第三 实施例的其他部分与实施例 1 和 2 相同，在此不在赘述。

如果分支线的顶端处的容量较大，或接有大量的分支线，在传输线的 分支点的信号电势的降落会大得难以接受。甚至实施例 1 和 2 也不能抑 制这种降落。

例如，考虑实施例 1 所示的条件，即，在图 4 中的电路，传输线 100 的阻 抗为 50Ω，每个分支线 11—14 的阻抗为 100Ω，每个端电阻 50 和 51 的电阻 为 50Ω，每个端电源的电压为 1.5*V*，每个电阻 80—83 的电阻为 75Ω，发送 电路 21 的导通电阻为 10Ω，当电路 21 提供高电平时，驱动电路 21 将传 输总线接于 3*V* 的电源，当该电路提供低电平时，驱动电路 21 将传输总 线接地或 0*V* 电源。此时，如果接有 7 个或更多的分支线时，来自驱动 电路 21 的高电平的初始信号在 6 个分支线之后将不会超过参考电压 *Vref*。

为了克服所述的缺点，第三实施例提供了一种消除因降低的信号电势 引起的延迟时间。这是通过使得在分支点流过比为补偿该点处信号电势 的降低所需的电流更多的电流来实现的。

先参见图 14，当驱动电路 21 工作时，电路 1 中的开关 90 闭合使传输线 100 和块 内信号传输线 11 之间的电阻减小。这可以增加总线 100 上的信 号幅度。上述描述对图 15 中的驱动电路 21－24 和它们的开关 90－93 同样 适用。

例如，在每个端电阻 50 和 51 具有 50Ω 的阻值，每个匹配电阻 80－83 的阻 值为 75Ω，每个发送电路 21－25 的导通电阻为 10Ω，每个开关电阻 110－113 的阻值为 10Ω，通过闭合开关 90，传输线 100 和分支线之间的阻值从 75 Ω 降低到 8.8Ω，传输总线上的幅度从 0.68*V* 增加到 1.3*V*。这样就消除 了因在分支点由于信号电势的降低引起的延迟。

如果在下一个周期反相的情况下以高速传输信号，开关在驱动电路输 出信号开始时间晚 0.3 个周期后断开。这样，信号幅度可回到预定值 ，即，能够快速传送的小幅度。当然，延迟的设置如果合适可不同于 0.3 个周期。

图 16*A*－16*C* 和 17*A*－17*C* 为解释本发明效果的示意图。这些图中的波形为 如图 14 和 15 中的电路使驱动电路 21 工作时产生的。图 16*A*－16*C* 显示了上 升的波形，图 17*A*－17*C* 显示了下降的波形。为了举例的目的，电阻 110－ 113 的阻值被设定为 20Ω 以达到这些波形。

图 16*A* 和 17*A* 显示了进出图 14 中点 *C* 的信号波形，即，去往点 *C* 的在点 *B* 的 波形和离开点 *C* 的在点 *B* 和 *E* 处的波形。类似

地，图16*B*和17*B*显示了进出*E*的信号波形。图16*C*和17*C*显示了进出点*G*的信号波形。数字1402代表 图14中所示的点*B*处的信号波形。数字1403代表点*C*处的信号波形。数 字1404代表点*D*处的信号波形。数字1405代表点*E*处的信号波形。数字1406代表点*G*处的信号波形。数字1408代表点*H*处的信号波形。

使用开关使在传输线100上增加信号幅度和消除因在分支点处的信号 电势的降落引起的延时成为可能。如上所述，即使传输线具有较大的 负载量和大量的分支线，通过开关的控制也可实现以高速传输小幅 度的信号。尽管开关控制情况没有示出，可以利用传统的开关技术，通过设 置在具有驱动电路的电路块中的控制单元对开关进行控制。

利用电容器替代电阻110—113也可取得类似的效果。利用电容器的实施 例示于图20和21。图20显示了图14所示的相同的布置，其中 ，电容器120取代了电阻110。图21显示了与图15所示的相同的布置，其中，电容 器120—123取代了电阻110—113。通常，电容量最好取几十*PF*。

如果在电容器驱动一侧的电势因来自发送电路的信号而改变，在传输 线100上电容器的电势，根据电荷守恒定律，也将会上升。因此，可以得 到比只通过电阻80—83改变的幅度更大的幅度。

关于这些开关，最好闭合在单元内部的用于操作驱动电路的开关而断开 其它的开关。另外，传输线100上的信号幅度因电容器

线的效应而增加 而后因端电阻 50 和 51 的作用在几纳秒之内回到初始幅度。因此，在驱动 电路工作时，这些开关可以保持闭合。

图 22*A*—22*C* 和 23*A*—23*C* 显示了在图 20 中的电路图中驱动电路 21 工作时在 每个点的上升的波形和下降的波形。在图 22*A*—22*C* 和 23*A*—23*C* 中，图 22*A* 和 23*A* 显示了进出图 20 中点 *C* 的信号波形，即，在点 *B* 的去往点 *C* 的信号 波形，和在点 *D* 和 *E* 的离开点 *C* 的信号波形。类似地，图 22*B* 和 23*B* 显示了进 出点 *E* 的信号波形。图 22*C* 和 23*C* 显示了进出点 *G* 的信号波形。在这些图 中，数字 2002 代表在图 20 的点 *B* 处的信号波形。数字 2003 代表在点 *C* 处 的信号波形。数字 2004 代表在点 *D* 处的信号波形。数字 2005 代表在点 *E* 处的信号波形。数字 2006 代表在点 *F* 处的信号波形。数字 2007 代表在点 *G* 处的信号波形。数字 2008 代表在点 *H* 处的信号波形。

如上所述，通过电容器的作用，传输线 100 上的信号幅度得以增加，从而 消除了因在分支点处的信号降低引起的延时。

实施例 4

图 27 显示的实施例中，驱动电路和接收电路被集成化，以便电路块间传 输线通过一个传输总线如集成电路的引线与电路块内传输线连接。

在图 27 中，数字 5 代表一个内部电路块(一个内部单元，例如一个集成电 路)，被安装在电路块 1(例如，安装有集成电路的板)。

数字 6 到 8 代表具 有接收电路 32—34 的内部电路块，该内部电路块被安装在电路块 2—4 的 内部。电路块 1 到 4 具有电阻 80—83 和传输线 11—14 和 41—44。传输线 11 —14 被设计成具有与传输线 41—44 的特征阻抗相同或几乎相同的特征阻抗。此外，传输线 100 连接有电路块 1—4，并且两端端接电阻 50 和 51，其 阻值等于或接近传输线 100 的特征阻抗。

在此实施例中，传输线也可只在一端端接一个电阻。接收电路块的 必须的个数为一个或多个。

图 28 显示了 ***QFP(Quad Flat Package)***封装件截面。图 29 显示了 ***PGA(PinGrid Array)***封装件截面。在图 28 中，当提供驱动信号时，芯片 130 作 为驱动电路工作，依次通过连接线 140，141 和引线结构 120，121 输出信号，当 接收到该信号时，芯片 130 依次通过引线结构 120，121 和连接线 140，141 接收信号。在图 29 中，当提供驱动信号时，芯片 131 工作，依次通过连接线 142，143 封装件内线路图形 170，171 和 ***I/O*** 针脚 160，161 输出信号。当接收 信号时，芯片依次通过 ***I/O*** 针脚 160，161，封装件内线路图形 170，171，和连接线 142，143 接收信号。在图 28 和 29 中，引线结构 120 和 121，封装件内线 路图形 170，171，和 ***I/O*** 针脚 160，161 必需使特征阻抗如本发明所述那样匹配。

通常，所述板的特征阻抗取值为 60—100Ω。因此，在大多数情况下，引 线结构 120，121 和封装件内线路图形 170，171 都设计成

具有特征阻抗值为 60—100Ω。

下面描述上述部件如何对应于图 27 所示的部分，其中，发送电路 21 和接 收电路 32—34 对应于芯片 130 和 132。传输线 41—44 对应于引线结构 120 和 121，封装件内线路图形 170，171 和 *I/O* 针脚 160，161。内部电路块 5—8 对 应于 *QFP* 封装件和 *PGA* 封装件本身。除了图 28 和 29 所示的封装形式，也可使 用其它的封装形式，只要集成大体类似的元件即可。

图 30 显示了一个模块，其中，安装有图 28 的 *QFP* 封装件。图 30 的模块上的一块 母板 150 上通过连接器 200—203 安装有 4 块板 190—193。与图 27 中的部分相 对比，传输线 11—14 对应于传输线 230—233，匹配电阻 80—83 对应于 匹配电阻 210—213。电路块间传输线 100 对应于数据总线 240。端电阻 50，51 对应于端电阻 220，221。此外，在图 30 中，传输线 230—233 设在板 的外层。但是，这些线也可以装在内层。在图 30 所示的结构中 ，安装板的个数没有限制。此外，类似的电路可只组合在一块板上 而不必使用母板。

根据本实施例，为了使阻抗互相匹配，具有较大封装电容和电感如逻辑 *LSI* 的元件是更为有效的。

在该实施例中，每个内部电路块只有一个驱动电路或接收电路。如实 施例 2，一个内部电路块可以同时具有驱动电路和接收电路。

本发明提供了设计和生产集成电路如 *IC* 或 *LSI* 或模块如存

储器的新的 方法。在以前的设计和生产这种装置的方法中，所要安装的板的传输线的阻抗是 完全不考虑的。根据本发明，在设计和生产这种装置的过程中，下述的 设计和制造程序被采用：

(1)确定所要安装的板的传输线的阻抗。

(2)确定在板上传输线的阻抗，该板上，连接有诸如要设计的集成电路 引线结构的传输线。(确定每个引线结构的阻抗。如果板上的传输线 不变，进行下一个)

(3)根据设计的传输线的阻抗制造传输总线，然后，利用线焊接技术将 其连接到集成电路芯片。

(4)在所述板上的正确位置安设传输线。

根据该制造方法，即可以实现制造适合于信号快速传输的集成电路和 或信号传输电路。

应当理解，上述的各种结构布置只是本发明的原则的应用的简单的示 意。利用本发明的原则，本领域的技术人员可以作出许多其它的结构 布置，而不脱离本发明的精神和范围。

图1

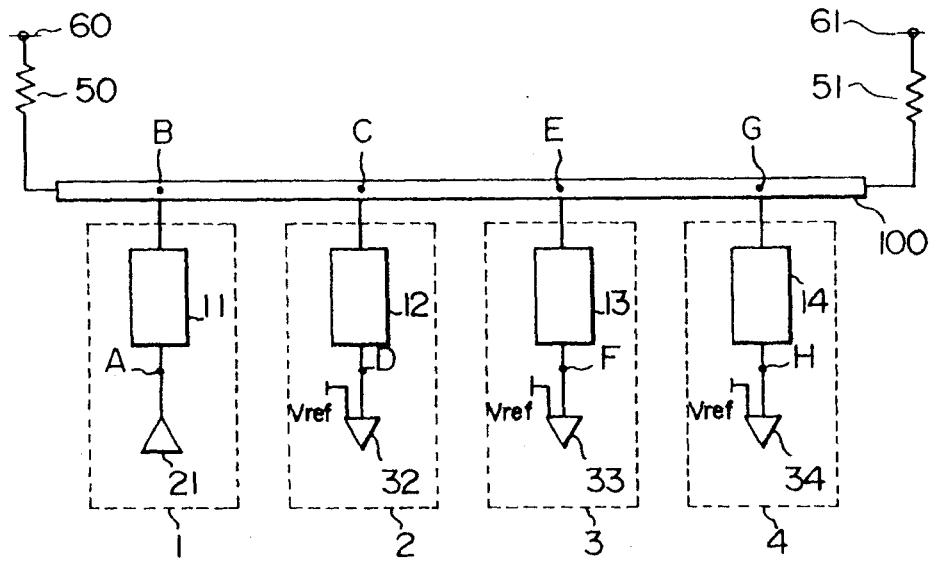

60
50
61
51
B
C
E
G
100
11
12
13
14
A
D
F
H
Vref
Vref
Vref
21
32
33
34
1
2
3
4

图 2A

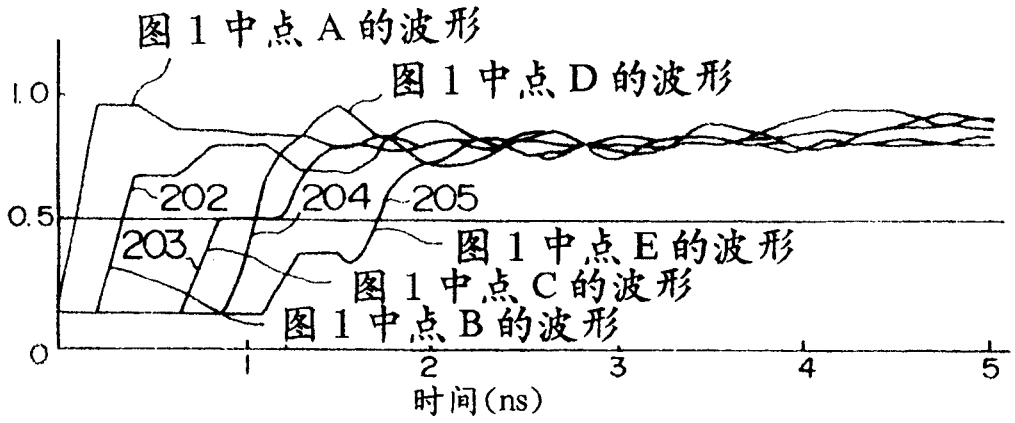

图 1 中点 A 的波形
图 1 中点 D 的波形
1.0
0.5
0
202
204
205
203
图 1 中点 E 的波形
图 1 中点 C 的波形
图 1 中点 B 的波形
1
2
3
4
5
时间(ns)

图 2B

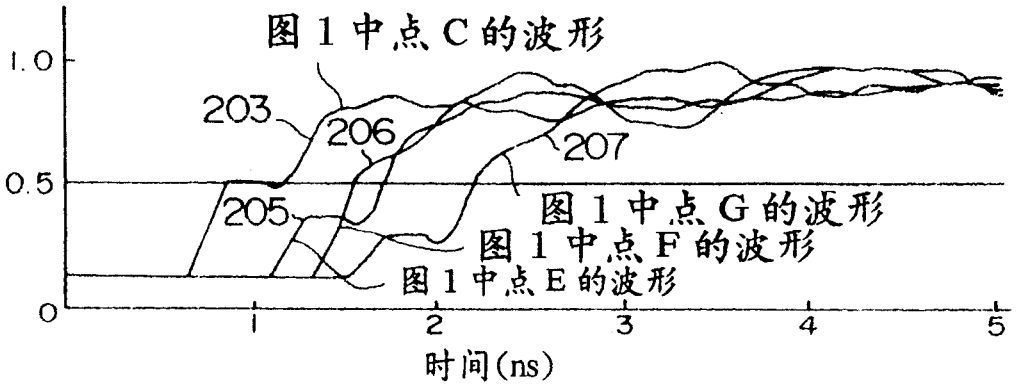

图 1 中点 C 的波形
1.0
0.5
0
203
206
207
205
图 1 中点 G 的波形
图 1 中点 F 的波形
图 1 中点 E 的波形
1
2
3
4
5
时间(ns)

图 2C

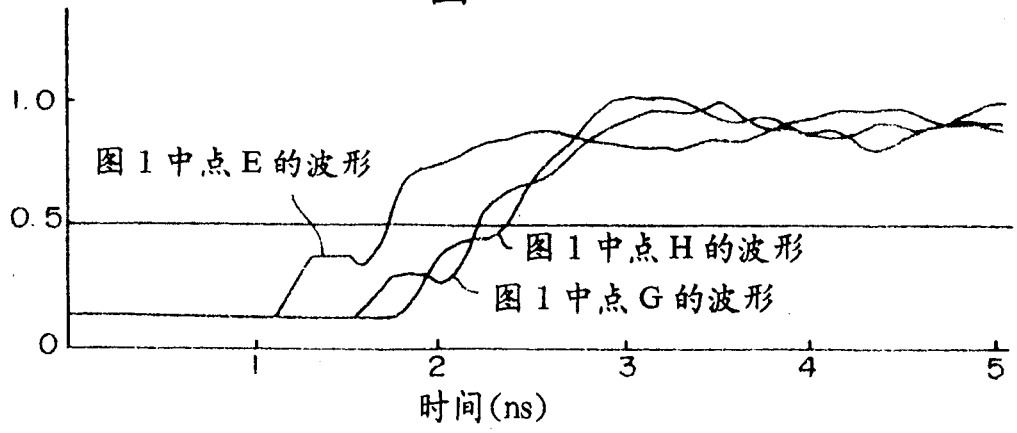

1.0
0.5
0
图 1 中点 E 的波形
图 1 中点 H 的波形
图 1 中点 G 的波形
1
2
3
4
5
时间(ns)

图 3A

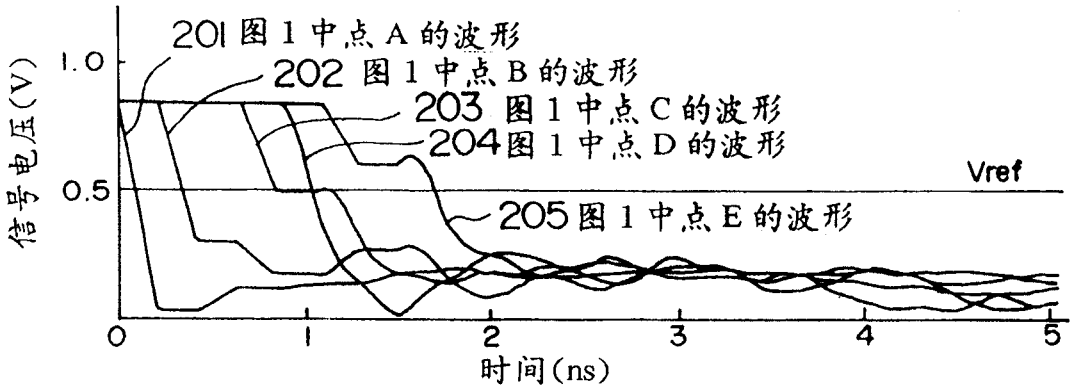

201 图 1 中点 A 的波形
202 图 1 中点 B 的波形
203 图 1 中点 C 的波形
204 图 1 中点 D 的波形
205 图 1 中点 E 的波形
Vref
信号电压(V)
1.0
0.5
0
1
2
3
4
5
时间(ns)

图 3B

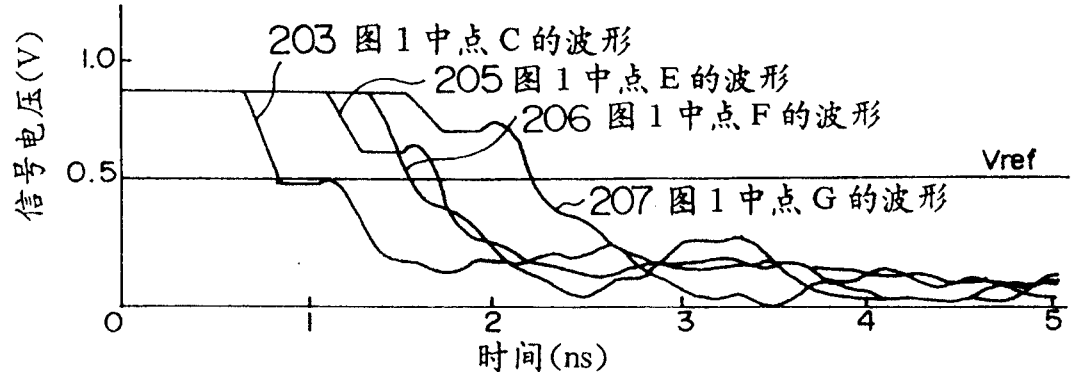

203 图 1 中点 C 的波形
205 图 1 中点 E 的波形
206 图 1 中点 F 的波形
207 图 1 中点 G 的波形
Vref
信号电压(V)
1.0
0.5
0
1
2
3
4
5
时间(ns)

图 3C

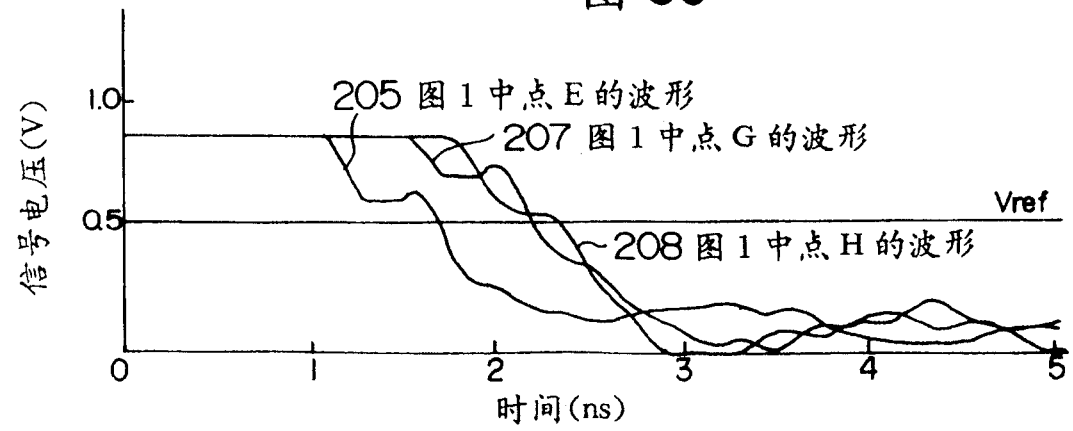

205 图 1 中点 E 的波形
207 图 1 中点 G 的波形
208 图 1 中点 H 的波形
Vref
信号电压(V)
1.0
0.5
0
1
2
3
4
5
时间(ns)

图 4

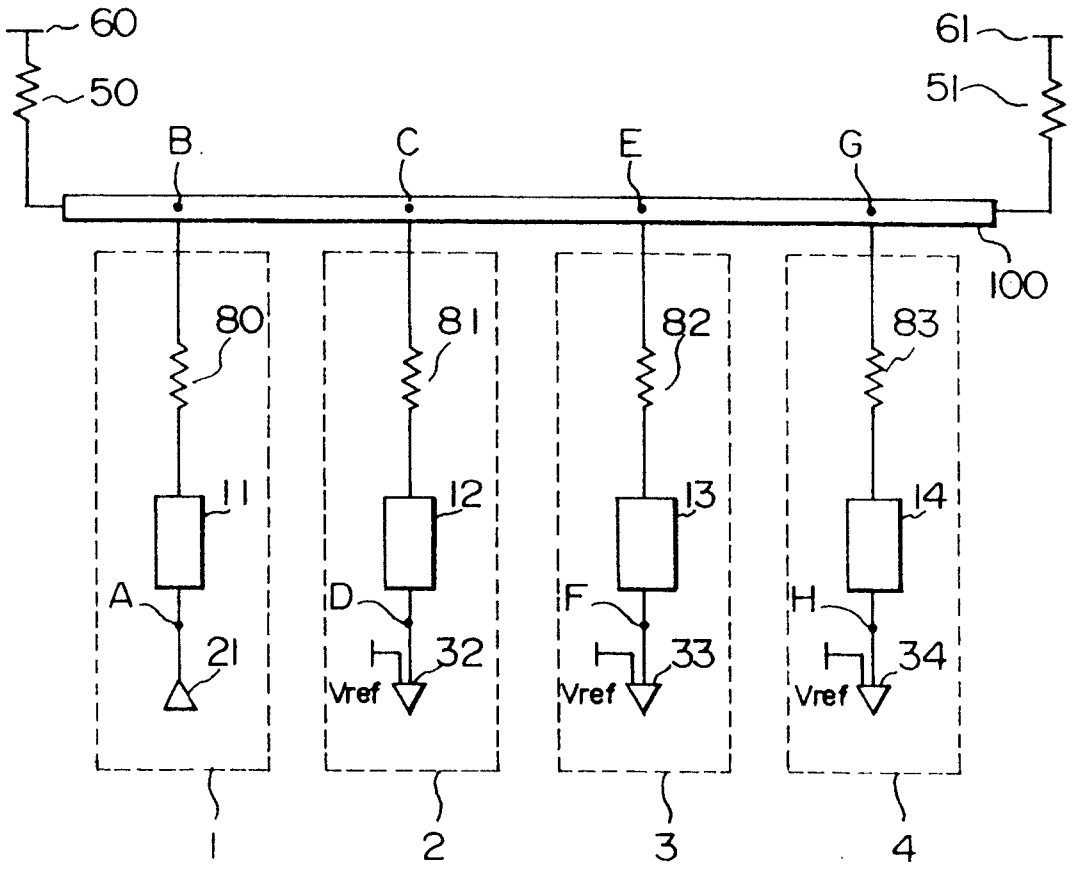

60
50
61
51
B
C
E
G
100
80
81
82
83
11
12
13
14
A
D
F
H
21
32
33
34
Vref
Vref
Vref
1
2
3
4

图 5

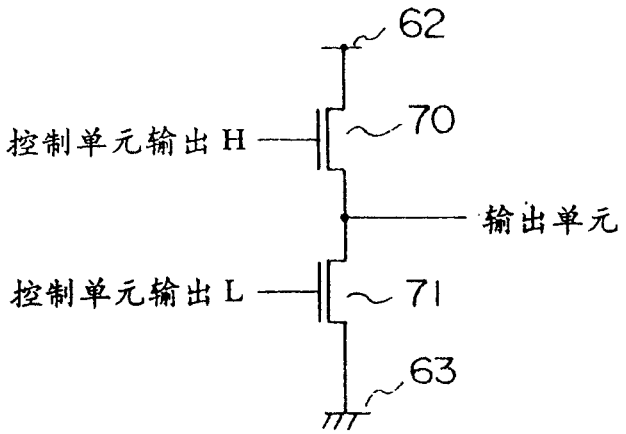

62
70
控制单元输出 H
输出单元
控制单元输出 L
71
63

图 6

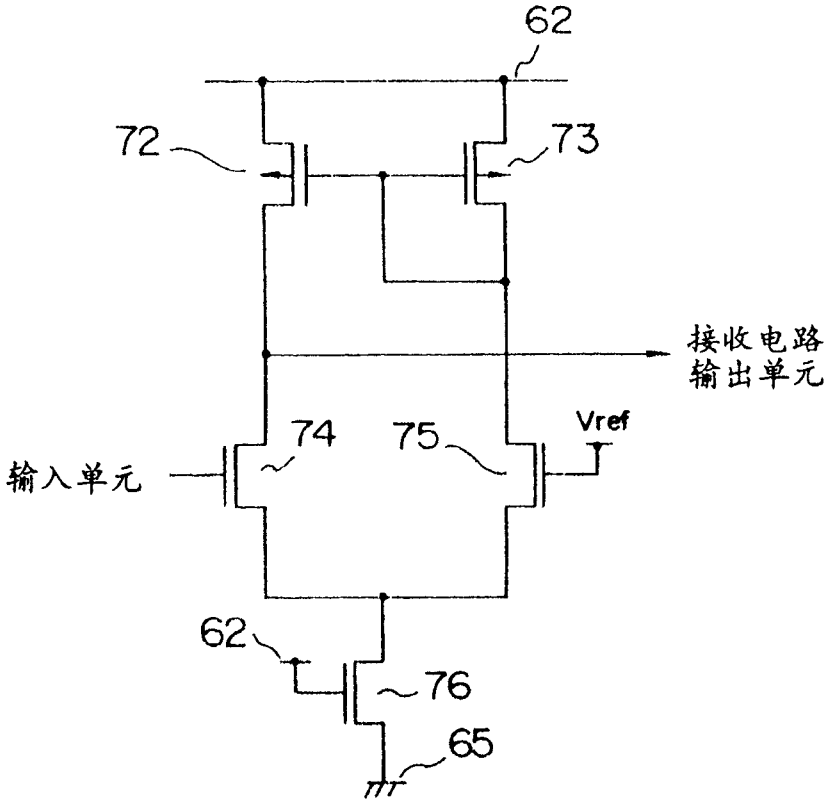

62
72
73
接收电路
输出单元
74
75
Vref
输入单元
62
76
65

图7A

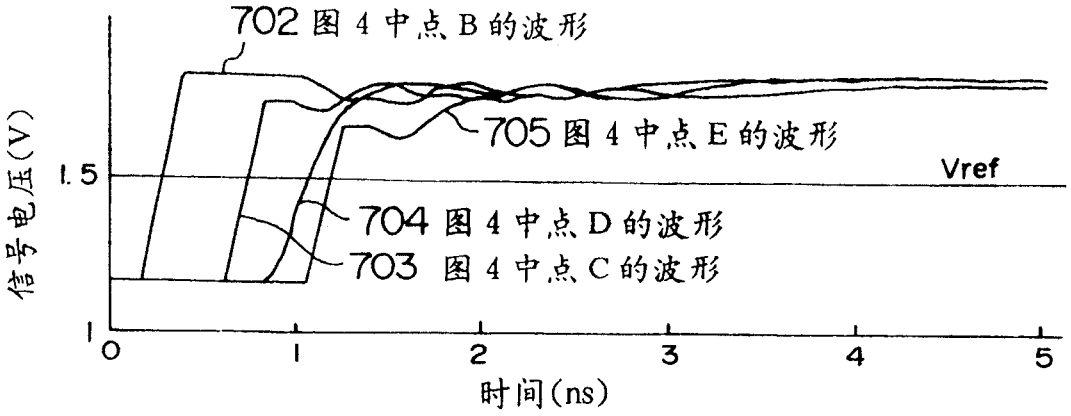

702 图 4 中点 B 的波形
705 图 4 中点 E 的波形
Vref
704 图 4 中点 D 的波形
703 图 4 中点 C 的波形
信号电压(V)
1.5
1
0
1
2
3
4
5
时间(ns)

图7B

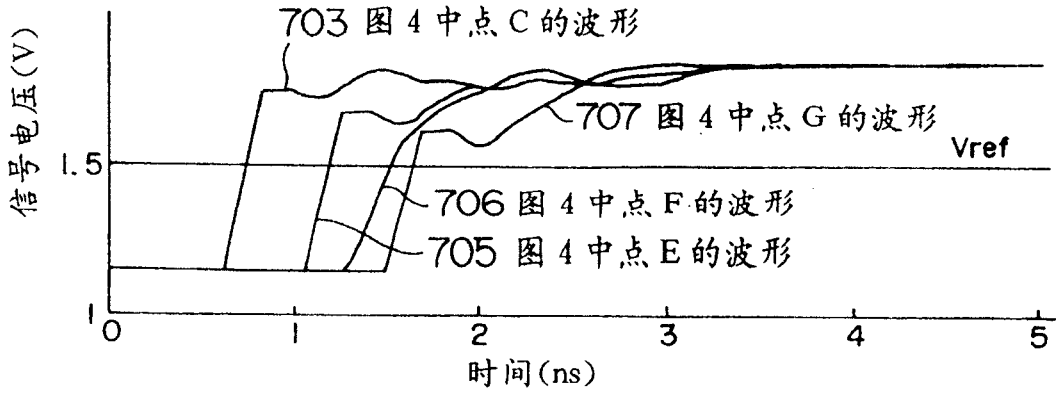

703 图 4 中点 C 的波形
707 图 4 中点 G 的波形
Vref
706 图 4 中点 F 的波形
705 图 4 中点 E 的波形
信号电压(V)
1.5
1
0
1
2
3
4
5
时间(ns)

图7C

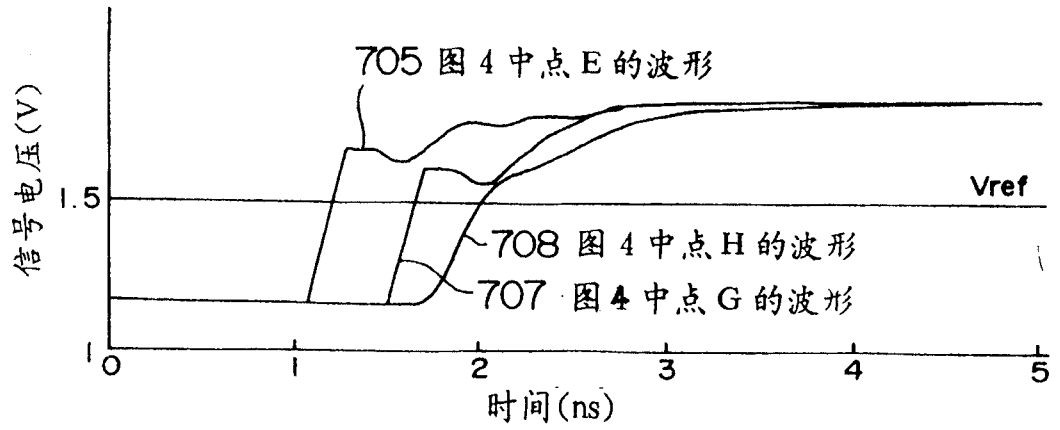

705 图 4 中点 E 的波形
Vref
708 图 4 中点 H 的波形
707 图 4 中点 G 的波形
信号电压(V)
1.5
1
0
1
2
3
4
5
时间(ns)

图 8A

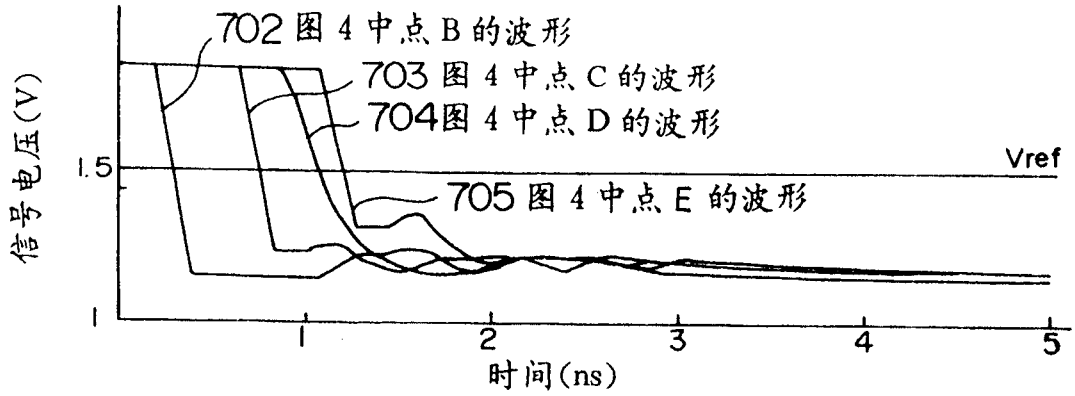

702 图 4 中点 B 的波形
703 图 4 中点 C 的波形
704图 4 中点 D 的波形
705 图 4 中点 E 的波形
Vref
信号电压(V)
1.5
1
1
2
3
4
5
时间(ns)

图 8B

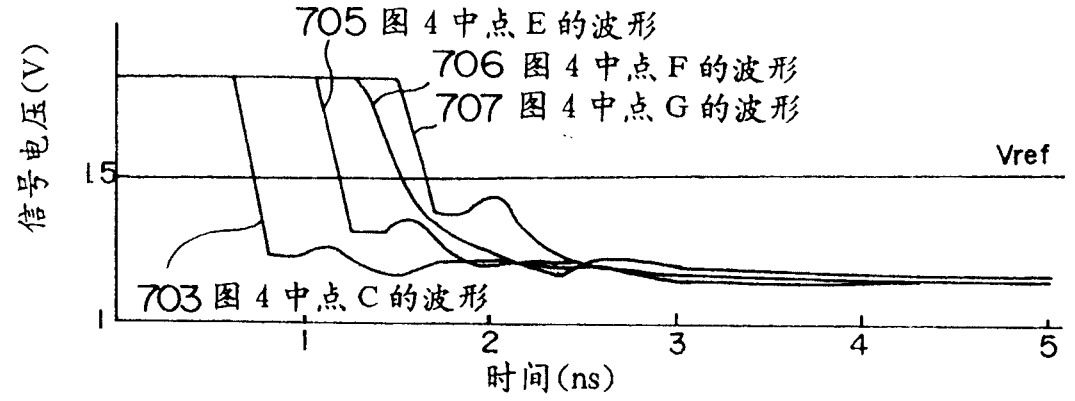

705 图 4 中点 E 的波形
706 图 4 中点 F 的波形
707 图 4 中点 G 的波形
Vref
信号电压(V)
1.5
703 图 4 中点 C 的波形
1
1
2
3
4
5
时间(ns)

图 8C

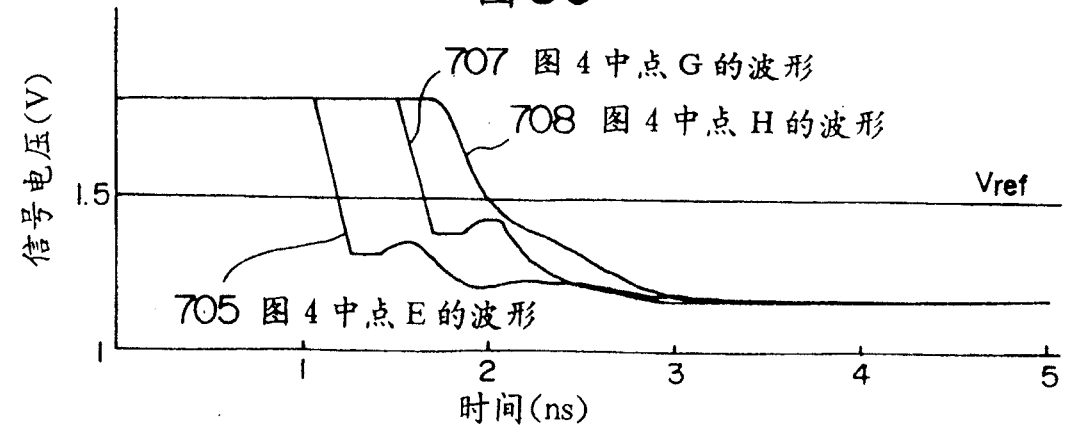

707 图 4 中点 G 的波形
708 图 4 中点 H 的波形
Vref
信号电压(V)
1.5
705 图 4 中点 E 的波形
1
1
2
3
4
5
时间(ns)

图 9

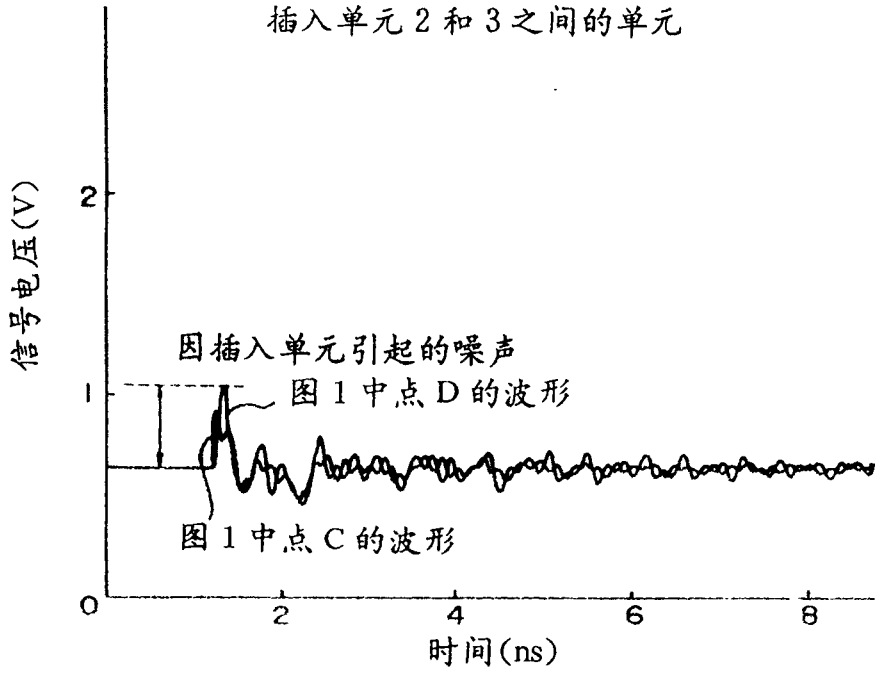

插入单元 2 和 3 之间的单元
信号电压(V)
2
1
0
因插入单元引起的噪声
图 1 中点 D 的波形
图 1 中点 C 的波形
2
4
6
8
时间(ns)

图 10

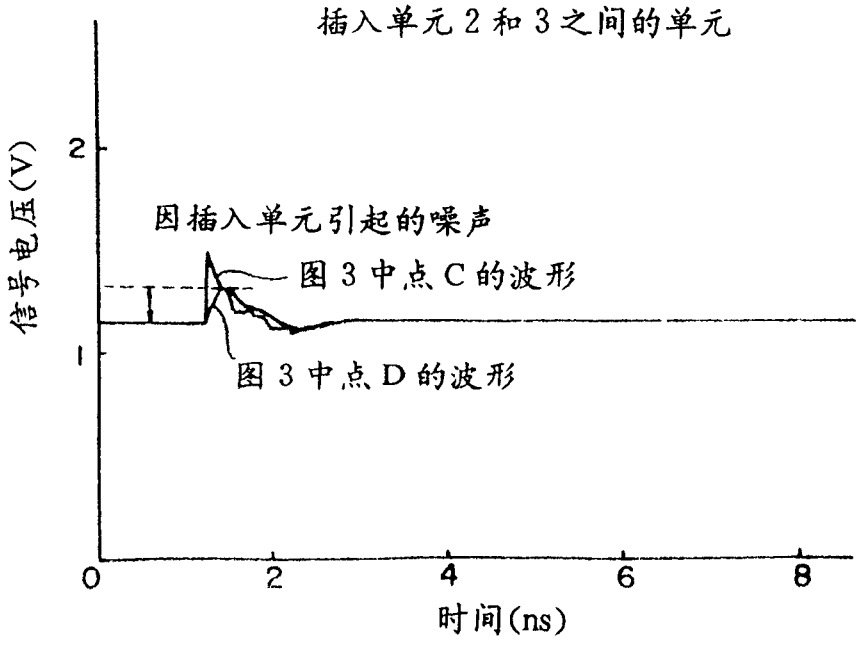

插入单元 2 和 3 之间的单元
信号电压(V)
2
1
0
因插入单元引起的噪声
图 3 中点 C 的波形
图 3 中点 D 的波形
2
4
6
8
时间(ns)

图11

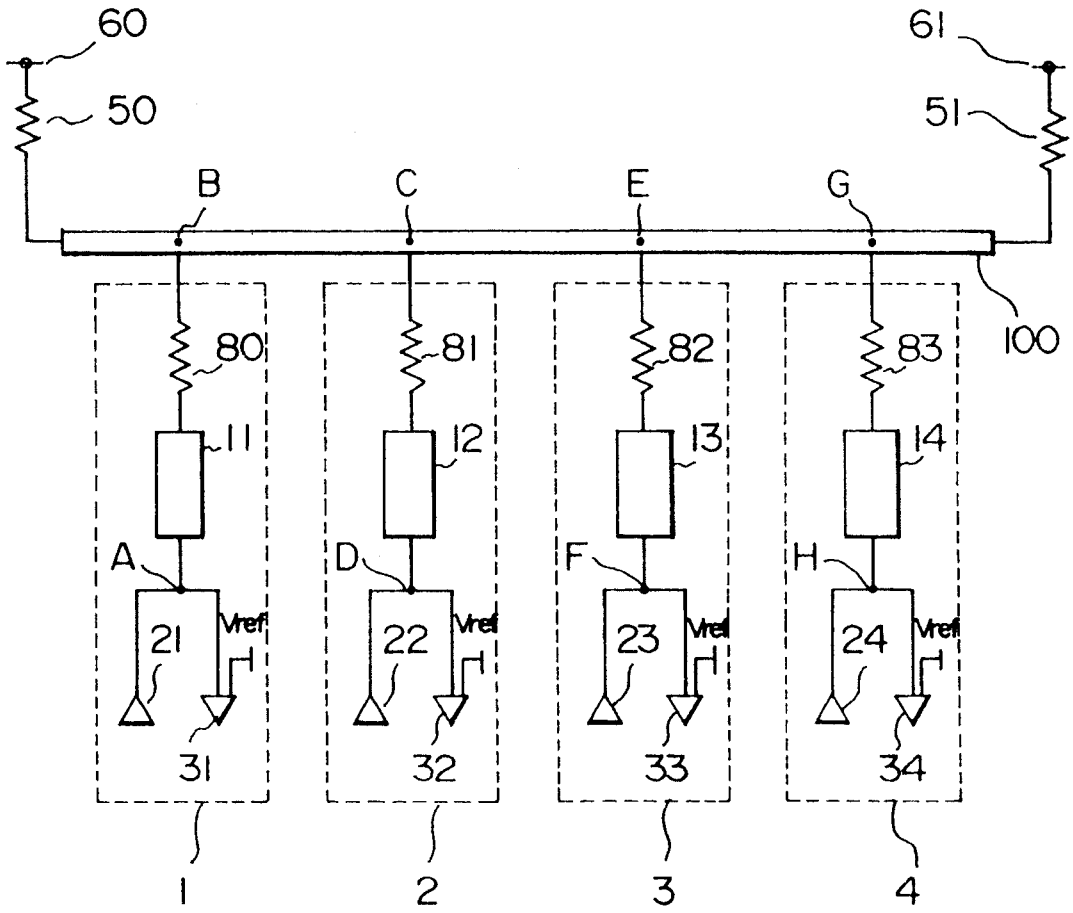

60
61
50
51
B
C
E
G
100
80
81
82
83
11
12
13
14
A
D
F
H
21
22
23
24
Vref
31
32
33
34
1
2
3
4

图12A

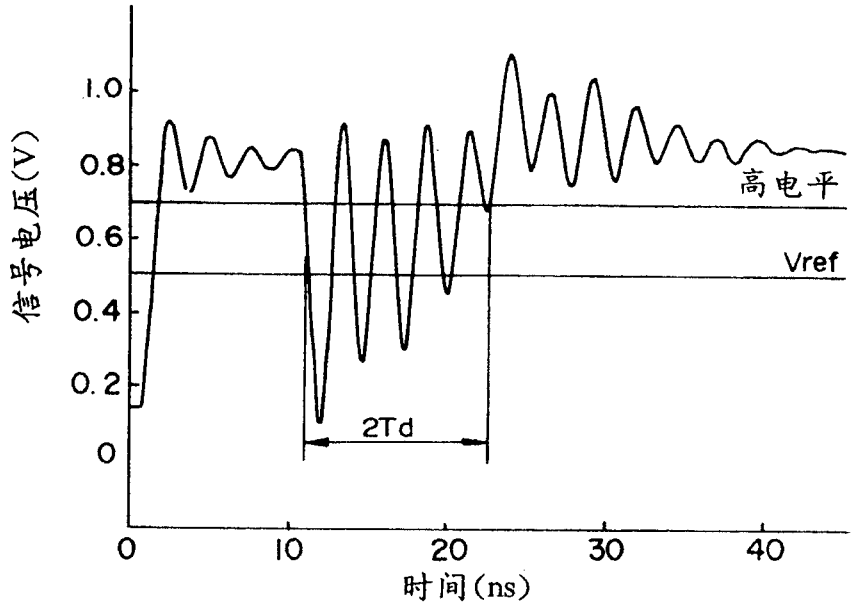

1.0
0.8
0.6
0.4
0.2
0
信号电压(V)
高电平
Vref
2Td
0
10
20
30
40
时间(ns)

图12B

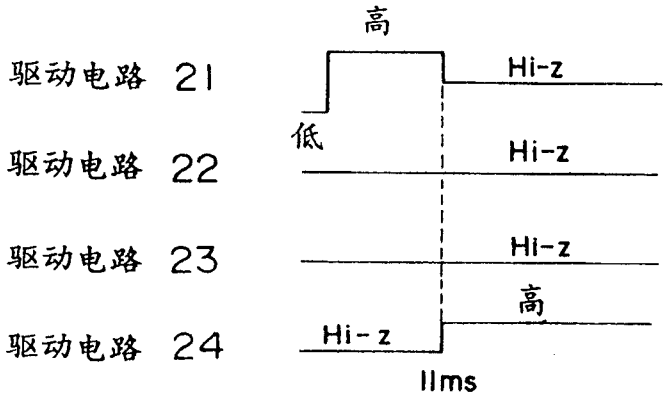

驱动电路 21
驱动电路 22
驱动电路 23
驱动电路 24
高
低
Hi-z
Hi-z
Hi-z
高
Hi-z
11ms

图13A

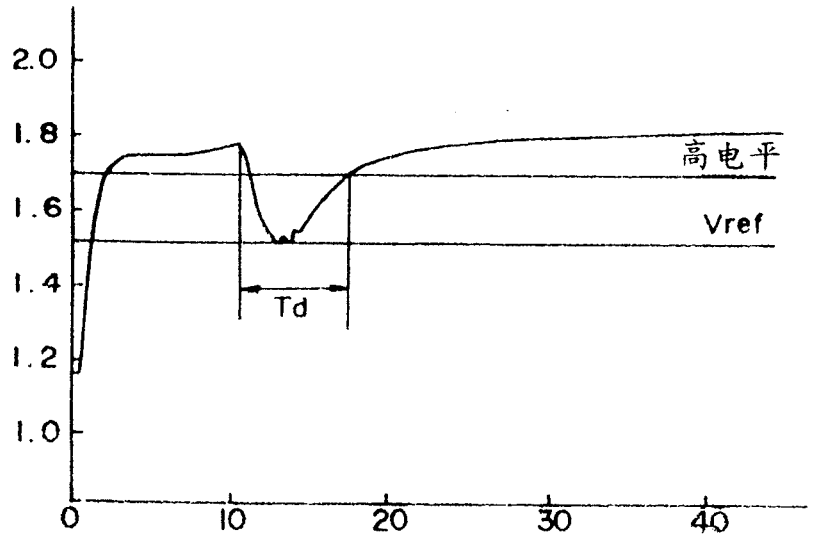

2.0
1.8
1.6
1.4
1.2
1.0
0
10
20
30
40
高电平
Vref
Td

图13B

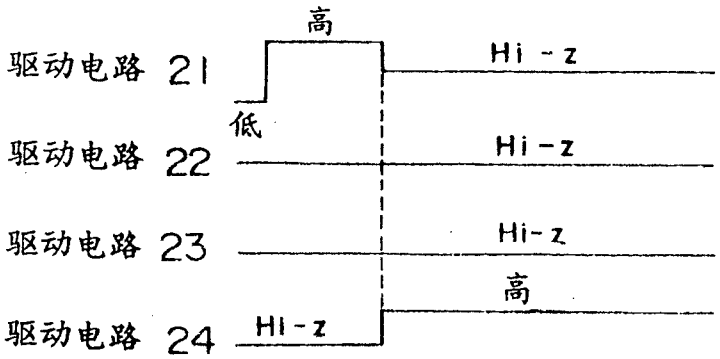

驱动电路 21
驱动电路 22
驱动电路 23
驱动电路 24
高
低
Hi-z
Hi-z
Hi-z
高
Hi-z

图15

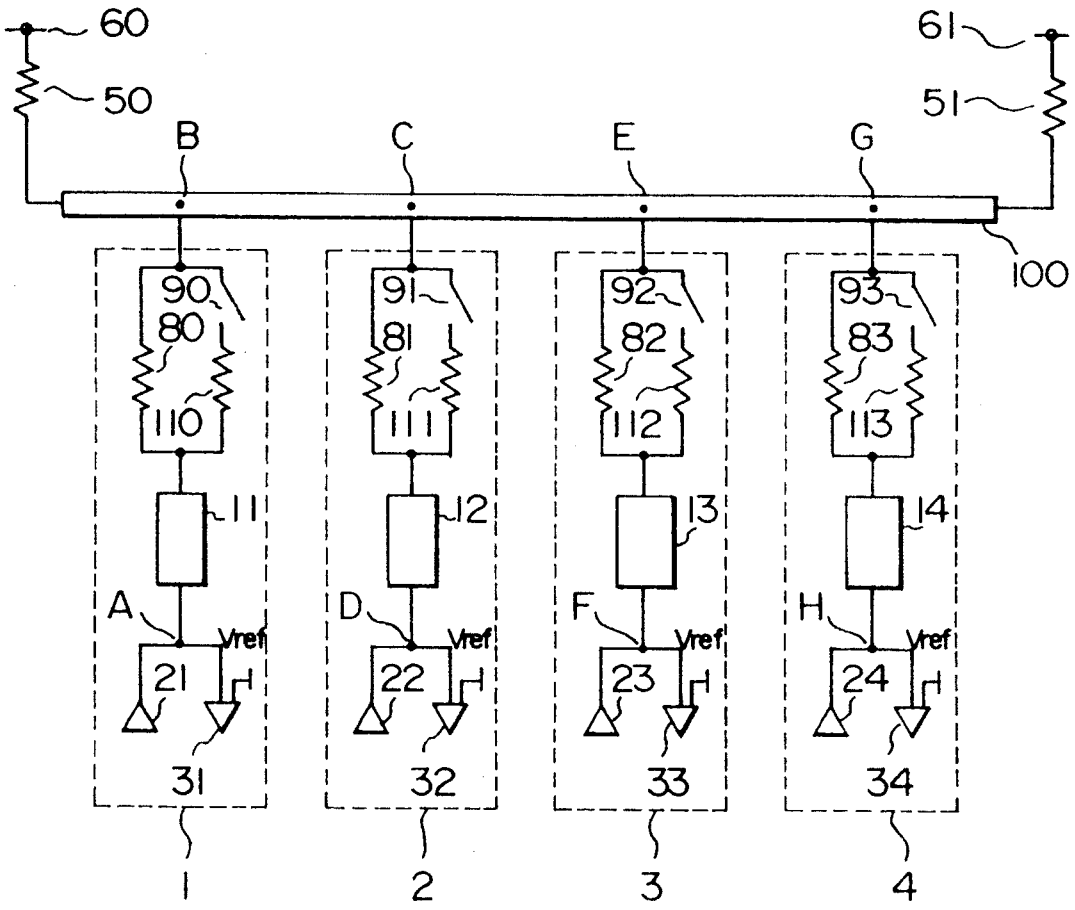

60
61
50
51
B
C
E
G
100
90
91
92
93
80
81
82
83
110
111
112
113
11
12
13
14
A
D
F
H
Vref
21
22
23
24
31
32
33
34
1
2
3
4

图14

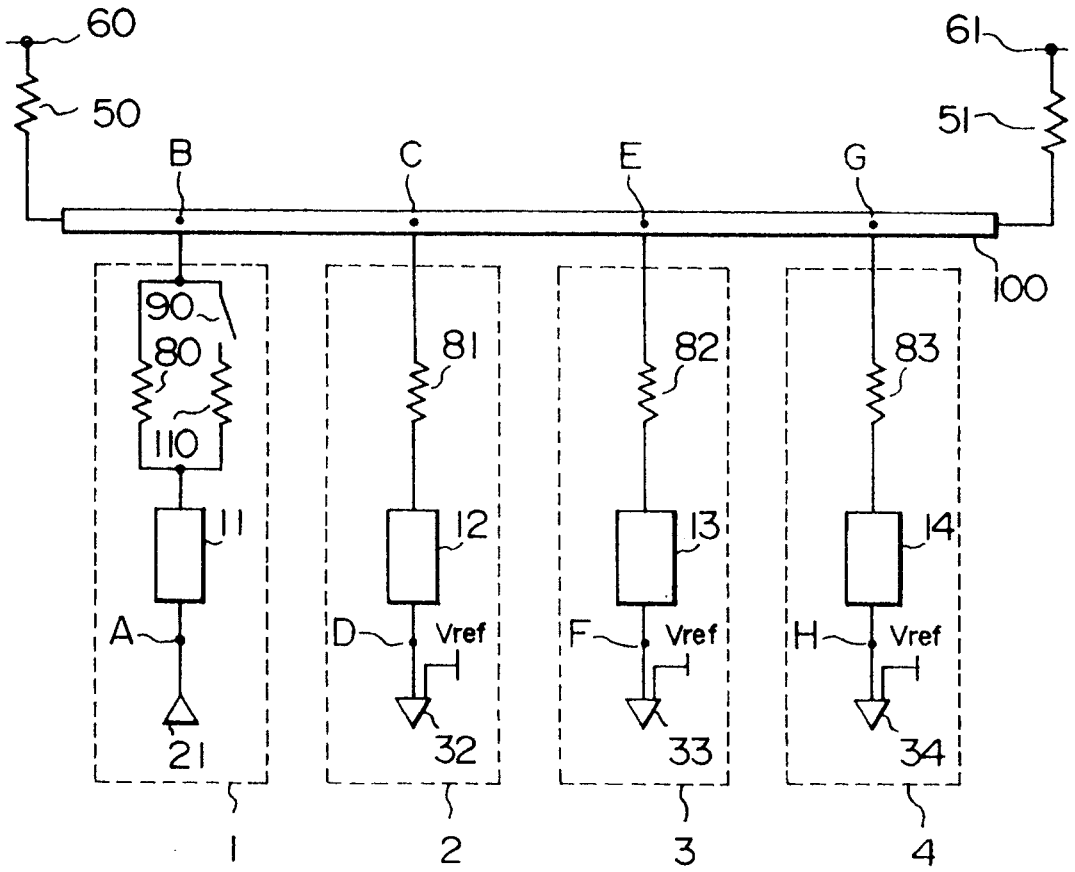

60
50
61
51
B
C
E
G
100
90
80
110
11
A
21
1
81
12
D
Vref
32
2
82
13
F
Vref
33
3
83
14
H
Vref
34
4

图16A

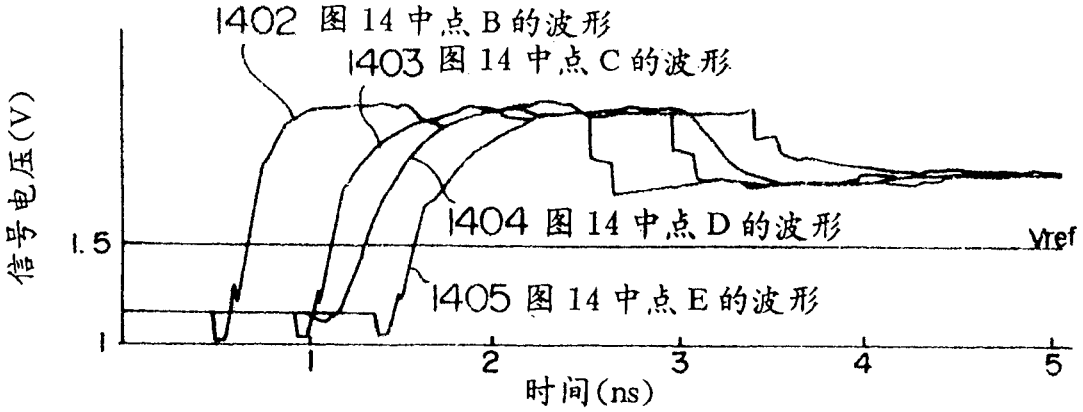


图16B

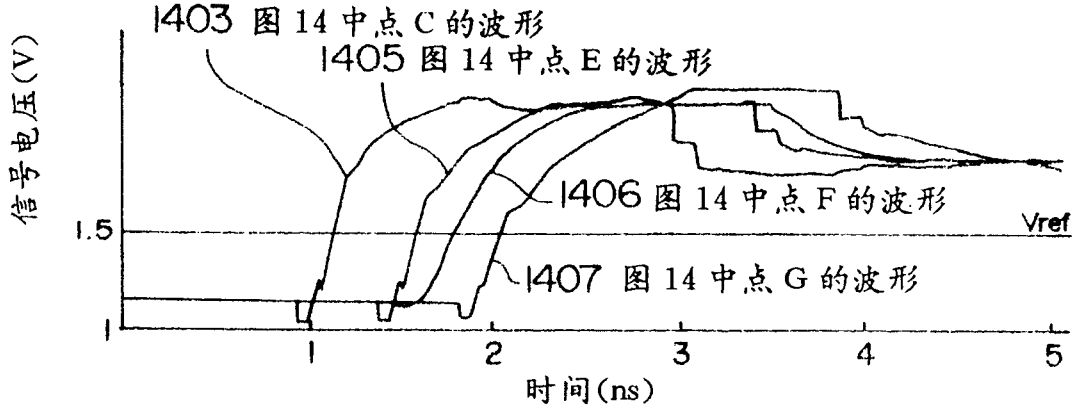


图16C

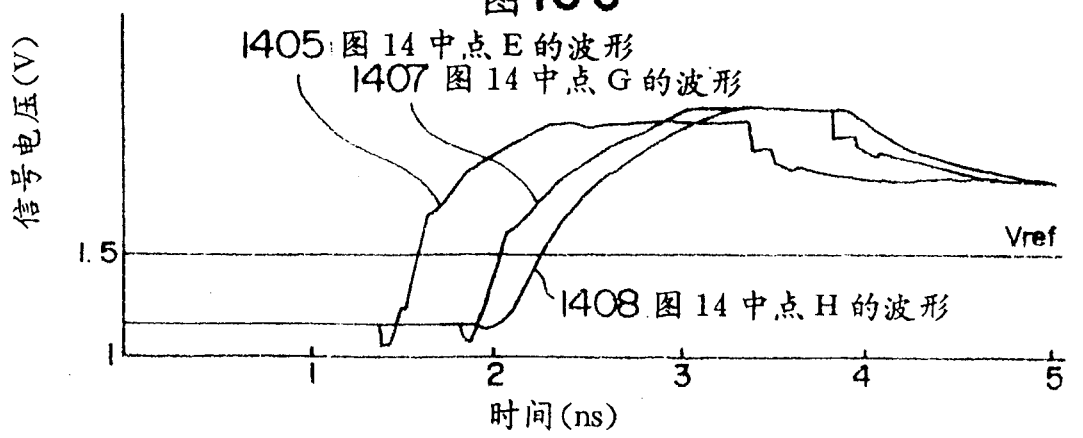


图17A

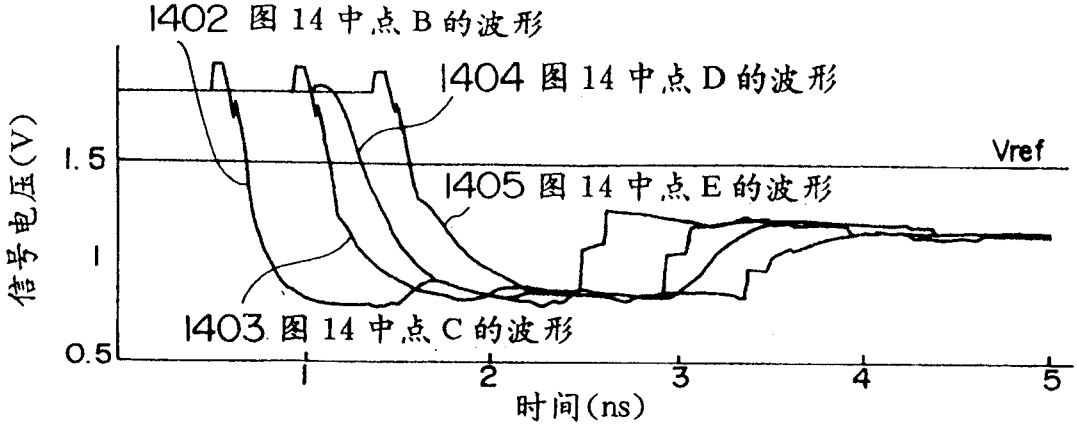


图17B

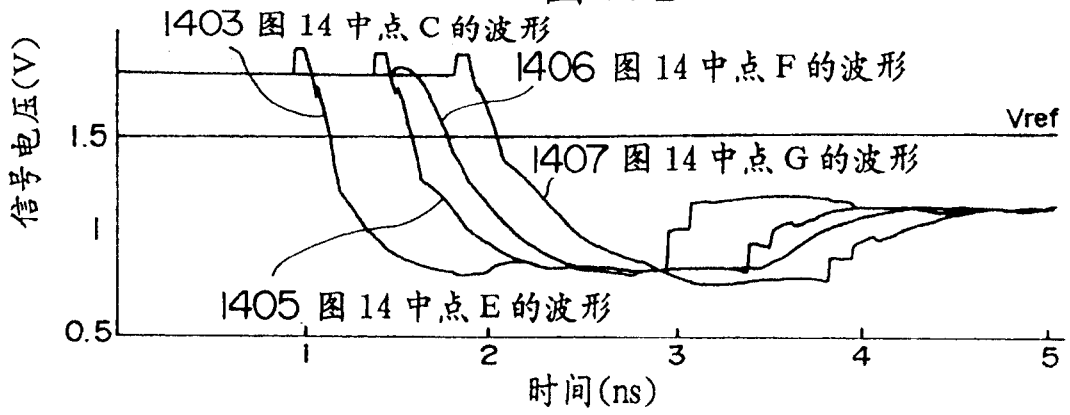


图17C

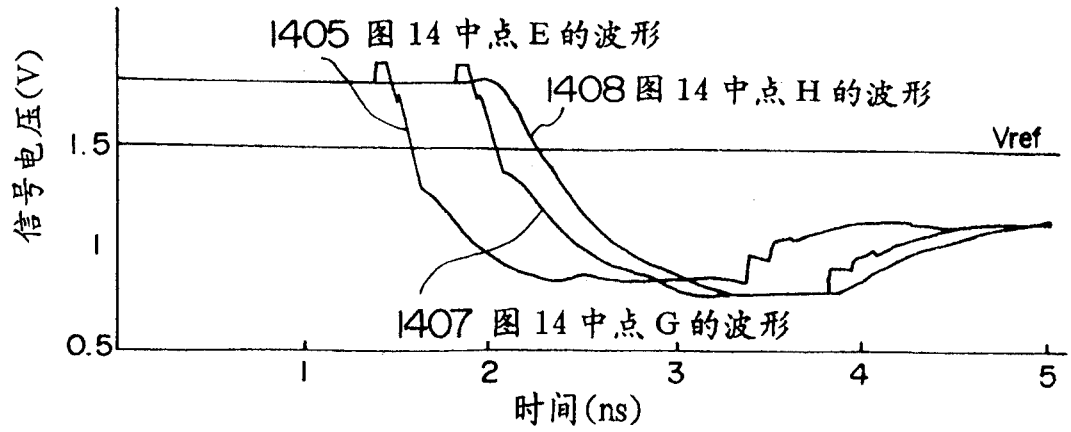


图18A

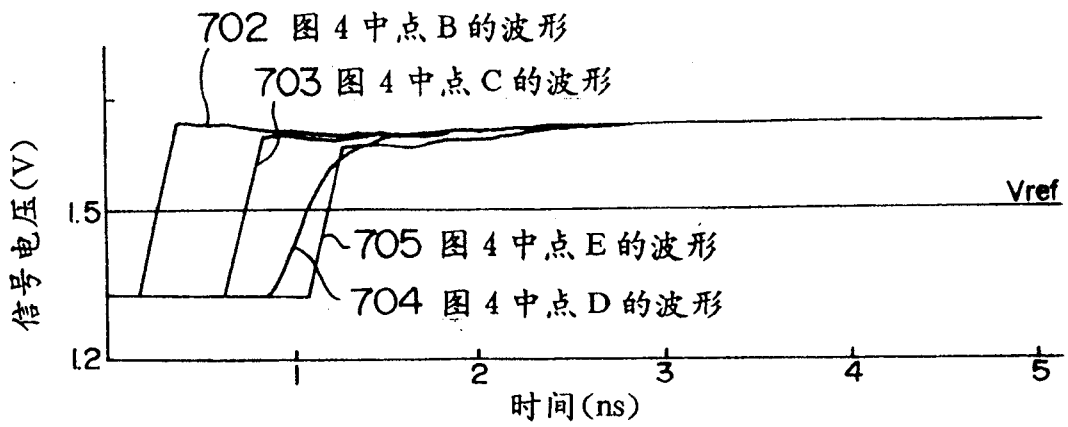


图18B

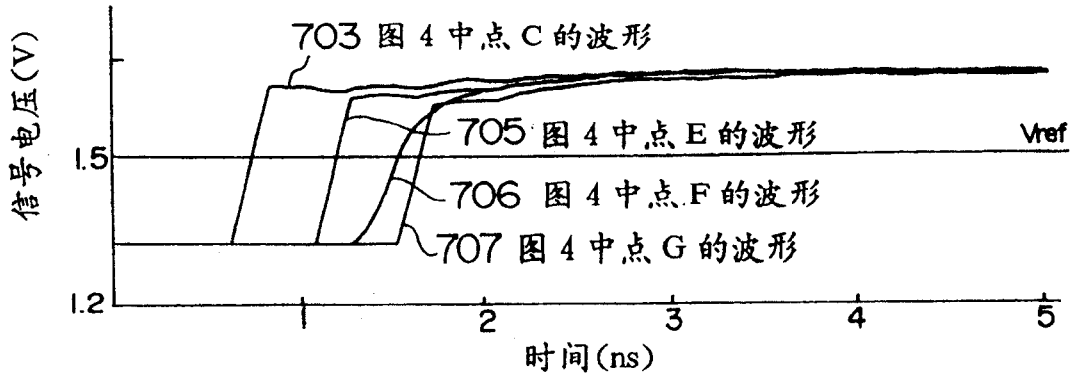


图18C

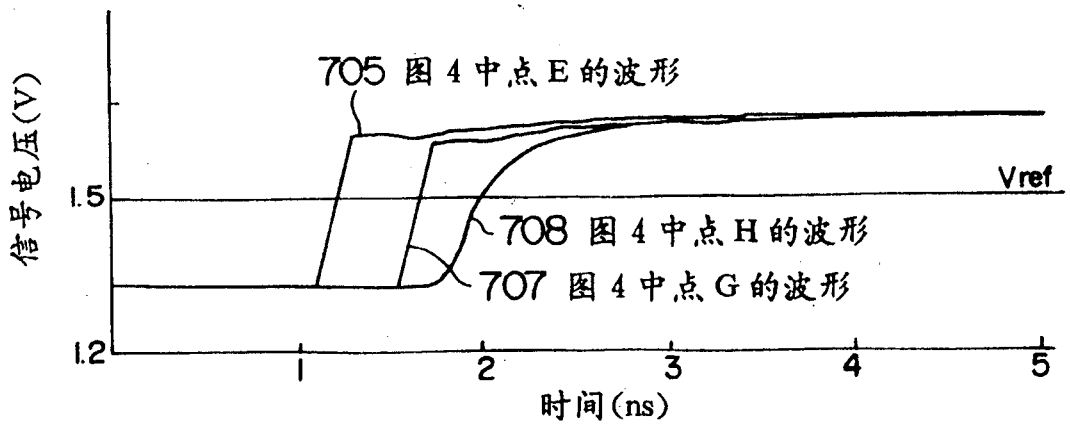


图 19A

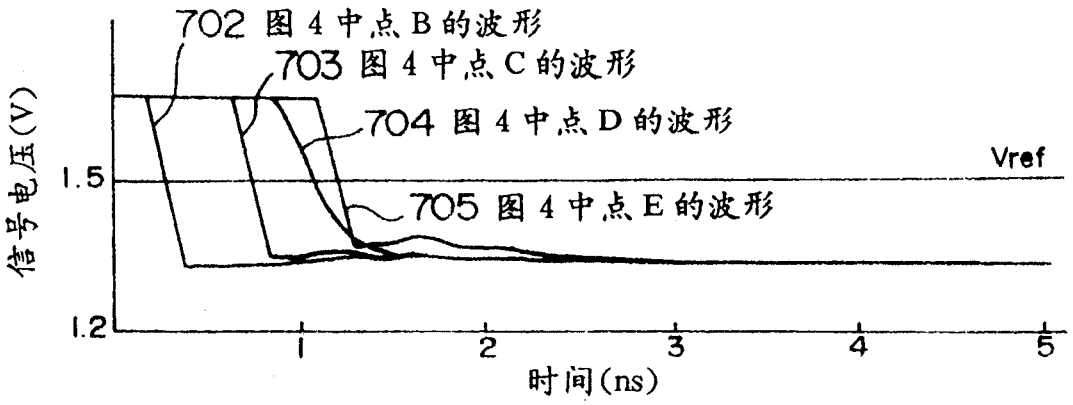


图 19B

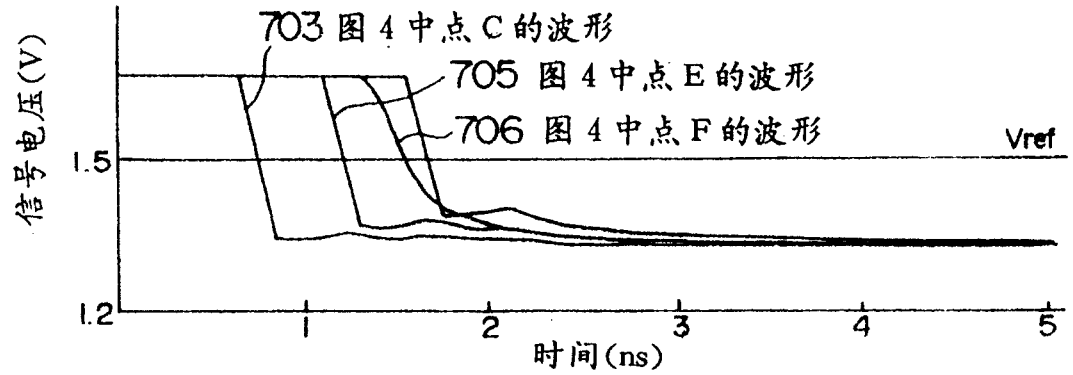


图 19C

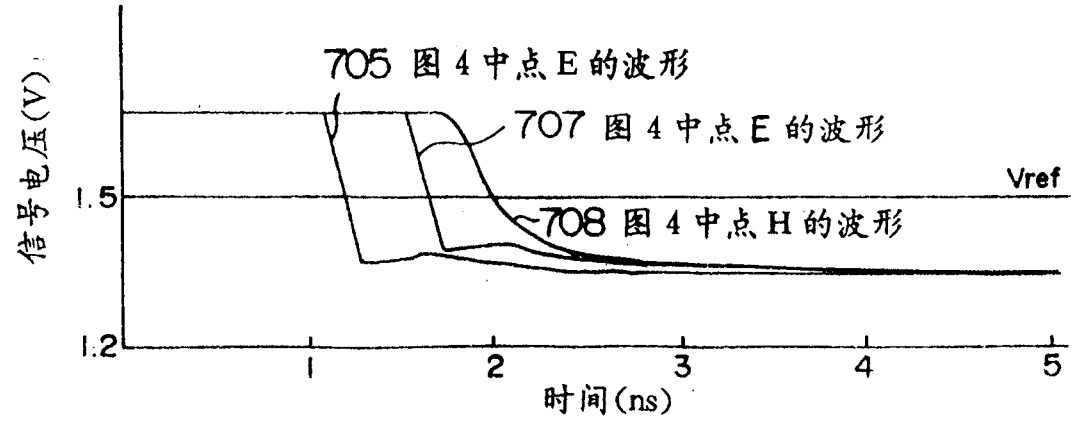


图 20

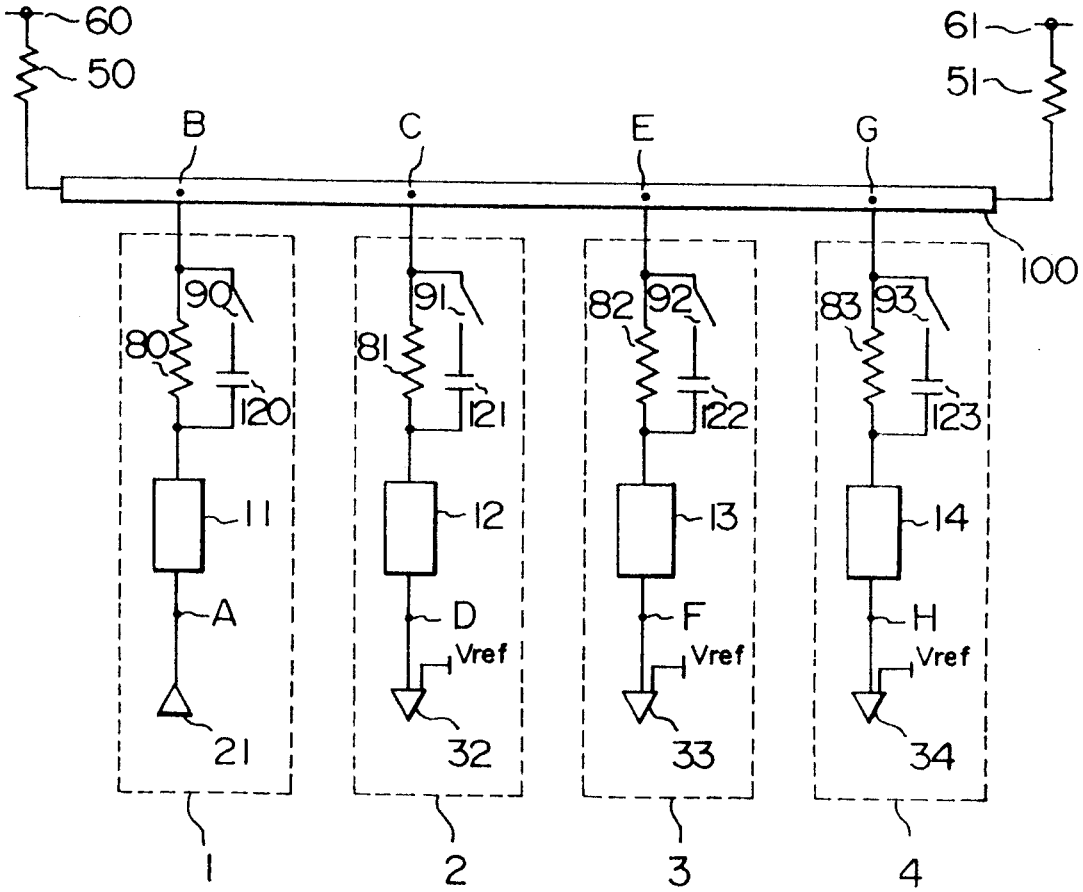

60
50
61
51
B
C
E
G
100
90
91
82
92
83
93
80
81
120
121
122
123
11
12
13
14
A
D
F
H
Vref
Vref
Vref
21
32
33
34
1
2
3
4

图21

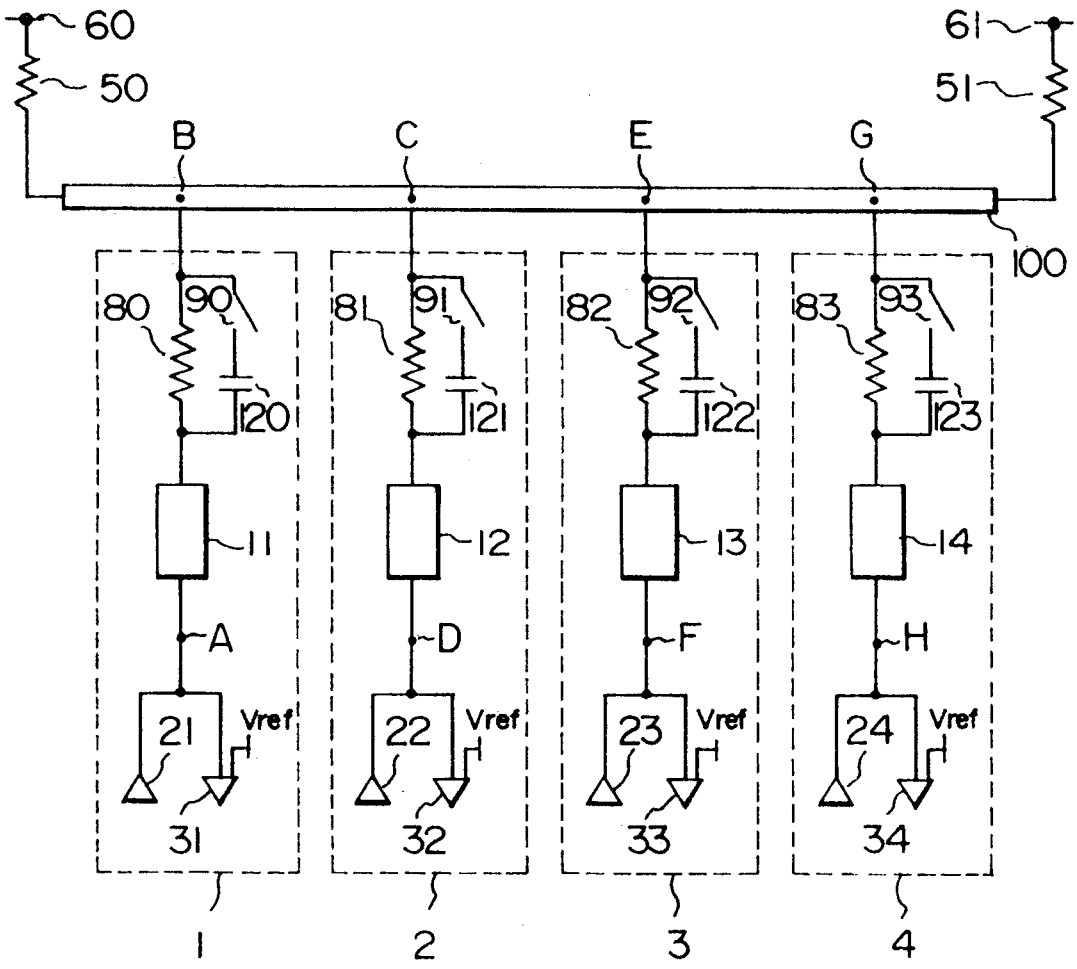

60
50
61
51
B
C
E
G
100
80
90
120
81
91
121
82
92
122
83
93
123
11
12
13
14
A
D
F
H
21
22
23
24
Vref
31
32
33
34
1
2
3
4

图 22A

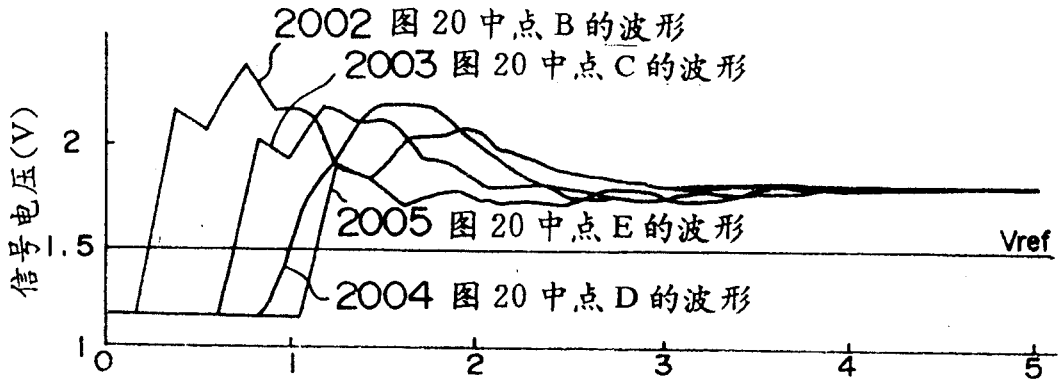


图 22B

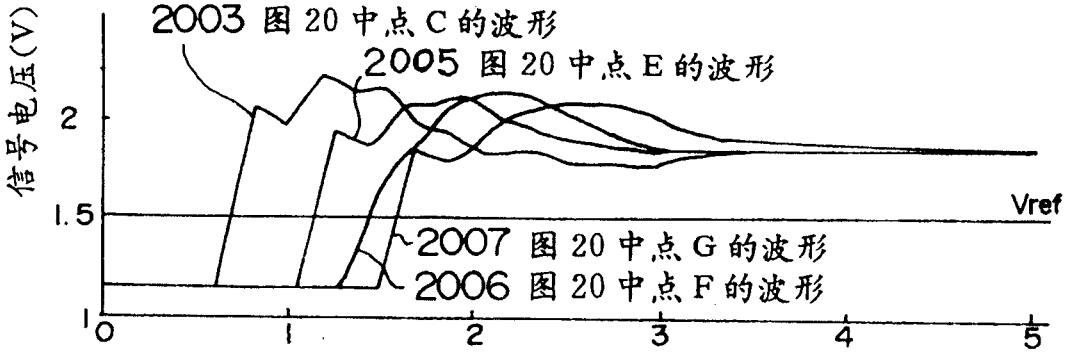


图 22C

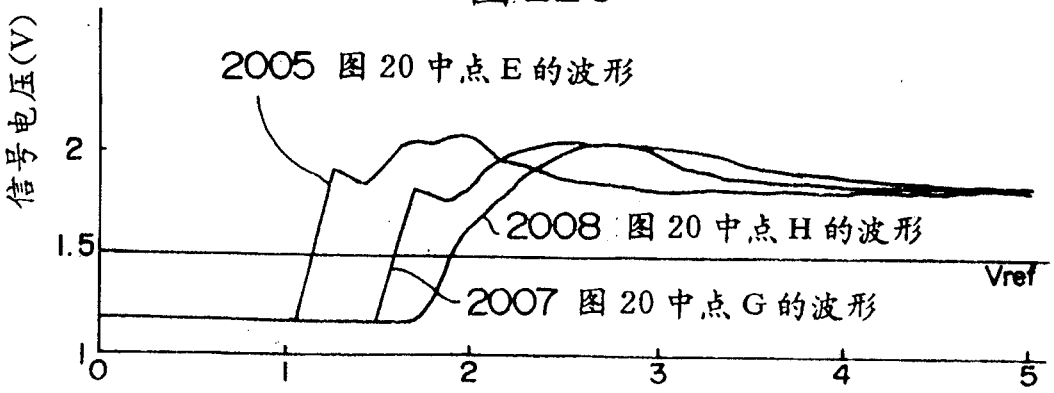


图 23A

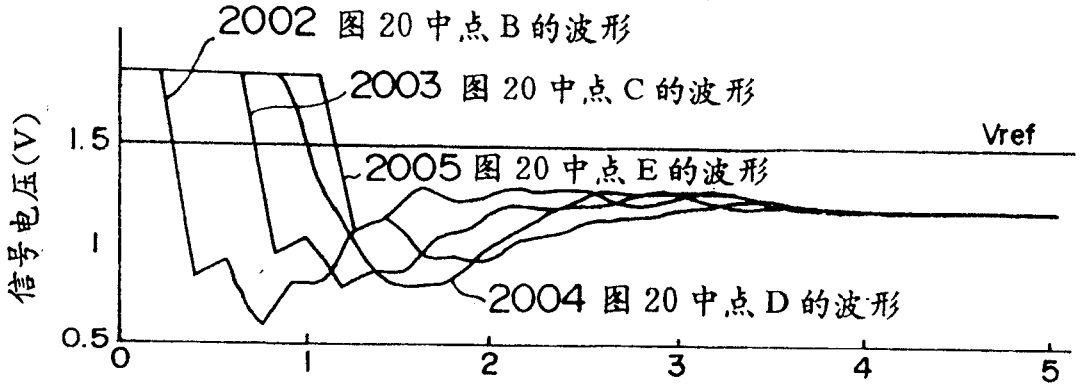


图 23B

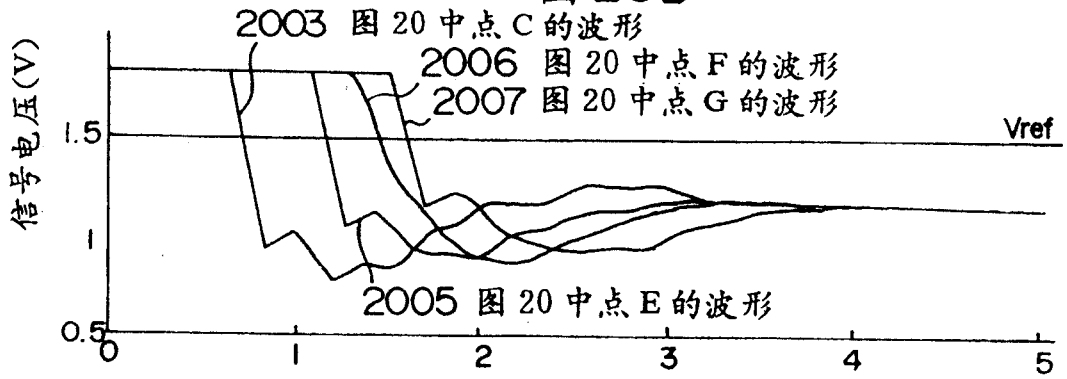


图 23C

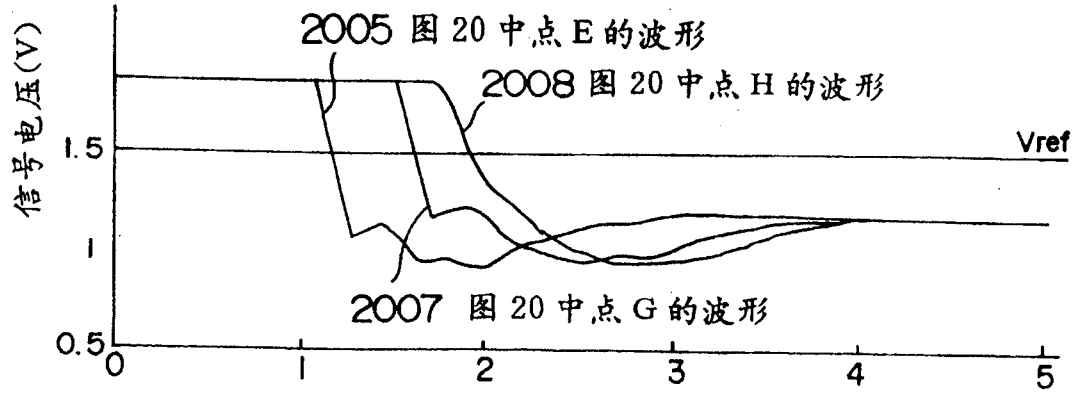


图24

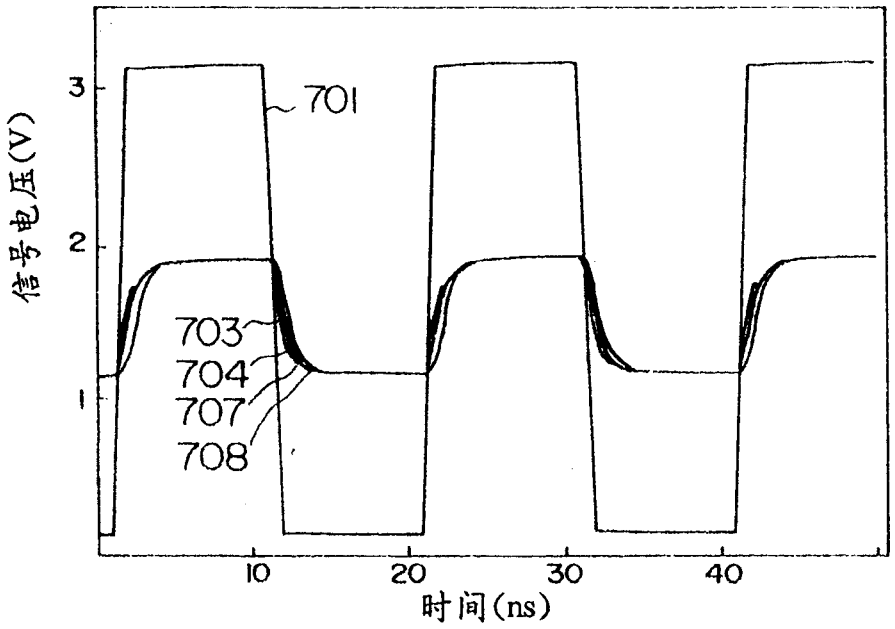

701
703
704
707
708
信号电压(V)
3
2
1
10
20
30
40
时间(ns)

图25

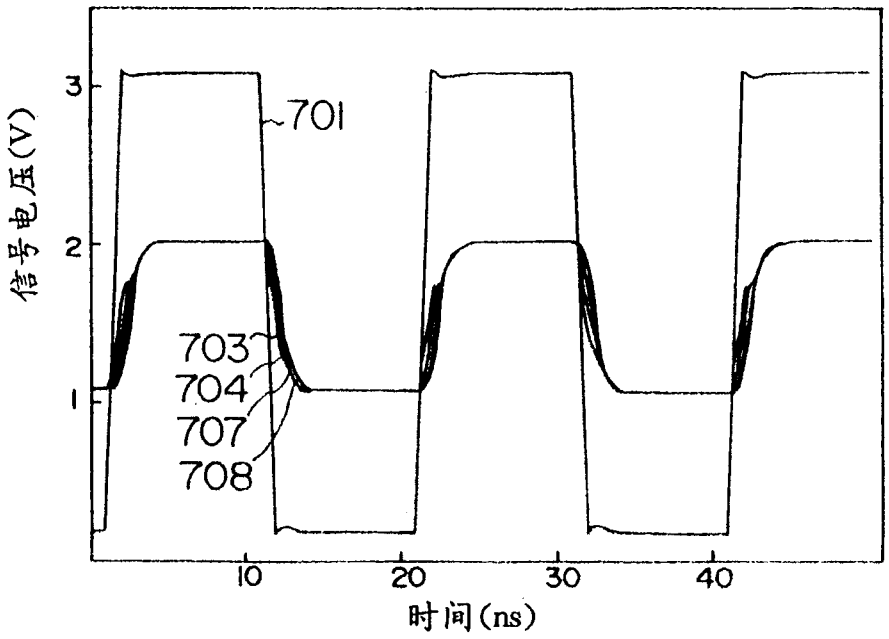

701
703
704
707
708
信号电压(V)
3
2
1
10
20
30
40
时间(ns)

图 26

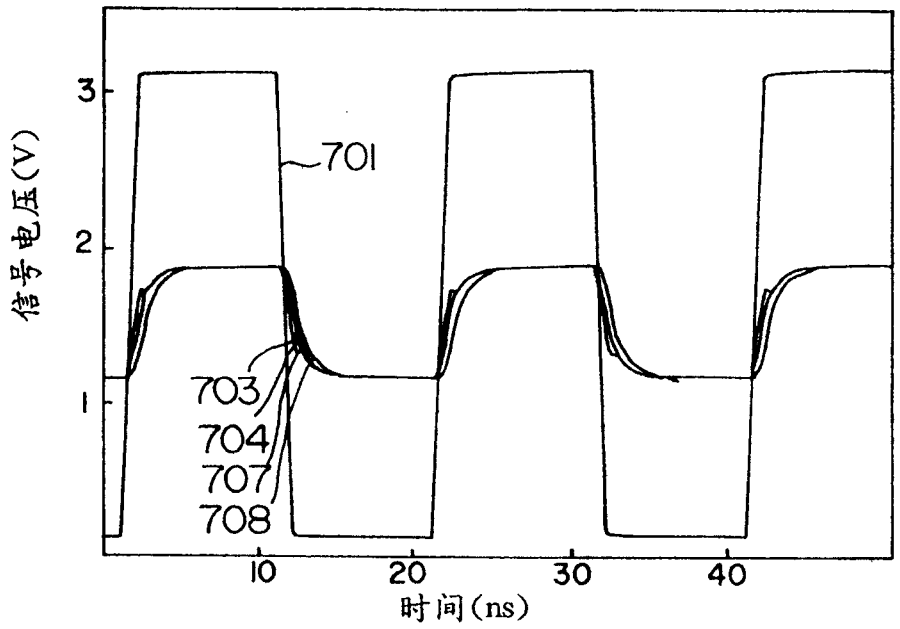


图 27

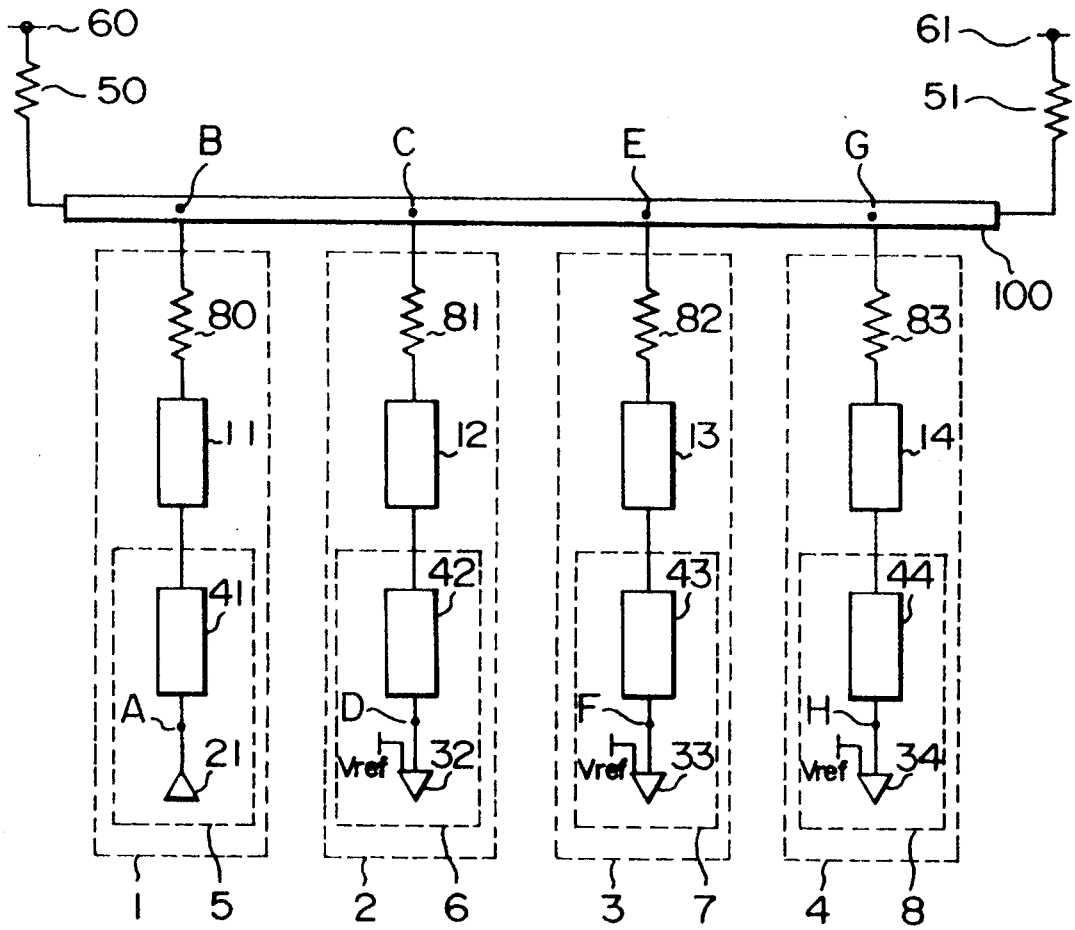

60
50
61
51
B
C
E
G
100
80
81
82
83
11
12
13
14
41
42
43
44
A
D
F
H
21
32
33
34
Vref
Vref
Vref
1
5
2
6
3
7
4
8

图 28

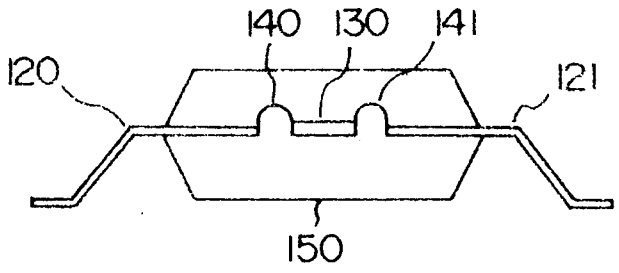

140
130
141
120
121
150

图 29

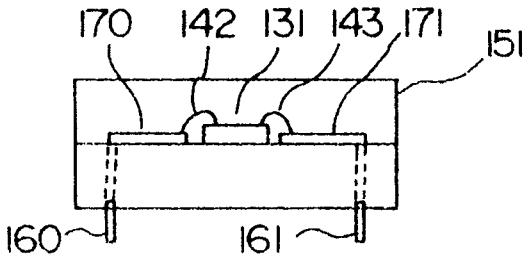
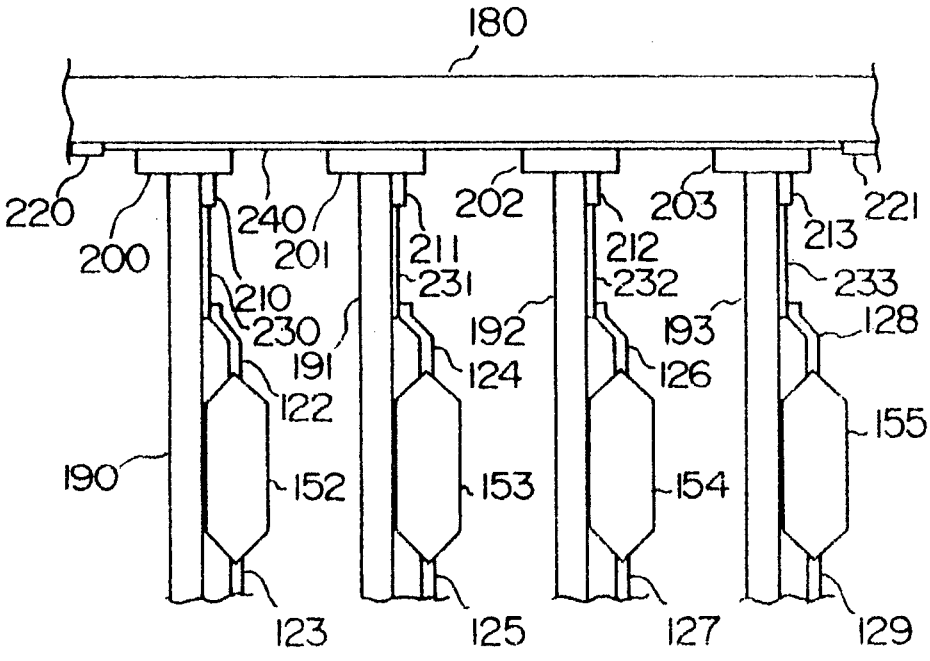

170
142
131
143
171
151
160
161

图 30


180
220
200
240
201
210
230
191
122
190
152
123
202
211
231
192
124
153
125
203
212
232
193
126
154
127
221
213
233
128
155
129