

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4802139号
(P4802139)

(45) 発行日 平成23年10月26日 (2011.10.26)

(24) 登録日 平成23年8月12日 (2011.8.12)

(51) Int.Cl.		F I	
GO 1 R 31/28	(2006.01)	GO 1 R	31/28 G
HO 1 L 27/04	(2006.01)	GO 1 R	31/28 E
HO 1 L 21/822	(2006.01)	HO 1 L	27/04 T

請求項の数 3 (全 19 頁)

(21) 出願番号	特願2007-129720 (P2007-129720)	(73) 特許権者	000003078
(22) 出願日	平成19年5月15日 (2007.5.15)		株式会社東芝
(65) 公開番号	特開2008-286553 (P2008-286553A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成20年11月27日 (2008.11.27)	(74) 代理人	100159938
審査請求日	平成21年7月31日 (2009.7.31)		弁理士 砂井 正之
		(74) 代理人	100149803
			弁理士 藤原 康高
		(74) 代理人	100078019
			弁理士 山下 一
		(74) 代理人	100109900
			弁理士 堀口 浩
		(72) 発明者	安藏 顕一
			東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

(54) 【発明の名称】 半導体集積回路モジュール

(57) 【特許請求の範囲】

【請求項 1】

複数の圧縮スキャンテスト対応半導体集積回路を搭載し、
 前記複数の圧縮スキャンテスト対応半導体集積回路のそれぞれが、
 スキャン入力端子と、
 前記スキャン入力端子に接続された圧縮スキャンテスト用展開回路と、
 前記展開回路の出力が入力されるスキャンチェーンと、
 前記スキャンチェーンの出力が入力される圧縮スキャンテスト用圧縮回路と、
 前記圧縮回路の出力に切り替えて前記スキャン入力端子に入力された信号を出力する選択回路と、
 前記選択回路の出力が入力されるスキャン出力端子と、
 を有し、
 それぞれの前記圧縮スキャンテスト対応半導体集積回路の前記スキャン出力端子が後段の前記スキャン入力端子へ順次接続され、
 初段の前記圧縮スキャンテスト対応半導体集積回路の前記スキャン入力端子が外部スキャン入力端子へ接続され、最終段の前記圧縮スキャンテスト対応半導体集積回路の前記スキャン出力端子が外部スキャン出力端子へ接続され、
 前記選択回路の切り替えの制御により、
 前記外部スキャン入力端子と前記外部スキャン出力端子との間に、前記複数の圧縮スキャンテスト対応半導体集積回路を個々に圧縮スキャンテストする、スキャンテスト経路が形

10

20

成される

ことを特徴とする半導体集積回路モジュール。

【請求項 2】

スキャン入力端子、スキャン出力端子およびスキャンチェーンを有する圧縮スキャンテスト非対応半導体集積回路と、

前記圧縮スキャンテスト非対応半導体集積回路の前記スキャン入力端子にスキャン出力端子が接続される第 1 の圧縮スキャンテスト対応半導体集積回路と、

前記圧縮スキャンテスト非対応半導体集積回路の前記スキャン出力端子にスキャン入力端子が接続される第 2 の圧縮スキャンテスト対応半導体集積回路と、

を備え、

前記第 1 の圧縮スキャンテスト対応半導体集積回路は、

自身の展開回路の出力の一部または入力の一つれかを選択して出力する第 1 の選択回路と、

自身の圧縮回路の出力に切り替えて前記第 1 の選択回路の出力を前記スキャン出力端子へ出力する第 2 の選択回路と、

を有し、

前記圧縮スキャンテスト非対応半導体集積回路は、

自身の前記スキャンチェーンの出力に切り替えて前記第 1 の圧縮スキャンテスト対応半導体集積回路の前記スキャン出力端子の出力を自身の前記スキャン出力端子へ出力する第 3 の選択回路

を有し、

前記第 2 の圧縮スキャンテスト対応半導体集積回路は、

自身のスキャンチェーンの出力に切り替えて前記圧縮スキャンテスト非対応半導体集積回路の前記スキャン出力端子の出力を自身の圧縮回路へ入力する第 4 の選択回路と、

前記自身の圧縮回路の出力に切り替えて前記圧縮スキャンテスト非対応半導体集積回路の前記スキャン出力端子の出力を自身のスキャン出力端子へ出力する第 5 の選択回路と、

を有する

ことを特徴とする半導体集積回路モジュール。

【請求項 3】

前記圧縮スキャンテスト対応半導体集積回路のそれぞれを、

自身のスキャンチェーンの出力に切り替えて前記展開回路への入力を前記圧縮回路へ入力する第 1 の選択回路と、

前記展開回路の出力の一部または入力の一つれかを選択して出力する第 2 の選択回路と、

前記圧縮回路出力に切り替えて前記第 2 の選択回路の出力をスキャン出力端子へ出力する第 3 の選択回路と、

を有する圧縮スキャンテスト対応半導体集積回路とした

ことを特徴とする請求項 1 または 2 に記載の半導体集積回路モジュール。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体集積回路モジュールに関する。

【背景技術】**【0002】**

大規模な論理回路を含む半導体集積回路のテスト容易化設計手法として、従来、スキャンテスト手法や BIST (Built In Self Test) 手法が用いられていたが、近年は、圧縮スキャンテスト手法が用いられることが多くなっている。

【0003】

圧縮スキャンテストは、複数のスキャンチェーンを有する半導体集積回路へそれぞれのスキャンチェーンに対するスキャンテストパターンを圧縮した圧縮テストデータをスキャン入力し、この圧縮テストデータを半導体集積回路に内蔵した展開回路により展開してそ

10

20

30

40

50

れぞれのスキャンチェーンに分配し、それぞれのスキャンチェーンでスキャンテストを実行後、その実行結果を半導体集積回路に内蔵した圧縮回路で圧縮して、その圧縮結果を出力端子へスキャン出力する手法である。出力された圧縮結果はLSIテスターにより期待値と比較され、半導体集積回路の良否判定が行われる。(例えば、非特許文献1参照。)

。

【0004】

また、近年、電子機器の実装効率向上などのため、論理集積回路やメモリ集積回路など、種類の異なる複数の半導体集積回路を1つのパッケージに格納する半導体集積回路モジュールが用いられることが増えている。このような半導体集積回路モジュールに格納される半導体集積回路は事前にテストされ、良品と判定されたものが半導体集積回路モジュールに組み込まれる。しかし、半導体集積回路モジュールの組み立てに伴う不良の発生もあるため、半導体集積回路モジュールに組み込んだ後にも、個々の半導体集積回路のテストが必要になる。

10

【0005】

そのとき、圧縮スキャンテスト対応の半導体集積回路に対しては、圧縮スキャンテスト手法によるテストを行うことができる。しかし、半導体集積回路モジュールに圧縮スキャンテスト対応の半導体集積回路が複数格納されていた場合、それぞれの半導体集積回路のスキャン入出力端子へ外部からどのようにアクセスするかが問題になる。

【0006】

例えば、圧縮スキャンテスト対応の複数の半導体集積回路のスキャン入出力端子を単純にそのまま外部へ引き出すと、その総数がLSIテスターのスキャンデータ入出力用端子数を超え、一度にテストできなくなる場合がある。一方、外部へ接続する端子を複数の半導体集積回路で共用する場合、そのための切り替え回路が必要で、この切り替え回路を半導体集積回路モジュール内のどこに設けるかが問題になる。

20

【0007】

また、圧縮スキャンテスト対応の半導体集積回路と非対応の半導体集積回路が混在していた場合、圧縮スキャンテスト非対応の半導体集積回路は従来のスキャンテストでテストすることとなり、この半導体集積回路のみテスト時間が長くなる可能性がある。

【非特許文献1】Januz Rajki et al, "Embedded Deterministic Test for Low-Cost Manufacturing Test", Proceeding International Test Conference 2002 (ITC'02), 2002, p.301-310 (U.S.A.)

30

【発明の開示】

【発明が解決しようとする課題】

【0008】

そこで、本発明の目的は、外部スキャン入出力端子を増加させることなく、格納している半導体集積回路の個々に対して圧縮スキャンテストを行なうことのできる半導体集積回路モジュールを提供することにある。

【課題を解決するための手段】

【0009】

本発明の一態様によれば、複数の圧縮スキャンテスト対応半導体集積回路を搭載し、前記複数の圧縮スキャンテスト対応半導体集積回路のそれぞれが、スキャン入力端子と、前記スキャン入力端子に接続された圧縮スキャンテスト用展開回路と、前記展開回路の出力が入力されるスキャンチェーンと、前記スキャンチェーンの出力が入力される圧縮スキャンテスト用圧縮回路と、前記圧縮回路の出力に切り替えて前記スキャン入力端子に入力された信号を出力する選択回路と、前記選択回路の出力が入力されるスキャン出力端子と、を有し、それぞれの前記圧縮スキャンテスト対応半導体集積回路の前記スキャン出力端子が後段の前記スキャン入力端子へ順次接続され、初段の前記圧縮スキャンテスト対応半導体集積回路の前記スキャン入力端子が外部スキャン入力端子へ接続され、最終段の前記圧縮スキャンテスト対応半導体集積回路の前記スキャン出力端子が外部スキャン出力端子へ接続され、前記選択回路の切り替えの制御により、前記外部スキャン入力端子と前記外部ス

40

50

キャン出力端子との間に、前記複数の圧縮スキャンテスト対応半導体集積回路を個々に圧縮スキャンテストする、スキャンテスト経路が形成されることを特徴とする半導体集積回路モジュールが提供される。

【 0 0 1 0 】

また、本発明の別の一態様によれば、スキャン入力端子、スキャン出力端子およびスキャンチェーンを有する圧縮スキャンテスト非対応半導体集積回路と、前記圧縮スキャンテスト非対応半導体集積回路の前記スキャン入力端子にスキャン出力端子が接続される第1の圧縮スキャンテスト対応半導体集積回路と、前記圧縮スキャンテスト非対応半導体集積回路の前記スキャン出力端子にスキャン入力端子が接続される第2の圧縮スキャンテスト対応半導体集積回路と、を備え、前記第1の圧縮スキャンテスト対応半導体集積回路は、自身の展開回路の出力の一部または入力 of いずれかを選択して出力する第1の選択回路と、自身の圧縮回路の出力に切り替えて前記第1の選択回路の出力を前記スキャン出力端子へ出力する第2の選択回路と、を有し、前記圧縮スキャンテスト非対応半導体集積回路は、自身の前記スキャンチェーンの出力に切り替えて前記第1の圧縮スキャンテスト対応半導体集積回路の前記スキャン出力端子の出力を自身の前記スキャン出力端子へ出力する第3の選択回路を有し、前記第2の圧縮スキャンテスト対応半導体集積回路は、自身のスキャンチェーンの出力に切り替えて前記圧縮スキャンテスト非対応半導体集積回路の前記スキャン出力端子の出力を自身の圧縮回路へ入力する第4の選択回路と、前記自身の圧縮回路の出力に切り替えて前記圧縮スキャンテスト非対応半導体集積回路の前記スキャン出力端子の出力を自身のスキャン出力端子へ出力する第5の選択回路と、を有することを特徴とする半導体集積回路モジュールが提供される。

10

20

【 0 0 1 1 】

また、本発明のさらに別の一態様によれば、外部スキャン入力端子へ接続される圧縮スキャンテスト用展開回路、および外部スキャン出力端子へ接続される圧縮回路を有する圧縮スキャンテスト対応半導体集積回路と、内蔵するスキャンチェーンに対する前記展開回路および圧縮回路を有さない圧縮スキャンテスト非対応半導体集積回路と、を搭載し、前記圧縮スキャンテスト非対応半導体集積回路のスキャンチェーンの入力は、前記圧縮スキャンテスト対応半導体集積回路の前記展開回路の出力に接続され、前記圧縮スキャンテスト非対応半導体集積回路の前記スキャンチェーンの出力は、前記圧縮スキャンテスト対応半導体集積回路の前記圧縮回路の入力へ接続されていることを特徴とする半導体集積回路モジュールが提供される。

30

【 0 0 1 2 】

また、本発明のさらに別の一態様によれば、複数の圧縮スキャンテスト非対応半導体集積回路と、外部スキャン入力端子に接続された展開回路、および外部スキャン出力端子に接続された圧縮回路を有する圧縮スキャンテスト制御用集積回路と、を搭載し、前記圧縮スキャンテスト制御用集積回路の前記展開回路の出力が前記複数の圧縮スキャンテスト非対応半導体集積回路のそれぞれのスキャンチェーンの入力に接続され、前記それぞれのスキャンチェーンの出力が前記圧縮回路の入力に接続されていることを特徴とする半導体集積回路モジュールが提供される。

40

【発明の効果】

【 0 0 1 3 】

本発明によれば、外部スキャン入出力端子を増加させることなく、格納している半導体集積回路の個々に対して圧縮スキャンテストを行なうことができる。

【発明を実施するための最良の形態】

【 0 0 1 4 】

以下、本発明の実施例を図面を参照して説明する。

【実施例1】

【 0 0 1 5 】

図1は、本発明の実施例1に係る半導体集積回路モジュールの構成の例を示すブロック図である。

50

【 0 0 1 6 】

半導体集積回路モジュール 1 は、圧縮スキャンテスト対応の半導体集積回路である半導体集積回路 1 1、1 2、1 3 を搭載し、外部スキャン入力端子 1 4 と、外部スキャン出力端子 1 5 と、を備えている。

【 0 0 1 7 】

半導体集積回路 1 1 は、スキャン入力端子 1 1 1 と、スキャン入力端子 1 1 1 に接続された圧縮スキャンテスト用の展開回路 1 1 2 と、展開回路 1 1 2 の出力がそれぞれスキャン入力される複数のスキャンチェーン (S C) を有するスキャンチェーン群 1 1 3 と、スキャンチェーン群 1 1 3 からのスキャン出力が入力される圧縮スキャンテスト用の圧縮回路 1 1 4 と、圧縮回路 1 1 4 の出力に切り替えてスキャン入力端子 1 1 1 に入力された信号を出力する選択回路 1 1 5 と、選択回路 1 1 5 の出力が入力されるスキャン出力端子 1 1 6 と、を有する。

10

【 0 0 1 8 】

同様に、半導体集積回路 1 2 は、スキャン入力端子 1 2 1、展開回路 1 2 2、スキャンチェーン群 1 2 3、圧縮回路 1 2 4、選択回路 1 2 5、スキャン出力端子 1 2 6 を有し、半導体集積回路 1 3 は、スキャン入力端子 1 3 1、展開回路 1 3 2、スキャンチェーン群 1 3 3、圧縮回路 1 3 4、選択回路 1 3 5、スキャン出力端子 1 3 6 を有する。

【 0 0 1 9 】

なお、選択回路 1 1 5、1 2 5、1 3 5 が、スキャン入力端子 1 1 1、1 2 1、1 3 1 側を選択する場合、半導体集積回路 1 1、1 2、1 3 それぞれのスキャン入出力端子間に組み合わせ回路が形成され、その遅延によりテストが低速でしか実施できないことも考えられる。そのような場合には、その組み合わせ回路の途中に、それぞれ 1 ないし数個のレジスタを挿入して、遅延時間を分散させるようにするものとする。

20

【 0 0 2 0 】

ここで、半導体集積回路 1 1 のスキャン出力端子 1 1 6 は半導体集積回路 1 2 のスキャン入力端子 1 2 1 へ接続され、半導体集積回路 1 2 のスキャン出力端子 1 2 6 は半導体集積回路 1 3 のスキャン入力端子 1 3 1 へ接続されて、半導体集積回路 1 1、1 2、1 3 のスキャン入出力端子間で 1 つのスキャンテスト経路を形成している。

【 0 0 2 1 】

このように前段のスキャン出力端子を後段スキャン入力端子へ接続して 1 つのスキャンテスト経路を形成している半導体集積回路 1 1、1 2、1 3 の中で、初段に当たる半導体集積回路 1 1 のスキャン入力端子 1 1 1 は外部スキャン入力端子 1 4 へ接続され、最終段に当たる半導体集積回路 1 3 のスキャン出力端子 1 3 6 は外部スキャン出力端子 1 5 へ接続されている。

30

【 0 0 2 2 】

このような本実施例の半導体集積回路モジュール 1 では、半導体集積回路 1 1、1 2、1 3 に含まれる選択回路 1 1 5、1 2 5、1 3 5 の入力先を切り替えることにより、半導体集積回路 1 1、1 2、1 3 単体のスキャンテストを行うためのスキャンテスト経路が形成され、半導体集積回路 1 1、1 2、1 3 の圧縮スキャンテストを個々に行うことができるようになる。なお、選択回路 1 1 5、1 2 5、1 3 5 の入力先の切り替えは、それぞれへ入力されるテストモード信号 (非図示) により行われるものとする。

40

【 0 0 2 3 】

半導体集積回路 1 1、1 2、1 3 の圧縮スキャンテストを個々に行うときのスキャンテスト経路の形成について、図 2 ~ 4 を用いて説明する。

【 0 0 2 4 】

図 2 は、半導体集積回路 1 1 の圧縮スキャンテスト実行用のスキャンテスト経路の形成の様子を示した図である。ここでは、形成されたスキャンテスト経路を着色して示している。

【 0 0 2 5 】

半導体集積回路 1 1 の圧縮スキャンテストを実行するときは、半導体集積回路 1 1 の選

50

択回路 1 1 5 は圧縮回路 1 1 4 の出力 (S 1 入力側) を選択し、半導体集積回路 1 2 の選択回路 1 2 5 はスキャン入力端子 1 2 1 への入力信号 (S 2 入力側) を選択し、半導体集積回路 1 3 の選択回路 1 3 5 はスキャン入力端子 1 3 1 への入力信号 (S 2 入力側) を選択する。

【 0 0 2 6 】

このように選択回路 1 1 5、1 2 5、1 3 5 の入力先を切り替えた上で、半導体集積回路 1 1 の圧縮スキャンテストを実行する。

【 0 0 2 7 】

半導体集積回路 1 1 の圧縮スキャンテスト用の圧縮テストデータを半導体集積回路モジュール 1 の外部スキャン入力端子 1 4 へスキャン入力すると、その圧縮テストデータは、半導体集積回路 1 1 のスキャン入力端子 1 1 1 を介して展開回路 1 1 2 へ入力され、この展開回路 1 1 2 により圧縮テストデータは展開されてスキャンチェーン群 1 1 3 の各スキャンチェーン (S C) にスキャンテストパターンが分配される。各スキャンチェーンでスキャンテストが実行されると、その実行結果は圧縮回路 1 1 4 で圧縮される。この圧縮されたデータは、選択回路 1 1 5 を介してスキャン出力端子 1 1 6 へスキャン出力される。

【 0 0 2 8 】

スキャン出力端子 1 1 6 へ出力された圧縮データは、半導体集積回路 1 2 のスキャン入力端子 1 2 1 選択回路 1 2 5 スキャン出力端子 1 2 6 半導体集積回路 1 3 のスキャン入力端子 1 3 1 選択回路 1 3 5 スキャン出力端子 1 3 6 の経路で伝達されて、半導体集積回路モジュール 1 の外部スキャン出力端子 1 5 へ出力される。

【 0 0 2 9 】

このようにして、半導体集積回路モジュール 1 の外部スキャン入力端子 1 4 と外部スキャン出力端子 1 5 を用いて、半導体集積回路 1 1 単体の圧縮スキャンテストが実行される。

【 0 0 3 0 】

次に、半導体集積回路 1 2 単体の圧縮スキャンテストの実行について説明する。

【 0 0 3 1 】

図 3 は、半導体集積回路 1 2 の圧縮スキャンテスト実行用のスキャンテスト経路の形成の様子を示した図である。ここでも、形成されたスキャンテスト経路を着色して示している。

【 0 0 3 2 】

半導体集積回路 1 2 の圧縮スキャンテストを実行するときは、半導体集積回路 1 1 の選択回路 1 1 5 はスキャン入力端子 1 1 1 への入力信号 (S 2 入力側) を選択し、半導体集積回路 1 2 の選択回路 1 2 5 は圧縮回路 1 2 4 の出力 (S 1 入力側) を選択し、半導体集積回路 1 3 の選択回路 1 3 5 はスキャン入力端子 1 3 1 への入力信号 (S 2 入力側) を選択する。

【 0 0 3 3 】

このように選択回路 1 1 5、1 2 5、1 3 5 の入力先を切り替えた上で、半導体集積回路 1 2 の圧縮スキャンテストを実行する。

【 0 0 3 4 】

半導体集積回路 1 2 の圧縮スキャンテスト用の圧縮テストデータを半導体集積回路モジュール 1 の外部スキャン入力端子 1 4 へスキャン入力すると、その圧縮テストデータは、半導体集積回路 1 1 のスキャン入力端子 1 1 1 選択回路 1 1 5 スキャン出力端子 1 1 6 の経路で伝達されて、半導体集積回路 1 2 のスキャン入力端子 1 2 1 を介して展開回路 1 2 2 へ入力される。

【 0 0 3 5 】

入力された圧縮テストデータは展開回路 1 2 2 により展開されてスキャンチェーン群 1 2 3 の各スキャンチェーン (S C) にスキャンテストパターンが分配される。各スキャンチェーンでスキャンテストが実行されると、その実行結果は圧縮回路 1 2 4 で圧縮される。この圧縮されたデータは、選択回路 1 2 5 を介してスキャン出力端子 1 2 6 へスキャン

出力される。

【 0 0 3 6 】

スキャン出力端子 1 2 6 へ出力された圧縮データは、半導体集積回路 1 3 のスキャン入力端子 1 3 1 選択回路 1 3 5 スキャン出力端子 1 3 6 の経路で伝達されて、半導体集積回路モジュール 1 の外部スキャン出力端子 1 5 へ出力される。

【 0 0 3 7 】

このようにして、半導体集積回路モジュール 1 の外部スキャン入力端子 1 4 と外部スキャン出力端子 1 5 を用いて、半導体集積回路 1 2 単体の圧縮スキャンテストが実行される。

【 0 0 3 8 】

次に、半導体集積回路 1 3 単体の圧縮スキャンテストの実行について説明する。

【 0 0 3 9 】

図 4 は、半導体集積回路 1 3 の圧縮スキャンテスト実行用のスキャンテスト経路の形成の様子を示した図である。ここでも、形成されたスキャンテスト経路を着色して示している。

【 0 0 4 0 】

半導体集積回路 1 2 の圧縮スキャンテストを実行するときは、半導体集積回路 1 1 の選択回路 1 1 5 はスキャン入力端子 1 1 1 への入力信号 (S 2 入力側) を選択し、半導体集積回路 1 2 の選択回路 1 2 5 はスキャン入力端子 1 2 1 への入力信号 (S 2 入力側) を選択し、半導体集積回路 1 3 の選択回路 1 3 5 は圧縮回路 1 3 4 の出力 (S 1 入力側) を選択する。

【 0 0 4 1 】

このように選択回路 1 1 5 、 1 2 5 、 1 3 5 の入力先を切り替えた上で、半導体集積回路 1 3 の圧縮スキャンテストを実行する。

【 0 0 4 2 】

半導体集積回路 1 3 の圧縮スキャンテスト用の圧縮テストデータを半導体集積回路モジュール 1 の外部スキャン入力端子 1 4 へスキャン入力すると、その圧縮テストデータは、半導体集積回路 1 1 のスキャン入力端子 1 1 1 選択回路 1 1 5 スキャン出力端子 1 1 6 半導体集積回路 1 2 のスキャン入力端子 1 2 1 選択回路 1 2 5 スキャン出力端子 1 2 6 の経路で伝達されて、半導体集積回路 1 3 のスキャン入力端子 1 3 1 を介して展開回路 1 3 2 へ入力される。

【 0 0 4 3 】

入力された圧縮テストデータは展開回路 1 3 2 により展開されてスキャンチェーン群 1 3 3 の各スキャンチェーン (S C) にスキャンテストパターンが分配される。各スキャンチェーンでスキャンテストが実行されると、その実行結果は圧縮回路 1 3 4 で圧縮される。この圧縮されたデータは、選択回路 1 3 5 を介してスキャン出力端子 1 3 6 へスキャン出力され、そのまま、半導体集積回路モジュール 1 の外部スキャン出力端子 1 5 へ出力される。

【 0 0 4 4 】

このようにして、半導体集積回路モジュール 1 の外部スキャン入力端子 1 4 と外部スキャン出力端子 1 5 を用いて、半導体集積回路 1 3 単体の圧縮スキャンテストが実行される。

【 0 0 4 5 】

このような本実施例によれば、複数の圧縮スキャンテスト対応半導体集積回路を搭載する半導体集積回路モジュールであっても、1 組の外部スキャン入力端子と外部スキャン出力端子を用意するだけで、個々の半導体集積回路の圧縮スキャンテストを個別に実行することができる。これにより、個々の半導体集積回路用の外部スキャン入力端子と外部スキャン出力端子をそれぞれに設ける必要がなく、半導体集積回路モジュールのピン数の増加を防止することができる。

【 実施例 2 】

10

20

30

40

50

【 0 0 4 6 】

本実施例の半導体集積回路モジュールには、圧縮スキャンテスト対応の半導体集積回路と圧縮スキャンテスト非対応の半導体集積回路とが混載される。

【 0 0 4 7 】

図 5 は、本発明の実施例 2 に係る半導体集積回路モジュールの構成の例を示すブロック図である。

【 0 0 4 8 】

半導体集積回路モジュール 2 は、圧縮スキャンテスト対応の半導体集積回路 2 1、2 3 と、圧縮スキャンテスト非対応の半導体集積回路 2 2 を搭載し、外部スキャン入力端子 2 4 と、外部スキャン出力端子 2 5 と、を備えている。

10

【 0 0 4 9 】

半導体集積回路 2 1 は、スキャン入力端子 2 1 1 と、スキャン入力端子 2 1 1 に接続された圧縮スキャンテスト用の展開回路 2 1 2 と、展開回路 2 1 2 の出力がそれぞれスキャン入力される複数のスキャンチェーン (S C) を有するスキャンチェーン群 2 1 3 と、スキャンチェーン群 2 1 3 からのスキャン出力が入力される圧縮スキャンテスト用の圧縮回路 2 1 4 と、展開回路 2 1 2 の出力の一部または入力のいずれかを選択して出力する選択回路 2 1 5 と、圧縮回路 2 1 4 の出力に切り替えて選択回路 2 1 5 の出力を出力する選択回路 2 1 6 と、選択回路 2 1 6 の出力が入力されるスキャン出力端子 2 1 7 と、を有する。

【 0 0 5 0 】

半導体集積回路 2 2 は、スキャン入力端子 2 2 1 と、スキャン入力端子 2 2 1 からスキャンデータが入力される複数のスキャンチェーン (S C) を有するスキャンチェーン群 2 2 2 と、スキャンチェーン群 2 2 2 からのスキャン出力データに切り替えてスキャン入力端子 2 2 1 へ入力されるデータを出力する選択回路 2 2 3 と、選択回路 2 2 3 の出力が入力されるスキャン出力端子 2 2 4 と、を有する。

20

【 0 0 5 1 】

なお、選択回路 2 2 3 は、省略することも可能である。その場合、スキャン入力端子 2 2 1 へ入力されたデータは、スキャンチェーン (S C) 中をスキャン・シフトされ、スキャン出力端子 2 2 4 へ伝達される。

【 0 0 5 2 】

半導体集積回路 2 3 は、スキャン入力端子 2 3 1 と、スキャン入力端子 2 3 1 に接続された圧縮スキャンテスト用の展開回路 2 3 2 と、展開回路 2 3 2 の出力がそれぞれスキャン入力される複数のスキャンチェーン (S C) を有するスキャンチェーン群 2 3 3 と、スキャンチェーン群 2 3 3 からのスキャン出力データの一部に切り替えてスキャン入力端子 2 3 1 へ入力されるデータを出力する選択回路 2 3 4 と、選択回路 2 3 4 の出力が入力される圧縮スキャンテスト用の圧縮回路 2 3 5 と、圧縮回路 2 3 5 の出力に切り替えてスキャン入力端子 2 3 1 へ入力されるデータを出力する選択回路 2 3 6 と、選択回路 2 3 6 の出力が入力されるスキャン出力端子 2 3 7 と、を有する。

30

【 0 0 5 3 】

ここで、半導体集積回路 2 1 のスキャン出力端子 2 1 7 は半導体集積回路 2 2 のスキャン入力端子 2 2 1 へ接続され、半導体集積回路 2 2 のスキャン出力端子 2 2 4 は半導体集積回路 2 3 のスキャン入力端子 2 3 1 へ接続されて、半導体集積回路 2 1、2 2、2 3 のスキャン入出力端子間で 1 つのスキャンテスト経路を形成している。

40

【 0 0 5 4 】

このように前段のスキャン出力端子を後段スキャン入力端子へ接続して 1 つのスキャンテスト経路を形成している半導体集積回路 2 1、2 2、2 3 の中で、圧縮スキャンテスト対応の半導体集積回路の 1 つである半導体集積回路 2 1 のスキャン入力端子 2 1 1 は、外部スキャン入力端子 2 4 へ接続され、もう 1 つの圧縮スキャンテスト対応の半導体集積回路最である半導体集積回路 2 3 のスキャン出力端子 2 3 7 は、外部スキャン出力端子 2 5 へ接続されている。

50

【 0 0 5 5 】

このような本実施例の半導体集積回路モジュール 2 では、半導体集積回路 2 1、2 2、2 3 に含まれる選択回路 2 1 5、2 1 6、2 2 3、2 3 4、2 3 6 の入力先を切り替えることにより、半導体集積回路 2 1、2 2、2 3 単体のスキャンテストを行うためのスキャンテスト経路が形成され、本来、圧縮スキャンテスト非対応である半導体集積回路 2 2 も含めて、半導体集積回路 2 1、2 2、2 3 の圧縮スキャンテストを個々に行うことができるようになる。なお、選択回路 2 1 5、2 1 6、2 2 3、2 3 4、2 3 6 の入力先の切り替えは、それぞれへ入力されるテストモード信号（非図示）により行われるものとする。

【 0 0 5 6 】

半導体集積回路 2 1、2 2、2 3 の圧縮スキャンテストを個々に行うときのスキャンテスト経路の形成について、図 6 ～ 8 を用いて説明する。

10

【 0 0 5 7 】

図 6 は、半導体集積回路 2 1 の圧縮スキャンテスト実行用のスキャンテスト経路の形成の様子を示した図である。ここでは、形成されたスキャンテスト経路を着色して示している。

【 0 0 5 8 】

半導体集積回路 2 1 の圧縮スキャンテストを実行するときは、半導体集積回路 2 1 の選択回路 2 1 6 は圧縮回路 2 1 4 の出力（S 1 入力側）を選択し、半導体集積回路 2 2 の選択回路 2 2 3 はスキャン入力端子 2 2 1 への入力信号（S 2 入力側）を選択し、半導体集積回路 2 3 の選択回路 2 3 6 はスキャン入力端子 2 3 1 への入力信号（S 2 入力側）を選択する。なお、半導体集積回路 2 1 の選択回路 2 1 5 および半導体集積回路 2 3 の選択回路 2 3 4 は、このテストに関係しないので、その入力の選択について考慮する必要はない。

20

【 0 0 5 9 】

このように選択回路 2 1 6、2 2 3、2 3 6 の入力先を切り替えた上で、半導体集積回路 1 1 の圧縮スキャンテストを実行する。

【 0 0 6 0 】

半導体集積回路 2 1 の圧縮スキャンテスト用の圧縮テストデータを半導体集積回路モジュール 2 の外部スキャン入力端子 2 4 へスキャン入力すると、その圧縮テストデータは、半導体集積回路 2 1 のスキャン入力端子 2 1 1 を介して展開回路 2 1 2 へ入力され、この展開回路 2 1 2 により圧縮テストデータは展開されてスキャンチェーン群 2 1 3 の各スキャンチェーン（SC）にスキャンテストパターンが分配される。各スキャンチェーンでスキャンテストが実行されると、その実行結果は圧縮回路 2 1 4 で圧縮される。この圧縮されたデータは、選択回路 2 1 6 を介してスキャン出力端子 2 1 7 へスキャン出力される。

30

【 0 0 6 1 】

スキャン出力端子 2 1 7 へ出力された圧縮データは、半導体集積回路 2 2 のスキャン入力端子 2 2 1 選択回路 2 2 3 スキャン出力端子 2 2 4 半導体集積回路 2 3 のスキャン入力端子 2 3 1 選択回路 2 3 6 スキャン出力端子 2 3 7 の経路で伝達されて、半導体集積回路モジュール 2 の外部スキャン出力端子 2 5 へ出力される。

【 0 0 6 2 】

このようにして、半導体集積回路モジュール 2 の外部スキャン入力端子 2 4 と外部スキャン出力端子 2 5 を用いて、半導体集積回路 2 1 単体の圧縮スキャンテストが実行される。

40

【 0 0 6 3 】

次に、半導体集積回路 2 2 単体の圧縮スキャンテストの実行について説明する。

【 0 0 6 4 】

図 7 は、半導体集積回路 2 2 の圧縮スキャンテスト実行用のスキャンテスト経路の形成の様子を示した図である。ここでも、形成されたスキャンテスト経路を着色して示している。

【 0 0 6 5 】

50

半導体集積回路 2 2 の圧縮スキャンテストを実行するときは、半導体集積回路 2 1 の選択回路 2 1 5 は展開回路 2 1 2 の出力の一部 (S 1 入力側) を選択し、選択回路 2 1 6 は選択回路 2 1 5 の出力 (S 2 入力側) を選択し、半導体集積回路 2 2 の選択回路 2 2 3 はスキャンチェーン群 2 2 2 からの出力 (S 1 入力側) を選択し、半導体集積回路 2 3 の選択回路 2 3 4 はスキャン入力端子 2 3 1 への入力信号 (S 2 入力側) を選択し、選択回路 2 3 6 は圧縮回路 2 3 5 の出力 (S 1 入力側) を選択する。

【 0 0 6 6 】

このように選択回路 2 1 5、2 1 6、2 2 3、2 3 4、2 3 6 の入力先を切り替えた上で、半導体集積回路 2 2 の圧縮スキャンテストを実行する。なお、このとき、半導体集積回路 2 1 の選択回路 2 1 5 へ入力される展開回路 2 1 2 の出力の本数は、半導体集積回路 2 2 のスキャンチェーン群 2 2 2 に含まれるスキャンチェーン (S C) の数に見合った数となる。

10

【 0 0 6 7 】

半導体集積回路 2 2 の圧縮スキャンテスト用の圧縮テストデータを半導体集積回路モジュール 2 の外部スキャン入力端子 2 4 へスキャン入力すると、その圧縮テストデータは、半導体集積回路 2 1 のスキャン入力端子 2 1 1 を介して展開回路 2 1 2 へ入力される。この入力を受けて、展開回路 2 1 2 は、半導体集積回路 2 2 のスキャンチェーン群 2 2 2 の各スキャンチェーン (S C) に分配するスキャンテストデータを生成する。

【 0 0 6 8 】

生成されたスキャンテストデータは、選択回路 2 1 5 選択回路 2 1 6 スキャン出力端子 2 1 7 の経路で伝達されて、半導体集積回路 2 2 のスキャン入力端子 2 2 1 を介してスキャンチェーン群 2 2 2 の各スキャンチェーン (S C) へ分配される。スキャンチェーン群 2 2 2 の各スキャンチェーン (S C) では、この分配されたスキャンテストデータによりスキャンテストが実行される。

20

【 0 0 6 9 】

その実行結果は、選択回路 2 2 3 を介してスキャン出力端子 2 2 4 へスキャン出力される。

【 0 0 7 0 】

スキャン出力端子 2 2 4 へ出力されたスキャンテスト実行結果は、半導体集積回路 2 3 のスキャン入力端子 2 3 1 選択回路 2 3 4 の経路で伝達されて、圧縮回路 2 3 5 へ入力され、圧縮回路 2 3 5 で圧縮される。

30

【 0 0 7 1 】

圧縮されたデータは、選択回路 2 3 6 スキャン出力端子 2 3 7 の経路で伝達されて、半導体集積回路モジュール 2 の外部スキャン出力端子 2 5 へ出力される。

【 0 0 7 2 】

このようにして、半導体集積回路モジュール 2 の外部スキャン入力端子 2 4 と外部スキャン出力端子 2 5 を用いて、本来、圧縮スキャンテスト非対応である半導体集積回路 2 2 単体の圧縮スキャンテストが実行される。

【 0 0 7 3 】

次に、半導体集積回路 2 3 単体の圧縮スキャンテストの実行について説明する。

40

【 0 0 7 4 】

図 8 は、半導体集積回路 2 3 の圧縮スキャンテスト実行用のスキャンテスト経路の形成の様子を示した図である。ここでも、形成されたスキャンテスト経路を着色して示している。

【 0 0 7 5 】

半導体集積回路 2 3 の圧縮スキャンテストを実行するときは、半導体集積回路 2 1 の選択回路 2 1 5 は展開回路 2 1 2 の入力であるスキャン入力端子 2 1 1 (S 2 入力側) を選択し、選択回路 2 1 6 は選択回路 2 1 5 の出力 (S 2 入力側) を選択し、半導体集積回路 2 2 の選択回路 2 2 3 はスキャン入力端子 2 2 1 への入力信号 (S 2 入力側) を選択し、半導体集積回路 2 3 の選択回路 2 3 4 はスキャンチェーン群 2 3 3 からの出力 (S 1 入力

50

側)を選択し、選択回路236は圧縮回路235の出力(S1入力側)を選択する。

【0076】

このように選択回路215、216、223、234、236の入力先を切り替えた上で、半導体集積回路11の圧縮スキャンテストを実行する。

【0077】

半導体集積回路21の圧縮スキャンテスト用の圧縮テストデータを半導体集積回路モジュール2の外部スキャン入力端子24へスキャン入力すると、その圧縮テストデータは、半導体集積回路21のスキャン入力端子211 選択回路215 選択回路216 スキャン出力端子217 半導体集積回路22のスキャン入力端子221 選択回路223 スキャン出力端子224の経路で伝達されて、半導体集積回路23のスキャン入力端子231を介して展開回路232へ入力される。

10

【0078】

入力された圧縮テストデータは展開回路232により展開されてスキャンチェーン群233の各スキャンチェーン(SC)にスキャンテストパターンが分配される。各スキャンチェーンでスキャンテストが実行されると、その実行結果は、選択回路234を介して圧縮回路235へ入力され、圧縮回路235で圧縮される。この圧縮されたデータは、選択回路236を介してスキャン出力端子237へスキャン出力され、そのまま、半導体集積回路モジュール2の外部スキャン出力端子25へ出力される。

【0079】

このようにして、半導体集積回路モジュール2の外部スキャン入力端子24と外部スキャン出力端子25を用いて、半導体集積回路23単体の圧縮スキャンテストが実行される。

20

【0080】

このような本実施例によれば、圧縮スキャンテスト対応の半導体集積回路とともに半導体集積回路モジュールに搭載される、展開回路および圧縮回路を有さない半導体集積回路に対しても、圧縮スキャンテスト手法によるスキャンテストを実行することができる。これにより、半導体集積回路モジュールのテスト時間およびテストデータ量を削減することができる。

【0081】

このとき、本実施例では、圧縮スキャンテスト対応の半導体集積回路は、スキャン出力端子を介して圧縮スキャンテスト非対応の半導体集積回路へスキャンテストデータを送り、スキャン入力端子を介して圧縮スキャンテスト非対応の半導体集積回路のスキャンテスト結果を受け取る。そのため、本実施例では、圧縮スキャンテスト対応の半導体集積回路に、圧縮スキャンテスト非対応の半導体集積回路とのインターフェースのための新たな端子を設ける必要がなく、圧縮スキャンテスト対応の半導体集積回路の端子数の増加を防止することができる。

30

【実施例3】

【0082】

上述の実施例1および実施例2では、圧縮スキャンテスト対応の半導体集積回路に選択回路を設けることにより、半導体集積回路モジュールに搭載される複数の半導体集積回路個々の圧縮スキャン手法によるスキャンテストを可能としている。ただし、上述の各実施例に示した例では、圧縮スキャンテスト対応の半導体集積回路に設ける選択回路の配置位置が、半導体集積回路モジュールに圧縮スキャンテスト非対応の半導体集積回路搭載がされるか否か、あるいは、圧縮スキャンテスト対応の半導体集積回路がスキャンテスト経路内のどの位置に配置されるかによって異なっている。すなわち、半導体集積回路モジュールに搭載される半導体集積回路の状況によって、圧縮スキャンテスト対応の半導体集積回路の内部構成を変更する必要がある。

40

【0083】

そこで、本実施例では、半導体集積回路モジュールに搭載される半導体集積回路の状況に関らず、共通に使用できる圧縮スキャンテスト対応の半導体集積回路の構成を示す。

50

【 0 0 8 4 】

図 9 は、本実施例の半導体集積回路の構成の例を示すブロック図である。

【 0 0 8 5 】

本実施例の半導体集積回路 3 1 は、スキャン入力端子 3 1 1、展開回路 3 1 2、スキャンチェーン群 3 1 3、圧縮回路 3 1 5、スキャン出力端子 3 1 8 を有し、さらに、スキャンチェーン群 3 1 3 からの出力に切り替えて展開回路 3 1 2 への入力を圧縮回路 3 1 4 へ入力する選択回路 3 1 4 と、展開回路 3 1 2 の入力または出力の一部のいずれかを選択して出力する選択回路 3 1 6 と、圧縮回路 3 1 5 の出力に切り替えて選択回路 3 1 6 をスキャン出力端子 3 1 8 へ出力する選択回路 3 1 7 と、を有する。

【 0 0 8 6 】

上述の選択回路 3 1 4 は、実施例 2 の半導体集積回路 2 3 の選択回路 2 3 4 に相当し、選択回路 3 1 6 は、実施例 2 の半導体集積回路 2 1 の選択回路 2 1 5 に相当する。また、選択回路 3 1 7 は、実施例 2 の半導体集積回路 2 1 の選択回路 2 1 6 および半導体集積回路 2 3 の選択回路 2 3 6 に相当する。

【 0 0 8 7 】

また、選択回路 3 1 7 は、実施例 1 の半導体集積回路 1 1、1 2、1 3 の選択回路 1 1 5、1 2 5、1 3 5 に相当する。

【 0 0 8 8 】

したがって、本実施例の半導体集積回路 3 1 は、実施例 1 の半導体集積回路 1 1、1 2、1 3 と置き換えることができ、実施例 2 の半導体集積回路 2 1 および半導体集積回路 2 3 と置き換えることもできる。

【 0 0 8 9 】

このような本実施例によれば、半導体集積回路モジュールに搭載される半導体集積回路の状況に関らず、同一の内部構成を有する圧縮スキャンテスト対応の半導体集積回路を共通に使用することができる。これにより、圧縮スキャンテスト対応の半導体集積回路の設計を容易にすることができる。

【 実施例 4 】

【 0 0 9 0 】

図 1 0 は、本発明の実施例 4 に係る半導体集積回路モジュールの構成の例を示すブロック図である。

【 0 0 9 1 】

半導体集積回路モジュール 4 は、圧縮スキャンテスト対応の半導体集積回路 4 1 と、圧縮スキャンテスト非対応の半導体集積回路 4 2 を搭載し、外部スキャン入力端子 4 3 と、外部スキャン出力端子 4 4 と、を備えている。

【 0 0 9 2 】

半導体集積回路 4 1 は、スキャン入力端子 4 1 1 と、スキャン入力端子 4 1 1 に接続された圧縮スキャンテスト用の展開回路 4 1 2 と、展開回路 4 1 2 の出力がそれぞれスキャン入力される複数のスキャンチェーン (S C) を有するスキャンチェーン群 4 1 3 と、スキャンチェーン群 4 1 3 からのスキャン出力が入力される圧縮スキャンテスト用の圧縮回路 4 1 4 と、圧縮回路 4 1 4 の出力が入力されるスキャン出力端子 4 1 5 と、を有する。

【 0 0 9 3 】

半導体集積回路 4 2 は、スキャン入力端子 4 2 1 と、スキャン入力端子 4 2 1 からスキャンデータが入力される複数のスキャンチェーン (S C) を有するスキャンチェーン群 4 2 2 と、スキャンチェーン群 4 2 2 からのスキャン出力データが出力されるスキャン出力端子 4 2 3 と、を有する。

【 0 0 9 4 】

ここで、半導体集積回路 4 2 のスキャン入力端子 4 2 1 は、半導体集積回路 4 1 の展開回路 4 1 2 の出力の一部に接続され、半導体集積回路 4 2 のスキャン出力端子 4 2 3 は、半導体集積回路 4 1 の圧縮回路 4 1 4 へ接続されている。

【 0 0 9 5 】

10

20

30

40

50

これにより、半導体集積回路 4 2 は、本来、圧縮スキャンテスト非対応であるにもかかわらず、圧縮スキャンテスト手法によるスキャンテストが可能になる。

【 0 0 9 6 】

この半導体集積回路 4 2 の圧縮スキャンテスト手法によるスキャンテストを行うときは、半導体集積回路 4 1 に対する圧縮スキャンデータとともに、半導体集積回路 4 2 に対する圧縮スキャンデータを外部スキャン入力端子 4 3 からスキャン入力端子 4 1 1 を介して展開回路 4 1 2 へ入力する。この入力を受けて、展開回路 4 1 2 は、半導体集積回路 4 1 のスキャンチェーン群 4 1 3 の各スキャンチェーン (S C) に分配するスキャンテストデータとともに、半導体集積回路 4 2 のスキャンチェーン群 4 2 2 の各スキャンチェーン (S C) に分配するスキャンテストデータも生成する。

10

【 0 0 9 7 】

半導体集積回路 4 2 のスキャンチェーン群 4 2 2 の各スキャンチェーン (S C) では、展開回路 4 1 2 から分配されたスキャンテストデータによりスキャンテストが実行される。

【 0 0 9 8 】

その実行結果は、スキャン出力端子 4 2 3 を介して半導体集積回路 4 1 の圧縮回路 4 1 4 へ出力され、圧縮回路 4 1 4 で圧縮される。この圧縮されたデータは、スキャン出力端子 4 1 5 へスキャン出力され、半導体集積回路モジュール 4 の外部スキャン出力端子 4 4 へ出力される。

20

【 0 0 9 9 】

このような本実施例によれば、圧縮スキャンテスト対応の半導体集積回路に一体化させることにより、圧縮スキャンテスト非対応の半導体集積回路に対しても圧縮スキャンテスト手法によるスキャンテストを実行することができる。これにより、半導体集積回路モジュールのテスト時間およびテストデータ量を削減することができる。

【 実施例 5 】

【 0 1 0 0 】

上述の実施例 1 ~ 4 では、半導体集積回路モジュール内に少なくとも 1 つの圧縮スキャンテスト対応の半導体集積回路が搭載され、この圧縮スキャンテスト対応の半導体集積回路を利用して、搭載される総ての半導体集積回路の圧縮スキャンテスト方式によるスキャンテストを可能とする半導体集積回路モジュールの例を示した。これに対して、本実施例では、半導体集積回路モジュールに圧縮スキャンテスト非対応の半導体集積回路しか搭載されない場合でも、この半導体集積回路の圧縮スキャンテスト方式によるスキャンテストを可能とする半導体集積回路モジュールの例を示す。

30

【 0 1 0 1 】

図 1 1 は、本発明の実施例 5 に係る半導体集積回路モジュールの構成の例を示すブロック図である。

【 0 1 0 2 】

本実施例の半導体集積回路モジュール 5 は、機能要素としては圧縮スキャンテスト非対応の半導体集積回路のみを搭載し、例えば半導体集積回路 5 1、5 2 を搭載している。

40

【 0 1 0 3 】

この半導体集積回路 5 1、5 2 は、複数のスキャンチェーン (S C) を有するスキャンチェーン群 5 1 1、5 2 1 をそれぞれに有している。

【 0 1 0 4 】

このスキャンチェーン群 5 1 1、5 2 1 に対する圧縮スキャンテスト方式によるスキャンテストを可能とするため、本実施例の半導体集積回路モジュール 5 では、展開回路 5 3 2 および圧縮回路 5 3 3 を有する圧縮スキャンテスト制御用集積回路 5 3 を搭載する。

【 0 1 0 5 】

圧縮スキャンテスト制御用集積回路 5 3 は、展開回路 5 3 2 の入力に接続されるスキャン入力端子 5 3 1 と、圧縮回路 5 3 3 の出力に接続されるスキャン出力端子 5 3 4 と、を

50

有する。スキャン入力端子 5 3 1 は、半導体集積回路モジュール 5 の外部スキャン入力端子 5 4 に接続され、スキャン出力端子 5 3 4 は、半導体集積回路モジュール 5 の外部スキャン出力端子 5 5 に接続されている。

【 0 1 0 6 】

ここで、圧縮スキャンテスト制御用集積回路 5 3 の展開回路 5 3 2 の出力は、半導体集積回路 5 1 のスキャンチェーン群 5 1 1 の入力および半導体集積回路 5 2 のスキャンチェーン群 5 2 1 の入力に接続され、このスキャンチェーン群 5 1 1 の出力およびスキャンチェーン群 5 2 1 の出力は、圧縮スキャンテスト制御用集積回路 5 3 の圧縮回路 5 3 3 の入力に接続されている。

【 0 1 0 7 】

このような半導体集積回路モジュール 5 において、半導体集積回路 5 1、5 2 の圧縮スキャンテスト方式によるスキャンテストを実行するときは、圧縮スキャンデータを外部スキャン入力端子 5 4 から圧縮スキャンテスト制御用集積回路 5 3 のスキャン入力端子 5 3 1 を介して展開回路 5 3 2 へ入力する。

【 0 1 0 8 】

展開回路 5 3 2 は、圧縮スキャンデータを展開し、半導体集積回路 5 1 のスキャンチェーン群 5 1 1 および半導体集積回路 5 2 のスキャンチェーン群 5 2 1 へスキャンテストパターンを分配する。

【 0 1 0 9 】

このスキャンテストパターンにより、スキャンチェーン群 5 1 1 およびスキャンチェーン群 5 2 1 でのスキャンテストが実行される。

【 0 1 1 0 】

スキャンテストの結果は、スキャンチェーン群 5 1 1 およびスキャンチェーン群 5 2 1 から圧縮スキャンテスト制御用集積回路 5 3 の圧縮回路 5 3 3 へ入力される。

【 0 1 1 1 】

圧縮回路 5 3 3 は、入力されたスキャンテスト結果を圧縮し、スキャン出力端子 5 3 4 を介して半導体集積回路モジュール 5 の外部スキャン出力端子 5 5 へ出力する。

【 0 1 1 2 】

このようにして、半導体集積回路モジュール 5 の外部スキャン入力端子 5 4 と外部スキャン出力端子 5 5 を用いて、半導体集積回路 5 1、5 2 の圧縮スキャンテストが実行される。

【 0 1 1 3 】

このような本実施例によれば、機能要素として搭載される圧縮スキャンテスト非対応の半導体集積回路のほかに、展開回路および圧縮回路を有する半導体集積回路を搭載することにより、圧縮スキャンテスト非対応の半導体集積回路の圧縮スキャンテスト方式によるスキャンテストが可能となる。また、複数の半導体集積回路間の論理動作も同時にテストすることができる。これにより、半導体集積回路モジュールのテスト時間およびテストデータ量を削減することができる。

【図面の簡単な説明】

【 0 1 1 4 】

【図 1】本発明の実施例 1 に係る半導体集積回路モジュールの構成の例を示すブロック図。

【図 2】図 1 に示した半導体集積回路モジュールのスキャンテスト時のスキャンテスト経路を説明するための図。

【図 3】図 1 に示した半導体集積回路モジュールのスキャンテスト時のスキャンテスト経路を説明するための図。

【図 4】図 1 に示した半導体集積回路モジュールのスキャンテスト時のスキャンテスト経路を説明するための図。

【図 5】本発明の実施例 2 に係る半導体集積回路モジュールの構成の例を示すブロック図。

。

10

20

30

40

50

【図 6】図 5 に示した半導体集積回路モジュールのスキャンテスト時のスキャンテスト経路を説明するための図。

【図 7】。図 5 に示した半導体集積回路モジュールのスキャンテスト時のスキャンテスト経路を説明するための図。

【図 8】図 5 に示した半導体集積回路モジュールのスキャンテスト時のスキャンテスト経路を説明するための図。

【図 9】本発明の実施例 3 に係る半導体集積回路の構成の例を示すブロック図。

【図 10】本発明の実施例 4 に係る半導体集積回路モジュールの構成の例を示すブロック図。

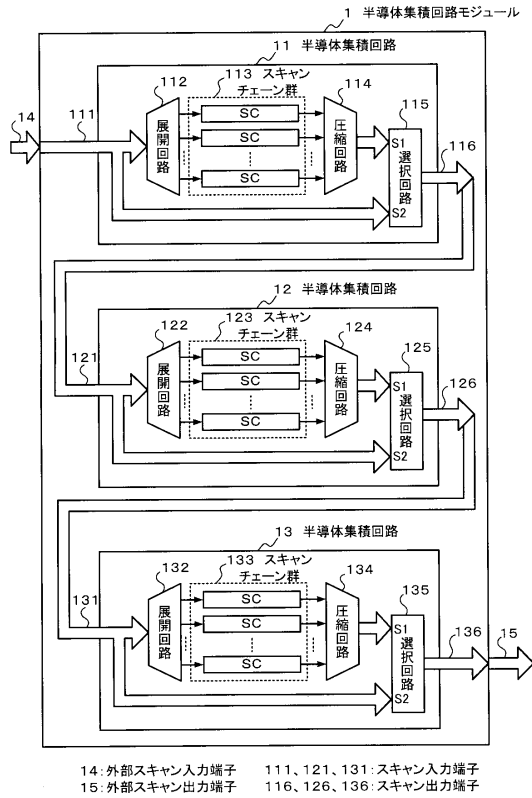
【図 11】本発明の実施例 5 に係る半導体集積回路モジュールの構成の例を示すブロック図。 10

【符号の説明】

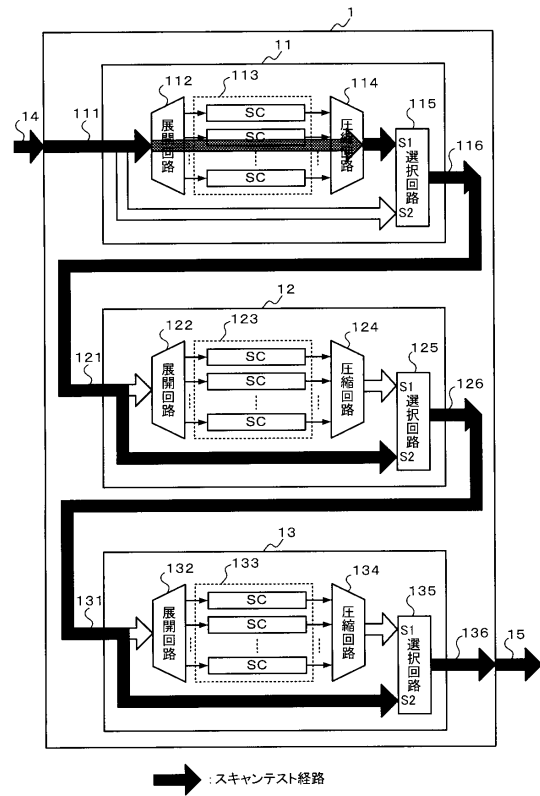
【0115】

1、2、4、5 半導体集積回路モジュール
 11、12、13、21、22、31、41、42、43、51、52 半導体集積回路
 53 圧縮スキャンテスト制御用集積回路
 14、24、43、54 外部スキャン入力端子
 15、25、44、55 外部スキャン出力端子
 111、121、131、211、221、231、311、411、531 スキャン
 入力端子 20
 116、126、136、217、224、237、318、415、534 スキャン
 出力端子
 112、122、132、212、232、312、412、532 展開回路
 113、123、133、213、222、233、313、413、422、511、
 521 スキャンチェーン群
 114、124、134、214、235、315、414、533 圧縮回路
 115、125、135、215、216、223、234、236、314、316、
 317 選択回路

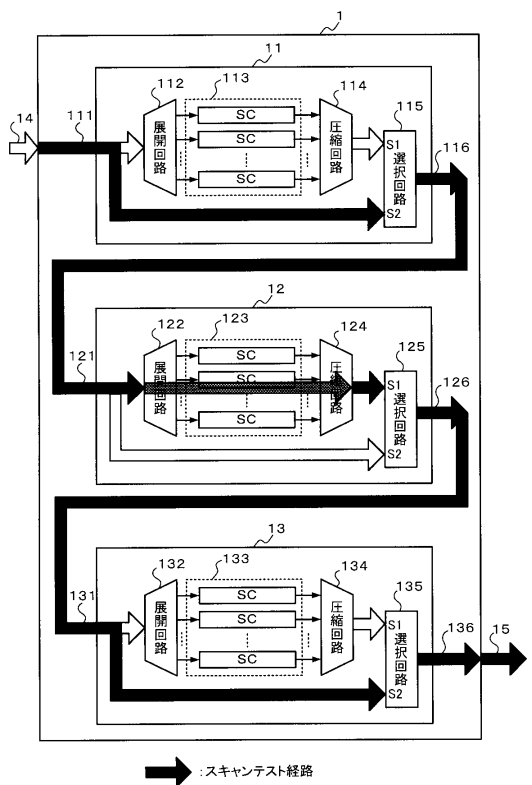
【図 1】



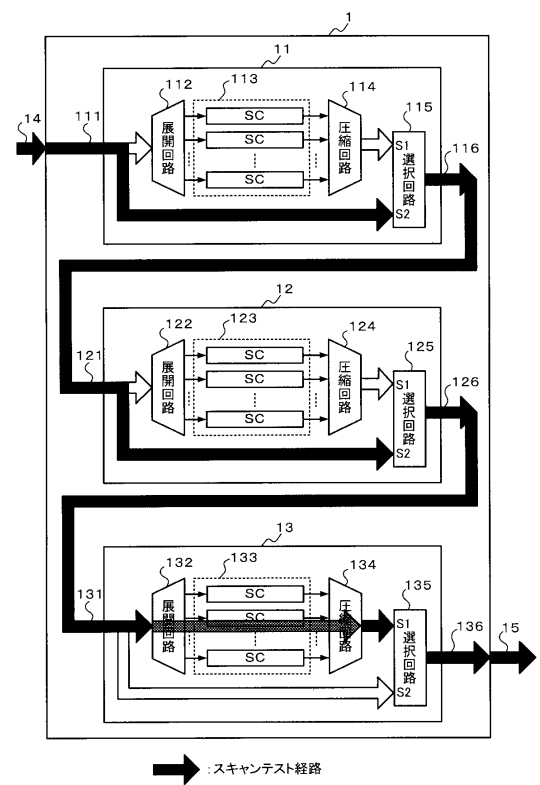
【図 2】



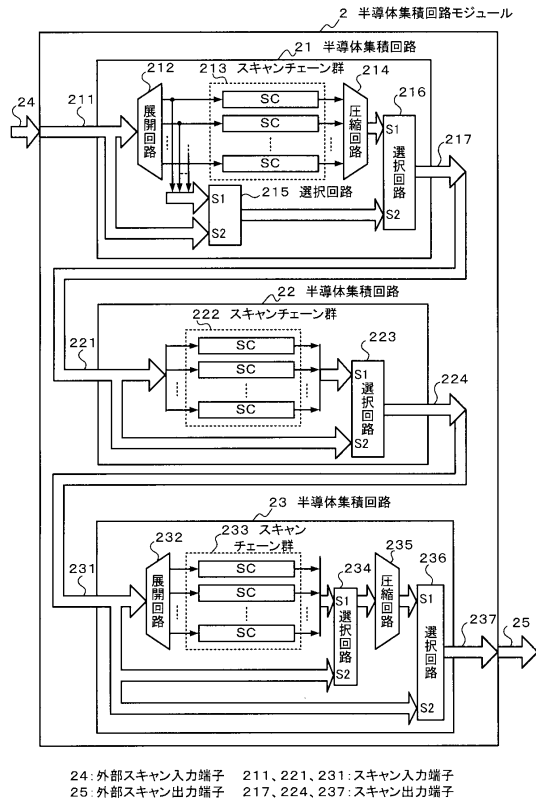
【図 3】



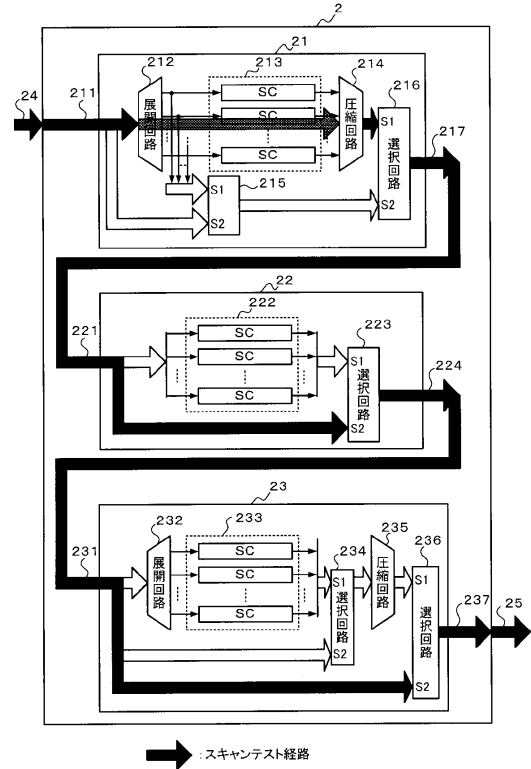
【図 4】



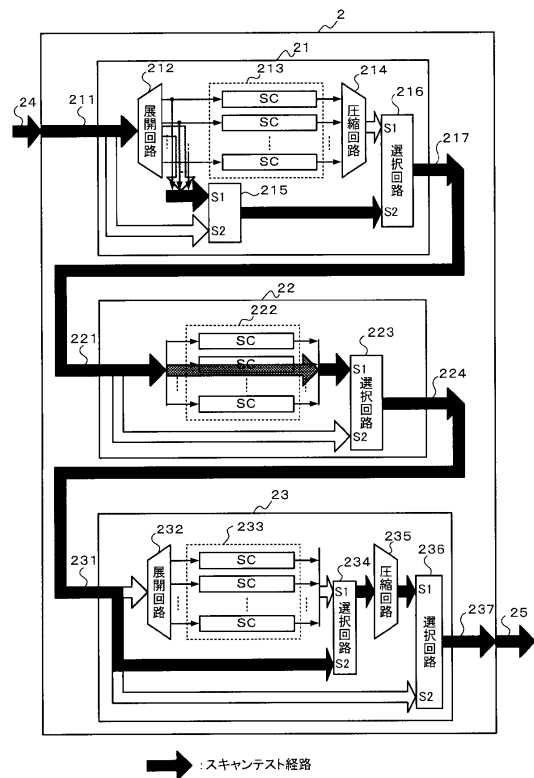
【図 5】



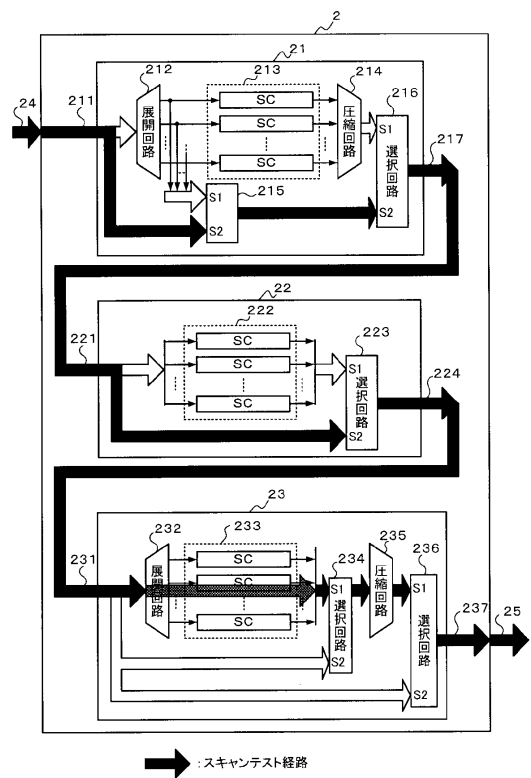
【図 6】



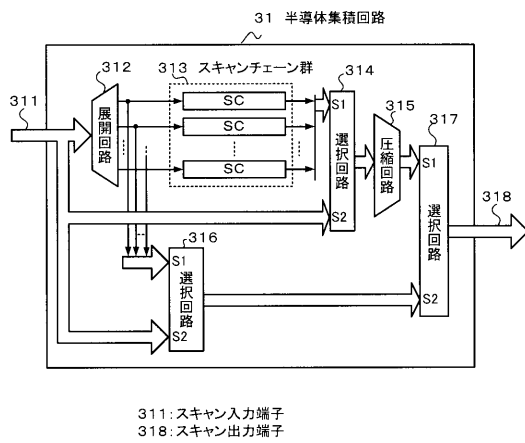
【図 7】



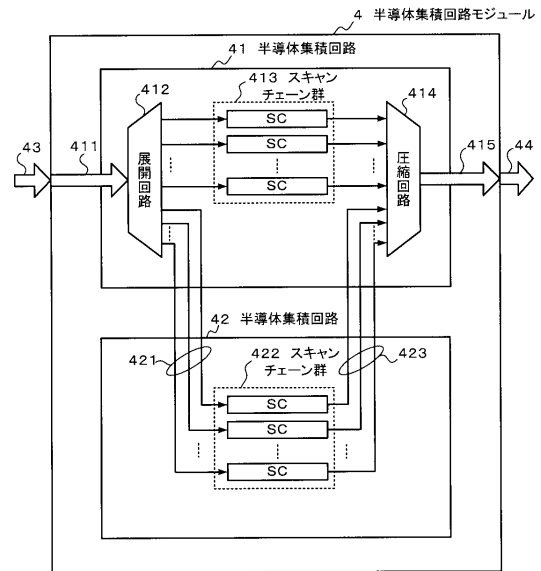
【図 8】



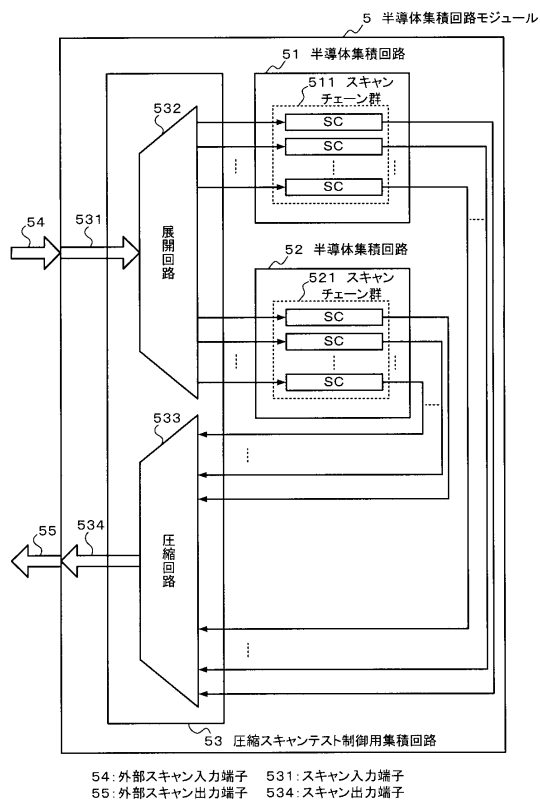
【図 9】



【図 10】



【図 11】



フロントページの続き

審査官 藤原 伸二

- (56)参考文献 特開平03-233375(JP,A)
特開2006-078493(JP,A)
特開2002-005998(JP,A)
特開2001-074811(JP,A)
特開2005-309867(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G01R 31/28-31/3193
H01L 21/822
H01L 27/04
G06F 11/22-11/26