

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95111515

※ 申請日期：95 年 3 月 31 日

※IPC 分類：

C23C 16/34, 16/42
(2006.01) (2006.01)
H01L 21/205 (2006.01)**一、發明名稱：**(中文/英文)

低溫製造高應變 PECVD 氮化矽薄膜之方法

METHOD OF PRODUCING HIGHLY STRAINED PECVD

SILICON NITRIDE THIN FILMS AT LOW TEMPERATURE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)(簽章)

萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文)(簽章)

琳奈 D 安德森 / ANDERSON, LYNNE D.

住居所或營業所地址：(中文/英文)

美國紐約州 10504 亞芒克市新奧爾察德路

New Orchard Road, Armonk, NY 10504, U.S.A.

國籍：(中文/英文) 美國 / US

三、發明人：(共 4 人)

姓名 (中文/英文)

1. 麥可 P. 貝雅史蓋 / BELYANSKY, MICHAEL P.

2. 歐雷格 格魯宣柯夫 / GLUSCHENKOV, OLEG

3. 李穎 / LI, YING

4. 安紐帕瑪 麥利卡瓊安 / MALLIKARJUNAN, ANUPAMA

國籍 (中文/英文)

1.~2.皆為俄羅斯 //RU; 3.為中國大陸 / CN; 4.為印度 / IN

(S)

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國 US、西元 2005 年 4 月 1 日、10/907,454

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

提供一種藉由修改此類壓力源的內部結構而增加非晶薄膜壓力源之應力位準的方法。本方法包含首先形成非晶膜壓力源材料之第一部分於基板之至少一表面上，此第一部分具有定義一第一應力值之第一機械應變狀態。於該形成步驟後，緻密化非晶膜壓力源材料之第一部分，使得第一機械應變狀態實質未改變，而增加第一應力值。於若干實施例中，重複任何次數的形成與緻密化步驟，以獲得預選所欲厚度之壓力源。

六、英文發明摘要：

A method for increasing the level of stress for amorphous thin film stressors by means of modifying the internal structure of such stressors is provided. The method includes first forming a first portion of an amorphous film stressor material on at least a surface of a substrate, said first portion having a first state of mechanical strain defining a first stress value. After the forming step, the first portion of the amorphous film stressor material is densified such that the first state of mechanical strain is not substantially altered, while increasing the first stress value. In some embodiments, the steps of forming and densifying are repeated any number of times to obtain a preselected and desired thickness for stressor.

七、指定代表圖：

(一)本案指定代表圖為：圖 2B。

(二)本代表圖之元件符號簡單說明：

12 半導體基板

16 緻密化薄膜壓力源材料

18 下區域

20 上區域

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

九、發明說明：

【發明所屬之技術領域】

本發明關於半導體裝置製造，尤其關於增加非晶薄膜壓力源(stressor)(即應力誘發(stress inducing))材料的應力位準(stress level)。

【先前技術】

應力工程在增加半導體裝置性能方面，扮演重要的角色。此類應力應用的典型範例廣泛用於應變的半導體雷射及應變的電晶體（例如，應變通道之場效電晶體，FET），以及相關的應變電路，例如互補式金氧半(CMOS)電路)。於應變 FET 通道案例中，係以下列方式將應力施於電晶體結構，使得裝置通道區有利地應變，導致電子（或電洞）遷移率增加，因而實質改善裝置速度。電子與電洞遷移率的晶格應變的正面效果，係取決於特定半導體的結晶對稱性，以及電晶體通道的應變張量(tensor)的各種組件與半導體結晶對稱性如何的相關，或者尤其是與晶格的對稱性的對稱平面、軸與中心如何的相關。

因此，有益的通道應變類型為以下的函數：(a) 半導體類型；(b) 載子類型（電子或電洞）；(c) 通道平面的晶向與旋轉；及 (d) 通道中電流的方向。再者，有益的通道應變可由許多不同的技術誘發，因其取決於電晶體的幾何結構與如何應用外部應力。

於一有用的範例中，經由高度應力膜(highly stressed film)（其覆蓋電晶體閘極並部分覆蓋源極／汲極區），將應力施於形成在標準（100）矽晶圓上之矽基 nFET 與 pFET。高度應力膜的類型於此技藝中稱為應力閘極襯層。於此類應用中，拉伸應力閘極襯層應用於 nFET 裝置，以改善電子遷移率，而壓縮應力襯層用以加速 pFET 裝置。此情況顯示於圖 1。

尤其是圖 1 顯示（經由剖面圖）半導體結構 100，其包含半導體基板 102，係包含由隔離區 108 分隔的 nFET 裝置區 104 與 pFET 裝置區 106。在 nFET 裝置區 104 上面的是 nFET 120，其包含閘極介電質 122 與摻雜 n 型摻雜質的閘極導體 124。nFET 120 包含位於半導體基板 102 內的源極／汲極擴散區 126，以及位在至少閘極導體 124 裸露側壁上的間隙壁 121。pFET 裝置區 106 包含 pFET 128，係包含閘極介電質 122 與摻雜 p 型摻雜質的閘極導體 124。pFET 128 的源極／汲極擴散區 126 呈現於半導體基板 102 的 pFET 128 足印(footprint)，以及間隙壁 121 亦呈現在至少閘極導體 124 的裸露側壁。如圖所示，拉伸氮化物襯層 130 呈現於 nFET 裝置區 104，而壓縮氮化物襯層 132 呈現於 pFET 裝置區 106。

於此先前技藝範例中，應力襯層（由襯層 130 與 132 表示）為壓力源材料，其施力於電晶體結構。壓力源的形

(S)

狀（於此範例中，襯層自行對準電晶體通道）及其應力類型（拉伸或壓縮），以及電晶體結構對各別的電晶體通道產生有益的應變。一旦電晶體與壓力源的結晶類型與幾何形狀為不變的，壓力源的高應力位準將使通道產生較高的應變，而導致較佳的性能改善。因此，非常希望能增加壓力源材料的應力位準。

先前技藝中亦熟知壓力源材料的其他類型。例如，嵌於矽結晶的 SiGe 結晶島可導致 Si 周圍的高度壓縮應力。此結晶壓力源可用於改善矽基 pFET 的性能。於另一範例中，使非晶氮化矽壓力源形成為閘極間隙壁的形式。

亦知各種類型與形狀的壓力源的組合可進一步改善裝置性能。例如，上述的嵌入 SiGe 結晶壓力源可與上述的非晶應力閘極襯層結合，進一步改善矽基 pFET 的性能。

儘管先前技藝中具有形成非晶應力閘極襯層的優點，仍有需要提供改善的非晶壓力源材料，其中拉伸與壓縮應變的應力位準均增加。此類材料可用以增加半導體結構鄰近有益的應變位準，而與特定壓力源形狀、半導體結晶類型、半導體裝置類型及裝置的幾何無關。

再者，非常希望改善的壓力源材料是在低溫（約 400-550°C 的等級或更低）形成，以保護鄰近微結構的溫度

敏感元件。例如，某些 III-V 化合物半導體（例如，GaAs）在 500°C 以上是不穩定的。此外，矽基電晶體的某些元素（例如，矽化物接觸與高活化摻雜質）在高溫製程會有不想要的影響。

在電漿增強化學氣相沈積（PECVD）製程執行於約 500°C 以下。已知的非晶壓力源材料的範例是由 PECVD 製程沉積的非晶氮化矽膜。一般而言，PECVD 形成的氮化矽膜的應力是由最佳化氣體流量、電漿功率與其他沉積參數調變。此類最佳化僅提供應力位準有限的增益，而對調整應力符號(sign)（壓縮或拉伸）非常有效。

藉由增加 PECVD 沉積溫度（超過 500°C），或在約 600°C 或以上的溫度使用高溫快速熱化學氣相沉積（RT CVD）也可能使 SiN 薄膜達到相當高的應力位準。當 RT CVD 可產生高度應變的拉伸 SiN 膜時，RT CVD 製程的典型溫度接近 700°C。

再者，尚未知有存在的壓縮的 RT CVD 膜。現今 CMOS 裝置具有相當低的中間製程（MOL）溫度預算，其逐漸地接近後段製程溫度，約 400°C。MOL 溫度預算議題對於以高溫不穩定的 NiSi 為主的裝置而言變得特別重要，因為這些裝置的缺陷程度隨著溫度大於 450°C 而戲劇化地增加。因此，所有高溫 MOL 的解決方案均無法使用，而且

在低溫（低於 450°C）由 PECVD 技術達到高應力位準變成 65 與 45 nm 節點裝置工程的關鍵組件。

【發明內容】

本發明提供一種藉由修改壓力源內部結構，以增加非晶薄膜壓力源之應力位準的方法。本發明方法包含：

形成一非晶膜壓力源材料之一第一部分於一基板之至少一表面上，此第一部分具有定義一第一應力值之一第一機械應變狀態；及

緻密化非晶膜壓力源材料之第一部分，使得第一機械應變狀態實質未改變，而增加第一應力值。

於本發明方法中，“基板”一詞用意乃包含半導體基板及／或一 FET。

於一些實施例中，重複任何次數的形成及緻密化步驟，以獲得具有預選所欲厚度之非晶薄膜壓力源材料。

由上述發明方法所形成的壓力源膜在緻密化表面後，可選擇性地利用任何一已知方法改變（增加）其機械應變，並因而進一步增加其應力。也可利用微影與蝕刻使壓力源選擇性地塑形成任何形式，以最大化其對可用微結構的影響（施加力）。

於本發明之實施例中，非晶壓力源為習知沉積製程所形成的含氫非晶氮化矽（SiN）膜。沉積之後，含氫非晶 SiN 膜經歷緻密化處理，其係使用低溫電漿處理，導入活化氮（例如，原子氮、分子氮或原子氮離子）至 SiN 膜的上區域(upper region)，以緻密化 SiN 薄膜的上區域。於此實施例中，電漿處理執行於約 550°C 或更低的溫度。

本發明方法可與其他已知增加壓力源內部應力的方法結合，亦可用於各種明智地應用此類壓力源改善可用微裝置的電與光學參數的幾何方案中。本發明方法更可在約 550°C 或以下的低製程溫度下運作，使本發明方法特別適用於溫度敏感微結構。

增加薄膜的應力位準的其他已知後置處理，係針對藉由實質重排其化學鍵結，而改變被處理膜內部的機械應變狀態。因此，使用此類方法僅增加一種類型的應力（拉伸或壓縮）。例如，密集加熱應力氮化矽膜，導致氫自此類膜的 Si-H 與 N-H 鍵脫離或移除，而增加拉伸應力，但卻降低壓縮應力。本發明的教示不同於此類技藝，因其對拉伸與壓縮膜兩者均有同等作用。

本方法不同於先前技藝，因為針對保護所沉積膜的機械應變狀態，而增加其應力。因而允許獨立地最佳化初鍍膜(as-deposited film)中的機械應變符號及位準，以及所致

膜的最終應力位準。

【實施方式】

本發明提供一種增加非晶薄膜壓力源材料之應力位準的方法，其係藉由改變膜內部結構的技術，現在參考下面論述與本申請案相關的圖式詳細說明。請注意，本申請案的圖式係用以說明，因此未按比例描繪。

現在參考圖 2A-2C，說明本發明的基本處理步驟。尤其是，圖 2A 繪示結構 10，其包含形成在半導體基板 12 表面上方的非晶薄膜壓力源材料 14。注意圖 2A-2C 僅繪示半導體基板 12 的一小部分，而本發明方法可用於半導體基板 12 的整個表面，其可包含電晶體裝置於其上，例如圖 3 所示。圖 3 的結構將於後更詳細論述。雖然以下討論的情況是當壓力源材料沉積在半導體基板上，但是本發明對於壓力源材料形成在 FET 上，或同時形成在 FET 與半導體基板上亦有同等作用。

參考回圖 2A，此結構首先由提供的半導體基板 12 形成。半導體基板 12 可以是經預處理的基板，其具有一或多個電晶體位於其表面上。為了清楚說明，電晶體未顯示於圖 2A-2C 的剖面圖。用於本發明的半導體基板 12 包含任何半導體材料，包含舉例如：Si、SiGe、SiGeC、SiC、GaAs、InAs、InP 及其他 III/V 與 II/V 化合物半導體。半

導體基板 12 也可包含層疊半導體基板，例如，Si/SiGe、絕緣層上矽 (SOI) 或絕緣層上 SiGe 基板。半導體基板 12 可經摻雜、未摻雜或包含一或多個摻雜區於其中。例如，半導體基板 12 可包含井區、源極／汲極擴散區、源極／汲極延伸區、環狀區(halo regions)及類似者。半導體基板 12 也可包含隔離區，其使各類型的半導體裝置彼此隔開。半導體基板 12 可包含任何主要或次要晶向，包含如 (110)、(100) 或 (111)。半導體基板 12 可以是未受應變、應變、或應變與未受應變區域的組合。

半導體基板 12 可以是混成半導體基板，其包含至少兩相同或不同半導體材料的平面區，當製造時各區域具有不同晶向，例如，於 2003 年 6 月 17 日申請之同受讓人及同申請中之美國申請序號 10/250,241，名稱為 “High-Performance CMOS SOI Devices on Hybrid Crystal Oriented Substrates”。

提供基板 12 之後，非晶薄膜壓力源材料 14 係形成在半導體基板 12 之至少一表面上。根據本發明，本發明的非晶薄膜壓力源材料 14 具有定義第一應力值的第一機械應變狀態（不是壓縮就是拉伸）。第一應力值可依據所沉積的材料、將材料形成於其上的基板、以及沉積膜的技術而變化。PECVD 沉積的非晶含氫 SiN 膜處於拉伸應變下之典型第一應力值約為 0.5-1.0 GPa，而相同的膜處於壓縮

應變下之典型第一應力值約為-1-1.5 GPa。

可利用習知沉積製程形成非晶薄膜壓力源材料 14(其可稱為初鍍膜(as deposited film))，習知沉積製程包含，例如：化學氣相沈積、電漿增強化學氣相沉積或快速熱化學氣相沉積。一般而言，沉積製程在約 550°C 或更低的溫度執行，而不致於影響位於半導體基板 12 內或上的溫度敏感元件。較佳地，非晶薄膜壓力源 14 係以電漿增強化學氣相沉積製程形成。

本發明此時點所形成的初鍍非晶薄膜壓力源材料 14，典型具有約 1 至 200 nm 的厚度，而更典型的厚度約 20 至約 100 nm。

非晶薄膜壓力源材料 14 包含任何應力誘發材料，包含例如：氮化物、氧化物或金屬。較佳地，非晶壓力源材料 14 是由 SiN 組成。應力誘發材料可包含氫，因此於此完成含氫的材料(例如含氫的 SiN)。“非晶(amorphous)”一詞表示壓力源材料 14 缺少界定良好的結晶結構。

應注意的是，於本發明此時點，顯示於圖 2A 的初鍍非晶薄膜壓力源材料 14 與先前技藝的壓力源材料並無不同。圖 2B 顯示包含初鍍壓力源材料 14 的結構受到緻密化步驟後形成的結構。根據本發明，執行緻密化步驟的條

件，係使壓力源材料的第一機械應變狀態實質未改變，而增加第一應力值。換言之，本發明之緻密化步驟增加壓力源材料 14 的應力值至大於第一應力值的數值，而不改變此層是處於壓縮或拉伸應變。舉例而言，本發明的緻密化步驟增加拉伸應變含氫 SiN 材料的應力值，由初鍍值約 0.8 GPa 增加至一第二應力值約 1.2 GPa，而壓縮應變材料的應力值也由初鍍值約 1.4 GPa 增加至一第二應力值約 2.0 GPa。

如圖 2B 所示，緻密化步驟導致非晶薄膜壓力源材料 16 具有一上區域 20 與一下區域 18。上區域 20 的密度大於下區域 18 的密度。下區域 18 的密度通常為初鍍膜 14 的密度。上區域及下區域內的密度可以依據一些因子而異，該些因子包含，例如：壓力源材料的類型及其厚度，以及緻密化步驟的條件。一般而言，關於上述例示的壓力源材料，含氫 SiN 壓力源膜的下區域 18 的密度約為 2.4 gm/cc，而同膜的上區域的密度約為 2.6 gm/cc。

由本發明緻密化步驟形成之非晶薄膜壓力源材料 16 的上區域 20 的厚度，係依據所用的緻密化製程的類型及條件而異。一般而言，緻密化形成的上區域 20 的厚度約 0.5 至約 20 nm，更典型的厚度是約 1 至約 10 nm。

初鍍非晶薄膜壓力源材料 14 的緻密化可，利用任何

能增加該層表面部分的密度的技術執行。可用於增加初鍍薄膜應力材料 14 的應力值之緻密化處理，包含但不限於：在約 550°C 或更低的溫度執行電漿氮化或輻射暴露。較佳地，本發明利用電漿氮化製程達到緻密化。

當利用電漿氮化緻密化初鍍非晶薄膜壓力源材料 14 的上部分時，可使用任何含氮電漿，其包含原子氮、分子氮或原子氮離子。含氮電漿係衍生自任何含氮的來源，例如， N_2 、NO、 NH_3 、 N_2O 或其混合物。如上所述，本發明使用的電漿氮化製程是執行於約 550°C 或更低的溫度，而更典型的溫度是約 350°C 至約 450°C。電漿氮化製程通常執行一段時間約 0.5 至約 200 秒，而更典型的時間是約 5 至約 60 秒。應注意的是，延長於此提及的時間範圍並不會進一步改善應力位準。

於本發明此時點，相較於初鍍膜，具有增加的應力值的緻密化非晶薄膜壓力源材料 16 可塑形成任何形式，例如間隙壁或襯層，以最大化其對有用微型結構的效應（亦即，施加力）。塑形可由微影及蝕刻達成。

於一些實施例及如圖 2C 所示，可重複任何次數的沉積及緻密化步驟，以提供具有交替的非緻密化與緻密化區域的多層式非晶薄膜壓力源材料。再者，可重複任何次數的本發明步驟，以提供具有預選厚度及具有增加應力值的

壓力源材料。於圖 2C 中，結構包含三層緻密化薄膜壓力源材料 (16、16A 與 16B)，各包含一下非緻密化區 (18、18A 與 18B) 與一上緻密化區 (20、20A 與 20B)。

圖 2C 所示的多層式非晶薄膜壓力源材料可塑形成任何形式，例如間隙壁或襯層，以最大化其對有用微型結構的效應 (即，施加力)。再者，可選擇性地以任何習知可進一步增加材料應力值的方法，處理多層式非晶薄膜壓力源材料。

應注意的是，本發明的各種步驟可在原址執行，而在沉積與緻密化步驟間不必破真空，或者在沉積與緻密化步驟間，或在多次的沉積與緻密化步驟間可破真空。

如上所述，本發明方法可用於增加應力襯層材料的應力值，其係形成在包含電晶體形成於其上的半導體基板上。此類結構如圖 3 所示。應注意圖 3 與圖 1 相似，除了呈現本發明包含下非緻密化區 18 與上緻密化區 20 之緻密化非晶薄膜壓力源材料 16 外。

尤其是圖 3 顯示 (經由剖面圖) 半導體結構 50，其包含半導體基板 12，係包含由隔離區 56 分隔的 nFET 裝置區 52 與 pFET 裝置區 54。在 nFET 裝置區 52 上方的是 nFET 66，其包含閘極電介質 58 與摻雜 n 型摻雜質的閘極導體

60。nFET 66 亦包含位於半導體基板 12 內之源極／汲極擴散區 62，以及位在至少閘極導體 60 裸露側壁上的間隙壁 64。pFET 裝置區 54 包含 pFET 68，其包含閘極電介質 58 與摻雜 p 型摻雜質的閘極導體 60。pFET 68 的源極／汲極擴散區 62 呈現於半導體基板 12 的 pFET 68 足印，以及間隙壁 64 亦呈現在至少閘極導體 60 的裸露側壁。如圖所示，包含區域 18T 與 20T 之拉伸氮化物襯層 16T 位於 nFET 裝置區 52，而包含區域 18C 與 20C 之壓縮氮化物襯層 16C 位於 pFET 裝置區 54。

圖 3 所示缺少本發明具有上區域密度比下區域高的壓力源材料之結構，係使用此技藝中熟知的習知製程來形成。例如，首先經由微影與蝕刻定義溝渠於基板，來形成隔離區域 56。蝕刻步驟後，可形成選擇性的溝渠介電襯層，而後，可沉積溝渠介電質(例如氧化物)於溝渠內。溝渠填塞後，接著可進行平坦化製程，例如化學機械研磨 (CMP) 或碾磨。

選替地，可利用區域氧化矽製程來形成隔離區域。

接著，利用任何習知 CMOS 製程將 FET 形成在半導體基板 12 表面上之 nFET 裝置區 52 與 pFET 裝置區 54。方法包含形成包含閘極介電質與閘極導體之層狀堆疊於半導體基板 12 表面上的步驟。閘極介電質可利用熱製程，

例如氧化或習知沉積製程形成。可用於本發明之閘極介電質包含：氧化物、氮化物、氮氧化物、或其多層組合。閘極導體可利用習知沉積製程形成。當使用多晶 Si 或 SiGe 閘極時，導體材料可由原址摻雜沉積製程，或沉積後接著離子植入來形成。植入遮罩與不同的離子植入可用以形成不同導電性的 FET。在形成層狀堆疊後，利用微影與蝕刻圖案化至少該閘極導體（或閘極介電質為選擇性）。可利用熱製程形成鈍化層鄰接各圖案化閘極區域。之後，利用離子植入與退火，形成源極／汲極延伸。接著，利用沉積與蝕刻形成側壁間隙壁，之後利用離子植入與退火形成源極／汲極擴散區。可以省略用於活化上述 S/D 延伸的退火步驟，而使活化可以發生在源極／汲極的活化期間。於一些實施例中，側壁間隙壁可包含本發明的緻密化非晶壓力源材料，單獨地或與其他絕緣材料一起。

除此技術外，可利用習知閘極替換製程形成 FET 於半導體基板表面上。

接著，藉由上述步驟形成本發明的壓力源材料。尤其是，可於單一製程使用本發明的步驟，處理在各 FET 上的壓力源材料。選替地，在多重步驟中處理各 FET 上的壓力源材料，其中在位於未受保護區的壓力源材料形成期間，於裝置區上方形成阻擋遮罩(block mask)，然後移除阻擋遮罩，並重複製程在含有本發明壓力源材料之先前未受保護

區，形成阻擋遮罩。在緻密化之後，可利用蝕刻步驟使壓力源材料塑形成任何所欲形狀。

圖 4A 與 4B 為處於拉伸應變(圖 4A)與壓縮應變(圖 4B)本發明多層式緻密化非晶 SiN 壓力源材料，以及多層式中斷式(interrupted)沉積的習知薄膜 SiN 壓力源材料之圖式。本發明的材料標示為“發明”，而習知材料標示為“習知”。應注意，利用各種 SiN 層中斷式沉積形成 SiN 膜的習知方法，係為提供增加壓力源材料應力值的已知方式。圖中所示數據顯示本發明方法提供進一步增加 SiN 應力值，且超出使用先前技藝所能達到的應力值的手段。

尤其是，相較於各沉積步驟間未經緻密化之類似的多層膜，使用本發明製程能達到增加 70% 的應力。拉伸與壓縮 SiN 膜兩者皆顯示出增加。

使用本發明方法準備十六層的應力 SiN 膜，其中係利用 PECVD。多層式結構中各 SiN 層的厚度約為 10-10,000 Å 之間，且在各沉積間，使用活化氮處理，亦即電漿氮化，使 SiN 膜歷經緻密化。該膜的 X-射線反射(XRR)資料顯示，各獨立層由兩個區域(一下區域與一上區域，上區域的密度比下區域高)構成。表 1 概述上區域的密度。顯然地，活化氮處理導致實質密集的上膜。上區域的厚度估計在 15-25Å 之間。處理的最佳歷時是 10 至 60 秒。處理超

過此時間範圍並不會使上區域的密度產生任何實質的增加，也不會增加膜的厚度或應力值。

表 1 XRR 資料

範例	緻密化後，SiN 薄膜上區域的密度 (gm/cc)	無緻密化的 SiN 薄膜上區域的密度 (gm/cc)
拉伸的 SiN	2.63	2.41
壓縮的 SiN	3.17	2.57

雖然特別顯示與描述本發明與其相關的較佳實施例。熟悉此項技藝者應了解以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

【圖式簡單說明】

圖 1 是說明習知半導體結構的剖面示意圖，其中藉由在電晶體上方施以高應力 SiN 襯層，而於 CMOS 電晶體通道區域產生應力。

圖 2A-2C 是說明本發明增加形成在半導體基板表面的壓力源材料應力值的各製程步驟的剖面示意圖。

圖 3 是說明半導體結構的剖面示意圖，其中藉由在半導體基板的部分頂部以及形成在基板上的電晶體裝置，施以本發明高應力壓力源材料，而於 CMOS 電晶體通道區域產生應力。

圖 4A-4B 圖示顯示本發明 SiN 壓力源材料與習知多層中斷式沉積的 SiN 壓力源材料相比較，處於拉伸應變（圖 4A）與壓縮應變（圖 4B）的圖式。

【主要元件符號說明】

10 結構	12 半導體基板
14 非晶薄膜壓力源材料	16 緻密化薄膜壓力源材料
16A 緻密化薄膜壓力源材料	16B 緻密化薄膜壓力源材料
16C 壓縮氮化物襯層	16T 拉伸氮化物襯層
18 下區域	18A 下非緻密化區
18B 下非緻密化區	18C 區域
18T 區域	20 上區域
20A 上緻密化區	20B 上緻密化區
20C 區域	20T 區域
50 半導體結構	52 nFET 裝置區
54 pFET 裝置區	56 隔離區
58 閘極介電質	60 閘極導體
62 源極／汲極擴散區	64 間隙壁
66 nFET	68 pFET
100 半導體結構	102 半導體基板
104 nFET 裝置區	106 pFET 裝置區
108 隔離區	120 nFET
121 間隙壁	122 閘極介電質
124 閘極導體	125 電晶體通道
126 源極／汲極擴散區	128 pFET
130 拉伸氮化物襯層	132 壓縮氮化物襯層

十、申請專利範圍：

1. 一種增加一初鍍壓力源材料之應力位準的方法，包含：
形成一非晶膜壓力源材料於一基板之至少一表面上，該非晶膜壓力源材料具有定義一應力值之一拉伸或壓縮機械應變；及
緻密化該非晶膜壓力源材料，使得當增加該應力值時該拉伸或壓縮機械應變實質未改變，其中該緻密化包含輻射暴露或者於一電漿存在時之電漿氮化，該電漿包含以下其中之一：原子氮、分子氮、原子氮離子及上述組合。
2. 如請求項 1 所述的方法，其中重複任何次數的該形成及緻密化步驟，以提供具有一預選厚度之一多層壓力源材料。
3. 如請求項 1 所述的方法，其中該非晶膜壓力源材料包含氮化物、氧化物或金屬。
4. 如請求項 3 所述的方法，其中該非晶膜壓力源材料更包含氫。
5. 如請求項 1 所述的方法，其中該非晶膜壓力源材料包含 SiN 或含氫 SiN。

6. 如請求項 1 所述的方法，其中形成該非晶膜壓力源材料包含：在約 550°C 或更低的溫度，執行沉積製程。
7. 如請求項 6 所述的方法，其中該沉積製程包含以下其中之一：化學氣相沈積、電漿增強化學氣相沉積或快速熱化學氣相沉積。
8. 如請求項 7 所述的方法，其中該沉積製程為電漿增強化學氣相沉積。
9. 如請求項 1 所述的方法，其中該電漿氮化係執行於溫度約 550°C 或更低。
10. 如請求項 9 所述的方法，其中該電漿氮化執行的時間約 0.5 至約 200 秒。
11. 如請求項 1 所述的方法，其中該緻密化形成該非晶膜壓力源材料之一上區域與一下區域，相較於該下區域，該上區域具有一較高的密度。
12. 如請求項 11 所述的方法，其中該上區域的厚度約 1 至約 50nm。
13. 如請求項 1 所述的方法，更包含塑形該緻密化的非晶

膜壓力源材料。

14. 一種增加一初鍍壓力源材料之應力位準的方法，包含：

藉由電漿增強化學氣相沉積形成一非晶膜壓力源材料於一基板之至少一表面上，該非晶膜壓力源材料具有定義一應力值之一拉伸或壓縮機械應變；及

於約 550°C 或更低之一溫度，藉由電漿氮化以緻密化該非晶膜壓力源材料，使得當增加該應力值時該拉伸或壓縮機械應變實質未改變。

15. 如請求項 14 所述的方法，其中重複任何次數的該形成與緻密化步驟，以提供具有一預選厚度之一多層壓力源材料。

16. 如請求項 14 所述的方法，其中該非晶膜壓力源材料包含氮化物、氧化物或金屬。

17. 如請求項 16 所述的方法，其中該非晶膜壓力源材料更包含氫。

18. 如請求項 14 所述的方法，其中該非晶膜壓力源材料包含 SiN 或含氫 SiN。

19. 如請求項 14 所述的方法，其中該電漿氮化係執行於一

含氮電漿存在時，該含氮電漿包含以下其中之一：原子氮、分子氮或原子氮離子。

20. 如請求項 14 所述的方法，其中該電漿氮化執行的時間約 0.5 至約 200 秒。

21. 如請求項 14 所述的方法，其中該緻密化形成該非晶膜壓力源材料之一上區域與一下區域，相較於該下區域，該上區域具有一較高的密度。

22. 如請求項 21 所述的方法，其中該上區域的厚度約 1 至約 50nm。

23. 如請求項 14 所述的方法，更包含塑形該緻密化的非晶膜壓力源材料。

24. 一種形成一半導體結構的方法，包含：

提供一半導體基板，其包含有至少一 nFET 之至少一 nFET 裝置區及有至少一 pFET 之一 pFET 裝置區，係由一隔離區分開；

形成一非晶膜壓力源材料於該基板之至少一表面上，且於該 nFET 與該 pFET 頂上，該非晶膜壓力源材料具有定義一應力值之一拉伸或壓縮機械應變；及

緻密化該非晶膜壓力源材料，使得當增加該應力

101年7月8日修正替換頁

案號：95111515

101 年 02 月 08 日修正-替換頁

值時該拉伸或壓縮機械應變實質未改變，其中該緻密化包含輻射暴露或者於一電漿存在時之電漿氮化，該電漿包含以下其中之一：原子氮、分子氮、原子氮離子及上述組合。

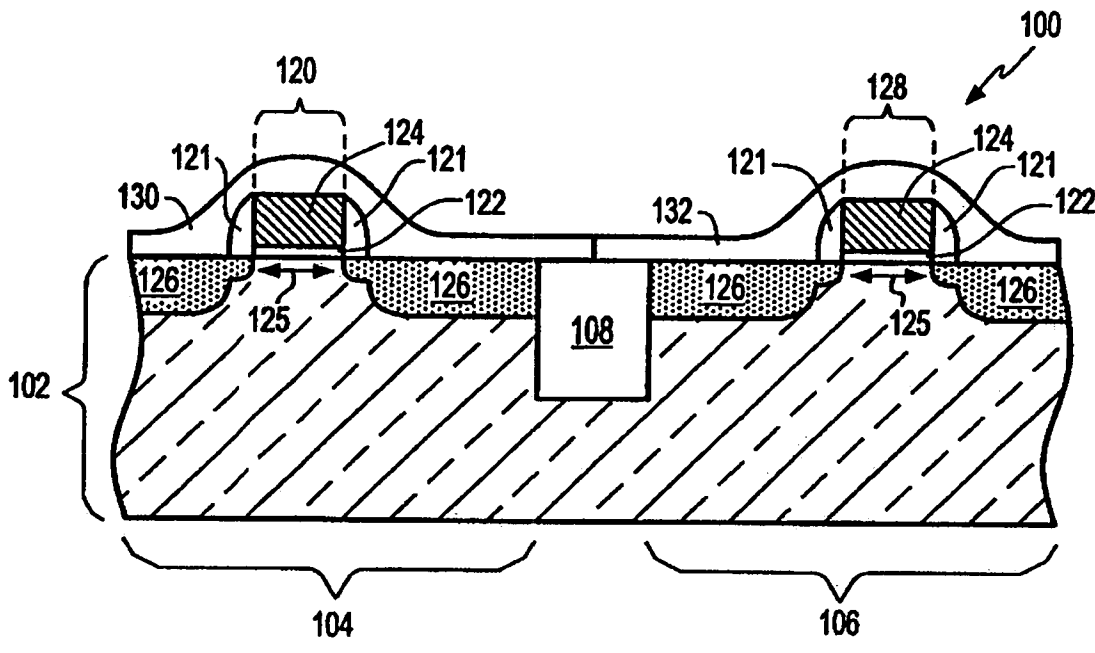


圖1

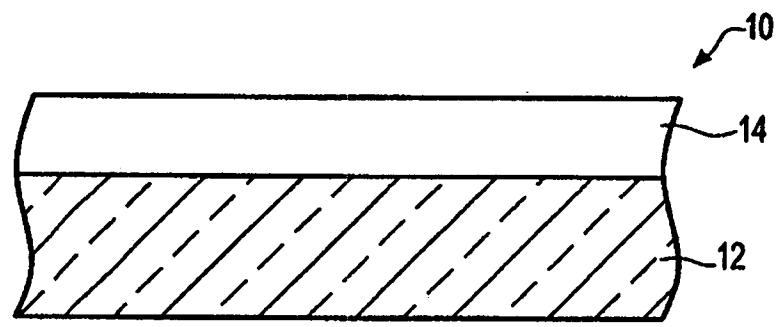


圖2A

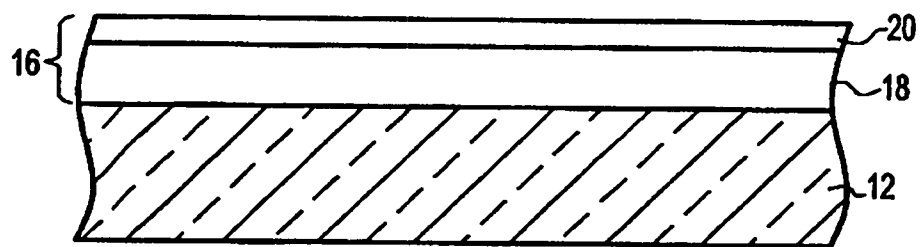


圖2B

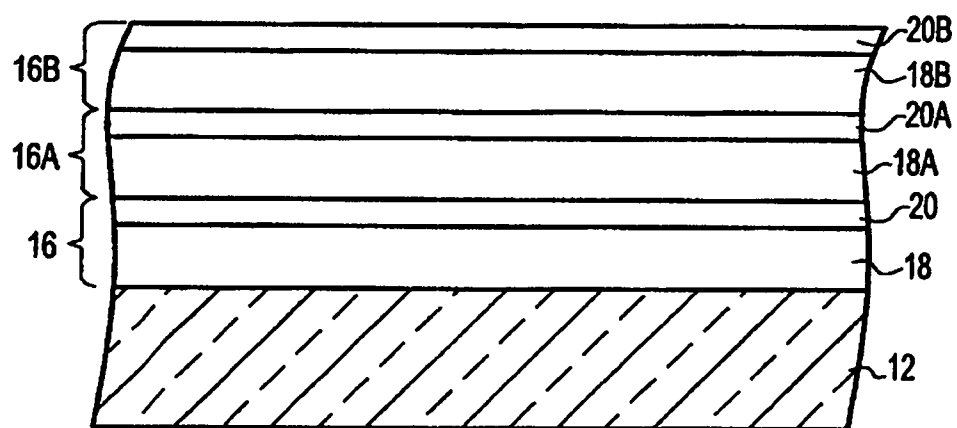


圖2C

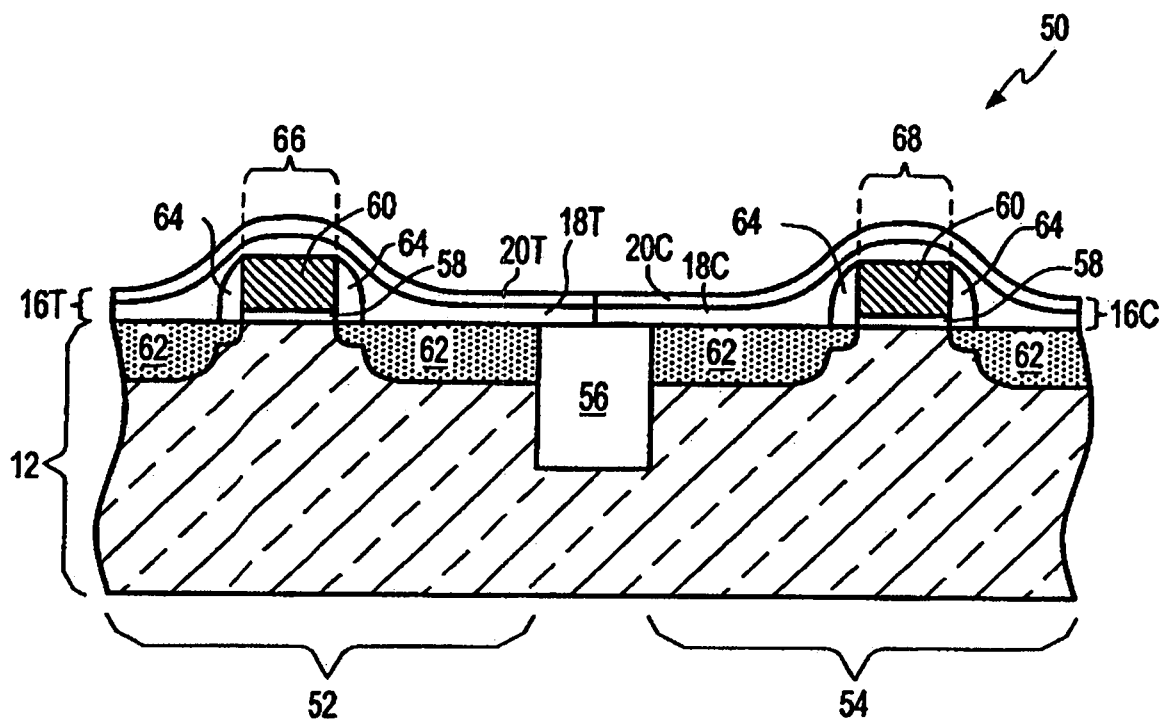


圖3

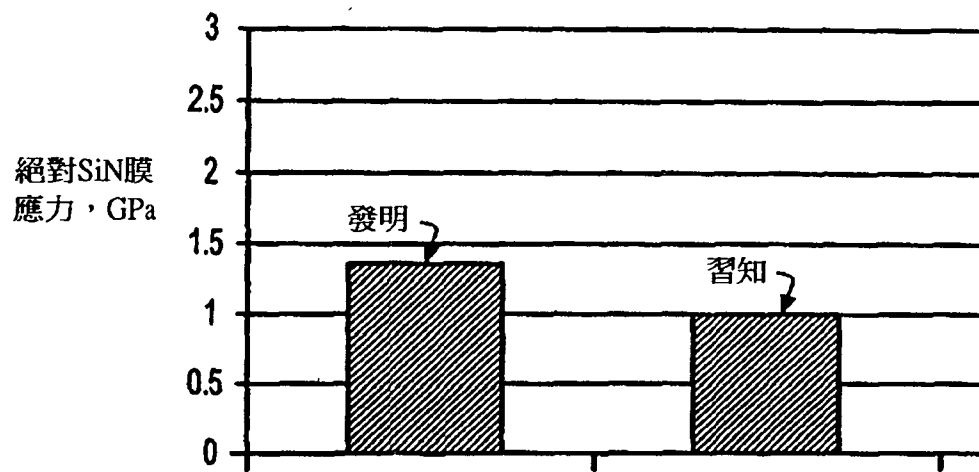


圖4A

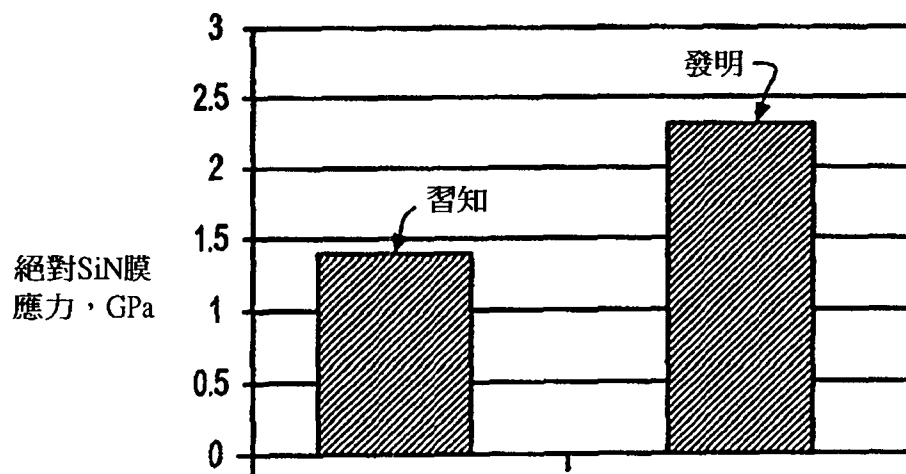


圖4B