



(12)发明专利申请

(10)申请公布号 CN 109725676 A
(43)申请公布日 2019.05.07

(21)申请号 201811276533.7

(22)申请日 2018.10.30

(30)优先权数据

2017-211132 2017.10.31 JP

(71)申请人 辛纳普蒂克斯公司

地址 美国加利福尼亚州

(72)发明人 曾根康彦

(74)专利代理机构 中国专利代理(香港)有限公司
72001

代理人 李湘 闫小龙

(51)Int.Cl.

G05F 3/26(2006.01)

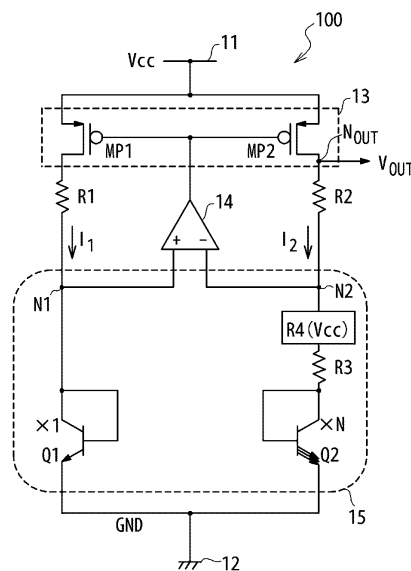
权利要求书3页 说明书14页 附图13页

(54)发明名称

带隙参考电路

(57)摘要

带隙参考电路包括:第一电流反射镜,连接到电源线并且配置成向第一结点提供第一电流并且向第二结点(其虚拟地短接到第一结点)提供第二电流;第一结点与地线之间的第一pn结元件;第二结点与地线之间的第一可变电阻器元件;以及第二pn结元件,串联连接到第一可变电阻器元件。第一可变电阻器元件具有取决于提供给电源线的电源电压的电阻。



1. 带隙参考电路,包括:
第一电流反射镜,连接到电源线,并且配置成:
向第一结点提供第一电流;并且
向虚拟地短接到所述第一结点的第二结点提供第二电流;
所述第一结点与地线之间的第一pn结元件;
所述第二结点与所述地线之间的第一可变电阻器元件,所述第一可变电阻器元件具有取决于提供给所述电源线的电源电压的电阻;以及
第二pn结元件,串联连接到所述第一可变电阻器元件。
2. 如权利要求1所述的带隙参考电路,还包括:
所述第二结点与所述地线之间的第一电阻器元件,所述第一电阻器元件串联连接到所述第一可变电阻器元件与所述第二pn结元件。
3. 如权利要求1所述的带隙参考电路,还包括:
所述第二结点与所述第一电流反射镜的第一输出之间的第二可变电阻器元件,其中所述第一电流反射镜配置成输出具有所述第一输出的所述第二电流,以及所述第二可变电阻器元件具有取决于所述电源电压的电阻。
4. 如权利要求3所述的带隙参考电路,还包括:
所述第一结点与所述第一电流反射镜的第二输出之间的第三可变电阻器元件,其中所述第一电流反射镜配置成输出具有所述第二输出的所述第一电流,以及所述第三可变电阻器元件具有取决于所述电源电压的电阻。
5. 如权利要求1所述的带隙参考电路,其中,所述第一pn结元件包括第一二极管连接的双极晶体管,以及
其中所述第二pn结元件包括第二二极管连接的双极晶体管。
6. 如权利要求1所述的带隙参考电路,还包括输出结点与所述电源线之间的电流-电压转换器电路,
其中所述第一电流反射镜配置成向所述输出结点提供第三电流,以及
其中所述电流-电压转换器电路配置成从所述输出结点来输出输出电压,所述输出电压从所述第三电流来生成。
7. 如权利要求6所述的带隙参考电路,还包括:
所述第一结点与所述地线之间的第二电阻器元件,其中所述第二电阻器元件并联连接到所述第一pn结元件;以及
所述第二结点与所述地线之间的第三电阻器元件,其中所述第三电阻器元件并联连接到所述第二pn结元件。
8. 如权利要求6所述的带隙参考电路,其中,所述电流-电压转换器电路包括所述输出结点与所述地线之间的第四可变电阻器元件,其中所述第四可变电阻器元件具有取决于所述电源电压的电阻。
9. 如权利要求8所述的带隙参考电路,其中,所述电流-电压转换器电路还包括:
所述输出结点与所述地线之间的第三pn结元件;以及
第五电阻器元件,并联连接到所述第三pn结元件和所述第四可变电阻器元件。
10. 如权利要求9所述的带隙参考电路,其中,所述电流-电压转换器电路还包括所述输

出结点与所述地线之间的第六电阻器元件,以及所述第六电阻器元件串联连接到所述第三pn结元件与所述第四可变电阻器元件。

11. 如权利要求9所述的带隙参考电路,其中:

所述第一pn结元件包括第一双极晶体管;

所述第二pn结元件包括第二双极晶体管;

所述带隙参考电路还包括第三结点与所述地线之间的第三双极晶体管;

所述第一双极晶体管、所述第二双极晶体管和所述第三双极晶体管的基极共同连接到所述第三双极晶体管的集电极;

所述第一电流反射镜配置成向所述第三结点输出第四电流;

所述第一结点、所述第二结点和所述第三结点相互虚拟地短接;

所述第一电流流经所述第一双极晶体管的集电极;

所述第二电流流经所述第二双极晶体管的集电极;以及

所述第四电流流经所述第三双极晶体管的所述集电极。

12. 如权利要求11所述的带隙参考电路,还包括:

第二电流反射镜,配置成:

向所述第三结点提供第五电流;以及

向所述电流-电压转换器电路提供第六电流;

第一运算放大器,包括连接到所述第一结点的第一输入和连接到所述第二结点的第二输入,其中所述第一运算放大器配置成:

向所述第一电流反射镜输出第一控制电压,以控制所述第一电流、所述第二电流、所述第三电流和所述第四电流;以及

第二运算放大器,包括连接到所述第一结点的第一输入和连接到所述第三结点的第二输入,其中所述第二运算放大器配置成:

向所述第二电流反射镜输出第二控制电压,以控制所述第五电流和所述第六电流。

13. 带隙参考电路,包括:

第一可变电阻器元件,具有取决于提供给电源线的电源电压的电阻;

电流反射镜,连接到所述电源线,所述电流反射镜配置成:

向第一结点提供第一电流;以及

向第二结点提供第二电流,所述第二结点经由所述第一可变电阻器元件虚拟地短接到所述第一结点;

第一pn结元件,连接在所述第一结点与地线之间;

第二pn结元件,连接在所述第二结点与所述地线之间;以及

第一电阻器元件,串联连接到所述第二pn结元件。

14. 如权利要求13所述的带隙参考电路,还包括:

第二可变电阻器元件,具有取决于所述电源电压的电阻,

其中所述电流反射镜进一步配置成经由所述第二可变电阻器元件向所述第一结点提供所述第一电流。

15. 如权利要求13所述的带隙参考电路,还包括:

所述电流反射镜与所述第二结点之间的第二电阻器元件,其中所述第二电阻器元件串

联连接到所述第一可变电阻器元件，

其中所述电流反射镜还配置成经由所述第一可变电阻器元件和所述第二电阻器元件向所述第二结点提供所述第二电流。

16. 如权利要求14所述的带隙参考电路，还包括：

所述电流反射镜与所述第二结点之间的第二电阻器元件，其中所述第二电阻器元件串联连接到所述第一可变电阻器元件；以及

所述电流反射镜与所述第一结点之间的第三电阻器元件，其中所述第三电阻器元件串联连接到所述第二可变电阻器元件，

其中所述电流反射镜进一步配置成：

经由所述第一可变电阻器元件和所述第二电阻器元件向所述第二结点提供所述第二电流；以及

经由所述第二可变电阻器元件和所述第三电阻器元件向所述第一结点提供所述第一电流。

17. 带隙参考电路，包括：

电流反射镜，连接到电源线，所述电流反射镜配置成：

向第一结点提供第一电流；

向虚拟地短接到所述第一结点的第二结点提供第二电流；以及

向输出结点提供第三电流；

所述第一结点与地线之间的第一pn结元件；

所述第二结点与所述地线之间的第二pn结元件；

第一电阻器元件，串联连接到所述第二pn结元件；以及

所述输出结点与所述地线之间的电流-电压转换器电路，所述电流-电压转换器电路包括第一可变电阻器元件，所述第一可变电阻器元件具有取决于提供给所述电源线的电源电压的电阻。

18. 如权利要求17所述的带隙参考电路，还包括：

所述第一结点与所述地线之间的第二电阻器元件，其中所述第二电阻器元件并联连接到所述第一pn结元件；以及

所述第二结点与所述地线之间的第三电阻器元件，其中所述第三电阻器元件并联连接到所述第二pn结元件。

19. 如权利要求17所述的带隙参考电路，其中，所述电流-电压转换器电路还包括：

第三pn结元件；以及

第四电阻器元件，

其中所述第三pn结元件和所述第一可变电阻器元件串联连接在所述输出结点与所述地线之间，以及

其中所述第四电阻器元件在所述输出结点与所述地线之间并且并联连接到所述第三pn结元件与所述第一可变电阻器元件。

20. 如权利要求1所述的带隙参考电路，其中，所述第一可变电阻器元件包括NMOS晶体管，其具有提供有所述电源电压的栅极。

带隙参考电路

交叉引用

[0001] 本申请要求2017年10月31日提交的日本专利申请号2017-211132的优先权,通过引用将其公开完整地结合到本文中。

技术领域

[0002] 本公开涉及带隙参考电路。

背景技术

[0003] 带隙参考电路(其利用pn结的电流-电压性质的温度相关性来生成相对温度是稳定的输出电压)广泛用于半导体集成电路。

[0004] 一般来说,带隙参考电路的输出电压相对扰动是相当稳定的;然而,输出电压可以轻微地取决于电源电压,这取决于带隙参考电路的配置。

发明内容

[0005] 在一个或多个实施例中,带隙参考电路包括:电流反射镜,连接到电源线,并且配置成向第一结点提供第一电流并且向第二结点(其虚拟地短接到第一结点)提供第二电流;第一结点与地线之间的第一pn结元件;第二结点与地线之间的可变电阻器元件;以及第二pn结元件,串联连接到可变电阻器元件。可变电阻器元件具有取决于提供给电源线的电源电压的电阻。

[0006] 在一个或多个实施例中,带隙参考电路包括:可变电阻器元件,具有取决于提供给电源线的电源电压的电阻;电流反射镜,连接到电源线;第一结点与地线之间的第一pn结元件;第二结点与地线之间的第二pn结元件;以及第一电阻器元件,串联连接到第二pn结。电流反射镜配置成向第一结点提供第一电流并且向第二结点(其经由可变电阻器元件虚拟地短接到第一结点)提供第二电流;

[0007] 在一个或多个实施例中,带隙参考电路包括:电流反射镜,连接到电源线,并且向输出结点提供第三电流;第一结点与地线之间的第一pn结元件;第二结点与地线之间的第二pn结元件;第一电阻器元件,串联连接到第二pn结元件;以及输出结点与地线之间的可变电阻器元件。可变电阻器元件具有取决于提供给电源线的电源电压的电阻。电流反射镜配置成向第一结点提供第一电流,向第二结点(其虚拟地短接到第一结点)提供第二电流。

附图说明

[0008] 为了能够详细了解本公开的上述特征的方式,可参照实施例进行以上概述的对本公开的更具体描述,附图中示出实施例的一部分。然而要注意,附图仅示出本公开的一些实施例,并且因此不是要被理解为限制其范围,因为本公开可容许其他同样有效的实施例。

图1是示出根据一个或多个实施例的带隙参考电路的配置的电路图;

图2示出根据一个或多个实施例的可变电阻器元件的配置的示例;以及

图3、图4、图5、图6、图7、图8、图9、图10、图11、图12、图13和图14是示出根据一个或多个实施例的带隙参考电路的配置的电路图。

具体实施方式

[0009] 下面参照附图给出对本公开的各个实施例的描述。要注意,在以下描述中,相同或相似组件可通过相同或对应参考标号来表示。

[0010] 在一个或多个实施例中,如图1中所示,带隙参考电路100包括电源线11、地线12、电流反射镜13、运算放大器14、电阻器元件R1、R2、R3、可变电阻器元件R4以及双极晶体管Q1和Q2。在一个实施例中,电源线11提供有电源电压 V_{cc} ,并且地线12接地。

[0011] 在一个或多个实施例中,电流反射镜13连接到电源线11以及配置成输出第一电流 I_1 和第二电流 I_2 。第一电流 I_1 和第二电流 I_2 可以具有相同的电流电平。在一个或多个实施例中,电流反射镜13包括一对PMOS晶体管MP1和MP2。PMOS晶体管MP1和MP2可以具有共同连接的栅极,并且其源极可以共同连接到电源线11。此外,PMOS晶体管MP1的漏极可以经由电阻器元件R1来连接到第一结点N1,以及PMOS晶体管MP2的漏极可以经由电阻器元件R2来连接到第二结点N2。PMOS晶体管MP1的漏极可以用作第一输出(其配置成输出第一电流 I_1),以及PMOS晶体管MP2的漏极可以用作第二输出(其配置成输出第二电流 I_2)。在一个或多个实施例中,电阻器元件R1和R2设计成具有相同电阻。

[0012] 在一个或多个实施例中,运算放大器14包括连接到第一结点N1的第一输入、连接到第二结点N2的第二输入以及连接到PMOS晶体管MP1和MP2的栅极的输出。第一输入可以是非反相输入,以及第二输入可以是反相输入。在一个或多个实施例中,运算放大器14配置成向电流反射镜13输出控制电压以控制第一电流 I_1 和第二电流 I_2 。运算放大器14可以配置成向PMOS晶体管MP1和MP2的栅极提供控制电压。在一个或多个实施例中,运算放大器14配置成控制PMOS晶体管MP1和MP2的栅极上的电位,使得结点N1和N2具有相同电位。在一个或多个实施例中,第一结点N1和第二结点N2经过运算放大器14的以上操作虚拟地短接。在一个或多个实施例中,电流反射镜13和运算放大器14共同作为电流源电路进行操作,所述电流源电路配置成将结点N1和N2控制成相同电位,并且向结点N1和N2提供相同电流电平的电流。

[0013] 在一个或多个实施例中,双极晶体管Q1是二极管连接的以作为结合pn结的第一pn结元件进行操作。在一个或多个实施例中,NPN晶体管用作双极晶体管Q1。双极晶体管Q1可以具有连接到地线12的发射极以及可以共同连接到第一结点N1的集电极和基极。第一电流 I_1 可以沿向前的方向流经双极晶体管Q1的基极和发射极之间所形成的pn结。

[0014] 在一个或多个实施例中,双极晶体管Q2、电阻器元件R3和可变电阻器元件R4串联连接在第二结点N2与地线12之间。图1中,可变电阻器元件R4通过图例“R4(V_{cc})”来表示,以指示可变电阻器元件R4的电阻取决于电源电压 V_{cc} 。在一个或多个实施例中,连接双极晶体管Q2、电阻器元件R3和可变电阻器元件R4的顺序是可互换的。

[0015] 在一个或多个实施例中,双极晶体管Q2是二极管连接的以作为第二pn结元件进行操作,与双极晶体管Q1相似。在一个或多个实施例中,NPN晶体管用作双极晶体管Q2。双极晶体管元件Q2的基极-发射极结的面积可以是双极晶体管元件Q1的基极-发射极结的面积的N倍,其中N为大于1的数值。在一个或多个实施例中,双极晶体管Q2具有连接到地线12的发射

极以及经由电阻器元件R3和可变电阻器元件R4共同连接到第二结点N2的集电极和基极。第二电流 I_2 可以流经双极晶体管Q2的基极与发射极之间的pn结。

[0016] 在各个实施例中，二极管连接的PNP晶体管可用作双极晶体管Q1和Q2。

[0017] 在一个或多个实施例中，与MOS晶体管共同形成的寄生双极晶体管可用作双极晶体管Q1和Q2。这个配置促进带隙参考电路100到基于MOS晶体管的集成电路中的集成。

[0018] 包括pn结的其他元件可用来代替二极管连接的双极晶体管Q1和Q2。例如，在一个或多个实施例中，包括半导体衬底中形成的阱以及阱中形成的扩散层的二极管可用来代替双极晶体管Q1和Q2。备选地，二极管连接的MOS晶体管可用来代替二极管连接的双极晶体管Q1和Q2。

[0019] 在一个或多个实施例中，可变电阻器元件R4具有取决于提供给电源线11的电源电压 V_{cc} 的电阻。在一个或多个实施例中，如图2中所示，NMOS晶体管MN1（其具有被提供电源电压 V_{cc} 的栅极）可用作可变电阻器元件R4。NMOS晶体管MN1（其具有配置成接收电源电压 V_{cc} 的栅极）的导通电阻可以取决于电源电压 V_{cc} ，并且这个性质允许NMOS晶体管MN1被用作可变电阻器元件R4。在这种情况下，可变电阻器元件R4的电阻随着电源电压 V_{cc} 增加而减少。例如经过分压从电源电压 V_{cc} 所生成的偏置电压可代替电源电压 V_{cc} 来提供给NMOS晶体管MN1（其用作可变电阻器元件R4）的栅极。在备选实施例中，PMOS晶体管可用作可变电阻器元件R4。

[0020] 在一个或多个实施例中，带隙参考电路100的输出电压 V_{out} 从输出结点 N_{out} （其配置成连接PMOS晶体管MP2的漏极和电阻器元件R2）来输出。在这个配置中，输出电压 V_{out} 作为双极晶体管Q2的基极-发射极电压 V_{BE2} 以及跨电阻器元件R2、R3和可变电阻器元件R4的电压下降的总和来生成。如后面详细论述，第二电流 I_2 （其流经电阻器元件R2、R3和可变电阻器元件R4）可以具有相对绝对温度T的正温度相关性，而双极晶体管Q2的基极-发射极电压 V_{BE2} 可以具有相对绝对温度T的负温度相关性。这有效地降低带隙参考电路100的输出电压 V_{out} 相对绝对温度T的温度相关性。此外，在各个实施例中，带隙参考电路100进行操作以生成如下所述的输出电压 V_{out} 。

[0021] 在一个或多个实施例中，第一电流 I_1 和第二电流 I_2 （其分别被提供给第一结点N1和第二N2）因双极晶体管Q1、Q2、电阻器元件R3以及可变电阻器元件R4的作用而具有与绝对温度成比例的电流电平。在这种情况下，双极晶体管Q1、Q2、电阻器元件R3以及可变电阻器元件R4可统称为PTAT（与绝对温度成比例）电流发生器电路15。

[0022] 更具体来说，例如，当第一电流 I_1 和第二电流 I_2 由电流反射镜13控制成具有相同电流电平I时，基于双极晶体管Q2的基极-发射极结的面积可以是双极晶体管Q1的基极-发射极结的面积的N倍，下式(1a)和(1b)对双极晶体管Q1的基极-发射极电压 V_{BE1} 和双极晶体管Q2的基极-发射极电压 V_{BE2} 可以成立：

$$V_{BE1} = \frac{kT}{q} \ln\left(\frac{I}{I_S}\right) \quad \dots(1a)$$

$$V_{BE2} = \frac{kT}{q} \ln\left(\frac{I}{I_S} \cdot \frac{1}{N}\right) \quad \dots(1b)$$

其中 I_s 是反向饱和电流, k 是玻尔兹曼常数, T 是绝对温度,以及 q 是元电荷。

[0023] 由于第一结点 N_1 和第二结点 N_2 可以虚拟地短接并且结点 N_2 上的电压可以等于双极晶体管 Q_1 的基极-发射极电压 V_{BE1} ,所以下式(2)可以成立:

$$I = \frac{V_{BE1} - V_{BE2}}{R3 + R4(V_{CC})} \quad \dots(2)$$

其中, $R4(V_{CC})$ 是可变电阻器元件 R_4 的电阻,并且取决于电源电压 V_{CC} 。

[0024] 电流 I_1 和 I_2 的电流电平 I 可以通过下式(3)(其通过将等式(1a)和(1b)代入等式(2)所得到)来表示:

$$I = \frac{V_t \cdot \ln(N)}{R3 + R4(V_{CC})} \quad \dots(3)$$

其中, V_t 是通过下式(4)所给出的热电压:

$$V_t = \frac{kT}{q} \quad \dots(4)$$

电流 I_1 和 I_2 的电流电平 I 可以与绝对温度 T 成比例。由于电流 I_2 与绝对温度 T 成比例地增加,所以跨电阻器元件 R_2 、 R_3 和可变电阻器元件 R_4 的电压下降也与绝对温度 T 成比例地增加。

[0025] 输出电压 V_{out} (其是跨电阻器元件 R_2 、 R_3 和可变电阻器元件 R_4 的电压下降以及双极晶体管 Q_2 的基极-发射极电压 V_{BE2} 的总和)可以例如通过下式(5)来表示:

$$\begin{aligned} V_{out} &= I \cdot (R2 + R3 + R4(V_{CC})) + V_{BE2} \\ &= \frac{V_t \cdot \ln(N)}{R3 + R4(V_{CC})} \cdot (R2 + R3 + R4(V_{CC})) + V_{BE2} \\ &= V_t \cdot \ln(N) \cdot \left(1 + \frac{R2}{R3 + R4(V_{CC})} \right) + V_{BE2} \quad \dots(5) \end{aligned}$$

由于热电压 V_t 可以具有正温度相关性并且与温度成比例地增加,而基极-发射极电压 V_{BE2} 具有负温度相关性,所以输出电压 V_{out} 的温度相关性能够通过适当地调整 N 、 R_2 、 R_3 和 R_4 有效地降低。

[0026] 另外,如通过等式(5)所理解,输出电压 V_{out} 与电源电压 V_{CC} 的相关性能够通过按照对于没有提供可变电阻器元件 R_4 的情况的输出电压 V_{out} 与电源电压 V_{CC} 的相关性选择可变电阻器元件 R_4 的性质来降低。在一个或多个实施例中,当没有提供可变电阻器元件 R_4 时,输出电压 V_{out} 随着电源电压 V_{CC} 增加而增加。在这类情况下,输出电压 V_{out} 与电源电压 V_{CC} 的相关性能够通过使用可变电阻器元件 R_4 (其配置成具有随着电源电压 V_{CC} 增加而增加的电阻)来降低。相比之下,当输出电压 V_{out} 对于没有提供可变电阻器元件 R_4 的情况随着电源电压 V_{CC} 增加而降低时,输出电压 V_{out} 与电源电压 V_{CC} 的相关性能够通过使用可变电阻器元件 R_4 (其配置成具有随着电源电压 V_{CC} 增加而降低的电阻)来降低。

[0027] 在一个或多个实施例中,如图3中所示,带隙参考电路100与图1中所示的带隙参考

电路相似地配置,除了PTAT电流发生器电路16没有结合可变电阻器元件R4,以及带隙参考电路100包括在输出结点Nout与第二结点N2之间串联连接到电阻器元件R2的可变电阻器元件R5。

[0028] NMOS晶体管(其具有被提供电源电压Vcc的栅极)可用作可变电阻器元件R5,正如采用可变电阻器元件R4(又参见图2)的情况那样。在这种情况下,可变电阻器元件R5的电阻随着电源电压Vcc增加而降低。例如经过分压从电源电压Vcc所生成的偏置电压可代替电源电压Vcc来提供给NMOS晶体管(其用作可变电阻器元件R5)的栅极。在备选实施例中,PMOS晶体管可用作可变电阻器元件R5。在一个或多个实施例中,电阻器元件R2和可变电阻器元件R5的位置是可互换的。

[0029] 在图3所示的配置中,第二结点N2上的电压可以等于双极晶体管Q1的基极-发射极电压 V_{BE1} ,并且相应地下式(6)可以成立:

$$I = \frac{V_{BE1} - V_{BE2}}{R3} \quad \dots(6)$$

因此,电流 I_1 和 I_2 的电流电平I可以通过下式(7)来得到:

$$I = \frac{Vt \cdot \ln(N)}{R3} \quad \dots(7)$$

[0030] 输出电压Vout可以是跨电阻器元件R2、可变电阻器元件R5和电阻器元件R3的电压下降以及双极晶体管Q2的基极-发射极电压 V_{BE2} 的总和,例如通过下式(8)所表示:

$$\begin{aligned} Vout &= I \cdot (R2 + R3 + R5(Vcc)) + V_{BE2} \\ &= \frac{Vt \cdot \ln(N)}{R3} \cdot (R2 + R3 + R5(Vcc)) + V_{BE2} \\ &= Vt \cdot \ln(N) \cdot \left(1 + \frac{R2 + R5(Vcc)}{R3} \right) + V_{BE2} \quad \dots(8) \end{aligned}$$

相应地,N、R2、R3和R5(Vcc)的适当调整使输出电压Vout与温度较少相关或者没有与温度的相关性。

[0031] 在一个或多个实施例中,可变电阻器元件R5的性质可选择成使得输出电压Vout与电源电压Vcc的相关性按照对于没有提供可变电阻器元件R5的情况的输出电压Vout与电源电压Vcc的相关性来降低。在各个实施例中,当没有提供可变电阻器元件R5时,输出电压Vout随着电源电压Vcc增加而增加。例如,输出电压Vout与电源电压Vcc的相关性能够通过使用可变电阻器元件R5(其配置成具有随着电源电压Vcc增加而降低的电阻)来降低。相比之下,当输出电压Vout对于没有提供可变电阻器元件R5的情况随着电源电压Vcc增加而降低时,输出电压Vout与电源电压Vcc的相关性能够通过使用可变电阻器元件R5(其配置成具有随着电源电压Vcc增加而增加的电阻)来降低。

[0032] 在一个或多个实施例中,如图4中所示,带隙参考电路100与图3中所示的带隙参考电路相似地配置,除了带隙参考电路100包括另一个可变电阻器元件R5,所述可变电阻器元件R5串联连接到第一结点N1与PMOS晶体管MP1的漏极之间的电阻器元件R1,除了可变电阻器元件R5串联连接到第二结点N2与MP2的漏极之间的电阻器元件R2之外。该电路配置更加

均衡和有效地减少了通过PMOS晶体管MP1和MP2的厄利效应潜在引起的第一电流 I_1 和第二电流 I_2 的电流电平之间的差。在一个或多个实施例中,电阻器元件R1和可变电阻器元件R5的位置是可互换的。

[0033] 在一个或多个实施例中,如图5中所示,带隙参考电路100作为图1中所示配置和图4中所示配置的组合来配置。图5中所示的带隙参考电路100包括PTAT电流发生器电路15,其结合可变电阻器元件R4。另外,电阻器元件R1和可变电阻器元件R5串联连接在第一结点N1与PMOS晶体管MP1的漏极之间,以及电阻器元件R2和另一个可变电阻器元件R5串联连接在第二结点N2与PMOS晶体管MP2的漏极之间。

[0034] 在图5所示的配置中,输出电压 V_{out} (其是跨电阻器元件R2、可变电阻器元件R5、可变电阻器元件R4和电阻器元件R3的电压下降以及双极晶体管Q2的基极-发射极电压 V_{BE2} 的总和)可以例如通过下式(9)来表示:

$$\begin{aligned} V_{out} &= I \cdot (R2 + R3 + R4(V_{cc}) + R5(V_{cc})) + V_{BE2} \\ &= \frac{V_t \cdot \ln(N)}{R3 + R4(V_{cc})} \cdot (R2 + R3 + R4(V_{cc}) + R5(V_{cc})) + V_{BE2} \\ &= V_t \cdot \ln(N) \cdot \left(1 + \frac{R2 + R5(V_{cc})}{R3 + R4(V_{cc})} \right) + V_{BE2} \quad \dots(9) \end{aligned}$$

等式(9)可以基于电流 I_1 和 I_2 的电流电平 I 通过上述等式(3)所给出的事实来得到。

[0035] 在一个或多个实施例中, N 、 $R2$ 、 $R3$ 、 $R4(V_{cc})$ 和 $R5(V_{cc})$ 基于等式(9)来调整成使得所生成输出电压 V_{out} 与温度较少相关或者没有温度相关性。

[0036] 可变电阻器元件R4和R5的性质可以选择成使得按照在没有提供可变电阻器元件R4和R5的实施例中输出电压 V_{out} 与电源电压 V_{cc} 的相关性来降低输出电压 V_{out} 与电源电压 V_{cc} 的相关性。

[0037] 在一个或多个实施例中,如图6中所示,带隙参考电路200包括电源线21、地线22、电流反射镜23、运算放大器24、电阻器元件R3、R6、R7和R8、可变电阻器元件R4以及双极晶体管Q1和Q2。此外,在一个实施例中,电源线21提供有电源电压 V_{cc} ,并且地线22接地。

[0038] 在一个实施例中,电流反射镜23配置成输出第一电流 I_1 和第二电流 I_2 。第一电流 I_1 和第二电流 I_2 可以具有相同电流电平。附加地,电流反射镜23可以配置成输出第三电流 I_0 ,其具有与第一电流 I_1 和第二电流 I_2 的电流电平成比例的电流电平。在一个或多个实施例中,电流反射镜23可以配置成输出第三电流 I_0 ,使得第三电流 I_0 具有与第一电流 I_1 和第二电流 I_2 的电流电平相同的电流电平。在一个或多个实施例中,电流反射镜23可包括PMOS晶体管MP0、MP1和MP2。PMOS晶体管MP0、MP1和MP2可以具有共同连接的栅极,并且其源极可以共同连接到电源线21。PMOS晶体管MP1的漏极可以连接到第一结点N1,以及PMOS晶体管MP2的漏极可以连接到第二结点N2。PMOS晶体管MP0的漏极连接到输出结点 N_{out} 。

[0039] 在各个实施例中,运算放大器24具有连接到第一结点N1的第一输入、连接到第二结点N2的第二输入以及连接到PMOS晶体管MP1和MP2的栅极的输出。第一输入可以是非反相输入,以及第二输入可以是反相输入。在一个或多个实施例中,运算放大器24配置成向电流反射镜23的PMOS晶体管MP1、MP2和MP0的栅极输出控制电压,以控制第一电流 I_1 、第二电流 I_2

和第三电流 I_0 。此外,运算放大器24可以控制PMOS晶体管MP1和MP2的栅极的电位,使得第一结点N1和第二结点N2具有相同电位。在一个或多个实施例中,结点N1和N2经过运算放大器24的以上操作虚拟地短接。在一个或多个实施例中,电流反射镜23和运算放大器24共同作为电流源电路进行操作,所述电流源电路配置成将结点N1和N2控制成相同电位,并且向结点N1和N2提供相同电流电平的电流。

[0040] 在一个或多个实施例中,双极晶体管Q1、Q2、电阻器元件R3以及可变电阻器元件R4作为PTAT电流发生器电路25进行操作,与图1中所示带隙参考电路100的情况相似。双极晶体管Q1连接在结点N1与地线22之间。电阻器元件R3、双极晶体管Q2和可变电阻器元件R4串联连接在结点N1与地线22之间。双极晶体管Q2的基极-发射极结的面积可以是双极晶体管Q1的基极-发射极结的面积的N倍。在一个或多个实施例中,连接电阻器元件R3、双极晶体管Q2和可变电阻器元件R4的顺序是可互换的。

[0041] 如所示,在一个实施例中,电阻器元件R6与双极晶体管Q1并联连接在结点N1与地线22之间,以及电阻器元件R7并联连接到电阻器元件R3。此外,双极晶体管Q2和可变电阻器元件R4连接在结点N2与地线22之间。在一个或多个实施例中,电阻器元件R6和R7设计成具有相同电阻。

[0042] 在一个或多个实施例中,电阻器元件R8连接在输出结点Nout与地线22之间。电阻器元件R8可以作为电流-电压转换器电路(其配置成从提供给输出结点Nout的电流 I_0 来生成输出电压Vout)进行操作。

[0043] 带隙参考电路200可以配置成生成输出电压Vout,使得输出电压Vout的温度相关性降低。流经双极晶体管Q1的电流 I_{1A} 以及流经电阻器元件R3、双极晶体管Q2和可变电阻器元件R4的电流 I_{2A} 可以均是具有正温度相关性的PTAT电流。此外,流经电阻器元件R6的电流 I_{1B} 以及流经电阻器元件R7的电流 I_{2B} 可以均是具有负温度相关性的CTAT(绝对温度互补)电流。由于电流 I_1 是电流 I_{1A} 和 I_{1B} 的总和电流并且电流 I_2 是电流 I_{2A} 和 I_{2B} 的总和电流,所以这降低电流 I_1 和 I_2 的温度相关性。

[0044] 相应地,在一个或多个实施例中,也降低电流 I_0 (其经过电流 I_1 和 I_2 的镜像来生成)的温度相关性。此外,由于输出电压Vout可以经过由电流 I_0 所引起的跨电阻器元件R8的电压下降来生成,所以也降低输出电压Vout的温度相关性。

[0045] 在一个或多个实施例中,提供给结点N2的电流 I_2 是电流 I_{2A} 和 I_{2B} 的总和电流,以及下式(10)成立:

$$I_2 = I_{2A} + I_{2B} \cdots (10)$$

[0046] 由于结点N1和N2虚拟地短接,所以结点N2上的电位可以等于双极晶体管Q1的基极-发射极电压 V_{BE1} ,并且电流 I_{2A} 和 I_{2B} 可以相应地通过下式(11a)和(11b)来表示:

$$I_{2A} = \frac{V_{BE1} - V_{BE2}}{R3 + R4(V_{CC})} \cdots (11a)$$

$$I_{2B} = \frac{V_{BE1}}{R7} \cdots (11b)$$

[0047] 根据等式(1a)和(1b)(其表示基极-发射极电压 V_{BE1} 和 V_{BE2})以及等式(10)、(11a)和(11b),电流 I_2 可以通过下式(12)来表示:

$$I_2 = \frac{Vt \cdot \ln(N)}{R3 + R4(Vcc)} + \frac{V_{BE1}}{R7} \quad \dots(12)$$

[0048] 当电流反射镜23配置成输出电流 I_0 以使得电流 I_0 具有与电流 I_2 的电流电平相同的电流电平时,输出电压 V_{out} 可以例如通过下式(13)来表示:

$$V_{out} = \left(\frac{Vt \cdot \ln(N)}{R3 + R4(Vcc)} + \frac{V_{BE1}}{R7} \right) \cdot R8 \quad \dots(13)$$

[0049] 由于热温度 Vt 具有正温度相关性并且与温度成比例地增加,而基极-发射极电压 V_{BE1} 具有负温度相关性,所以输出电压 V_{out} 的温度相关性可以通过适当调整 N 、 R_2 、 R_3 、 R_4 (V_{cc})和 R_7 有效地降低,如通过等式(13)所理解。

[0050] 另外,在一个或多个实施例中,输出电压 V_{out} 与电源电压 V_{cc} 的相关性还可以通过按照在没有提供可变电阻器元件 R_4 的实施例中的输出电压 V_{out} 与电源电压 V_{cc} 的相关性选择可变电阻器元件 R_4 的性质来降低。

[0051] 在一个或多个实施例中,如图7中所示,带隙参考电路200配置成与图6中所示的带隙参考电路相似地配置,除了PTAT电流发生器电路26没有结合可变电阻器元件 R_4 ,而电流-电压转换器电路27连接在输出结点 N_{out} 与地线22之间。电流-电压转换器电路27包括串联连接的电阻器元件 R_8 和可变电阻器元件 R_5 。

[0052] 在图7所示的带隙参考电路200中,电流 I_2 可以例如通过下式(14)来表示:

$$I_2 = \frac{Vt \cdot \ln(N)}{R3} + \frac{V_{BE1}}{R7} \quad \dots(14)$$

[0053] 相应地,输出电压 V_{out} 可以例如通过下式(15)来表示:

$$V_{out} = \left(\frac{Vt \cdot \ln(N)}{R3} + \frac{V_{BE1}}{R7} \right) \cdot (R8 + R5(Vcc)) \quad \dots(15)$$

[0054] 如通过等式(15)可以理解,输出电压 V_{out} 的温度相关性可以通过适当调整 N 、 R_2 、 R_3 和 R_7 来降低。

[0055] 另外,在一个或多个实施例中,输出电压 V_{out} 与电源电压 V_{cc} 的相关性还可以通过按照在没有提供可变电阻器元件 R_5 的实施例中的输出电压 V_{out} 与电源电压 V_{cc} 的相关性适当选择可变电阻器元件 R_5 的性质来降低。

[0056] 在一个或多个实施例中,如图8中所示,带隙参考电路200作为图6中所示配置和图7中所示配置的组合来配置。在图8所示的配置中,PTAT电流发生器电路25结合可变电阻器元件 R_4 。另外,电流-电压转换器电路27连接在输出结点 N_{out} 与地线22之间。电流-电压转换器电路27包括串联连接的电阻器元件 R_8 和可变电阻器元件 R_5 。

[0057] 在图8所示的配置中,输出电压 V_{out} 可以例如通过下式(16)来表示:

$$V_{out} = \left(\frac{Vt \cdot \ln(N)}{R3 + R4(Vcc)} + \frac{V_{BE1}}{R7} \right) \cdot (R8 + R5(Vcc)) \quad \dots(16)$$

[0058] 在一个或多个实施例中, N 、 R_3 、 R_4 (V_{cc})和 R_7 基于等式(16)来调整成使得使所生成

输出电压 V_{out} 与温度较少相关或者没有温度相关性。

[0059] 可变电阻器元件R4和R5的性质调整成使得按照当没有提供可变电阻器元件R4和R5时的输出电压 V_{out} 与电源电压 V_{cc} 的相关性来降低输出电压 V_{out} 与电源电压 V_{cc} 的相关性。

[0060] 在一个或多个实施例中,如图9中所示,带隙参考电路300包括电源线31、地线32、电流反射镜33、第一和第二运算放大器34-1和34-2、电阻器元件R3、可变电阻器元件R4、双极晶体管Q1、Q2、Q3以及电流-电压转换器电路36。此外,在一个实施例中,电源线31提供有电源电压 V_{cc} ,并且地线32接地。

[0061] 在一个或多个实施例中,电流反射镜33配置成输出第一电流 I_1 、第二电流 I_2 、第三电流 I_0 和第四电流 I_3 。电流 I_0 、 I_1 、 I_2 和 I_3 可以具有相同电流电平。在各个实施例中,电流反射镜33包括PMOS晶体管MP0、MP1、MP2和MP3。PMOS晶体管MP0、MP1、MP2和MP3可以具有共同连接的栅极,并且其源极可以共同连接到电源线31。此外,PMOS晶体管MP1、MP2和MP3的漏极可以分别连接到第一结点N1、第二结点N2和第三结点N3,以及PMOS晶体管MP0的漏极可以连接到输出结点 N_{out} 。

[0062] 在一个或多个实施例中,双极晶体管Q1、Q2和Q3分别作为第一、第二和第三pn结元件进行操作,其各自结合pn结。在一个或多个实施例中,NPN晶体管用作双极晶体管Q1、Q2和Q3。双极晶体管Q1、Q2和Q3的基极可以共同连接到双极晶体管Q3的集电极。双极晶体管Q1、Q2和Q3的集电极可以分别连接到第一结点N1、第二结点N2和第三结点N3。在一个或多个实施例中,双极晶体管Q1和Q3的发射极连接到地线32,以及双极晶体管Q2的发射极经由电阻器元件R3和可变电阻器元件R4来连接到地线32。以上连接允许第一电流 I_1 、第二电流 I_2 和第四电流 I_4 分别沿向前的方向流经双极晶体管Q1、Q2和Q3的基极-发射极pn结。

[0063] 在一个或多个实施例中,双极晶体管Q1和Q3的基极-发射极结具有相同面积。此外,双极晶体管Q2的基极-发射极结的面积可以是双极晶体管Q1和Q3的基极-发射极结的面积的N倍,其中N为大于1的数值。

[0064] 在各个实施例中,第一运算放大器34-1具有连接到第一结点N1的第一输入、连接到第二结点N2的第二输入以及连接到PMOS晶体管MP0、MP1、MP2和MP3的栅极的输出。第一输入可以是反相输入,以及第二输入可以是非反相输入。第一运算放大器34-1可以向电流反射镜33的PMOS晶体管MP1和MP2的栅极输出控制电压,以控制第一电流 I_1 和第二电流 I_2 。

[0065] 在一个或多个实施例中,第二运算放大器34-2具有连接到第一结点N1的第一输入、连接到第三结点N3的第二输入以及连接到双极晶体管Q1、Q2和Q3的基极的输出。第一输入可以是非反相输入,以及第二输入可以是反相输入。第二运算放大器34-2可以向双极晶体管Q1、Q2和Q3的基极输出控制电压,以控制第一电流 I_1 和第三电流 I_3 。

[0066] 在各个实施例中,第一运算放大器34-1和第二运算放大器34-2配置成控制PMOS晶体管MP1、MP2和MP3的栅极上的电位以及双极晶体管Q1、Q2和Q3的基极上的电位,使得第一结点N1、第二结点N2和第三结点N3具有相同电位。在一个或多个实施例中,第一结点N1、第二结点N2和第三结点N3经过第一运算放大器34-1和第二运算放大器34-2的以上操作虚拟地短接。在一个或多个实施例中,电流反射镜33以及运算放大器34-1和34-2共同作为电流源电路进行操作,所述电流源电路配置成将结点N1、N2和N3控制成相同电位,并且向结点N1、N2和N3提供相同电流电平的电流。

[0067] 电流-电压转换器电路36可以从自电流反射镜33所接收的第三电流 I_0 来生成输出电压 V_{out} 。在一个或多个实施例中,电流-电压转换器电路36包括二极管连接的双极晶体管 Q_0 以及电阻器元件 R_9 和 R_{10} 。此外,双极晶体管 Q_0 的基极-发射极结可以具有与双极晶体管 Q_1 和 Q_3 的基极-发射极结的面积相同的面积。双极晶体管 Q_0 和电阻器元件 R_9 可以串连接在输出结点 N_{out} 与地线32之间。在各个实施例中,双极晶体管 Q_0 和电阻器元件 R_9 的位置是可互换的。在一个实施例中,电阻器元件 R_{10} 与双极晶体管 Q_0 和电阻器元件 R_9 并联连接在输出结点 N_{out} 与地线32之间。

[0068] 在一个或多个实施例中,图10中所示的带隙参考电路300配置成按照以下所述原理来生成具有降低温度相关性的输出电压 V_{out} 。流经双极晶体管 Q_1 的第一电流 I_1 以及流经双极晶体管 Q_2 、电阻器元件 R_3 和可变电阻器元件 R_4 的第二电流 I_2 均是具有正温度相关性的PTAT电流。在这个实施例中,双极晶体管 Q_1 、 Q_2 、电阻器元件 R_3 以及可变电阻器元件 R_4 可统称为PTAT电流发生器电路35。

[0069] 提供给电流-电压转换器电路36的第三电流 I_0 也可以是PTAT电流,因为电流 I_0 具有与电流 I_1 和 I_2 相同的电流电平 I 。电流-电压转换器电路36可以配置成将第三电流 I_0 分为具有正温度相关性的电流 I_{0A} 以及具有降低温度相关性的电流 I_{0B} ,并且将通过电流 I_{0B} 跨电阻器元件 R_{10} 所生成的电压作为输出电压 V_{out} 来输出。相应地,带隙参考电路300可以降低输出电压 V_{out} 的温度相关性。在各个实施例中,带隙参考电路300生成输出电压 V_{out} ,如以下所述。

[0070] 在图9所示的配置中,以及在一个或多个实施例中,第一电流 I_1 、第二电流 I_2 和第三电流 I_0 具有相同电流电平 I ,其可以通过下式(17)来表示:

$$I = \frac{Vt \cdot \ln(N)}{R3 + R4(Vcc)} \quad \dots(17)$$

[0071] 由于第三电流 I_0 具有与第一电流 I_1 和第二电流 I_2 相同的电流电平 I ,并且作为流经双极晶体管 Q_0 和电阻器元件 R_9 的电流 I_{0A} 以及流经电阻器元件 R_{10} 的电流 I_{0B} 的总和电流来生成,所以下式(18)成立:

$$I_0 = I = I_{0A} + I_{0B} \dots(18)$$

[0072] 关于双极晶体管 Q_0 的基极-发射极电压 V_{BE0} 以及跨电阻器元件 R_9 和 R_{10} 的电压下降,下式(19)成立:

$$V_{BE0} + I_{0A} \cdot R_9 = I_{0B} \cdot R_{10} \dots(19)$$

[0073] 根据等式(17)至(19),电流 I_{0B} 可以通过下式(20)来表示:

$$\begin{aligned} I_{0B} &= \frac{I \cdot R_9 + V_{BE0}}{R_9 + R_{10}} \\ &= \frac{1}{R_9 + R_{10}} \cdot \left(\frac{R_9 \cdot Vt \cdot \ln(N)}{R_3 + R_4(Vcc)} + V_{BE0} \right) \quad \dots(20) \end{aligned}$$

[0074] 输出电压 V_{out} 可以例如通过下式(21)来表示:

$$\begin{aligned}
 V_{out} &= I_{OB} \cdot R10 \\
 &= \frac{R10}{R9 + R10} \cdot \left(\frac{R9 \cdot Vt \cdot \ln(N)}{R3 + R4(Vcc)} + V_{BE0} \right) \quad \dots(21)
 \end{aligned}$$

[0075] 由于热电压 Vt 具有正温度相关性并且与温度成比例地增加,而基极-发射极电压 V_{BE0} 具有负温度相关性,所以输出电压 V_{out} 的温度相关性能够通过适当调整 N 、 $R3$ 、 $R4(Vcc)$ 和 $R9$ 有效地降低。

[0076] 另外,如通过等式(21)所理解,输出电压 V_{out} 与电源电压 Vcc 的相关性还能够通过按照在没有提供可变电阻器元件 $R4$ 的实施例中的输出电压 V_{out} 与电源电压 Vcc 的相关性适当选择可变电阻器元件 $R4$ 的性质来降低。

[0077] 在一个或多个实施例中,如图10中所示,带隙参考电路300与图9中所示的带隙参考电路相似地配置,除了PTAT电流发生器电路37没有结合可变电阻器元件 $R4$,以及使用电流-电压转换器电路38,其中可变电阻器元件 $R5$ 串联连接到双极晶体管 $Q0$ 和电阻器元件 $R9$ 。在一个或多个实施例中,连接双极晶体管 $Q0$ 、电阻器元件 $R9$ 和可变电阻器元件 $R5$ 的顺序是可互换的。

[0078] 在一个或多个实施例中,第一电流 I_1 、第二电流 I_2 和第三电流 I_0 具有相同电流电平 I ,其可以通过下式(22)来表示:

$$I = \frac{Vt \cdot \ln(N)}{R3} \quad \dots(22)$$

[0079] 关于基极-发射极电压 V_{BE0} 以及跨电阻器元件 $R9$ 和 $R10$ 的电压下降,下式(23)成立:

$$V_{BE0} + I_{OA} \cdot (R9 + R5(Vcc)) = I_{OB} \cdot R10 \quad \dots(23)$$

[0080] 根据等式(18)、(22)和(23),电流 I_{OB} 可以通过下式(24)来表示:

$$\begin{aligned}
 I_{OB} &= \frac{I \cdot (R9 + R5(Vcc)) + V_{BE0}}{R9 + R5(Vcc) + R10} \\
 &= \frac{1}{R9 + R10 + R5(Vcc)} \cdot \left(\frac{(R9 + R5(Vcc)) \cdot Vt \cdot \ln(N)}{R3} + V_{BE0} \right) \quad \dots(24)
 \end{aligned}$$

[0081] 输出电压 V_{out} 可以例如通过下式(25)来表示:

$$\begin{aligned}
 V_{out} &= I_{OB} \cdot R10 \\
 &= \frac{R10}{R9 + R10 + R5(Vcc)} \cdot \left(\frac{(R9 + R5(Vcc)) \cdot Vt \cdot \ln(N)}{R3} + V_{BE0} \right) \quad \dots(25)
 \end{aligned}$$

[0082] 由于热电压 Vt 具有正温度相关性并且与温度成比例地增加,而基极-发射极电压 V_{BE1} 具有负温度相关性(如根据等式(25)所理解),所以输出电压的温度相关性能够通过适当调整 N 、 $R3$ 、 $R9$ 和 $R5(Vcc)$ 来降低。

[0083] 另外,输出电压 V_{out} 与电源电压 Vcc 的相关性能够通过按照在没有提供可变电阻器元件 $R5$ 的实施例中的输出电压 V_{out} 与电源电压 Vcc 的相关性适当选择可变电阻器元件 $R5$ 的性质有效地降低。

[0084] 在一个或多个实施例中,如图11中所示,带隙参考电路300配置作为图9中所示配置和图10中所示配置的组合来配置。在图11所示的配置中,PTAT电流发生器电路35结合可

变阻器元件R4。另外,使用电流-电压转换器电路38,其中电阻器元件R5串联连接到双极晶体管Q0和电阻器元件R9。

[0085] 在图11所示的配置中,输出电压Vout可以例如通过下式(26)来表示:

$$V_{out} = \frac{R_{10}}{R_9 + R_{10} + R_5(V_{cc})} \cdot \left(\frac{(R_9 + R_5(V_{cc})) \cdot V_t \cdot \ln(N)}{R_3 + R_4(V_{cc})} + V_{BE0} \right) \quad \dots(26)$$

[0086] 在一个或多个实施例中,N、R3、R4(Vcc)、R5(Vcc)和R9基于等式(26)来调整成使得所生成输出电压Vout与温度较少相关或者没有温度相关性。

[0087] 可变电阻器元件R4和R5的性质调整成使得按照对于没有提供可变电阻器元件R4和R5的实施例的输出电压Vout与电源电压Vcc的相关性来降低输出电压Vout与电源电压Vcc的相关性。

[0088] 在一个或多个实施例中,如图12中所示,带隙参考电路400包括电源线41、地线42、第一电流反射镜43、第一运算放大器44、电阻器元件R3、可变电阻器元件R4、双极晶体管Q1、Q2、Q3、电流-电压转换器电路46、第二电流反射镜47以及第二运算放大器48。在一个实施例中,电源线41提供有电源电压Vcc,并且地线42接地。

[0089] 在一个或多个实施例中,第一电流反射镜43配置成输出第一电流I1、第二电流I2、第三电流I0和第四电流I3。电流I0、I1、I2和I3可以具有相同电流电平。在一个或多个实施例中,第一电流反射镜43包括PMOS晶体管MP0、MP1、MP2和MP3。PMOS晶体管MP0、MP1、MP2和MP3可以具有共同连接的栅极,并且其源极可以共同连接到电源线41。此外,PMOS晶体管MP1、MP2和MP3的漏极可以分别连接到结点N1、N2和N3,以及PMOS晶体管MP0的漏极可以连接到输出结点Nout。

[0090] 在一个或多个实施例中,双极晶体管Q1、Q2和Q3分别作为第一、第二和第三pn结元件进行操作,其各自结合pn结。在一个或多个实施例中,NPN晶体管用作双极晶体管Q1、Q2和Q3。双极晶体管Q1、Q2和Q3的基极可以共同连接到双极晶体管Q3的集电极。双极晶体管Q1、Q2和Q3的集电极可以分别连接到第一结点N1、第二结点N2和第三结点N3。双极晶体管Q1和Q3的发射极可以连接到地线42,以及双极晶体管Q2的发射极可以经由电阻器元件R3和可变电阻器元件R4来连接到地线42。第二和第四电流I1、I2和I3可以分别沿向前的方向流经双极晶体管Q1、Q2和Q3的基极-发射极pn结。

[0091] 在一个或多个实施例中,双极晶体管Q1和Q3的基极-发射极结具有相同面积,以及双极晶体管Q2的基极-发射极结的面积是双极晶体管Q1和Q3的基极-发射极结的面积的N倍,其中N为大于1的数值。

[0092] 在各个实施例中,第一运算放大器44具有连接到第一结点N1的第一输入、连接到第二结点N2的第二输入以及连接到PMOS晶体管MP0、MP1、MP2和MP3的栅极的输出。此外,第一运算放大器44可以配置成向第一电流反射镜43的PMOS晶体管MP0、MP1、MP2和MP3的栅极输出控制电压,以控制电流I0、I1、I2和I3。在各个实施例中,运算放大器44控制PMOS晶体管MP0、MP1、MP2和MP3的栅极的电位,使得第一结点N1和第二结点N2具有相同电位。第一结点N1和第二结点N2可以经过第一运算放大器44的以上操作虚拟地短接。在一个或多个实施例中,第一电流反射镜43和运算放大器44共同作为电流供应电路进行操作,所述电流供应电路配置成将结点N1和N2控制成相同电位,并且向结点N1和N2提供相同电流电平的电流。

[0093] 电流-电压转换器电路46可以响应从第一电流反射镜43所接收的第三电流I0而生

成输出电压 V_{out} 。在一个或多个实施例中,电流-电压转换器电路46包括二极管连接的双极晶体管 Q_0 以及电阻器元件 R_9 和 R_{10} 。双极晶体管 Q_0 的基极-发射极结可以具有与双极晶体管 Q_1 和 Q_3 的基极-发射极结的面积相同的面积。双极晶体管 Q_0 和电阻器元件 R_9 可以串连接在输出结点 N_{out} 与地线42之间。在一个或多个实施例中,双极晶体管 Q_0 和电阻器元件 R_9 的位置是可互换的。此外,电阻器元件 R_{10} 可以与双极晶体管 Q_0 和电阻器元件 R_9 并联连接在输出结点 N_{out} 与地线42之间。

[0094] 在一个或多个实施例中,第二电流反射镜47配置成向第三结点 N_3 输出第五电流 I_4 并且向电流-电压转换器电路46输出第六电流 I_5 。电流-电压转换器电路46可以接收来自第一电流反射镜43的第三电流 I_0 以及来自第二电流反射镜47的第六电流 I_5 的总和电流。第二电流反射镜47的镜像比可以为 $A:1$,并且相应地,第六电流 I_5 的电流电平可以为第五电流 I_4 的电流电平的 $1/A$ 。在一个或多个实施例中,第二电流反射镜47包括PMOS晶体管 MP_4 和 MP_5 。PMOS晶体管 MP_4 和 MP_5 可以具有共同连接的栅极,并且其源极可以共同连接到电源线41。PMOS晶体管 MP_4 的漏极可以连接到结点 N_3 ,以及PMOS晶体管 MP_5 的漏极可以连接到电流-电压转换器电路46。在一个或多个实施例中,PMOS晶体管 MP_4 和 MP_5 设计成使得PMOS晶体管 MP_4 和 MP_5 具有相同栅长度 L ,而PMOS晶体管 MP_4 的栅宽度 W_{MP_4} 为PMOS晶体管 MP_5 的栅宽度 W_{MP_5} 的 A 倍。

[0095] 在一个或多个实施例中,第二运算放大器48向第二电流反射镜47的PMOS晶体管 MP_4 和 MP_5 的栅极输出控制电压,以控制第五电流 I_4 和第六电流 I_5 。第二运算放大器48可以配置成控制PMOS晶体管 MP_4 和 MP_5 的电位,使得第二结点 N_2 和第三结点 N_3 具有相同电位。第二结点 N_2 和第三结点 N_3 可以由第二运算放大器48虚拟地短接。

[0096] 在一个或多个实施例中,图12中所示的带隙参考电路400配置成经过以下所述操作来输出所述输出电压 V_{out} 。

[0097] 在各个实施例中,由于第一电流 I_1 、第二电流 I_2 和第四电流 I_3 作为集电极电流来提供给双极晶体管 Q_1 、 Q_2 和 Q_3 ,而第一电流 I_1 、第二电流 I_2 和第四电流 I_3 被控制成具有相同电流电平,所以第五电流 I_4 (其从第二电流反射镜47提供给第三结点 N_3)是双极晶体管 Q_1 、 Q_2 和 Q_3 的基极电流的总和电流。相应地,第六电流 I_5 (其从第二电流反射镜47提供给电流-电压转换器电路46)取决于双极晶体管 Q_1 、 Q_2 和 Q_3 的基极电流。

[0098] 在一个实施例中,发射极-接地双极晶体管的基极电流比集电极电流要小许多,并且因此电流 I_4 (其是双极晶体管 Q_1 、 Q_2 和 Q_3 的基极电流的总和电流)能够被认为比电流 I_1 、 I_2 和 I_3 (其是双极晶体管 Q_1 、 Q_2 和 Q_3 的集电极电流)要小许多。此外,电流 I_5 能够被认为比电流 I_0 要小许多,因为电流 I_0 的电流电平与电流 I_1 、 I_2 和 I_3 的电流电平相等,并且电流 I_5 为电流 I_4 的 $1/A$ 倍。

[0099] 在这种实施例中,对第一近似,带隙参考电路400的输出电压 V_{out} 可以例如通过上述等式(21)来表示,正如对图9中所示带隙参考电路300的情况。相应地,输出电压 V_{out} 的温度相关性能够通过适当调整 N 、 R_3 、 R_4 (V_{cc})和 R_9 有效地降低。另外,在一个或多个实施例中,输出电压 V_{out} 与电源电压 V_{cc} 的相关性还能够通过按照在没有提供可变电阻器元件 R_4 的实施例中的输出电压 V_{out} 与电源电压 V_{cc} 的相关性适当选择可变电阻器元件 R_4 的性质来降低。

[0100] 电流 I_5 (其从电流反射镜47提供给电流-电压转换器电路46)可以用来补偿输出电

压 V_{out} 的非线性温度相关性。如通过等式(21)所理解,输出电压 V_{out} 取决于基极-发射极电压 V_{BE0} 。一般已知,双极晶体管的基极-发射极电压具有非线性负温度相关性。同时,热电压 V_t 与绝对温度 T 成比例,具有线性温度相关性。相应地,在一个或多个实施例中,当只有电流 I_0 被提供给电流-电压转换器电路46时,没有完全消除输出电压 V_{out} 的非线性温度相关性。电流 I_5 具有与双极晶体管 $Q1$ 、 $Q2$ 和 $Q3$ 的基极电流的电流电平成比例的电流电平,并且因此呈现非线性温度相关性。图12中所示的带隙参考电路可以进一步通过除了电流 I_0 之外还将电流 I_5 提供给电流-电压转换器电路46,以用于补偿基极-发射极电压 V_{BE0} 的非线性温度相关性,进一步降低输出电压 V_{out} 的温度相关性。

[0101] 在一个或多个实施例中,如图13中所示,带隙参考电路400配置成与图12中所示的带隙参考电路相似地配置,除了PTAT电流发生器电路49没有结合可变电阻器元件 $R4$,以及使用电流-电压转换器电路50,其中可变电阻器元件 $R5$ 串联连接到双极晶体管 $Q0$ 和电阻器元件 $R9$ 。在一个或多个实施例中,连接双极晶体管 $Q0$ 、电阻器元件 $R9$ 和可变电阻器元件 $R5$ 的顺序是可互换的。

[0102] 针对图12中所示带隙参考电路400的论述也可以对图13中所示的带隙参考电路400可适用。对第一近似,图13中所示带隙参考电路400的输出电压 V_{out} 可以例如通过上述等式(25)来表示,正如对图10中所示带隙参考电路300的情况。相应地,在一个或多个实施例中,输出电压 V_{out} 的温度相关性能够通过适当调整 N 、 $R3$ 、 $R9$ 和 $R5$ (V_{cc})有效地降低。另外,输出电压 V_{out} 与电源电压 V_{cc} 的相关性还能够通过按照在没有提供可变电阻器元件 $R5$ 的实施例中的输出电压 V_{out} 与电源电压 V_{cc} 的相关性适当选择可变电阻器元件 $R5$ 的性质来降低。

[0103] 在一个或多个实施例中,如图14中所示,带隙参考电路400配置成作为图12中所示配置和图13中所示配置的组合来配置。在图14所示的配置中,PTAT电流发生器电路45结合电阻器元件 $R4$ 。另外,使用电流-电压转换器电路50,其中可变电阻器元件 $R5$ 串联连接到双极晶体管 $Q0$ 和电阻器元件 $R9$ 。

[0104] 针对图12中和图13中所示带隙参考电路400的论述也可以对图14中所示的带隙参考电路可适用。对第一近似,图14中所示带隙参考电路400的输出电压 V_{out} 可以例如通过上述等式(26)来表示,正如对图11中所示带隙参考电路300的情况。在一个或多个实施例中, N 、 $R3$ 、 $R4$ (V_{cc})、 $R5$ (V_{cc})和 $R9$ 基于等式(26)来调整成使所生成输出电压 V_{out} 与温度较少相关或者没有温度相关性。另外,可变电阻器元件 $R4$ 和 $R5$ 的性质选择成使得按照对于没有提供可变电阻器元件 $R4$ 和 $R5$ 的情况的输出电压 V_{out} 与电源电压 V_{cc} 的相关性来降低输出电压 V_{out} 与电源电压 V_{cc} 的相关性。

[0105] 在一个实施例中,用于操作带隙参考电路的方法包括经由连接到电源线的电流反射镜向第一结点提供第一电流。此外,第二电流提供到第二结点(由电流反射镜虚拟地短接到第一结点)。该方法进一步包括使得第一电流从第一结点经过第一pn结元件流到地线。

[0106] 此外,该方法包括使得第二电流从第二结点经过第二pn结元件和可变电阻器元件流到地线。可变电阻器元件配置成具有取决于提供给电源线的电源电压的电阻。

[0107] 虽然以上具体描述了本公开的各个实施例,但是本领域的技术人员会理解,本公开中公开的技术可利用各个修改来实现。

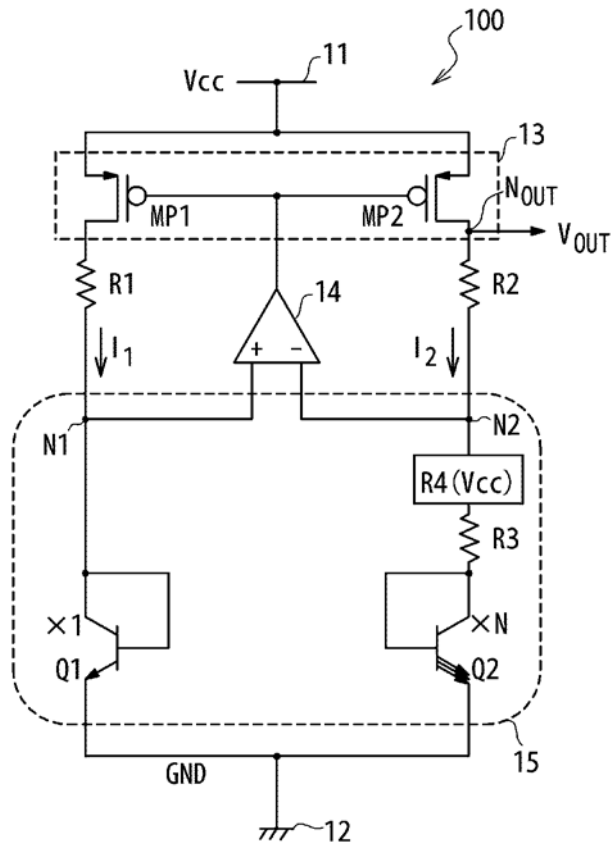


图 1

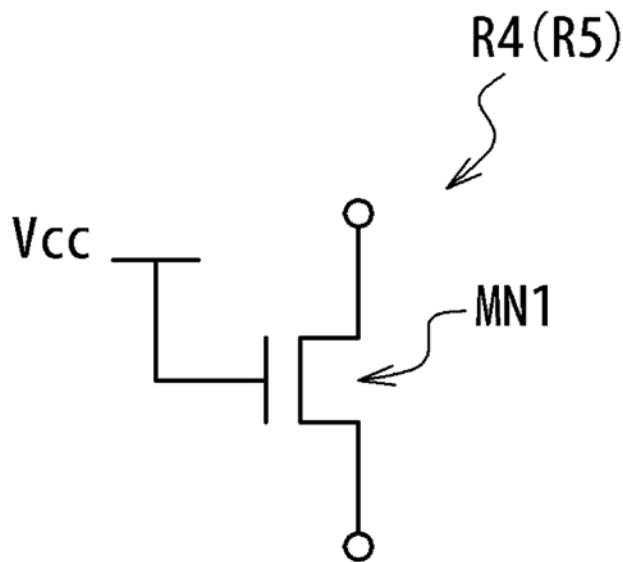


图 2

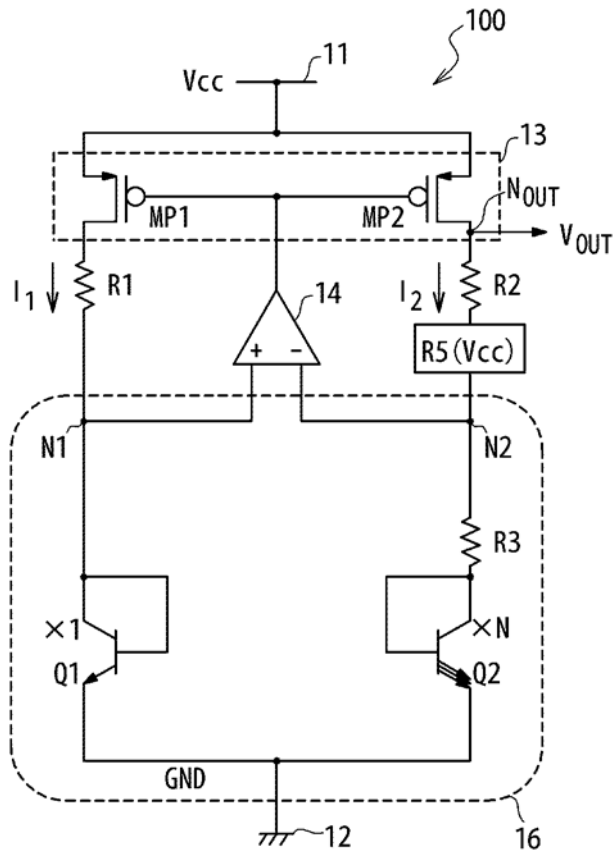


图 3

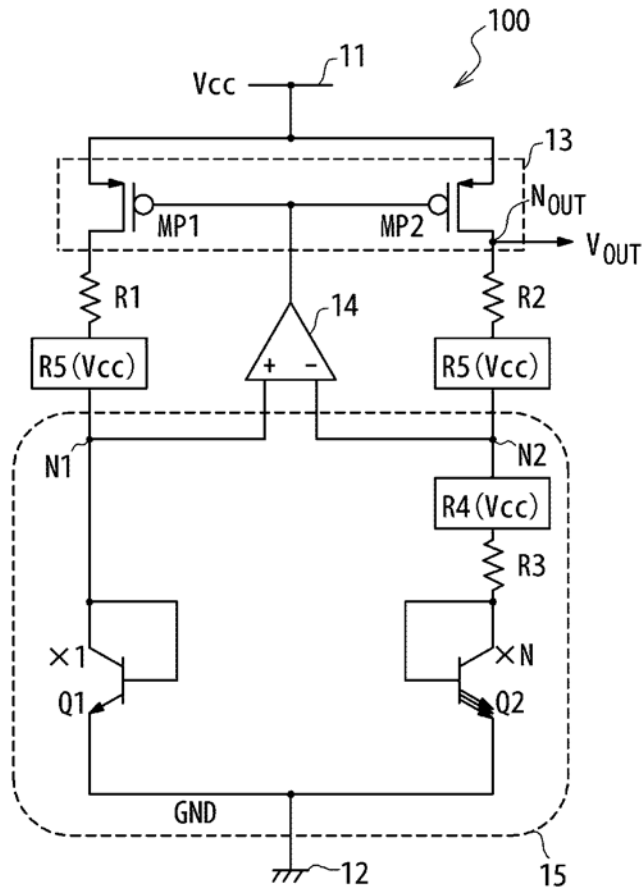


图 5

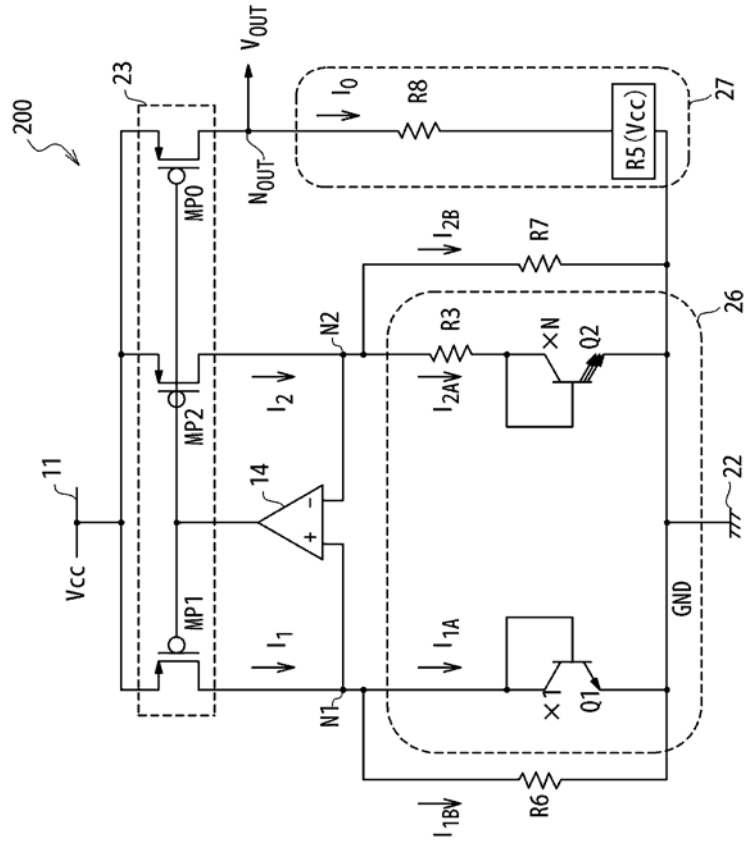


图 7

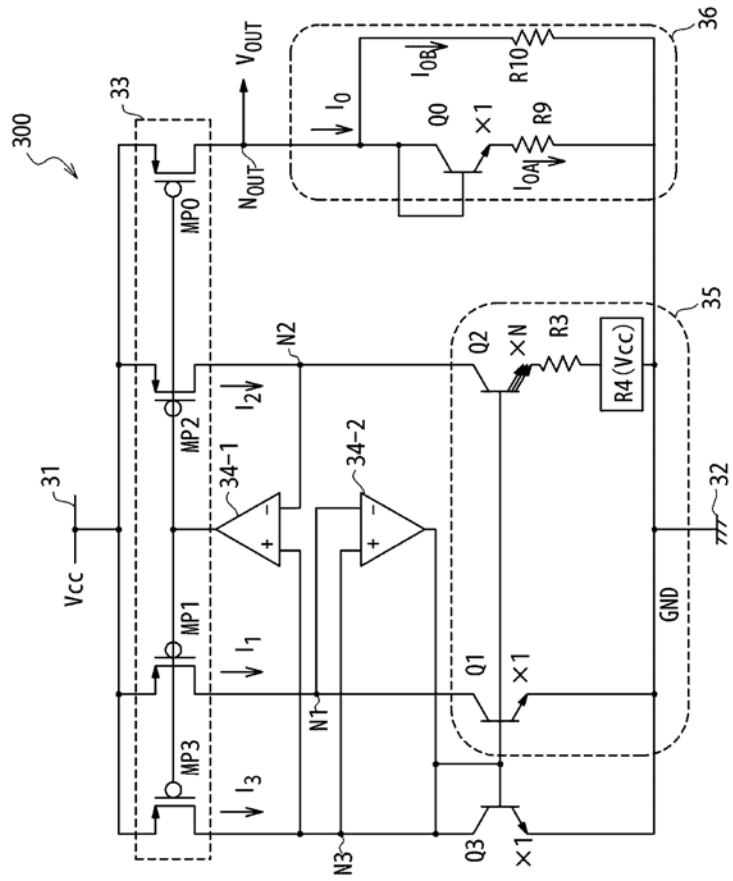


图 9

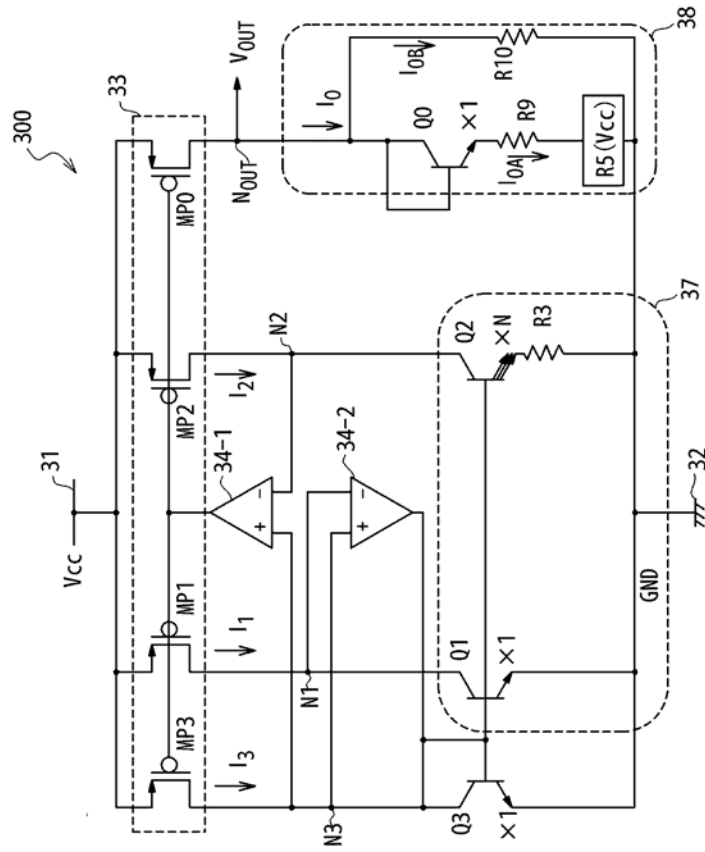


图 10

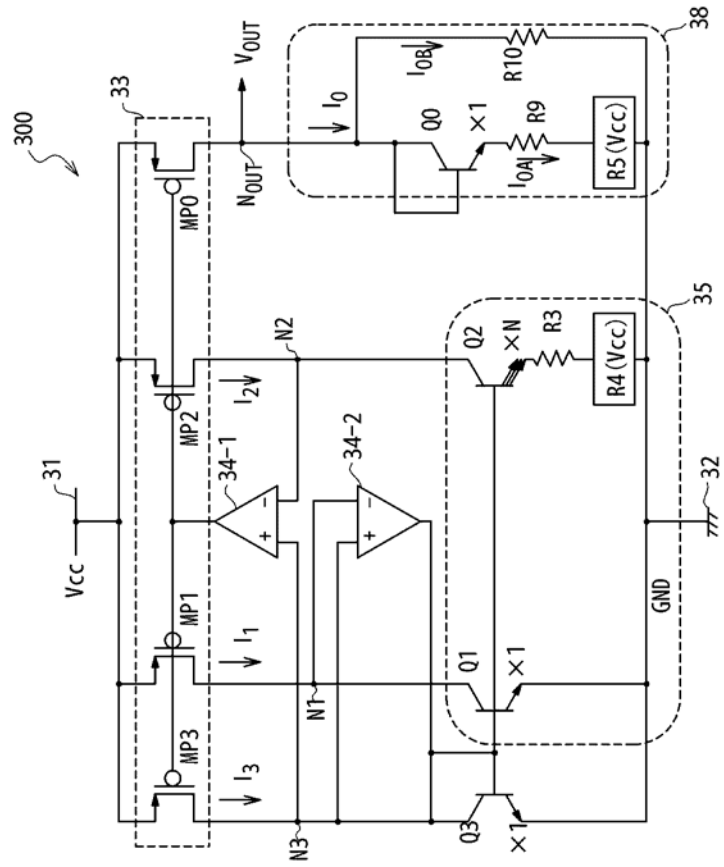


图 11

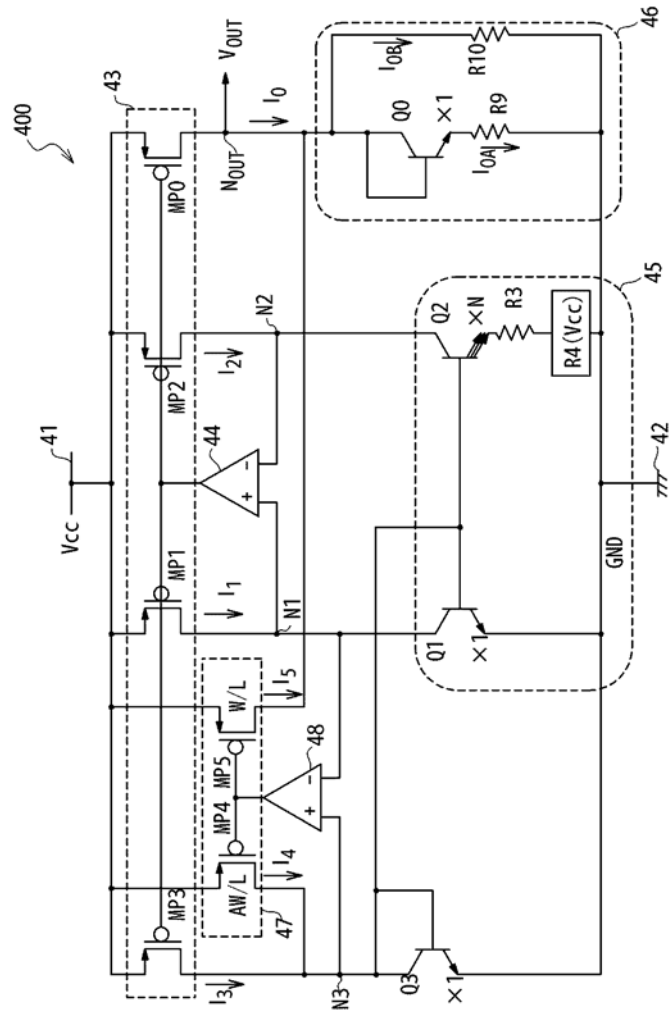


图 12

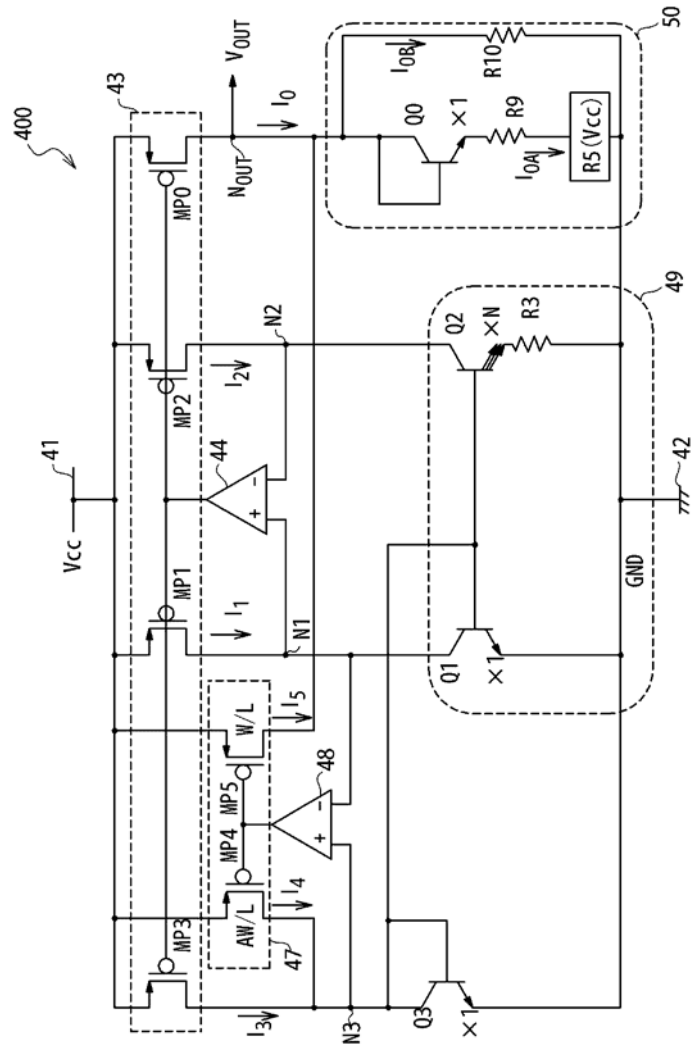


图 13

