

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4034178号
(P4034178)

(45) 発行日 平成20年1月16日(2008.1.16)

(24) 登録日 平成19年11月2日(2007.11.2)

| | |
|-------------------------------|--------------------|
| (51) Int. Cl. | F I |
| H03K 19/0175 (2006.01) | H03K 19/00 I O I J |
| H03K 17/687 (2006.01) | H03K 17/687 F |
| H03K 19/003 (2006.01) | H03K 19/003 E |

請求項の数 1 (全 8 頁)

| | | | |
|-----------|-------------------------------|-----------|---------------------|
| (21) 出願番号 | 特願2002-360407 (P2002-360407) | (73) 特許権者 | 000006747 |
| (22) 出願日 | 平成14年12月12日(2002.12.12) | | 株式会社リコー |
| (65) 公開番号 | 特開2004-194039 (P2004-194039A) | | 東京都大田区中馬込1丁目3番6号 |
| (43) 公開日 | 平成16年7月8日(2004.7.8) | (74) 代理人 | 100085213 |
| 審査請求日 | 平成17年10月11日(2005.10.11) | | 弁理士 鳥居 洋 |
| | | (72) 発明者 | 杉浦 義信 |
| | | | 東京都大田区中馬込1丁目3番6号 株式 |
| | | | 会社リコー内 |
| | | (72) 発明者 | 西村 一也 |
| | | | 東京都大田区中馬込1丁目3番6号 株式 |
| | | | 会社リコー内 |
| | | (72) 発明者 | 坂本 和穂 |
| | | | 東京都大田区中馬込1丁目3番6号 株式 |
| | | | 会社リコー内 |

最終頁に続く

(54) 【発明の名称】 出力バッファ回路

(57) 【特許請求の範囲】

【請求項1】

トレラント回路を備えた出力バッファ回路において、出力用バッファセルの出力用PMOSトランジスタとこの出力用PMOSトランジスタに与える信号が入力されるP側出力ノードとの間に、複数のPMOSトランジスタとNMOSトランジスタで構成されるトレラント回路が設けられるとともに、前記出力用PMOSトランジスタのゲートの前段に接続されるとともに、前記P側出力ノード側に接続された前記トレラント回路の第1PMOSトランジスタのゲートにプルダウン抵抗と制御用PMOSトランジスタを接続したP側出力回路部と、出力用バッファセルの出力用NMOSトランジスタを有するN側出力回路部と、を備え、前記第1PMOSトランジスタをオンさせ、端子フローティング時に前記出力用PMOSトランジスタをオフするとともに、前記プルダウン抵抗により前記第1PMOSトランジスタと出力用NMOSトランジスタとの間のノードが浮くことを防止することを特徴とする出力バッファ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、入出力バッファ回路における出力バッファ回路に関し、さらに詳しくは、内部電源電圧、例えば3V電源仕様より高い外部電源電圧、例えば5V入力に対応できるトレラント出力バッファ回路に関する。

【0002】

【従来の技術】

半導体集積回路の電源電圧は5Vから3Vまたは3.3Vに変わりつつあるが、その過渡期においては5V駆動素子と3V駆動素子とが混在している。このような場合、自身が3Vで駆動される素子であっても、5Vの電圧が外部より印加される場合があり、その際、入出力バッファ回路を構成するMOSトランジスタの信頼性が確保されないという問題がある。

【0003】

このような問題を解決するため、従来、図1及び図2に示されるような保護回路を伴った入出力バッファ回路の出力バッファ回路(3V/5Vトレラント回路)が知られている。

【0004】

図1は、出力バッファ回路の全体構成を示し、コントロール信号がインバータ3を介してナンド回路1の一方の入力に与えられる。また、ナンド回路1の他方の入力には出力信号I1が与えられる。このナンド回路1からトレラントを内蔵した出力バッファ回路5の出力用PチャンネルMOS(PMOS)トランジスタに与えるPI信号が出力される。

【0005】

一方、コントロール信号がノア回路2の一方の入力に与えられる。また、ノア回路2の他方の入力には出力信号I1が与えられる。このノア回路1からトレラントを内蔵した出力バッファ回路5の出力用NチャンネルMOS(NMOS)トランジスタに与えるNI信号が出力される。そして、出力端子6に出力バッファ回路5からの出力が与えられる。

【0006】

図2に、出力バッファ回路5の具体的構成例を示す。図2に示すように、出力用PMOSトランジスタ52のゲートとPIノード間にトレラントを構成するトランジスタが設けられている。すなわち、PIノードと出力用PMOSトランジスタ52との間には3つのPMOSトランジスタ51、53、54と1つのNMOSトランジスタ56が設けられている。NMOSトランジスタ56、PMOSトランジスタ54のゲート及びPMOSトランジスタ53のドレインには内部電源電圧が与えられる。PMOSトランジスタ51、53のゲートはNウェル抵抗58を介して出力ノードに接続される。PMOSトランジスタ54のドレインが出力ノードに接続される。

【0007】

また、出力用PMOSトランジスタ52と出力用NMOSトランジスタ57の間にはNMOSトランジスタ55が設けられ、このNMOSトランジスタ55のゲートには、内部電源電圧(intVCC)が与えられる。出力用PMOSトランジスタ52のソースには、内部電源電圧が与えられ、出力用NMOSトランジスタ57のソースは接地されている。NMOSトランジスタ55と出力用PMOSトランジスタ52との接続ノード(出力ノード)が出力端子6に接続されている。

【0008】

上記した図1及び図2に示す出力回路のコントロール信号と各ノードの出力の関係を表1に示す。出力端子6は、H、L、及び出力回路を不使用にするHi-Z状態となる。尚、表1において、Hは3V、Lは0Vの状態を示している。

【0009】

【表1】

10

20

30

40

| A | Hi-Z | H | L |
|--------|------|---|---|
| コントロール | H | L | L |
| I1 | X | H | L |
| PI | H | L | H |
| NI | L | L | H |

10

【0010】

次に、図2の出力回路で端子6から5Vが印加された場合につき説明する。図2の回路は出力バッファ回路であるので、端子6から信号が入力された際、自身出力信号をドライブすることは無いので、PIノードはH(3V)、NIノードはL(0V)となっている。

【0011】

まず、NMOSトランジスタ側では、NMOSトランジスタ55があるために、1つずつのNMOSトランジスタのソース・ドレイン間電圧が低くなり、信頼性が確保される。次に、PMOSトランジスタ側では、PMOS53がオフ(OFF)し、代わりに出力用PMOSトランジスタ52及びPMOSトランジスタ54のドレインからバックゲートへ電流が流入する。この結果、PMOSトランジスタの基板電位(N-well電位)が5Vとなり、PMOS51、53の信頼性が確保される。更に、PMOSトランジスタ54が設けられているために、出力PMOSトランジスタ52のゲート電位も5Vとなり、PMOSトランジスタ52の信頼性も確保される。加えて、PMOSトランジスタ51がOFF状態のため、5Vの電位がPIノード側へは伝わらず(NMOSトランジスタ56により3V-V_{th}となるため)、PIノードの先に繋がる回路の信頼性も確保される。

20

【0012】

しかしながら、図2の出力回路を内蔵する半導体装置を実機に搭載し、評価を行ったところ、端子6に外付けのプルダウン(pull-down)抵抗を設ける構成の場合に問題が発生した。すなわち、端子6が通常使用(0~3V使用)の出力Hから出力回路6を不使用にするHi-Zに変更する時にAC特性に問題がある事が判明した。尚、最終的には、pull-down抵抗で端子6はL(0V)へ落ちる。

30

【0013】

具体的には、図2に示すように、端子6がHからHi-Z(端子フローティング時)になった時、PMOSトランジスタ51が完全にオン(ON)しないため、出力用PMOSトランジスタ52のゲート電位が3V-V_{th}程度となり、PMOSトランジスタ52のソース・ドレイン間にリーク電流が流れる。この結果、図3に示すように、PMOSトランジスタ52の不完全なOFF状態が存在することになる。端子6に接続されたpull-down抵抗が勝ち、最後はL(0V)となるが、そのAC特性が問題となった。

【0014】

この不具合は、pull-down抵抗が端子6に付いた場合という条件ではあるが、従来回路のままでは、システム上重大な欠陥を招くこととなる。

40

【0015】

また、トレンラント回路を備えた入力回路については、種々の回路が提案されている。例えば、入力バッファの消費電力を低減し、且つ信頼性を向上させた5Vトレラント入力回路が提案されている(例えば、特許文献1参照)。

【0016】

しかし、これら入力回路においては、端子にpull-down抵抗が付いた場合の不具合については何ら言及されていない。

【0017】

【特許文献1】

50

特開平 10 - 135818 号公報

【0018】

【発明が解決しようとする課題】

上記したように、従来のトレラント回路を備えた出力バッファ回路においては、pull-down 抵抗が端子に付いた場合という条件ではあるが、システム上重大な欠陥を招くこととなる。この発明は、上記した問題点に鑑みなされたものにして、pull-down 抵抗が端子に設けられている場合においても、AC 特性を改善し、不具合の発生を抑制することを目的とする。

【0019】

【課題を解決するための手段】

この発明は、トレラント回路を備えた出力バッファ回路において、出力用バッファセルの出力用 PMOS トランジスタとこの出力用 PMOS トランジスタに与える信号が入力される P 側出力ノードとの間に、複数の PMOS トランジスタと NMOS トランジスタで構成されるトレラント回路が設けられるとともに、前記出力用 PMOS トランジスタのゲートの前段に接続されるとともに、前記 P 側出力ノード側に接続された前記トレラント回路の第 1 PMOS トランジスタのゲートにプルダウン抵抗と制御用 PMOS トランジスタを接続した P 側出力回路部と、出力用バッファセルの出力用 NMOS トランジスタを有する N 側出力回路部と、を備え、前記第 1 PMOS トランジスタをオンさせ、端子フローティング時に前記出力用 PMOS トランジスタをオフするとともに、前記プルダウン抵抗により前記第 1 PMOS トランジスタと出力用 NMOS トランジスタとの間のノードが浮くことを防止することを特徴とする。

10

20

【0020】

上記した構成によれば、第 1 PMOS トランジスタゲートにプルダウン抵抗と制御用 PMOS トランジスタを接続することで、端子フローティング時でも、前記第 1 PMOS トランジスタがオンする。この結果、出力用 PMOS トランジスタを完全にオフすることができる。このため、端子に外付けプルダウン抵抗が付いた場合でも即座に H レベルから L レベルへ電圧を落とすことができる。

【0021】

【発明の実施の形態】

以下、この発明の実施の形態につき図面を参照して説明する。図 4 は、この発明の第 1 の実施形態にかかる出力バッファ回路を示す回路図である。尚、図 2 の構成と同じ構成部分に同じ符号を付す。

30

【0022】

この発明の出力バッファ回路 5 も図 4 に示すように、出力用 PMOS トランジスタ 5 2 のゲートと P I ノード間にトレラントを構成するトランジスタが設けられている。P I ノードと出力用 PMOS トランジスタ 5 2 との間には 3 つの PMOS トランジスタ 5 1、5 3、5 4 と 1 つの NMOS トランジスタ 5 6 が設けられている。NMOS トランジスタ 5 6、PMOS トランジスタ 5 4 のゲート及び PMOS トランジスタ 5 3 のドレインには内部電源電圧 (int VCC) が与えられる。また、PMOS トランジスタ 5 3 のゲートは N ウェル抵抗 5 8 を介して出力ノードに接続される。PMOS トランジスタ 5 4 のドレインが出力ノードに接続される。

40

【0023】

出力用 PMOS トランジスタ 5 2 の前段に設けられる PMOS トランジスタ 5 1 のゲートにはトレラント用追加抵抗 (プルダウン抵抗) 6 0 が設けられ、このトレラント用追加抵抗 6 0 の一端は接地される。さらに、PMOS トランジスタ 5 1 のゲートは PMOS トランジスタ 6 7 を介して端子 6 に接続される。この PMOS トランジスタ 6 7 のソースが PMOS トランジスタ 5 1 のゲートに接続され、ドレインが出力ノードに接続される。また、PMOS トランジスタ 6 7 のゲートには、内部電源電圧 (int VCC) が与えられる。

【0024】

50

また、出力用PMOSトランジスタ52と出力用NMOSトランジスタ57の間にはNMOSトランジスタ55が設けられ、このNMOSトランジスタ55のゲートには、内部電源電圧($intVCC$)が与えられる。

【0025】

一方、出力用PMOSトランジスタ52のソースには、内部電源電圧が与えられ、出力用NMOSトランジスタ57のソースは接地されている。NMOSトランジスタ55と出力用PMOSトランジスタ52との接続ノード(出力ノード)が出力端子6に接続されている。

【0026】

上記した図4に示す出力回路においても表1に示す信号関係となる。出力端子6は、H、L、及び出力回路を不使用するHi-Z状態となる。

10

【0027】

図2で示した従来の出力回路では、端子6がH(3V)からHi-Zになった時、PMOSトランジスタ51が完全にオン(ON)しないため、PMOSトランジスタ52のゲート電位が $3V - V_{th}$ 程度となり、図3に示すように不完全なオフ(OFF)状態となっていた。これに対し、図4に示す実施形態の回路では、端子6に掛かる電圧がPMOSトランジスタ67のゲート・ソース間電圧とスレショルド電圧の和 $V_{gs_{67}} + V_{th_{67}}$ 以下の場合、PMOSトランジスタ67は常にオフ(OFF)状態になる。そして、出力ノードとなるPMOSトランジスタ52のゲートに接続されたPMOSトランジスタ51のゲート電圧 $V_{gs_{51}}$ が、0V付近の値になる。この結果、PIとPMOSトランジスタ51のゲート・ソース電圧 $V_{gs_{51}}$ が $V_{gs_{51}} < V_{th_{51}}$ の関係が成り立ち、オン(ON)状態になる。

20

このことにより、PMOSトランジスタ52のゲート電位が3Vに引き上げられ、PMOSトランジスタ52のソース・ドレイン間にリーク電流が流れない。

【0028】

従って、端子6は、図5に示すように、外付けのpull-down抵抗により即座に0Vへ落ち着くこととなる。図2に示した回路に比べると 10^3 オーダー程度早くなり、瞬時に切り替わる。

【0029】

なお、PMOSトランジスタ67がトレラント時以外はオフ(OFF)しているので、PMOSトランジスタ51と出力用NMOSトランジスタ57の間のノードが浮いてしまうので、トレラント用追加抵抗60を用いて、pull-downさせて、PMOSトランジスタ51を常にオン(ON)にしている。

30

【0030】

端子6に掛かる電圧が内部電源電圧に対して十分大きい場合、NMOSトランジスタ側では、NMOSトランジスタ55があるために1つずつのNMOSトランジスタのソース・ドレイン間電圧が低くなり、信頼性が確保される。

【0031】

次にPMOSトランジスタ側では、PMOSトランジスタ53がオフ(OFF)し、代わりにPMOSトランジスタ51及び54のドレインからバックゲートへ電流が流入することにより、PMOSトランジスタの基板電位(N-well電位)が端子6に掛かる電圧となり、PMOSトランジスタ51、53の信頼性が確保される。更に、PMOSトランジスタ54があるために、PMOSトランジスタ52のゲート電位も端子6に掛かる電圧となり、PMOSトランジスタ52の信頼性も確保される。加えて、PMOSトランジスタ51がオフ(OFF)状態のため、端子6に掛かる電圧の電位がPI側へは伝わらず(NMOSトランジスタ56により $3V - V_{th}$ となるため)、PIの先に繋がる回路の信頼性も確保される。

40

【0032】

尚、上記した実施形態では、内部電源電圧として3Vが用いられ、Hレベルの信号として3V又は5Vが用いられているが、3Vの代わりに3.3Vが用いられても良いなど電圧

50

が具体的に限定されることはない。

【 0 0 3 3 】

【 発 明 の 効 果 】

以上説明したように、出力用PMOSトランジスタのゲートの前段に接続されるPMOSトランジスタのゲートにプルダウン抵抗とPMOSトランジスタを接続することにより、端子フローティング時でも出力用PMOSトランジスタを完全にオフできるので、端子に外付けプルダウン抵抗が付いた場合でも即座にHレベルからLレベルへ電圧を落とすことができる。

【 図 面 の 簡 単 な 説 明 】

【 図 1 】 出力回路の全体構成を示すブロック図である。

10

【 図 2 】 従来のトレラントを備えた出力バッファ回路を示す回路図である。

【 図 3 】 図 2 に示す回路において、端子にプルダウン抵抗が付いたときのHからHi-zに変化する時の特性図である。

【 図 4 】 この発明の実施形態に係るトレラントを備えた出力バッファ回路を示す回路図である。

【 図 5 】 図 4 に示す回路において、端子にプルダウン抵抗が付いたときのHからHi-zに変化する時の特性図である。

【 符 号 の 説 明 】

6 端子

5 1、5 3、5 4 PMOSトランジスタ

20

5 2 出力用PMOSトランジスタ

5 5、5 6 NMOSトランジスタ

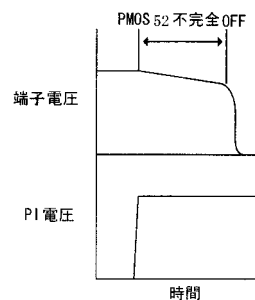
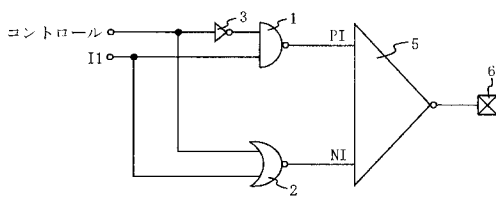
5 7 出力用NMOSトランジスタ

6 0 トレラント用追加抵抗（プルダウン抵抗）

6 7 PMOSトランジスタ

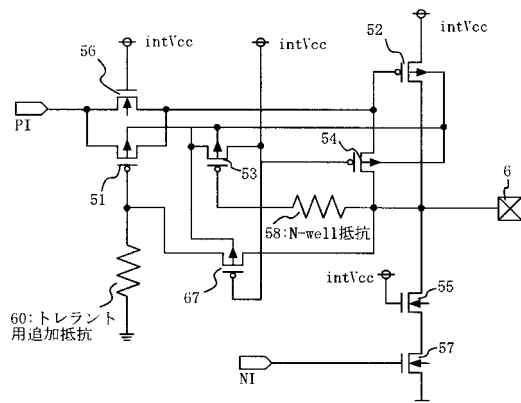
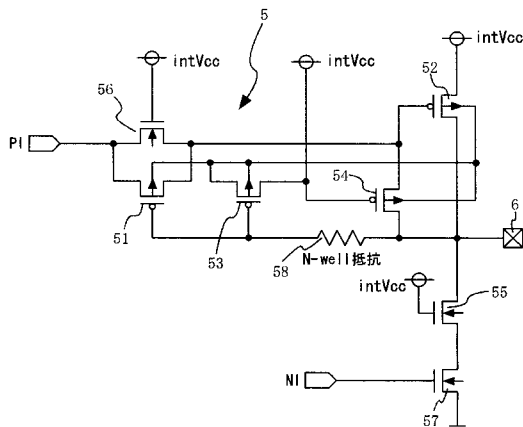
【 図 1 】

【 図 3 】

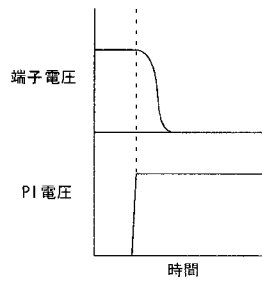


【 図 2 】

【 図 4 】



【 図 5 】



フロントページの続き

審査官 宮島 郁美

- (56)参考文献 特開平11-274911(JP,A)
特開2002-280892(JP,A)
特開2001-313559(JP,A)
特開平11-271405(JP,A)
特開平08-116250(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H03K19/00,19/01-19/082,19/092-19/096
H03K17/00-17/70