

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5407940号  
(P5407940)

(45) 発行日 平成26年2月5日(2014.2.5)

(24) 登録日 平成25年11月15日(2013.11.15)

(51) Int. Cl.		F I	
<b>HO2M</b>	<b>1/08</b>	<b>(2006.01)</b>	HO2M 1/08 A
<b>HO3K</b>	<b>17/16</b>	<b>(2006.01)</b>	HO3K 17/16 H
<b>HO3K</b>	<b>17/685</b>	<b>(2006.01)</b>	HO3K 17/687 B
<b>HO2M</b>	<b>7/48</b>	<b>(2007.01)</b>	HO2M 7/48 M

請求項の数 6 (全 12 頁)

(21) 出願番号	特願2010-47729 (P2010-47729)
(22) 出願日	平成22年3月4日(2010.3.4)
(65) 公開番号	特開2011-188540 (P2011-188540A)
(43) 公開日	平成23年9月22日(2011.9.22)
審査請求日	平成24年5月31日(2012.5.31)

(73) 特許権者	000004260 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地
(74) 代理人	110000567 特許業務法人 サトー国際特許事務所
(72) 発明者	木村 友則 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
審査官	永田 和彦

最終頁に続く

(54) 【発明の名称】 スイッチング素子の駆動回路

(57) 【特許請求の範囲】

【請求項1】

誘導負荷を駆動するブリッジ回路を構成するもので、出力端子間に外付け素子又は寄生ダイオードからなるフリーホイールダイオードが接続されている電圧駆動型スイッチング素子を駆動対象とする駆動回路において、

前記ブリッジ回路を構成する上アーム側、下アーム側何れか一方のスイッチング素子の前記フリーホイールダイオードに短絡電流が瞬間的に流れた場合、前記スイッチング素子の低電位側出力端子に発生する電圧変動に基づいて前記スイッチング素子の制御端子に誘導される電圧変動を打ち消すように、前記低電位側出力端子と前記制御端子との間に磁気結合構造を設けたことを特徴とするスイッチング素子の駆動回路。

【請求項2】

前記スイッチング素子の制御端子の電位を、ハイレベル出力用トランジスタと、ローレベル出力用トランジスタとで制御すると共に、駆動回路側のグラウンドを前記スイッチング素子の低電位側出力端子に接続するように構成され、

前記磁気結合構造は、

前記ハイレベル出力用トランジスタの出力端子と前記ローレベル出力用トランジスタの出力端子とが前記制御端子に共通に接続され、

前記ローレベル出力用トランジスタの出力端子と前記スイッチング素子の制御端子とを接続する配線を、前記スイッチング素子の低電位側出力端子の配線に対して同相で結合させてなることを特徴とする請求項1記載のスイッチング素子の駆動回路。

10

20

## 【請求項 3】

前記スイッチング素子の制御端子の電位を、ハイレベル出力用トランジスタと、ローレベル出力用トランジスタとで制御すると共に、駆動回路側のグランドを前記スイッチング素子の低電位側出力端子に接続するように構成され、

前記磁気結合構造は、

前記ハイレベル出力用トランジスタの出力端子と前記制御端子とを接続する配線を、前記スイッチング素子の低電位側出力端子の配線に対して逆相で結合させ、

前記ローレベル出力用トランジスタの出力端子と前記制御端子とを接続する配線を、前記低電位側出力端子の配線に対して同相で結合させてなることを特徴とする請求項 1 記載のスイッチング素子の駆動回路。

10

## 【請求項 4】

前記磁気結合構造は、

前記ハイレベル出力用トランジスタの出力端子を前記制御端子に直結接続し、

前記ローレベル出力用トランジスタの出力端子を前記制御端子に接続する配線と、前記スイッチング素子の低電位側出力端子を前記誘導負荷又は負荷駆動用電源の負側端子に接続する配線とを、ツイストペア接続したことを特徴とする請求項 2 記載のスイッチング素子の駆動回路。

## 【請求項 5】

前記磁気結合構造を、前記スイッチング素子のモールドパッケージを構成する、前記低電位側出力端子のリード配線の一部と、前記制御端子のリード配線の一部とを平行に引き回すことで構成することを特徴とする請求項 1 ないし 3 の何れかに記載のスイッチング素子の駆動回路。

20

## 【請求項 6】

前記スイッチング素子は、S J (Super Junction) - M O S F E Tであることを特徴とする請求項 1 ないし 5 の何れかに記載のスイッチング素子の駆動回路。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、誘導負荷を駆動するブリッジ回路を構成するもので、出力端子間に外付け素子又は寄生ダイオードからなるフリーホイールダイオードが接続されている電圧駆動型スイッチング素子を駆動対象とする駆動回路に関する。

30

## 【背景技術】

## 【0002】

特許文献 1 の図 1 には、以下のように構成された駆動回路が開示されている。コレクタ端子、エミッタ端子に接続された微分器 16 によりスイッチング素子 ( I G B T ) 7 のコレクタ・エミッタ間電圧を微分して微分信号を生成し、電圧増幅器 17 によりその微分信号を増幅して制御電流源 18 を制御する。そして、スイッチング素子 7 のコレクタ・エミッタ間電圧が急速に上昇し始めたときに、内部帰還容量を介してコレクタ側からゲート端子側に帰還される電流に対応する分の電流をゲート端子からシンクする。これにより、スイッチング素子 7 が備えるフリーホイールダイオード 10 の逆回復期間にゲート電圧を安定化させ、セルフターンオンの発生を防止している。

40

## 【先行技術文献】

## 【特許文献】

## 【0003】

【特許文献 1】特開 2006 - 25516 号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

しかしながら、特許文献 1 では、電圧増幅器 17 等のアクティブ回路を用いて構成しているため、例えば S J (Super Junction) - M O S F E T のような高速スイッチング素子

50

を駆動対象とする場合には対応することができない。図10は、Nチャンネル型のS J - M O S F E Tにより構成されるハーフブリッジ回路と、その駆動回路とを示す。ハーフブリッジ回路1は、直流電源2（例えば電圧100V）とグランドとの間に、2つのNチャンネルM O S F E T 3 H , 3 Lを直列に接続して構成されている。これらのNチャンネルM O S F E T 3 H , 3 Lの共通接続点には、誘導負荷として例えば交流モータのステータコイル4の一端が接続されている。

【0005】

尚、以下ではハイサイド（上アーム）とローサイド（下アーム）とについて、特に区別をつける必要がある場合を除いて符号に「H, L」を付さずに説明する。NチャンネルM O S F E T 3のドレインソース間には寄生ダイオード5が内蔵されており、フリーホイールダイオードとして動作する。NチャンネルM O S F E T 3の駆動回路6は、ベースが共通に接続されているPNPトランジスタ7, NPNトランジスタ8を中心構成されている。PNPトランジスタ7のエミッタは直流電源9（例えば電圧15V）の正側端子に接続され、NPNトランジスタ8のエミッタは直流電源9の負側端子に接続されている。尚、上記駆動回路6の構成は特許文献1の駆動回路とは異なっているが、一般的に使用されるものである。

10

【0006】

PNPトランジスタ7, NPNトランジスタ8のコレクタは、夫々抵抗素子10, 11を介してNチャンネルM O S F E T 3のゲートに接続されている。そして、直流電源9Lの負側端子は、NチャンネルM O S F E T 3Lのソースに、ソース配線の寄生インダクタンスを介して接続され、直流電源9Hの負側端子は、NチャンネルM O S F E T 3Hのソースに、ソース配線の寄生インダクタンスを介して接続されている。

20

【0007】

以上のように構成される駆動回路6においては、図示しない制御回路よりPNPトランジスタ7, NPNトランジスタ8のベースに出力される信号がハイレベルの場合、前者がオフ、後者がオンとなることでNチャンネルM O S F E T 3がオフ状態となり、PNPトランジスタ7, NPNトランジスタ8のベースに出力される信号がローレベルの場合、上記オンオフが入れ替わってNチャンネルM O S F E T 3がオン状態となる。

【0008】

図11は、図10の回路について行ったシミュレーション結果を示す。(a)は、ハイサイドのNチャンネルM O S F E T 3Hがターンオンした場合の、ローサイドのNチャンネルM O S F E T 3Lのソース配線寄生インダクタンスの電圧 $V_{LsLo}$ の波形を示す。尚、前提として、ローサイドのNチャンネルM O S F E T 3Lの寄生ダイオード5Lには、NチャンネルM O S F E T 3Lがターンオフした後の還流電流(-10A)が流れているとする。

30

【0009】

NチャンネルM O S F E T 3Hがターンオンすると、寄生ダイオード5Lには逆電圧が印加される。寄生ダイオード5はフリーホイールダイオードとしての逆回復特性が不十分であるため、その際にキャリア蓄積効果により電流 $I_d$ が大きく逆方向（符号は+とする）に流れる（図11(c)参照）。そこから、寄生ダイオード5Lには逆回復現象が発生して電流が鋭く変化( $di/dt$ )するので、ソース配線の寄生インダクタンスの端子電圧が大きく変化する（図11(a)参照）。すると、その電圧変化がNチャンネルM O S F E T 3Lのゲート-ソース間電圧 $V_{gLo}$ に重畳されるため、当該電圧がNチャンネルM O S F E T 3Lの閾値 $V_t$ を超えていわゆる「セルフターンオン」現象が発生する（図11(b)参照）。

40

【0010】

その結果、NチャンネルM O S F E T 3H, 3L間に貫通電流が流れると共に、寄生ダイオード5Lにおいても電流 $I_d$ が振動するように変化して流れるため、スイッチング損失, ダイオード損失が増加するという問題がある。そして、特許文献1に開示されている駆動回路を用いたとしても、同様の問題が発生することが想定される。S J - M O S F E T

50

については斯様な問題があることから、従来は誘導負荷を駆動するブリッジ回路を構成するために使用されることがなかった。

【 0 0 1 1 】

本発明は上記事情に鑑みてなされたものであり、その目的は、ブリッジ回路を構成する高速スイッチング素子を駆動対象とする場合でも、セルフターンオンの発生を防止できる駆動回路を提供することにある。

【課題を解決するための手段】

【 0 0 1 2 】

請求項1記載のスイッチング素子の駆動回路によれば、電圧駆動型スイッチング素子の低電位側出力端子と制御端子との間に磁気結合構造を設けることで、ブリッジ回路を構成する一方のスイッチング素子がターンオンした際に、オフ状態に維持される他方のスイッチング素子のフリーホイールダイオードに短絡電流（逆方向電流）が瞬間的に流れた場合、前記スイッチング素子の低電位側出力端子に発生する電圧変動に基づいて、制御端子に誘導される電圧変動が打ち消される。したがって、一方のスイッチング素子が高速にターンオンすることで、他方のスイッチング素子のフリーホイールダイオードに流れる電流が急激に変動した場合でも、低電位側出力端子に繋がる配線のインダクタンスにより発生する電圧変動に基づいて前記スイッチング素子がセルフターンオンすることを防止し、損失を低減できる。

10

【 0 0 1 3 】

請求項2記載のスイッチング素子の駆動回路によれば、磁気結合構造を、ハイレベル出力用トランジスタの出力端子とローレベル出力用トランジスタの出力端子とをスイッチング素子の制御端子に共通に接続し、ローレベル出力用トランジスタの出力端子とスイッチング素子の制御端子とを接続する配線を、スイッチング素子の低電位側出力端子の配線に対して同相で結合させて構成する。斯様に構成すれば、前記低電位側出力端子の配線に発生した電圧と同相の誘導電圧が制御端子に印加されるので、制御端子と低電位側出力端子との間で発生しようとする電圧変動を抑制できる。

20

【 0 0 1 4 】

請求項3記載のスイッチング素子の駆動回路によれば、磁気結合構造を、ハイレベル出力用トランジスタの出力端子とスイッチング素子の制御端子とを接続する配線を、スイッチング素子の低電位側出力端子の配線に対して逆相で結合させ、ローレベル出力用トランジスタの出力端子とスイッチング素子の制御端子とを接続する配線を、低電位側出力端子の配線に対して同相で結合させて構成する。斯様に構成すれば、同相結合の部分による作用効果は請求項2と同様である。

30

そして、磁気結合構造における逆相結合の部分により、ターンオンしたスイッチング素子の制御端子には、前記スイッチング素子の低電位側出力端子に発生する電圧変動の逆相電圧が重畳される。これにより、他方のスイッチング素子のフリーホイールダイオードに流れようとする貫通電流を減少させることができるので、上記ダイオードに流れる電流の振動を抑制してダイオード損失を低減できる。

【 0 0 1 5 】

請求項4記載のスイッチング素子の駆動回路によれば、磁気結合構造を、ハイレベル出力用トランジスタの出力端子をスイッチング素子の制御端子に直結接続し、ローレベル出力用トランジスタの出力端子をスイッチング素子の制御端子に接続する配線と、前記スイッチング素子の低電位側出力端子を誘導負荷又は負荷駆動用電源の負側端子に接続する配線とを、ツイストペア接続して構成する。したがって、磁気結合構造を、ツイストペア接続部分により簡単に構成できる。

40

【 0 0 1 6 】

請求項5記載のスイッチング素子の駆動回路によれば、磁気結合構造を、スイッチング素子のモールドパッケージを構成する、低電位側出力端子のリード配線の一部と、制御端子のリード配線の一部とを平行に引き回すことで構成する。したがって、磁気結合構造を、リード配線を利用して簡単に構成できる。

50

## 【 0 0 1 7 】

請求項 6 記載のスイッチング素子の駆動回路によれば、スイッチング素子を S J (Super Junction) - MOSFET とするので、高速でスイッチング動作するブリッジ回路を構成できる。

## 【 図面の簡単な説明 】

## 【 0 0 1 8 】

【 図 1 】 第 1 実施例であり、駆動回路の構成を示す図

【 図 2 】 N チャネル MOSFET の半導体チップをモールドパッケージした場合に、リード配線の引き回しによりトランス部を構成した状態を示す図

【 図 3 】 駆動回路のシミュレーションモデルを示す図

10

【 図 4 】 シミュレーション結果を示す図

【 図 5 】 第 2 実施例を示す図 2 相当図

【 図 6 】 第 3 実施例を示す図 1 相当図

【 図 7 】 図 2 相当図

【 図 8 】 図 3 相当図

【 図 9 】 図 4 相当図

【 図 1 0 】 従来技術を示す図 3 相当図

【 図 1 1 】 図 4 相当図

## 【 発明を実施するための形態 】

## 【 0 0 1 9 】

20

( 第 1 実施例 )

以下、第 1 実施例について図 1 ないし図 4 を参照して説明する。尚、図 1 0 と同一部分には同一符号を付して説明を省略し、以下異なる部分について説明する。図 1 において、本実施例の駆動回路 2 1 L (ローサイドのみ示す) では、PNP トランジスタ (ハイレベル出力用トランジスタ) 7 L, NPN トランジスタ (ローレベル出力用トランジスタ) 8 L のコレクタ (出力端子) に夫々接続されている抵抗素子 1 0 L, 1 1 L 並びに NPN トランジスタ 8 L のエミッタと、N チャネル MOSFET (電圧駆動型スイッチング素子) 3 L との接続状態が異なっている。すなわち、これらの間には、等価回路的にトランスと同様のシンボルで示すトランス部 (磁気結合構造) 2 2 L が介在している。

## 【 0 0 2 0 】

30

N チャネル MOSFET 3 L のソース (低電位側出力端子) と、直流電源 2 の負側端子との間のソース配線 2 3 L は、トランス部 2 2 L の一次側インダクタンスとなっている。また、抵抗素子 1 0 L, 1 1 L 間を接続する駆動側配線 2 4 L は、トランス部 2 2 L の二次側インダクタンスとなっており、ソース配線 2 3 L に対して同相で結合する構成となっている。そして、NPN トランジスタ 8 L のエミッタは、ソース配線 2 3 L において、N チャネル MOSFET 3 L のソース側に接続されている。

## 【 0 0 2 1 】

図 2 は、N チャネル MOSFET 3 L の半導体チップをモールドパッケージした場合に、パッケージ内部のリード配線の引き回しによってトランス部 2 2 L を構成した状態を示す。N チャネル MOSFET 3 L のソースに繋がるソース配線 2 3 L は、図中下方側に開放された逆 U 字状 (ただし、上端側は直角に屈曲している) をなしており、中央側に伸びる下端の一方は直流電源 2 の負側端子 (-) に接続され、右端側に伸びる下端の他方は直流電源 9 L の負側端子 (-) に接続される。N チャネル MOSFET 3 L のドレイン (D; 高電位側出力端子) に接続されるドレイン配線 2 5 L は、中央側のソース配線 2 3 L に対し、十分な間隔をとって配置されている。

40

## 【 0 0 2 2 】

ソース配線 2 3 L の内周側には、駆動側配線 2 4 L が配置されている。抵抗素子 1 0 L に繋がる端子 G - Hi から上方に伸びる駆動側配線 2 4 L は、その右隣に配置されているソース配線 2 3 L に沿って平行に配置され、上端部がソース配線 2 3 L の内周側に沿うように曲がって折り返されると、左隣のソース配線 2 3 L と平行に下方に伸びている。ただ

50

し、駆動側配線 24L が抵抗素子 11L に接続される、端子 G - Lo に繋がる直前の部分では、左隣のソース配線 23L から遠ざかるようクランク状に屈曲している。

以上において、ソース配線 23L の左上角部に、Nチャネル MOSFET 3L のソース (S) に繋がるボンディングワイヤ 26 が接続されており、駆動側配線 24L の左上角部に、Nチャネル MOSFET 3L のゲート (G; 制御端子) に繋がるボンディングワイヤ 27 が接続されている。そして、駆動側配線 24L と、その左隣のソース配線 23L とが近接して対向する部分 (図中に破線で示す) がトランス部 22L を構成している。

#### 【0023】

図3は、図1に示す駆動回路 21L の動作をシミュレーションする場合に用いたモデルであり、Nチャネル MOSFET 3H のソースとステータコイル (誘導性負荷) 4 との間、Nチャネル MOSFET 3L のソースと直流電源 2 の負側端子との間に、それぞれソース配線の寄生インダクタンス 28H, 28L (7nH) を付与している。これらに応じて、トランス部 22L を構成するソース配線 23L, 駆動側配線 24L のインダクタンスも同じ 7nH を付与している。

10

#### 【0024】

そして図4は、駆動回路 21L 側はNチャネル MOSFET 3L をオフ状態に維持し、Nチャネル MOSFET 3H 側をターンオンした場合の各部の信号変化をシミュレーションした結果である。図4(a)に示す寄生インダクタンス 28L の端子電圧  $V_{LsLo}$  の変動が、トランス部 22L を介して駆動側配線 24L に同相で誘導される (図4(b)参照)。これにより、端子電圧  $V_{LsLo}$  と同じ変動が、Nチャネル MOSFET 3L のゲート電位に加わることになり、変動がキャンセルされる (図4(c)参照)。したがって、上記ゲート電位が閾値電圧  $V_t$  を超えることなくNチャネル MOSFET 3L のセルフターンオンが抑制され、寄生ダイオード 5L に流れる電流  $I_{dLo}$  の振動がより早く収束している (図4(d)参照)。

20

#### 【0025】

尚、以上の動作は、ステータコイル 4 に流す電流が一方向の場合で説明したが、交流モータの場合、ステータコイル 4 に流す電流の方向が逆になる状態が等しく存在する。この時、Nチャネル MOSFET 3L とNチャネル MOSFET 3H がともにオフして寄生ダイオード 5H に順方向電流が流れている状態から、Nチャネル MOSFET 3L がターンオンして寄生ダイオード 5H のアノード電位が低下すると、寄生ダイオード 5H に貫通電流が流れる。したがって、この場合には、上記実施例で示したNチャネル MOSFET 3H, 3L の関係が逆に作用することになり、ハイサイドの寄生ダイオード 5H における損失が抑制される。

30

#### 【0026】

以上のように本実施例によれば、SJ-MOSFETであるNチャネル MOSFET 3H, 3L によりHブリッジ回路 1 を構成する場合、駆動回路 21 に、Nチャネル MOSFET 3 のソースとゲートとの間に磁気結合構造 22 を設け、Nチャネル MOSFET 3H がターンオンした際に、オフ状態に維持されるNチャネル MOSFET 3L の寄生ダイオード 5L に短絡電流が瞬間的に流れると、Nチャネル MOSFET 3L のソースに発生する電圧変動に基づいてゲートに誘導される電圧変動を打ち消すようにした。具体的には、磁気結合構造 22L を、NPNトランジスタ 8L のコレクタとNチャネル MOSFET 3 のゲートとの間を接続する駆動側配線 24L を、Nチャネル MOSFET 3L のソース配線 23L に対して同相で磁気結合させて構成した。

40

#### 【0027】

したがって、Nチャネル MOSFET 3H が高速にターンオンすることで、Nチャネル MOSFET 3L の寄生ダイオード 5L に流れる電流が急激に変動した場合でも、ソース配線 23L のインダクタンスにより発生する電圧変動に基づいてNチャネル MOSFET 3L がセルフターンオンすることを防止し、スイッチング損失や寄生ダイオード 5L における損失を低減できる。また、磁気結合構造 22 を、Nチャネル MOSFET 3 のモールドパッケージを構成するソースのリード配線の一部と、ゲートのリード配線の一部とを平

50

行に引き回して構成したので、リード配線を利用して簡単に構成できる。

【0028】

(第2実施例)

図5は第2実施例であり、第1実施例と同一部分には同一符号を付して説明を省略し、以下異なる部分について説明する。第2実施例では、駆動回路21L自体の構成は第1実施例と同様であるが、磁気結合構造22Lの具体構成が相違している。図2相当図である図5において、第2実施例では、NチャネルMOSFET3Lのモールドパッケージ自体は通常の通りに構成されている。すなわち、ドレインに繋がるリード29が中央に位置し、その両隣りには、ボンディングワイヤ30, 31により夫々ゲート、ソースに接続されるリード32, 33が配置されている。

10

【0029】

そして、リード29は配線34によってステータコイル4の一端に接続され、リード32は配線35によって抵抗素子10Lの一端(G-Hi)に接続され、リード33は配線36によって直流電源9Lの負側端子に接続されている。また、リード32, 33には、夫々もう1本の配線37, 38が接続されており、これらの配線37, 38がツイストペア線を構成している部分が磁気結合構造22Lとなっている。配線37は抵抗素子11Lの一端(G-Lo)に接続され、配線38は直流電源2Lの負側端子に接続されている。

【0030】

以上のように第2実施例によれば、磁気結合構造22Lを、NチャネルMOSFET3Lのゲートと、NPNトランジスタ8Lのコレクタとを抵抗素子11Lを介して接続する配線37と、NチャネルMOSFET3Lのソースを直流電源2Lの負側端子に接続する配線38とをツイストペア接続して構成するので、磁気結合構造22Lを簡単に構成できる。

20

【0031】

(第3実施例)

図6ないし図9は第3実施例を示すものであり、第1実施例と異なる部分について説明する。第3実施例の駆動回路41Lは、トランス部42L(磁気結合構造)の二次側の構成がトランス部22Lと相違している。すなわち、図6に示すように、駆動側配線24LがNチャネルMOSFET3Lのゲートに接続されている一端側は、抵抗素子10Lには接続されておらず、抵抗素子10LとNチャネルMOSFET3Lのゲートとを接続する駆動側配線43Lが二次側に追加されている。そして、ソース配線23Lに対して、駆動側配線43Lは逆相で磁気結合している。

30

【0032】

図2相当図である図7において、図2に示したソース配線23L及び駆動側配線24Lのリードがなす下端が開放されたループは、下方に向けて引き延ばされた形状となっている。そして、駆動側配線24Lが、その左隣のソース配線23Lと平行に対向している途中部位には、ボンディングワイヤ27を接続するためのパッド44Lが形成されており、そのパッド44Lよりも下方側に延びている部分が駆動側配線24L、パッド44Lよりも上方側に延びている部分が駆動側配線43Lとなっている。

40

【0033】

次に、第3実施例の作用について図8及び図9も参照して説明する。図8は、駆動回路41の動作シミュレーション用モデルであり、図3のモデルと同様に、NチャネルMOSFET3H, 3Lのソース配線に寄生インダクタンス28H, 28L(7nH)を付与し、これらに応じて、トランス部42Lを構成するソース配線23L, 駆動側配線24L, 43Lのインダクタンスも同じ7nHを付与している。

【0034】

図9に示すシミュレーション結果は、(a)ハイサイドの駆動側配線43Hに誘導される電圧 $V_{tr\_Hi}$ 、(b)NチャネルMOSFET3Hのゲート-ソース間電圧 $V_{g\_Hi}$ と、(c)ローサイドの寄生ダイオード5Lに流れる電流 $I_{d\_Lo}$ とを示している。尚、NチャネルMOSFET3Lのセルフターンオンを防止する作用については、駆

50

動側配線 2 4 L による作用が第 1 実施例と同様に行われる。

【 0 0 3 5 】

そして、第 3 実施例では、N チャンネル MOS F E T 3 H をターンオンした場合、ソース配線 2 3 H に誘導される電圧と逆相の電圧  $V_{tr\_Hi}$  が駆動側配線 4 3 H に誘導される。すなわち、ソース配線 2 3 H に流れる電流が増加すると、駆動側配線 4 3 H を介して流れる電流が減少する方向に作用する。駆動側配線 4 3 H に誘導された電圧は、N チャンネル MOS F E T 3 H のゲート - ソース間電圧  $V_{g\_Hi}$  に重畳されるため、N チャンネル MOS F E T 3 H のオン状態が重畳された電圧  $V_{tr\_Hi}$  に応じて変化する。その電圧変化は、ローサイドの寄生ダイオード 5 L における電流  $I_{d\_Lo}$  の変動を抑制するように作用するので、結果として電流  $I_{d\_Lo}$  の振動がより早く収束するようになる。

10

【 0 0 3 6 】

以上のように第 3 実施例によれば、磁気結合構造 4 2 を、PNP トランジスタ 7 のコレクタを、抵抗素子 1 0 を介して N チャンネル MOS F E T 3 のゲートに接続する配線 4 3 を、ソース配線 2 3 に対して逆相で磁気結合させて構成したので、ターンオンした N チャンネル MOS F E T 3 H のゲートには、自身のソースに発生する電圧変動の逆相電圧が重畳されるようになり、N チャンネル MOS F E T 3 L の寄生ダイオード 5 L に流れようとする貫通電流を減少させることができ、上記ダイオード 5 L に流れる電流の振動を一層抑制してダイオード損失を低減できる。

【 0 0 3 7 】

本発明は上記し、又は図面に記載した実施例にのみ限定されるものではなく、以下のような変形又は拡張が可能である。

20

電圧駆動型スイッチング素子は、SJ - MOS F E T に限ることなく、その他の MOS F E T や I G B T などでも良い。また、フリーホイールダイオードを外付けしたスイッチング素子に適用しても良い。

例えば、トランス部 2 2 を構成している配線上に、絶縁膜を介してフェライトビーズ等を配置することで、磁氣的結合を強めるようにしても良い。

また、多層配線基板を採用する場合、配線 2 3 , 2 4 を上層、下層で重なるように配置して結合を強めても良い。

【 0 0 3 8 】

トランス部の相互インダクタンスを、ボンディングワイヤ 2 6 , 2 7 等が有している寄生インダクタンスと同じ値となるように調整しても良い。

30

Hブリッジ回路だけでなく、ハーフブリッジ回路や三相ブリッジ回路に適用しても良い。

誘導性負荷は、その他ランプなどでも良い。

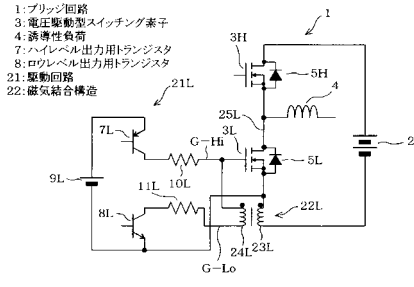
【 符号の説明 】

【 0 0 3 9 】

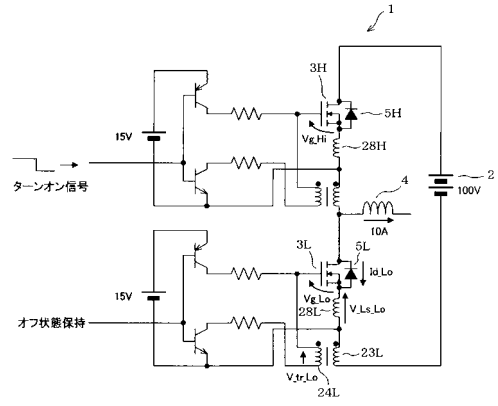
図面中、1 は Hブリッジ回路、3 は N チャンネル MOS F E T ( 電圧駆動型スイッチング素子、SJ - MOS F E T )、4 はステータコイル ( 誘導性負荷 )、5 は寄生ダイオード ( フリーホイールダイオード )、7 は PNP トランジスタ ( ハイレベル出力用トランジスタ )、8 は NPN トランジスタ ( ローレベル出力用トランジスタ )、2 1 は駆動回路、2 2 はトランス部 ( 磁気結合構造 )、2 3 はソース配線、2 4 は駆動側配線、4 1 は駆動回路、4 2 はトランス部 ( 磁気結合構造 )、4 3 は駆動側配線を示す。

40

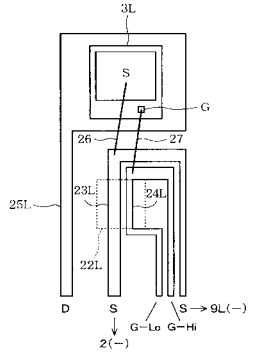
【図1】



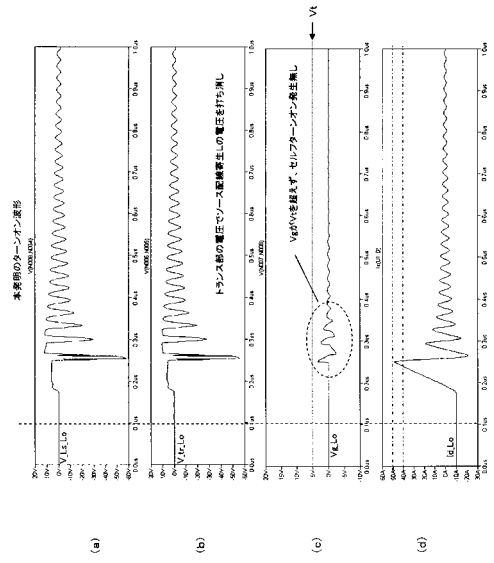
【図3】



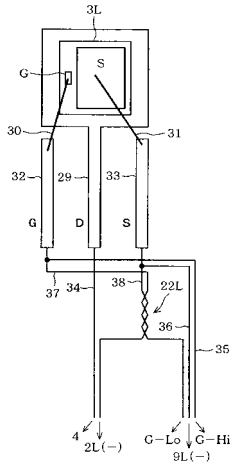
【図2】



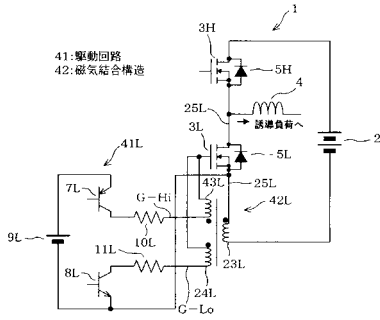
【図4】



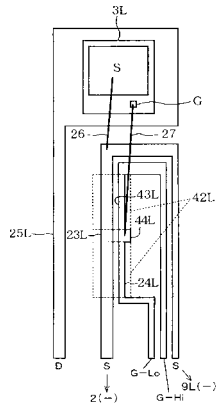
【図5】



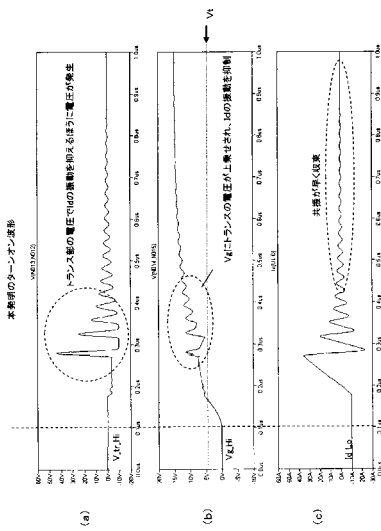
【図6】



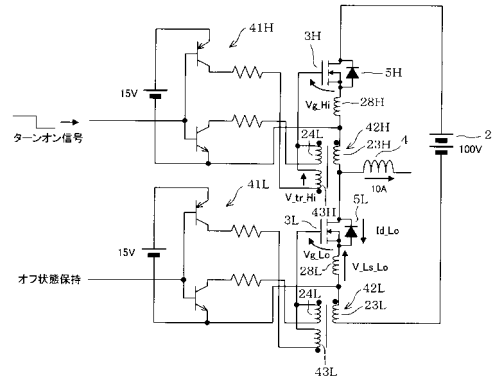
【図7】



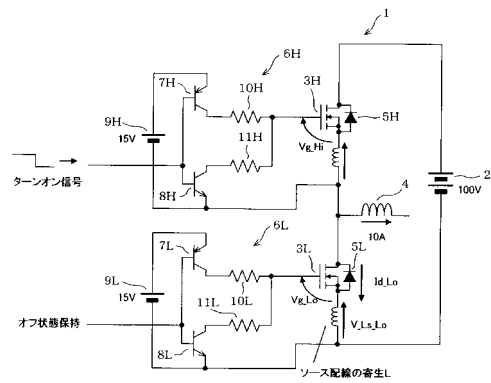
【図9】



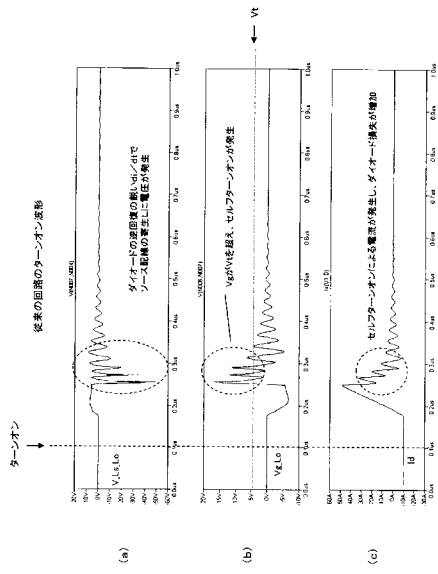
【図8】



【図10】



【 図 1 1 】



---

フロントページの続き

- (56)参考文献 特開2006-25516(JP,A)  
特開2005-33876(JP,A)  
特開2004-187360(JP,A)  
特開2009-22106(JP,A)  
特開2006-295247(JP,A)  
特開2007-295543(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 1/08 - 1/096, 7/48 - 7/5395,  
H03K 17/00 - 17/695