

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4035519号  
(P4035519)

(45) 発行日 平成20年1月23日(2008.1.23)

(24) 登録日 平成19年11月2日(2007.11.2)

(51) Int. Cl.

F I

G O 1 L 9/00 (2006.01)

G O 1 L 9/00 3 O 3 E

H O 1 L 29/84 (2006.01)

G O 1 L 9/00 3 O 3 F

H O 1 L 29/84 B

請求項の数 12 (全 19 頁)

(21) 出願番号 特願2004-176853 (P2004-176853)  
 (22) 出願日 平成16年6月15日(2004.6.15)  
 (65) 公開番号 特開2006-3099 (P2006-3099A)  
 (43) 公開日 平成18年1月5日(2006.1.5)  
 審査請求日 平成19年6月5日(2007.6.5)

(73) 特許権者 000001007  
 キヤノン株式会社  
 東京都大田区下丸子3丁目30番2号  
 (74) 代理人 100123788  
 弁理士 宮崎 昭夫  
 (74) 代理人 100106297  
 弁理士 伊藤 克博  
 (74) 代理人 100106138  
 弁理士 石橋 政幸  
 (72) 発明者 市川 武史  
 東京都大田区下丸子3丁目30番2号 キ  
 ヤノン株式会社内  
 審査官 森 雅之

最終頁に続く

(54) 【発明の名称】 半導体圧力センサおよびその製造方法

(57) 【特許請求の範囲】

【請求項1】

ダイヤフラム部を有する半導体基板に1つ以上の歪み検出素子が設けられた半導体圧力センサにおいて、

前記歪み検出素子の少なくとも1つは、前記ダイヤフラム部に第1の端部を有し、該第1の端部と前記ダイヤフラム部のエッジ間の距離をLXとしたとき、LX 20 μmとなるように、前記ダイヤフラム部の内側と外側とに跨って配置されていることを特徴とする半導体圧力センサ。

【請求項2】

前記歪み検出素子は、前記ダイヤフラム部に折り返し部を有し、該折り返し部は、前記第1の端部と接して形成されている請求項1に記載の半導体圧力センサ。 10

【請求項3】

4つの前記歪み検出素子が、ホイートストンブリッジ回路を構成するように電氣的に接続され、そのうち対向する2つの歪み検出素子が、LX 20 μmとなるように配置されている請求項1または2に記載の半導体圧力センサ。

【請求項4】

LX 10 μmである請求項1ないし3のいずれか1項に記載の半導体圧力センサ。

【請求項5】

前記半導体基板は、半導体材料からなる支持層および表面層の間に絶縁層を介在させたSOI基板であり、前記表面層に前記歪み検出素子が形成されるとともに、前記支持層の 20

一部の領域が除去されることによって、前記ダイヤフラムが形成されている請求項 1 ないし 4 のいずれか 1 項に記載の半導体圧力センサ。

【請求項 6】

前記歪み検出素子は、前記第 1 の端部が前記ダイヤフラム部の領域内に配置され、他端部が前記支持層の領域内に配置されている請求項 5 に記載の半導体圧力センサ。

【請求項 7】

前記歪み検出素子は、第一導電型の半導体層に形成された第二導電型の拡散領域で形成されている請求項 1 ないし 6 のいずれか 1 項に記載の半導体圧力センサ。

【請求項 8】

前記歪み検出素子は、第一導電型の半導体層の全域に形成された第二導電型の拡散領域の一部を、溝によって他の部分と電気的に分離することによって形成されている請求項 1 ないし 6 のいずれか 1 項に記載の半導体圧力センサ。 10

【請求項 9】

前記少なくとも 1 つの歪み検出素子は、前記歪み検出素子の全長を  $L$ 、前記歪み検出素子の全長  $L$  のうち、前記ダイヤフラム部の内側での前記ダイヤフラム部のエッジから中心へ向かう方向と平行な部分の長さを  $L_{eff}$  としたとき、

$$0.5 < L_{eff} / L < 1$$

なる関係を満たすように配置されている請求項 1 ないし 8 のいずれか 1 項に記載の半導体圧力センサ。

【請求項 10】

前記歪み検出素子の全長  $L$  は、前記歪み検出素子と接続される配線の接続位置によって規定される請求項 9 に記載の半導体圧力センサ。 20

【請求項 11】

前記ダイヤフラム部の平面形状は、1 辺の長さが  $400 \mu m$  以下の正方形である請求項 1 ないし 10 のいずれか 1 項に記載の半導体圧力センサ。

【請求項 12】

ダイヤフラム部を有する半導体基板に 1 つ以上の歪み検出素子が設けられた半導体圧力センサの製造方法において、

前記半導体基板に前記歪み検出素子を形成する工程と、

前記半導体基板に前記ダイヤフラム部を形成する工程とを有し、 30

前記歪み検出素子の少なくとも 1 つを、前記ダイヤフラム部に第 1 の端部を有し、該第 1 の端部と前記ダイヤフラム部のエッジ間の距離を  $L_X$  としたとき、 $L_X \geq 20 \mu m$  となるように、前記ダイヤフラム部の内側と外側とに跨って配置することを特徴とする半導体圧力センサの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体圧力センサ、特にダイヤフラム上に配置した歪み検出素子を有する抵抗型の圧力センサ、およびその製造方法に関する。

【背景技術】

【0002】

従来、半導体圧力センサとしては、容量型やピエゾ抵抗型の圧力センサが知られている。その中でもシリコン基板上にピエゾ抵抗素子を形成したものは、周辺回路部等と 1 チップ化が可能でかつ製造も容易であるため、様々な用途に使用されており、測定圧力レンジも広範囲にわたっている。

【0003】

この種の半導体圧力センサにおいては、半導体基板のエッチングによりダイヤフラムを形成し、そのダイヤフラムと所定の位置関係を持ってピエゾ抵抗素子を形成している。

【0004】

例えば、特許文献 1 には、ダイヤフラムの端部からのピエゾ抵抗素子の位置を、ダイヤ 50

フラムの厚さに応じて設定した半導体圧力センサが開示されている。同文献には、例えば、単結晶シリコン(110)基板に、 $\langle 001 \rangle$ 方向に平行な幅 $H_1$ が $580\text{ }\mu\text{m}$ 、それに直交する $\langle -110 \rangle$ 方向に平行な幅 $H_2$ が $630\text{ }\mu\text{m}$ のダイヤフラムを形成した場合において、圧電抵抗素子を幅 $H_2$ 方向に沿って配置する場合、ダイヤフラムの厚さと、ダイヤフラムの中心からの、圧縮応力のピーク位置との関係が図17のようになることが示されている。図17からは、ダイヤフラムの厚さが $60\text{ }\mu\text{m}$ よりも薄い場合は圧縮応力のピーク位置はダイヤフラムの端部近傍であり、 $60\text{ }\mu\text{m}$ よりも厚い場合は圧縮応力のピーク位置はダイヤフラムの外側に位置しており、しかもダイヤフラムの厚さが厚くなるほどその距離が大きくなっていることが分かる。

【0005】

10

また、非特許文献1には、電流方向をダイヤフラムに垂直な方向と平行な方向を使用して出力をほぼ2倍にしたことが開示されている。Si基板は(100)n型で $\langle 110 \rangle$ 方向に4つの抵抗をp型の拡散層で形成、配置している。図18に、非特許文献1に開示された半導体圧力センサにおける、ダイヤフラムの中心からの距離に対する応力分布のグラフを示す。このグラフによれば、ダイヤフラムに加わる圧力が低圧になると応力はダイヤフラムエッジに集中することが示される。

【特許文献1】特開2000-214022号公報

【非特許文献1】米田雅之、“圧電抵抗圧力センサの最適設計”、[online]、2000年8月1日、山武(株)、インターネット<URL: [http://jp.yamatake.com/corp/rp/tech/review/pdf/2000\\_8\\_01/2000\\_8\\_01.pdf](http://jp.yamatake.com/corp/rp/tech/review/pdf/2000_8_01/2000_8_01.pdf)>

20

【発明の開示】

【発明が解決しようとする課題】

【0006】

近年では、圧力センサのサイズをさらに小型化し、生体内での測定やマイクロマシン等へ応用することが提案されている。そのために、1チップ化が可能な半導体プロセスを用い、現状よりもダイヤフラムの面積が小さく、かつ高感度の圧力センサが求められている。一般に、シリコンの抵抗変化は、圧電抵抗係数と応力との積に比例する値で決定されている。1辺の長さが $h$ 、厚さが $a$ である正方形のダイヤフラムを考えたとき、ダイヤフラムの応力の最大値は $(h/a)^2$ に比例し、圧力センサの感度はその応力の最大値に依存する。したがって、ダイヤフラムのサイズを小さくすると感度が大きく低下する。その一方で、応力の最大値を大きくするように厚さ $a$ を薄くすると、ダイヤフラムの機械的強度が低下する。したがって、より小型の圧力センサを実現するためには、ダイヤフラムの厚さを薄くせずに高感度を達成できる構造が求められている。

30

【0007】

ところが、上述した各文献では、ダイヤフラムの小さな圧力センサとしての局所的な値には言及されていない。すなわち、ダイヤフラムの中心からエッジまでの距離でいえば、特許文献1では約 $300\text{ }\mu\text{m}$ (1辺の長さが約 $600\text{ }\mu\text{m}$ )、非特許文献1では約 $440\text{ }\mu\text{m}$ (1辺の長さが約 $880\text{ }\mu\text{m}$ )といった大きなダイヤフラムについての技術的見解が示されており、ダイヤフラムの中心からエッジまでの距離で $200\text{ }\mu\text{m}$ (1辺の長さが $400\text{ }\mu\text{m}$ )以下の小さなダイヤフラムを有する圧力センサの、エッジ近傍での応力や抵抗配置に関する知見は得られていない。

40

【0008】

そこで本発明は、ダイヤフラムのサイズが、中心からエッジまでの距離で $200\text{ }\mu\text{m}$ 以下と小さな構成でありながらも、ダイヤフラムの厚さを必要以上に薄くすることなく、高感度の半導体圧力センサおよびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記目的を達成するため本発明の半導体圧力センサは、ダイヤフラム部を有する半導体基板に1つ以上の歪み検出素子が設けられた半導体圧力センサにおいて、

前記歪み検出素子の少なくとも1つは、前記ダイヤフラム部に第1の端部を有し、該第

50

1の端部と前記ダイヤフラム部のエッジ間の距離を $LX$ としたとき、 $LX = 20\mu m$ となるように、前記ダイヤフラム部の内側と外側とに跨って配置されていることを特徴とする。

【0010】

また、本発明の半導体圧力センサの製造方法は、ダイヤフラム部を有する半導体基板に1つ以上の歪み検出素子が設けられた半導体圧力センサの製造方法において、

前記半導体基板に前記歪み検出素子を形成する工程と、

前記半導体基板に前記ダイヤフラム部を形成する工程とを有し、

前記歪み検出素子の少なくとも1つを、前記ダイヤフラム部1に第1の端部を有し、該第1の端部と前記ダイヤフラム部のエッジ間の距離を $LX$ としたとき、 $LX = 20\mu m$ となるように、前記ダイヤフラム部の内側と外側とに跨って配置することを特徴とする。

10

【0011】

このように歪み検出素子を配置することで、歪み検出素子は、ダイヤフラムに圧力がかかったときに応力の集中する領域に効果的に配置されるので、高感度の半導体圧力センサが達成される。

【発明の効果】

【0012】

以上述べたように本発明によれば、ダイヤフラムサイズが小さく、しかも厚みが所望の強度を得るのに十分な厚さである構造においても、高感度の半導体圧力センサを達成することができる。

【発明を実施するための最良の形態】

20

【0013】

次に、本発明の実施形態について図面を参照して説明する。

【0014】

図1は、本発明の一実施形態による半導体圧力センサの概略図であり、(a)はその平面図、(b)はその対向する2つのピエゾ抵抗素子の中心を通る断面図を示す。

【0015】

本実施形態の半導体圧力センサ1は、SOI(Silicon On Insulator)基板2に、ダイヤフラム3、歪み検出素子としての4つのピエゾ抵抗素子 $R1 \sim R4$ 、およびこれらを電氣的に接続する配線5等を、半導体プロセスを利用して形成したものである。

【0016】

30

SOI基板2は、半導体材料としてのシリコンからなる支持層2aと表面層2cとの間に埋め込み酸化膜(絶縁層)2bが介在した3層構造の基板である。このSOI基板2の一部の領域において、支持層2aが除去されることで、残りの埋め込み酸化膜2bおよび表面層2cの部分でダイヤフラム3が構成される。

【0017】

ピエゾ抵抗素子 $R1 \sim R4$ は、表面層2cの表面側に不純物イオンを注入することによって形成された拡散領域として形成されている。本実施形態では、ピエゾ抵抗素子 $R1 \sim R4$ の平面形状を長方形としている。各ピエゾ抵抗素子 $R1 \sim R4$ は、ダイヤフラム3のエッジ部に、その長手方向(素子内で電流が流れる方向)を基板面に平行でかつ同じ方向に向けて配置されている。各ピエゾ抵抗素子 $R1 \sim R4$ のうち2つのピエゾ抵抗素子 $R1$ 、 $R3$ は、互いに対向し、かつダイヤフラム3の内側と外側とに跨って、ピエゾ抵抗素子 $R1$ 、 $R3$ が配置された位置でダイヤフラム3のエッジから中心へ向かう方向に長手方向が向けられて配置されている。残りの2つのピエゾ抵抗素子 $R2$ 、 $R4$ は、ダイヤフラム3の外側に、ピエゾ抵抗素子 $R1$ 、 $R3$ の対向方向と直交する方向に対向して配置されている。

40

【0018】

SOI基板2の表面には層間絶縁膜6が形成されている。層間絶縁膜6には各ピエゾ抵抗素子 $R1 \sim R4$ の位置に対応してコンタクトホール6aが形成され、各ピエゾ抵抗素子 $R1 \sim R4$ は、コンタクトホール6aを介して、層間絶縁膜6上に形成された配線5によって、ホイートストンブリッジ回路を構成するように電氣的に接続されている。配線5お

50

よび層間絶縁膜 6 は、保護膜 7 によって覆われている。

#### 【0019】

以上のように構成された半導体圧力センサ 1 において、ピエゾ抵抗素子 R 1 ~ R 4 のうち、対向する 2 つのピエゾ抵抗素子 R 1 , R 3 について、全長を L、ダイヤフラム 3 内の実効長さを  $L_{eff}$  とする。ここで、全長 L は、ピエゾ抵抗素子 R 1 , R 3 が抵抗として機能する部分の長さ、すなわち電流が流れる経路の全長を示す。実効長さ  $L_{eff}$  は、その全長 L のうちの、ダイヤフラム 3 内でのダイヤフラム 3 のエッジから中心へ向かう方向と平行な部分の長さを示す。言い換えると、ピエゾ抵抗素子 R 1 , R 3 は、ダイヤフラム部（薄膜領域）に存在する第 1 の端部と、ダイヤフラム部の外側の領域（厚膜領域）に存在し第 1 の端部と対向する第 2 の端部を有しており、ダイヤフラムのエッジから第 1 の端部を結ぶ長さが  $L_{eff}$  である。ここで、第 1 の端部は、配線 5 と電気的コンタクトを取る領域と略一致する。このとき、ピエゾ抵抗素子 R 1 ~ R 4 の長さ X の抵抗値を  $R(X)$  と表記すると、全抵抗値  $R(L)$  は、実効長さ  $L_{eff}$  の抵抗値と残りの長さ  $L - L_{eff}$  の抵抗値との和であるから、

$$R(L) = R(L_{eff}) + R(L - L_{eff}) \cdots (1)$$

で表される。

#### 【0020】

ダイヤフラム 3 を、1 辺の長さが  $400 \mu m$  の正方形とし、厚さが  $3 \mu m$  としたとき、ダイヤフラム 3 に  $20 kPa$  の圧力がかった場合の、ダイヤフラム 3 のエッジからの距離とダイヤフラム 3 に働く応力との関係のグラフを、図 2 に示す。図 2 より、ダイヤフラム 3 のエッジからの距離が  $20 \mu m$  以下の領域、特に  $10 \mu m$  以下の領域で応力が集中し、かつその値はダイヤフラム 3 のエッジに近づくほど大きくなっている。このように、ダイヤフラム 3 の寸法が小さく低圧領域となる場合は、非常に局所的に応力がかかることが分かった。

#### 【0021】

ピエゾ抵抗にある一定の応力がかかった場合の抵抗変化率は、ピエゾ抵抗係数 を用いて、

$$\Delta R / R = A \cdots (2)$$

と表すことができる。ここで、 $\Delta R$  は抵抗変化分、 $R$  は応力がかかる前の抵抗値、 $A$  は定数、 $P$  は圧力である。応力分布がダイヤフラム 3 内の実効長さ  $L_{eff}$  部分のみにある場合は、全長 L の抵抗体の抵抗変化率は、

$$\Delta R(L_{eff}) / R(L_{eff}) = A \int (X, Y, Z) dx dy dz \cdots (3)$$

となる。

#### 【0022】

したがって、応力がかかったときの抵抗変化率は、

$$\Delta R / R = R(L_{eff}) A \int (X, Y, Z) dx dy dz / R(L) \cdots (4)$$

となる。式 (4) から、 $L_{eff}$  が大きいほど抵抗変化が大きくなり、感度が高くなる。このことから、感度を高くするためには、この応力集中した位置にピエゾ抵抗素子 R 1 , R 3 を配置することが重要である。

#### 【0023】

図 2 から分かるように、ダイヤフラム領域が極めて小さく圧力領域が小さい圧力センサにおいては、ダイヤフラム 3 に圧力がかったとき、ダイヤフラム 3 にはそのエッジの近傍、具体的にはエッジからの距離が  $20 \mu m$  以下、特に  $10 \mu m$  以下の範囲内で応力が集中する。この結果も考慮して、半導体圧力センサ 1 の高感度化のためのピエゾ抵抗素子 R 1 , R 3 の最適な配置について検討した結果、図 1 における実効長さ  $L_{eff}$  がこの範囲内、すなわち、 $20 \mu m$  以下、好ましくは  $10 \mu m$  以下の範囲内にあるようにピエゾ抵抗素子 R 1 , R 3 を配置すれば、高感度化が達成されることが分かった。ここでは、直線型ピエゾ抵抗素子 R 1 , R 3 を例に挙げたので実効長さ  $L_{eff}$  という概念を用いたが、一般的に定義すると、ピエゾ抵抗素子 R 1 , R 3 の、ダイヤフラム 3 のエッジから中心へ向かう方向と平行な部分の、ダイヤフラム 3 の内側でのダイヤフラム 3 のエッジからの距離、言

10

20

30

40

50

い換えればダイヤフラム 3 のエッジから、ダイヤフラム 3 の中心側の端までの距離  $L_X$  といふことができる。図 1 に示す構成では、歪み検出素子の少なくとも 1 つが、ダイヤフラム部に存在する第 1 の端部と、該ダイヤフラム部の外側に存在し第 1 の端部と対向する第 2 の端部とを有しており、ダイヤフラム部のエッジと第 1 の端部間の距離を  $L_X$  といふこともできる。

#### 【0024】

以上説明したように、上記の距離  $L_X$   $20\ \mu\text{m}$  となるようにピエゾ抵抗素子  $R_1$ 、 $R_3$  を配置することで、ピエゾ抵抗素子  $R_1$ 、 $R_3$  がダイヤフラム 3 の応力の集中する領域に効率的に配置されるので、ダイヤフラム 3 のサイズが、中心からエッジまでの距離で  $200\ \mu\text{m}$  以下と小さく、かつ、ダイヤフラム 3 の厚さも十分に必要な強度を有する程度の厚さでありながらも、高感度の半導体圧力センサ 1 を達成することができる。

10

#### 【0025】

また、全長  $L$  と実効長さ  $L_{\text{eff}}$  との関係についても検討した結果、実効長さ  $L_{\text{eff}}$  が全長  $L$  の 50% 以下であると半導体圧力センサ 1 の感度が急激に低下することが分かった。一方、理屈上は、ピエゾ抵抗素子  $R_1$ 、 $R_3$  を、その端（上述の第 2 の端部）がダイヤフラム 3 のエッジと一致するようにダイヤフラム 3 上に配置するのが、感度の点からは最も好ましいが、本発明が対象とする、ダイヤフラム領域が極めて小さく圧力領域が小さい圧力センサにおいては、ピエゾ抵抗素子  $R_1$ 、 $R_3$  がダイヤフラム 3 のエッジから僅かでも離れると、感度が極端に低下する。そのため、製造上のばらつき等を考慮すると、 $L_{\text{eff}}/L < 1$ 、すなわちダイヤフラム 3 の外側にピエゾ抵抗素子  $R_1$ 、 $R_3$  が延在すること、すなわち  $L_{\text{eff}} < L$  であることが必要である。

20

#### 【0026】

そこで、ピエゾ抵抗素子  $R_1$ 、 $R_3$  を、  
 $0.5 < L_{\text{eff}}/L < 1 \cdots (5)$   
 なる関係を満たす位置に配置すると、高感度化が促進される。

#### 【0027】

次に、図 1 に示す半導体圧力センサ 1 の製造方法の一例について、図 3 および図 4 を参照して説明する。図 3 は、図 1 に示す半導体圧力センサの製造工程の一例を説明する平面図である。また、図 4 は、図 1 に示す半導体圧力センサの製造工程の一例を説明する断面図であり、図 4 (a) ~ (c) は、それぞれ図 5 (a) ~ (c) の各工程に対応している。

30

#### 【0028】

まず、図 3 および図 4 の (a) に示すように、半導体基板として、支持層 2a、埋め込み絶縁膜 2b および表面層 2c の 3 層構造を有する SOI 基板 2 を用い、その表面層 2c の一部の領域に拡散層を形成することによってピエゾ抵抗素子  $R_1 \sim R_4$  を形成する。拡散層の形成はイオン注入法が一般的であるが、それに限らず、拡散法などを用いることもできる。

#### 【0029】

次いで、図 3 および図 4 の (b) に示すように、ピエゾ抵抗素子  $R_1 \sim R_4$  を形成した SOI 基板 2 の表面に層間絶縁膜 6 を形成する。層間絶縁膜 6 の各ピエゾ抵抗素子  $R_1 \sim R_4$  に対応した所定の位置にコンタクトホール 6a を形成する。さらに、層間絶縁膜 6 の上に、ピエゾ抵抗素子  $R_1 \sim R_4$  を電氣的に接続するための配線 5 を所定のパターンで形成し、ホイートストンブリッジ回路を構成する。

40

#### 【0030】

次いで、図 3 および図 4 の (c) に示すように、配線 5 および層間絶縁膜 6 を覆って保護膜 7 を形成するとともに、SOI 基板 2 の支持層 2a の一部の領域を除去することによって、ダイヤフラム 3 を形成する。ダイヤフラム 3 の形成は、SOI 基板 2 の裏面にレジストを塗布した後、レジストをパターンニングしてダイヤフラム 3 の形状に合わせて所定の形状に支持層 2a を露出させ、SOI 基板 2 を裏面側からエッチングすることによって行うことができる。エッチング方法は特に限定されず、エッチング液による異方性エッチン

50

グや、R I E (Reactive Ion Etching) などのドライエッチングなどを利用できる。中でも、ダイヤフラム 3 と piezo 抵抗素子 R 1 ~ R 4 との位置制御性を考慮すると、ボッシュプロセスを用いた R I E が最も好ましい。

#### 【0031】

ここでは、piezo 抵抗素子 R 1 ~ R 4 を形成した後にダイヤフラム 3 を形成したが、ダイヤフラム 3 を形成した後に、piezo 抵抗素子 R 1 ~ R 4 を形成することもできる。ダイヤフラム 3 の形成は、半導体圧力センサ 1 の製造のための一連の工程の中で最も大きな範囲および深さのエッチングが必要である。そのため、他の構造と比べて所望の形状に形成するのが難しい箇所の一つである。そこで、先にダイヤフラム 3 を形成しておき、その後、形成されたダイヤフラム 3 に合わせて piezo 抵抗素子 R 1 ~ R 4 を形成することで、ダイヤフラム 3 に対する piezo 抵抗素子 R 1 ~ R 4 の位置精度を向上させることができる。piezo 抵抗素子 R 1 ~ R 4 は、実質的に歪み検出素子として機能するのは電流が流れる領域である。したがって、piezo 抵抗素子 R 1 ~ R 4 に配線 5 が接続される前、あるいは配線 5 の接続位置が確定する前（具体的には、配線 5 との接続用のコンタクトホール 6 a が形成される前）であれば、piezo 抵抗素子 R 1 ~ R 4 を形成した後にダイヤフラム 3 を形成しても上記の効果が得られる。すなわち、ダイヤフラム 3 を形成した後、その位置に基づいて piezo 抵抗素子 R 1 ~ R 4 の位置を確定すればよい。

#### 【0032】

また、piezo 抵抗素子 R 1 ~ R 4 は、S O I 基板 2 の表面層 2 c 全域に対して拡散領域を形成し、piezo 抵抗素子 R 1 ~ R 4 となる領域を他の領域と電氣的に分離することによって形成することもできる。piezo 抵抗素子 R 1 ~ R 4 となる領域の、他の領域との分離は、たとえば、piezo 抵抗素子 R 1 ~ R 4 となる領域の周囲に溝を形成することによって行うことができる。この場合は、piezo 抵抗素子 R 1 ~ R 4 の位置は、上記の溝を形成することによって確定される。

#### 【0033】

以上、本実施形態では半導体基板として S O I 基板 2 を用いた例を示したが、半導体基板は S O I 基板 2 である必要はなく、通常の S i 基板等を用いてもよい。S O I 基板 2 を用いた場合は、ダイヤフラム 3 を形成するときに、埋め込み絶縁膜 2 b をエッチングストップ層として利用することができる。

#### 【0034】

また、本実施形態では歪み検出素子として直線型の piezo 抵抗素子 R 1 ~ R 4 を示したが、その形状は直線型に限られない。その一例を、本発明の第 2 の実施形態として図 5 に示す。図 5 に示す半導体圧力センサ 1 1 は、折り返し型の piezo 抵抗素子 R 1 1 ~ R 1 4 を有している。この半導体圧力センサ 1 1 においても、S O I 基板（半導体基板）1 2 の一部の領域を薄くすることによってダイヤフラム 1 3 が形成されることや、このダイヤフラム 1 3 に対する各 piezo 抵抗素子 R 1 1 ~ R 1 4 の配置等は、図 1 に示した半導体圧力センサ 1 と同様である。また、この半導体圧力センサ 1 1 の製造方法も、piezo 抵抗素子 R 1 1 ~ R 1 4 の形状と、それに伴う配線のパターンが異なるだけであるので、図 1 に示した半導体圧力センサ 1 と同様にして製造することができ、断面構造も図 1 に示した半導体圧力センサ 1 と同様である。

#### 【0035】

ただし、図 5 に示した piezo 抵抗素子 R 1 1 ~ R 1 4 は、図 1 に示したものと形状が異なっているため、piezo 抵抗素子 R 1 1 ~ R 1 4 に関する各寸法、 $L_X$ 、 $L$ 、 $L_{eff}$ は、以下のように考える。図 6 に、各 piezo 抵抗素子 R 1 1 ~ R 1 4 のうちダイヤフラム 1 3 のエッジを跨いで配置されている piezo 抵抗素子 R 1 1 の拡大平面図を示す。図 6 に示すように、piezo 抵抗素子 R 1 1 は、その折り返された両端がダイヤフラム 1 3 の外側に位置するように配置されている。ここで、piezo 抵抗素子 R 1 1 の、ダイヤフラム 1 3 のエッジと平行な方向での、piezo 抵抗素子 R 1 1 の幅方向中心間の長さを  $L_1$ 、ダイヤフラム 1 3 のエッジと直角な方向（ダイヤフラム 1 3 のエッジから中心へ向かう方向）での、piezo 抵抗素子 R 1 1 の端からダイヤフラム 1 3 のエッジと平行な部分の幅方向中心までの

10

20

30

40

50

長さを  $L_0$  とする。また、ダイヤフラム 13 の領域内での、ダイヤフラム 13 のエッジからダイヤフラム 13 のエッジと平行な部分までの長さは、前述した距離  $L_X$  に相当する。このような構成の場合には言い換えると、圧電抵抗素子はダイヤフラム部の外側と内側に跨って配置された第 1 の領域と、ダイヤフラム部に第 1 の領域と接して形成される折り返し部とを含んでおり、第 1 の領域と折り返し部の接する領域からダイヤフラム部のエッジ間の距離を  $L_X$  ということもできる。また、直線状の抵抗の場合は  $L_X = L_{eff}$  となり、1 回の折り返しの場合は  $L_{eff}$  は  $L_X$  の 2 倍になる。抵抗が角度を持てば  $L_{eff} > L_X$  となる。

#### 【0036】

このとき、全長  $L$  は、抵抗として機能する長さ、すなわち電流の流れる経路の全長であるから、

$$L = 2L_0 + L_1 \dots (6)$$

で表される。また、実効長さ  $L_{eff}$  は、折り返し部が形成されているためダイヤフラム 13 のエッジを跨ぐ方向成分を有する箇所は 2 箇所あり、その和として、

$$L_{eff} = 2L_X \dots (7)$$

で表される。

#### 【0037】

この場合においても、 $L_X = 20 \mu m$ 、より好ましくは  $L_X = 10 \mu m$  とすることにより、ダイヤフラム 13 のサイズが、中心からエッジまでの距離で  $200 \mu m$  以下と小さく、かつ、ダイヤフラム 13 の厚さも十分に必要な強度を有する程度の厚さでありながらも、高感度の半導体圧力センサ 11 を達成することができる。さらに、式 (5) を満たすように圧電抵抗素子  $R_{11}$ 、 $R_{13}$  を配置することにより、上記の効果が促進される。ここでは折り返し回数が 1 回である圧電抵抗素子  $R_{11} \sim R_{14}$  を示したが、折り返し回数は複数であってもよい。

#### 【0038】

以上、歪み検出素子の形状について述べたが、歪み検出素子の数についても、歪み検出素子はダイヤフラムのエッジを跨いで配置されたものが少なくとも一つあればよい。さらに、ダイヤフラムの形状についても、正方形に限らず、長方形、多角形、円形、楕円形など、種々の形状であっても本発明は適用できる。

#### 【実施例】

#### 【0039】

次に、本発明のより具体的な実施例について以下に説明する。

#### 【0040】

##### (実施例 1)

本実施例では、図 1 に示した直線型の圧電抵抗素子  $R_1 \sim R_4$  を有する半導体圧力センサ 1 を作製した。半導体基板は SOI 基板 2 であり、 $n$  型で  $1 \times 10^{16} / cm^3$  のリンが注入されている厚さが  $3 \mu m$  の表面層 2c と、厚さが  $300 nm$  の埋め込み絶縁膜 2b とを有する。圧電抵抗素子  $R_1 \sim R_4$  は、表面層 2c の、圧電抵抗素子  $R_1 \sim R_4$  とする領域にボロンをイオン注入して得られた  $p$  型の拡散領域によって形成されたもので、シート抵抗値として  $2.5 k$  の値を示した。圧電抵抗素子  $R_1 \sim R_4$  の形成は、SOI 基板 2 の表面に熱酸化膜を  $30 nm$  の膜厚で形成し、その上にレジストを塗布して圧電抵抗素子  $R_1 \sim R_4$  を形成する領域をパターニングし、その後、加速電圧  $60 kV$ 、ドーズ量  $5 \times 10^{13} / cm^2$  で  $BF_3$  をイオン注入し、さらに、レジストを剥離し洗浄した後、窒素雰囲気中での、 $1000$ 、 $30$  分の熱処理により SOI 基板 2 の表面層 2c を活性化させて行った。圧電抵抗素子  $R_1 \sim R_4$  の全長  $L$  は  $20 \mu m$  とした。

#### 【0041】

層間絶縁膜 6 は、熱酸化膜によって形成し、その厚さは  $200 nm$  とした。配線 5 は、アルミニウム膜のスパッタにより所定のパターンとなるように形成し、ホイートストンブリッジ回路を構成した。保護膜 7 は、プラズマ CVD 法により形成した SiN 膜であり、その厚さは  $300 nm$  とした。さらに、外部との電氣的接続用のパッドを形成するため、

10

20

30

40

50

S i N膜へのレジストの塗布、パターニングおよびドライエッチングを経て、配線5を部分的に露出した。

【0042】

ダイヤフラム3は、S O I基板2の支持層2 a側から、I C P - R I E ( Inductive Coupled Plasma - R I E ) 法を用いて、ボッシュプロセスを使用して基板面にほぼ垂直に支持層2 aをエッチングすることにより形成した。このとき、埋め込み酸化膜2 bをエッチングストッパ層として利用した。ダイヤフラム3のサイズおよび形状は、1辺の長さが400  $\mu$  mの正方形とした。ダイヤフラム3の厚さは約3  $\mu$  mである。

【0043】

ここで、圧電抵抗素子R 1 , R 3の位置を変えて幾つかの半導体圧力センサ1を作製し、100 k P aの圧力をかけたときの、 $L_{eff} / L$ と出力電圧との関係を調べた。その結果、 $L_{eff} / L$ が0.7 ~ 1の範囲で出力電圧にピークが見られた。この範囲は、ダイヤフラムエッジからの距離LXに換算すると、14 ~ 20  $\mu$  mに相当する。

【0044】

ちなみに、 $LX > 20 \mu$  m、言い換えれば、図7に示すように、圧電抵抗素子R 1 , R 3を完全にダイヤフラム3の領域内に配置した場合は、出力電圧が急激に低下することも分かった。この場合は、圧電抵抗素子R 1 , R 3がダイヤフラム3のエッジから離れるほど出力電圧が低下する。

【0045】

( 実施例2 )

本実施例では、図5に示した折り返し型の圧電抵抗素子R 1 1 ~ R 1 4を有する半導体圧力センサ11を作製した。以下に、本実施例の半導体圧力センサ11の製造工程について図5を参照して説明する。

【0046】

S O I基板12は実施例1と同じものを用いた。まず、S O I基板12の表面に酸化膜(不図示)を30 nmの膜厚で形成した。その上にレジストを塗布して圧電抵抗素子R 1 1 ~ R 1 4を形成する領域をパターニングした。その後、加速電圧60 k V、ドーズ量 $5 \times 10^{13} / \text{cm}^2$ でB F<sub>2</sub>をイオン注入し、さらに、レジストを剥離し洗浄した後、窒素雰囲気中での、1000、30分の熱処理によりS O I基板12の表面層12 cを活性化させることで圧電抵抗素子R 1 1 ~ R 1 4を形成した。

【0047】

次いで、S O I基板12の表面に、プラズマC V D法によって層間絶縁膜16としてS i O膜を形成した。S i O膜の圧電抵抗素子R 1 1 ~ R 1 4に対応する所定の位置に、レジストのパターニングおよびドライエッチング法によってコンタクトホールを形成し、さらにその上に、アルミニウムからなる配線15をスパッタ法により形成し、ホイートストンブリッジ回路を構成した。さらにその表面に、プラズマC V D法により、保護膜17としてS i N膜を形成した。その後、外部との電氣的接続用のパッドを形成するため、S i N膜へのレジストの塗布、パターニングおよびドライエッチングを経て、配線15を部分的に露出した。

【0048】

次いで、S O I基板12の裏面(支持層12 a側の面)に3  $\mu$  mの膜厚でプラズマ酸化膜を堆積させた。その後、プラズマ酸化膜の表面へのレジスト塗布、およびレジストのパターニングを行って、プラズマ酸化膜をドライエッチングするとともに、I C P - R I Eによって支持層12 aをエッチングし、ダイヤフラム13を形成した。レジストのパターニングは、圧電抵抗素子R 1 1 ~ R 1 4の配置に合わせて行った。支持層12 aのエッチングは、エッチングガスとしてS F<sub>6</sub>とC<sub>4</sub> F<sub>8</sub>を用い、ボッシュプロセスにより基板面に対してほぼ90度の角度で垂直に行った。またこの際、S O I基板12の埋め込み酸化膜12 bをエッチングストッパ層として利用した。ダイヤフラム13は、1辺の長さが400  $\mu$  mの正方形とした。

【0049】

10

20

30

40

50

以上の各工程を経て半導体圧力センサ 11 を作製することにより、圧電抵抗素子 R 11 ~ R 14 の  $L_{eff}$ 、ダイヤフラムエッジからの距離  $LX$  をダイヤフラム 13 に対して正確に形成することが可能となり、高感度な半導体圧力センサ 11 が得られた。

【0050】

ここで、圧電抵抗素子 R 11, R 13 を全長  $L = 90 \mu m$ 、図 6 における  $L_0 = 10 \mu m$  とし、 $L_{eff}$  の値を変えて、半導体圧力センサ 11 に  $20 kPa$  の圧力をかけたときの、 $L_{eff} / L$  と出力電圧との関係を調べた。その結果、実施例 1 とほぼ同様の傾向が見られた。また、本例では、圧電抵抗素子 R 11, R 13 は折り返し型であるので、 $L_{eff} / L$  がおよそ 0.9 を超えると出力電圧が低下した。

【0051】

$L_{eff} / L$  の値を 0.6 に固定して  $L_{eff}$  の値を変えて作製した半導体圧力センサ 11 の  $L_{eff}$  による依存性を図 8 に示す。半導体圧力センサ 11 に加えた圧力が  $20 kPa$  の場合と  $100 kPa$  の場合の、2 つの条件で実験した。図 8 から、 $LX$  が  $20 \mu m$  以下になると出力電圧が大きくなることが分かる。特に、 $LX$  が  $10 \mu m$  以下になると、その傾向は顕著である。これは、応力がダイヤフラム 13 のエッジ近傍に集中するためであり、このことから、ダイヤフラム 13 のエッジから  $20 \mu m$  以下の領域、できれば  $10 \mu m$  以下の領域に圧電抵抗素子 R 11, R 13 を配置することが重要であることが分かる。

【0052】

(実施例 3)

図 9 に、本発明の実施例 3 による半導体圧力センサ 21 の概略平面図を示す。本実施例の半導体圧力センサ 21 は、実施例 1 と同様に、直線型の圧電抵抗素子 R 21 ~ R 24 を有している。ただし、ダイヤフラム 23 を跨いで配置される圧電抵抗素子 R 21, R 23 の長さが実施例 1 と比較して長く、かつ、圧電抵抗素子 R 21, R 23 への配線 25 の接続位置（コンタクトホール）が、実施例 1 と比較して圧電抵抗素子 R 21, R 23 の長手方向中央寄りである点が、実施例 1 と異なっている。

【0053】

圧電抵抗素子 R 21 ~ R 24 が圧電抵抗素子として機能するのは、実際の長さの部分ではなく、電圧が印加される領域の部分、言い換えれば配線 25 と接続された位置の部分である。したがって、本実施例においては、圧電抵抗素子 R 21, R 23 の全長  $L$  は、配線 25 が接続された位置間の距離で規定され、ダイヤフラムエッジからの距離  $LX$  も配線 5 の接続位置で規定される。この意味では、圧電抵抗素子の実際の長さとは区別される。圧電抵抗素子 R 21, R 23 を長めに形成しておくことにより、その後で形成する配線 25 との接続位置を適宜調整することで、ダイヤフラムエッジからの距離  $LX$  を、圧電抵抗素子 R 21, R 23 が形成された範囲内で任意に設定することができる。本実施例では、圧電抵抗素子 R 21, R 23 を、幅 =  $3 \mu m$ 、全長  $L = 10 \mu m$ 、 $LX(L_{eff}) = 9 \mu m$  となるように形成した。また、ダイヤフラム 23 は、1 辺の長さが  $100 \mu m$  の正方形とした。

【0054】

次に、本実施例の半導体圧力センサ 21 の製造工程について、図 9 のダイヤフラム 23 を跨ぐ圧電抵抗素子 R 21, R 23 に沿った断面図である図 10 を参照して説明する。

【0055】

まず、図 10 (a) に示すように、SOI 基板 22 の表面層 22c 上に熱酸化膜 28 を  $30 nm$  の膜厚で形成し、その上にレジスト（不図示）を塗布し、それをパターニングした後、表面層 22c に圧電抵抗素子 R 21 ~ R 24 を形成した。SOI 基板 22 は、表面層 22c が  $1.5 \mu m$  の厚さを有し、 $n$  型で  $1 \times 10^{16} / cm^3$  のリンが注入されている。また、埋め込み酸化膜 22b の厚さは  $200 nm$  である。圧電抵抗素子 R 21 ~ R 24 は、加速電圧  $60 kV$ 、ドーズ量  $5 \times 10^{13} / cm^3$  で  $BF_3$  を表面層 22c にイオン注入し、レジストの剥離、および洗浄後、 $1000^\circ C$ 、30 分の窒素雰囲気中での熱処理により SOI 基板 22 の表面層 22c を活性化させることによって形成した。形成した圧電抵抗素子 R 21, R 23 の長手方向の実際の長さは  $20 \mu m$  とした。また、圧電抵

10

20

30

40

50

抗素子 R 2 1 ~ R 2 4 は、シート抵抗値として 2 . 5 k の値を示した。

【 0 0 5 6 】

次いで、図 1 0 ( b ) に示すように、プラズマ C V D 法により表面層 2 2 c 上に層間絶縁膜 2 6 として S i O 膜を 2 0 0 n m の膜厚で形成した。その後、S O I 基板 2 2 の裏面 ( 支持層 2 2 a 側の面 ) に、I C P - R I E のためのプラズマ酸化膜 2 9 を 3  $\mu$  m の厚さで堆積させ、さらにその上にレジスト 3 0 を塗布した。

【 0 0 5 7 】

レジスト 3 0 をダイヤフラム 2 3 の形状に合わせてパターニングし、その後、プラズマ酸化膜 2 9 をドライエッチングし、さらに支持層 2 2 a を実施例 2 と同様にして、埋め込み絶縁膜 2 2 b をエッチングストップ層として利用してエッチングすることにより、図 1 0 ( c ) に示すように、ダイヤフラム 2 3 を形成した。ダイヤフラム 2 3 の形成後、ダイヤフラム 2 3 のエッジ位置を正確にモニターしてデータとして記憶しておく。

【 0 0 5 8 】

次いで、図 1 0 ( d ) に示すように、層間絶縁膜 2 6 にコンタクトホール 2 6 a を形成する。コンタクトホール 2 6 a は、層間絶縁膜 2 6 の表面にレジストを塗布し、塗布したレジストをパターニングした後、ドライエッチングすることによって形成した。レジストのパターニングは、記憶しておいたダイヤフラム 2 3 のエッジ位置データに基づいて、特にピエゾ抵抗素子 R 2 1 , R 2 3 については  $L = 1 0 \mu\text{m}$ 、 $L X = 9 \mu\text{m}$  となるように、既に形成されているダイヤフラム 2 3 に合わせて行った。その後、配線 2 5 としてアルミニウム膜をスパッタ法によって所定のパターンで形成し、ホイートストンブリッジ回路を構成した。配線 2 5 を所定のパターンで形成するためにマスクが用いられるが、このマスクは、コンタクトホール 2 6 a がどの位置に形成されても対応可能なように、ピエゾ抵抗素子 R 2 1 , R 2 3 に沿って配置するように作製しておくといふ。

【 0 0 5 9 】

配線 2 5 の形成後、図 1 0 ( e ) に示すように、プラズマ C V D 法により保護膜 2 7 として S i N 膜を 3 0 0 n m の膜厚で形成し、さらに、外部との電氣的接続用のパッドを形成するため、S i N 膜へのレジストの塗布、パターニングおよびドライエッチングを経て、配線 2 5 を部分的に露出した。

【 0 0 6 0 】

以上説明したように、ダイヤフラム 2 3 を形成した後に、ダイヤフラム 2 3 の位置情報に基づいて、ピエゾ抵抗素子 R 2 1 , R 2 3 の実効的な位置を確定する、具体的にはコンタクトホール 2 6 a を形成することで、ダイヤフラム 2 3 に対するピエゾ抵抗素子 R 2 1 , R 2 3 の位置精度が向上し、全長  $L$  やダイヤフラムエッジからの距離  $L X$  をより正確に設定することができるので、より高感度な半導体圧力センサ 2 1 が達成される。

【 0 0 6 1 】

( 実施例 4 )

図 1 1 に、本発明の実施例 4 による半導体圧力センサ 3 1 の概略平面図を示す。なお図 1 1 では配線を省略している。本実施例の半導体圧力センサ 3 1 は、ダイヤフラム 3 3 のエッジを跨いで配置されるピエゾ抵抗素子 R 3 1 , R 3 3 の対向方向と直交する方向で対向している、ダイヤフラム 3 3 のエッジに平行に配置された 2 つのピエゾ抵抗素子 R 3 2 , R 3 4 が、ダイヤフラム 3 3 の内側に配置されていることと、ピエゾ抵抗素子 R 3 1 ~ R 3 4 の幅が 5  $\mu\text{m}$  であることが、実施例 3 との構造上の相違点である。その他の点、例えば、ダイヤフラム 3 3 を 1 辺の長さが 1 0 0  $\mu\text{m}$  の正方形としたことや、ダイヤフラム 3 3 を跨いで配置されるピエゾ抵抗素子 R 3 1 , R 3 3 は、全長  $L = 1 0 \mu\text{m}$  で、かつ  $L X = 9 \mu\text{m}$  となるように配置されていること等は実施例 3 と同様である。

【 0 0 6 2 】

ここで、ピエゾ抵抗素子 R 3 2 , R 3 4 の、ダイヤフラム 3 3 のエッジからの距離  $Y$  を変えて幾つかの半導体圧力センサ 3 1 を作製し、ダイヤフラム 3 3 に 1 0 0 k P a の圧力をかけたときの出力電圧を測定した。図 1 2 に、ピエゾ抵抗素子 R 3 2 , R 3 4 についての、ダイヤフラム 3 3 のエッジからの距離  $Y$  と出力電圧との関係を示す。図 1 2 から明ら

10

20

30

40

50

かなように、ダイヤフラム 33 のエッジからの距離  $Y = 0$  に近づくほど出力電圧は大きくなり、 $Y = 0$  で最大となる。さらに、ピエゾ抵抗素子  $R_{32}$ 、 $R_{34}$  をダイヤフラム 33 のエッジを越える位置に配置する（この場合は  $Y$  の値をマイナスで表す）と、出力電圧は急激に低下する。最も感度が良いのは、図 13 に示すように、ピエゾ抵抗素子  $R_{32}$ 、 $R_{34}$  をダイヤフラム 33 のエッジと一致させて配置した場合である。

#### 【0063】

次に、本実施例の半導体圧力センサ 31 の製造工程について、図 11 のダイヤフラム 33 の内側と外側を跨ぐピエゾ抵抗素子  $R_{31}$ 、 $R_{33}$  に沿った断面図である図 14 を参照して説明する。

#### 【0064】

まず、図 14 (a) に示すように、SOI 基板 32 の表面層 32c 上に熱酸化膜 38 を 30 nm の膜厚で形成した。SOI 基板 32 は、表面層 32c が  $1.5 \mu\text{m}$  の厚さを有し、 $n$  型で  $1 \times 10^{16} / \text{cm}^3$  のリンが注入されている。また、埋め込み酸化膜 32b の厚さは 200 nm である。その後、SOI 基板 32 の裏面（支持面 32a 側の面）に、ICP-RIE のためのプラズマ酸化膜（不図示）を  $3 \mu\text{m}$  の厚さで堆積させ、さらにその上にレジスト（不図示）を塗布した。レジストをダイヤフラム 33 の形状に合わせてパターニングし、その後、プラズマ酸化膜をドライエッチングし、さらに支持層 32a を実施例 2 と同様にして、埋め込み絶縁膜 32b をエッチングストップ層として利用してエッチングすることにより、ダイヤフラム 33 を形成した。ダイヤフラム 33 の形成後、ダイヤフラム 33 のエッジ位置を正確にモニターしてデータとして記憶しておく。

#### 【0065】

次いで、熱酸化膜 38 上にレジスト（不図示）を塗布し、塗布したレジストの、ピエゾ抵抗素子  $R_{31} \sim R_{34}$  を形成する領域を、記憶しておいたダイヤフラム 33 のエッジ位置データに基づいて、ピエゾ抵抗素子  $R_{31}$ 、 $R_{33}$  については  $L = 10 \mu\text{m}$ 、 $LX = 9 \mu\text{m}$  となり、かつ、他のピエゾ抵抗素子  $R_{32}$ 、 $R_{34}$  についてはダイヤフラム 33 のエッジに位置するようにパターニングした。次いで、このパターニングされたレジスト上から、加速電圧 60 kV、ドーズ量  $5 \times 10^{13} / \text{cm}^2$  で  $\text{BF}_3$  を表面層 32c にイオン注入し、レジストの剥離、および洗浄後、1000、30 分の窒素雰囲気中での熱処理により SOI 基板 32 の表面層 32c を活性化させることによって、図 14 (b) に示すように、ピエゾ抵抗素子  $R_{31} \sim R_{34}$  を形成した。

#### 【0066】

次いで、図 14 (c) に示すように、ピエゾ抵抗素子  $R_{31} \sim R_{34}$  を形成した SOI 基板 32 の表面に、プラズマ CVD 法により層間絶縁膜 36 として  $\text{SiO}_2$  膜を 200 nm の膜厚で形成した。この層間絶縁膜 36 に、レジストのパターニングおよびドライエッチングによりコンタクトホール 36a 形成し、さらにその後、配線 35 としてアルミニウム膜をスパッタ法によって所定のパターンで形成し、ホイートストンブリッジ回路を構成した。配線 35 の形成後、プラズマ CVD 法により保護膜 37 として  $\text{SiN}$  膜を 300 nm の膜厚で形成し、さらに、外部との電氣的接続用のパッドを形成するため、 $\text{SiN}$  膜へのレジストの塗布、パターニングおよびドライエッチングを経て、配線 35 を部分的に露出した。

#### 【0067】

以上説明したように、ダイヤフラム 33 を形成した後に、ダイヤフラム 33 の位置情報に基づいて、ピエゾ抵抗素子  $R_{31}$ 、 $R_{33}$  の実効的な位置を確定する、具体的には SOI 基板 32 の表面層 32c へのピエゾ抵抗素子形成用のレジストのパターニングを行うことで、ダイヤフラム 33 に対するピエゾ抵抗素子  $R_{31}$ 、 $R_{33}$  の位置精度が向上し、全長  $L$  やダイヤフラムエッジからの距離  $LX$  をより正確に設定することができるので、より高感度な半導体圧力センサ 31 が達成される。

#### 【0068】

（実施例 5）

図 15 に本発明の実施例 5 による半導体圧力センサ 41 の概略平面図を示す。本実施例

10

20

30

40

50

ではSOI基板42の表面の全域が拡散領域となっており、周溝44によって他の拡散領域と分離されることによってピエゾ抵抗素子R41～R44が形成された構成となっている。その他の構成は実施例4と同様である。

#### 【0069】

本実施例の半導体圧力センサ41の製造工程について図16を参照して説明する。

#### 【0070】

まず、図16(a)に示すように、SOI基板42の表面層42c上に、熱酸化膜48を30nmの膜厚で形成した。SOI基板42は実施例4と同じものである。その後、表面層42c全面に対して、イオン注入法により、加速電圧60kV、ドーズ量 $5 \times 10^{13} / \text{cm}^2$ でBF<sub>2</sub>を表面層42cにイオン注入し、洗浄後、1000、30分の窒素雰囲気中での熱処理により表面層42cを活性化させた。

#### 【0071】

次いで、SOI基板42の裏面に対して実施例4と同様にしてエッチングし、ダイヤフラム43を形成した。ダイヤフラム43を形成したら、ダイヤフラム43のエッジ位置を正確にモニターしてデータとして記憶しておく。

#### 【0072】

その後、活性化させた表面層42c上にレジストを塗布する。塗布したレジストを、ピエゾ抵抗素子R41～R44となる領域の周囲を取り囲む枠状の開口が形成されるようにパターニングする。このパターニングは、記憶しておいたダイヤフラム43の位置データに基づいて、ピエゾ抵抗素子R41、R43については $L = 10 \mu\text{m}$ 、 $LX = 9 \mu\text{m}$ となり、他のピエゾ抵抗素子R42、R44についてはダイヤフラム43のエッジから3 $\mu\text{m}$ だけ内側に位置するように行った。その後、図16(b)に示すように、表面層42cをエッチングして周溝44を形成した。周溝44の深さは、表面層42cの活性化した領域の深さ以上とする。これにより、周溝44で囲まれた領域はその外側の領域と電氣的に分離され、周溝44で囲まれた領域が、ピエゾ抵抗素子R41～R44となる。つまり、本実施例では周溝44によってピエゾ抵抗素子R41～R44の位置が確定される。

#### 【0073】

ピエゾ抵抗素子R41～R44を形成した後、図16(c)に示すように、層間絶縁膜46、配線45、保護膜47等を形成する。これらの一連の工程は、実施例4と同様であるので、ここではその説明は省略する。

#### 【0074】

以上説明したように、本実施例によれば、表面層42cの全面に対してイオン注入し、その後、周溝44を形成することでピエゾ抵抗素子R41～R44が形成されるので、イオン注入のためのパターニングを行うことなく、ピエゾ抵抗素子R41～R44を形成することができる。しかも、ダイヤフラム43を形成した後に、ダイヤフラム43の位置情報に基づいてピエゾ抵抗素子R41、R44の位置を確定するので、ダイヤフラム43に対するピエゾ抵抗素子R41、R44の位置精度が向上し、全長Lやダイヤフラムエッジからの距離LXをより正確に設定することができるので、より高感度な半導体圧力センサ41が達成される。

#### 【図面の簡単な説明】

#### 【0075】

【図1】本発明の一実施形態（実施例1）による半導体圧力センサの概略平面図および断面図である。

【図2】図1に示す半導体圧力センサにおける、ダイヤフラムのエッジからの距離とダイヤフラムに働く応力との関係を示すグラフである。

【図3】図1に示す半導体圧力センサの製造工程の一例を説明する平面図である。

【図4】図1に示す半導体圧力センサの製造工程の一例を説明する断面図である。

【図5】本発明の他の実施形態（実施例2）による半導体圧力センサの概略平面図である。

【図6】図5に示す半導体圧力センサの、ダイヤフラムのエッジを跨いで配置されるピエ

10

20

30

40

50

ゾ抵抗素子の拡大平面図である。

【図 7】本発明の比較例である、対向する 2 つのピエゾ抵抗素子をダイヤフラムの領域内に配置した半導体圧力センサの平面図である。

【図 8】図 5 に示す半導体圧力センサの、 $L_{eff}$ 依存性を示すグラフである。

【図 9】本発明の実施例 3 による半導体圧力センサの概略平面図である。

【図 10】図 9 に示す半導体圧力センサの製造工程を説明する断面図である。

【図 11】本発明の実施例 4 による半導体圧力センサの概略平面図である。

【図 12】図 11 に示す半導体圧力センサにおいて、ダイヤフラムのエッジに沿って配置されたピエゾ抵抗素子についての、ダイヤフラムのエッジからの距離と出力電圧との関係を示すグラフである。

10

【図 13】本発明の実施例 4 において、感度が最も高くなるピエゾ抵抗素子の配置を示す平面図である。

【図 14】図 12 に示す半導体圧力センサの製造工程を説明する断面図である。

【図 15】本発明の実施例 5 による半導体圧力センサの概略平面図である。

【図 16】図 15 に示す半導体圧力センサの製造工程を説明する断面図である。

【図 17】従来の半導体圧力センサにおける、ダイヤフラムの厚さと、ダイヤフラムの中心からの、圧縮応力のピーク位置との関係を示すグラフである。

【図 18】従来の半導体圧力センサにおける、ダイヤフラムの中心からの距離に対する応力分布のグラフである。

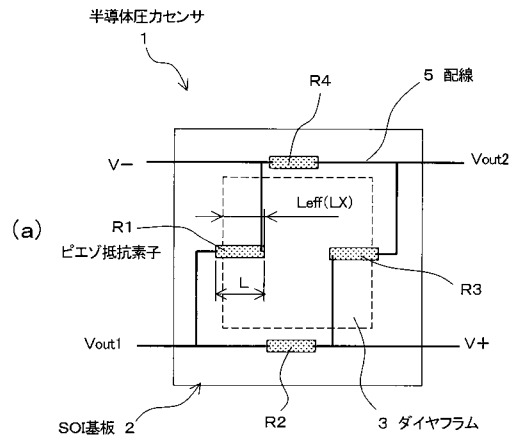
20

【符号の説明】

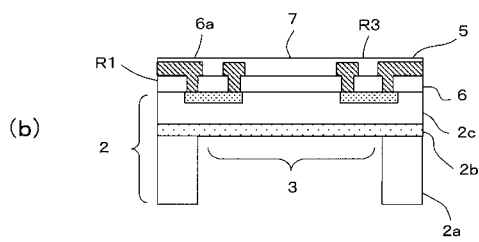
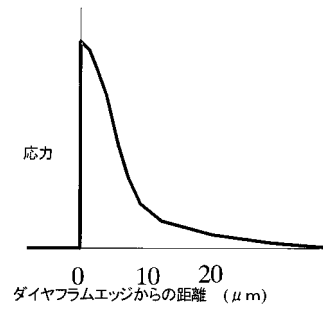
【0076】

- 1 半導体圧力センサ
- 2 SOI 基板
- 3 ダイヤフラム
- 5 配線
- R1 ~ R4 ピエゾ抵抗素子

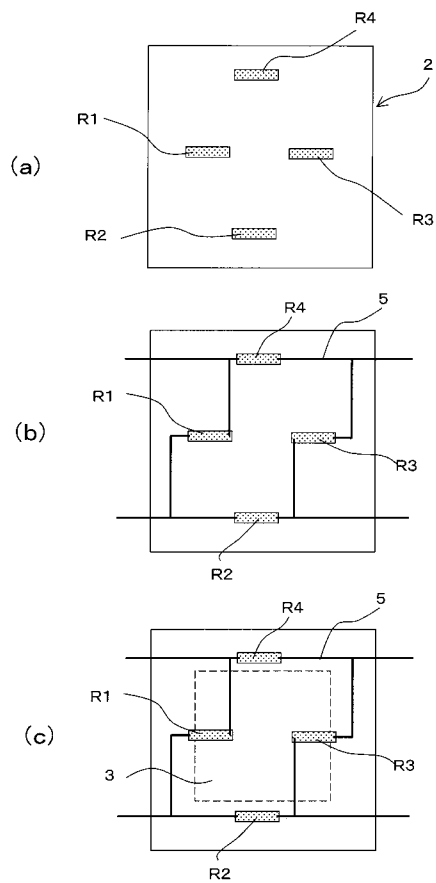
【図 1】



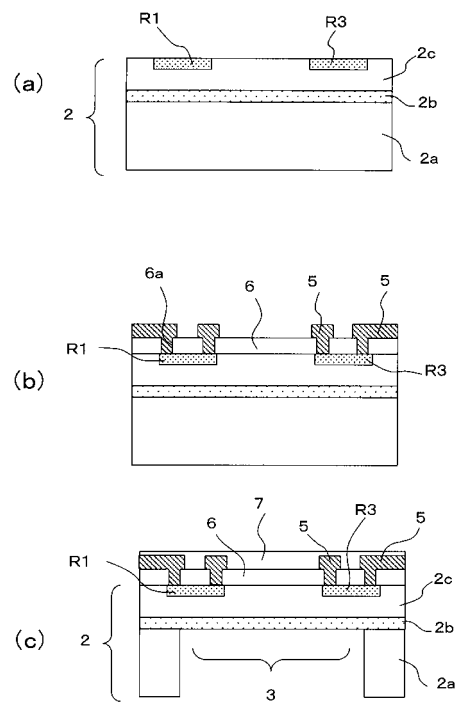
【図 2】



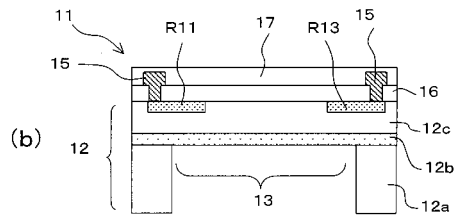
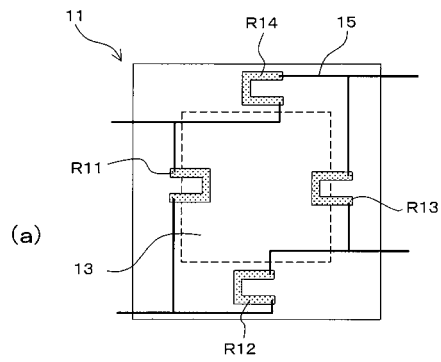
【図 3】



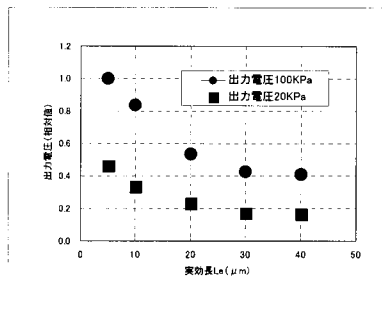
【図 4】



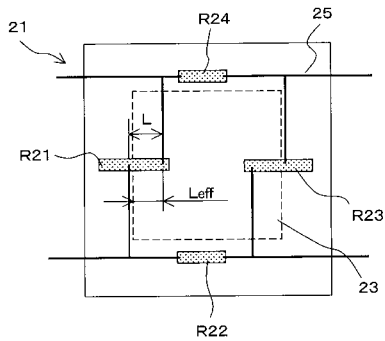
【図 5】



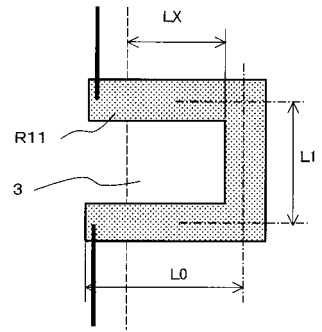
【図 8】



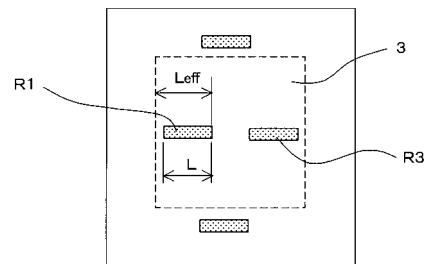
【図 9】



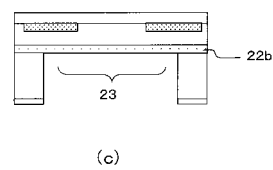
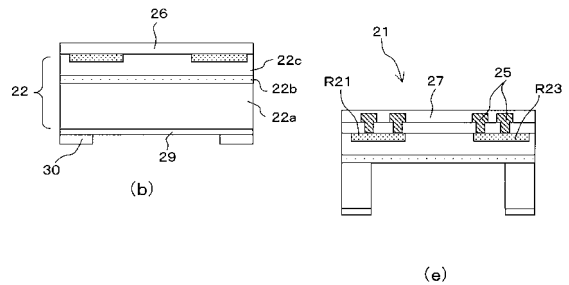
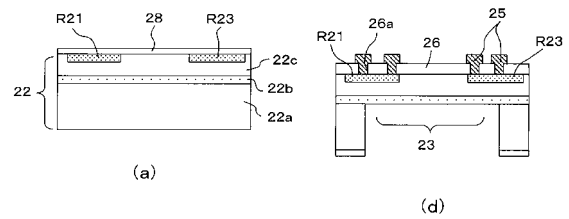
【図 6】



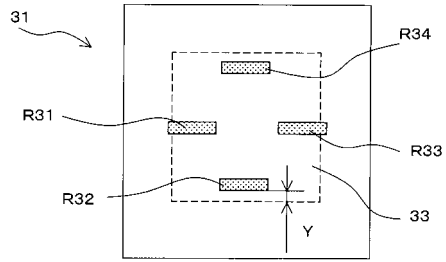
【図 7】



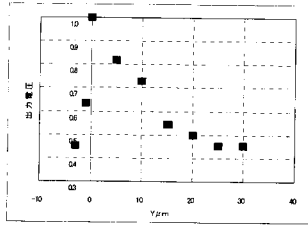
【図 10】



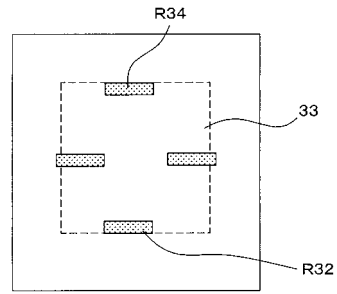
【図 1 1】



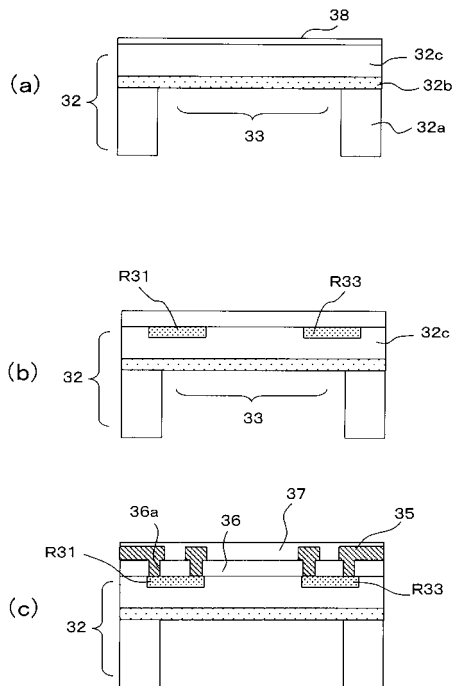
【図 1 2】



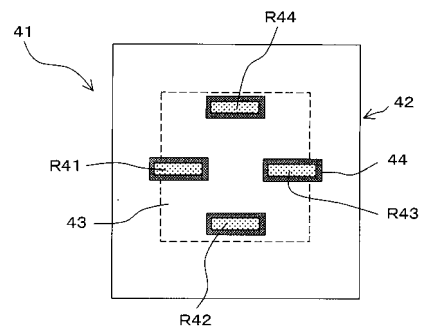
【図 1 3】



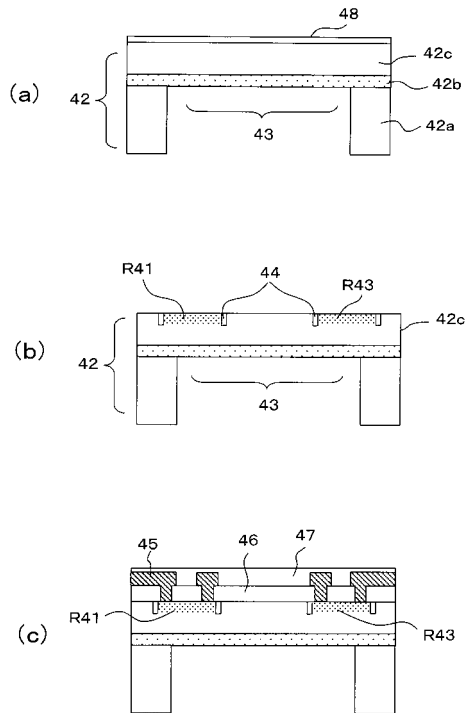
【図 1 4】



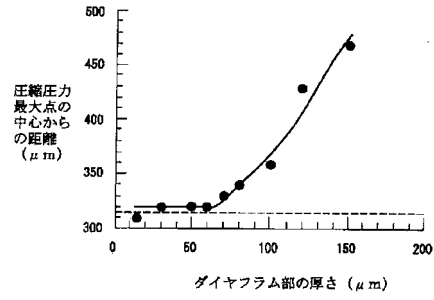
【図 1 5】



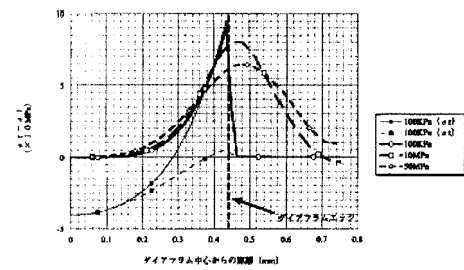
【図 16】



【図 17】



【図 18】



---

フロントページの続き

(56)参考文献 特許第2590960(JP, B2)

(58)調査した分野(Int.Cl., DB名)

G01L 9/00

H01L 29/84