

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2010-50474
(P2010-50474A)

(43) 公開日 平成22年3月4日(2010.3.4)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 6 2 1 C	5 F 0 8 3
HO 1 L 27/108 (2006.01)	HO 1 L 27/10 6 8 1 F	
HO 1 L 21/8246 (2006.01)	HO 1 L 27/10 6 5 1	
HO 1 L 27/105 (2006.01)	HO 1 L 27/10 4 4 4 B	

審査請求 有 請求項の数 10 O L (全 39 頁)

(21) 出願番号	特願2009-241474 (P2009-241474)	(71) 出願人	308014341 富士通マイクロエレクトロニクス株式会社 東京都新宿区西新宿二丁目7番1号
(22) 出願日	平成21年10月20日 (2009.10.20)	(74) 代理人	100091340 弁理士 高橋 敬四郎
(62) 分割の表示	特願2005-99102 (P2005-99102) の分割	(74) 代理人	100105887 弁理士 来山 幹雄
原出願日	平成8年7月18日 (1996.7.18)	(72) 発明者	池増 慎一郎 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
		(72) 発明者	大川 成実 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内

最終頁に続く

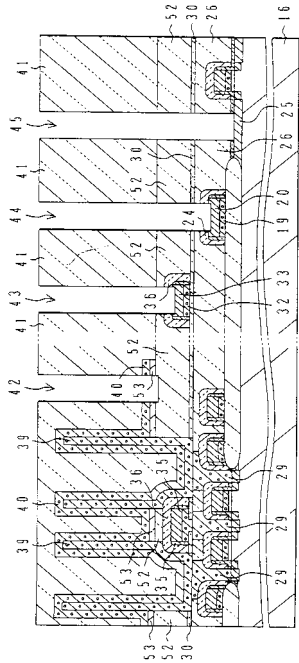
(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】 (修正有)

【課題】 基板からの高さが異なる導電層に、コンタクト窓を形成するDRAM等の半導体装置を提供する。

【解決手段】 半導体基板16上に、第1導電パターン19、20と第1絶縁膜26、エッチング特性の異なる第2絶縁膜30、第3絶縁膜52、蓄積電極39、キャパシタ絶縁膜、対向電極40、エッチング特性の異なる第4絶縁膜41を形成し、第1導電パターン19、20上方に第1開口、対向電極40上方に第2開口を有するマスクを形成し、第1絶縁膜26をストップとして、第1開口下方の第4絶縁膜41、第2絶縁膜30をエッチングし、第3絶縁膜52をストップとして、第2開口下方の第4絶縁膜41、対向電極40をエッチングし、第1開口下方の第1絶縁膜26をエッチングして第1コンタクトホール44を形成し、第2絶縁膜30をストップとして、第2開口下方の第3絶縁膜52をエッチングして第2コンタクトホール42を形成し、導電材を埋め込む。

【選択図】 図30



【特許請求の範囲】

【請求項 1】

半導体基板上に、第 1 導電パターンと、前記第 1 導電パターン上に形成された第 1 絶縁膜とを有する第 1 積層構造を形成する工程と、

前記第 1 積層構造を覆うように、前記半導体基板上に、前記第 1 絶縁膜とエッチング特性の異なる第 2 絶縁膜を形成する工程と、

前記第 2 絶縁膜上に、前記第 2 絶縁膜とはエッチング特性の異なる第 3 絶縁膜を形成する工程と、

前記第 3 絶縁膜を貫通し、前記半導体基板に接続された蓄積電極を形成する工程と、

前記蓄積電極および前記第 3 絶縁膜上に、キャパシタ絶縁膜を形成する工程と、

前記キャパシタ絶縁膜上に、対向電極を形成する工程と、

前記第 1 積層構造の上方の前記対向電極、前記キャパシタ絶縁膜、および前記第 3 絶縁膜をエッチングする工程と、

前記第 2 絶縁膜および前記対向電極を覆うように、前記第 3 絶縁膜とエッチング特性の異なる第 4 絶縁膜を形成する工程と、

前記第 1 導電パターンの上方に第 1 開口を、前記対向電極の上方に第 2 開口を有するマスク層を前記第 4 絶縁膜上に形成する工程と、

前記マスク層をマスクとし、前記第 1 絶縁膜をエッチングストップパとして、前記第 1 開口の下方の前記第 4 絶縁膜および、前記第 2 絶縁膜をエッチングするとともに、前記マスク層をマスクとし、前記第 3 絶縁膜をエッチングストップパとして、前記第 2 開口の下方の前記第 4 絶縁膜および前記対向電極をエッチングする工程と、

前記マスク層をマスクとして、前記第 1 開口の下方の前記第 1 絶縁膜をエッチングして第 1 コンタクトホールを形成するとともに、前記マスク層をマスクとし、前記第 2 絶縁膜をエッチングストップパとして、前記第 2 開口の下方の前記第 3 絶縁膜をエッチングして第 2 コンタクトホールを形成する工程と、

前記第 1 コンタクトホールおよび前記第 2 コンタクトホールに導電材を埋め込む工程と、
を有することを特徴とする半導体装置の製造方法。

【請求項 2】

前記第 1 絶縁膜および前記第 3 絶縁膜はシリコン窒化膜であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記第 2 絶縁膜および前記第 4 絶縁膜はシリコン酸化膜であることを特徴とする請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 4】

前記第 4 絶縁膜を形成する工程の後、前記マスク層を形成する工程の前に、前記第 4 絶縁膜の表面を平坦化する研磨工程を行なうことを特徴とする、請求項 1 乃至 3 いずれか 1 項に記載の半導体装置の製造方法。

【請求項 5】

前記第 2 絶縁膜を形成する工程の前に、前記対向電極が形成される領域の下方に、第 2 導電パターンを形成する工程を更に有することを特徴とする、請求項 1 乃至 4 いずれか 1 項に記載の半導体装置の製造方法。

【請求項 6】

前記第 2 開口の下方の前記第 3 絶縁膜をエッチングして第 2 コンタクトホールを形成する工程は、前記第 2 コンタクトホールの底面が、前記第 2 絶縁膜の上面より低く、前記第 3 導電パターンの上面よりも高い位置において終了することを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】

半導体基板上に形成され、第 1 導電パターンと前記第 1 導電パターン上に形成された第 1 絶縁膜とを有する第 1 積層構造と、

10

20

30

40

50

前記第 1 積層構造を覆うように前記半導体基板上に形成された、前記第 1 絶縁膜とエッチング特性の異なる第 2 絶縁膜と、

前記半導体基板に接続された蓄積電極と、

前記第 2 絶縁膜上に形成され、前記第 2 絶縁膜とはエッチング特性の異なる第 3 絶縁膜とキャパシタ絶縁膜と対向電極とを有し、前記第 1 積層構造の上方に開口を有する第 2 積層構造と、

前記第 2 絶縁膜および前記第 2 積層構造を覆うように形成された、前記第 3 絶縁膜とエッチング特性の異なる第 4 絶縁膜と、

前記第 4 絶縁膜、前記第 2 絶縁膜および前記第 1 絶縁膜を貫通し、前記第 1 導電パターンに達する第 1 コンタクトホールと、

前記第 4 絶縁膜、前記対向電極および前記第 3 絶縁膜を貫通する第 2 コンタクトホールと、

前記第 1 コンタクトホールに埋め込まれた第 1 導電プラグと、

前記第 2 コンタクトホールに埋め込まれた第 2 導電プラグとを有することを特徴とする半導体装置。

【請求項 8】

前記第 1 絶縁膜および前記第 3 絶縁膜はシリコン窒化膜であることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記第 2 絶縁膜および前記第 4 絶縁膜はシリコン酸化膜であることを特徴とする請求項 7 または 8 に記載の半導体装置。

【請求項 10】

前記半導体基板上であって、第 1 積層構造が形成された領域とは異なる領域であって前記第 2 積層構造の下方に形成された第 2 導電パターンを有し、前記第 2 コンタクトホールの底面は前記第 1 絶縁膜の上面より低く、前記第 2 導電パターンの上面よりも高い請求項 7 乃至 9 のいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置およびその製造方法に係り、特に D R A M (Dynamic Random Access Memory) の高集積化、および高信頼性化に適した半導体記憶装置及びその製造方法に関する。

【背景技術】

【0002】

D R A M が大容量化されていく中で、高集積化と低価格化を実現する為には、その基本構成要素であるメモリセルの微細化を進めることが必要である。一般的な D R A M セルは、一つの M O S トランジスタと、一つのキャパシターから構成される。したがって、メモリセルの微細化を進めていくためには、小さなセルサイズで、いかにして大きなキャパシター容量を確保するかという事が重要である。

【0003】

近年、キャパシター容量を確保する方法として、基板に溝（トレンチ）を形成し、その中にキャパシターを形成するトレンチ型セルや、キャパシターを M O S トランジスタの上部に 3 次元的に積層して形成するスタック型セルが提案され、実際の D R A M のセル構造として採用されてきた。特にスタック型セルに関しては、その発展型として基板と概ね平行な方向に複数枚の蓄積電極を配置し、それぞれの蓄積電極の上下両面をキャパシターとして利用することで、専有面積あたりの容量を通常のスタック型よりも増加させているフィン型セルや、基板と概ね垂直方向にシリンダー状に蓄積電極を配置することで容量を増加させているシリンダー型セルなどの改良されたセル構造が提案されている。

【0004】

これらのセル構造、およびその製造プロセスを適用する事により 0. 3 5 μ m のデザイ

10

20

30

40

50

ンルールを持つ64Mb i tクラスの集積度のDRAMを実現する事が可能になった。

しかしながら、さらに高集積化を進めた、0.25 μ mから0.15 μ mのデザインルールを持つ256Mb i t、1Gb i tクラスの集積度のDRAMを実現するためには、これらの技術だけでは不十分である。したがって、キャパシタ電極の専有面積を狭めるだけでなく、フォトリソグラフィ法において配線間のショート等の弊害を防ぐために設けられている位置合わせ余裕をなるべく少なくする必要がある。また、シリンダー型セルなどの改良されたセル構造において生じた問題を解決する必要が求められている。

【0005】

第1に、位置合わせに関する問題がある。従来より、微細なコンタクト窓を形成する方法として、セルフアラインコンタクト法(Self Align Contact: SAC)と呼ばれる方法が知られている。この方法は、たとえば特開昭58-115859号に開示されている。すなわち、MOSトランジスタのゲート電極上に第1の絶縁膜を形成した状態でゲート電極のパターニングを行う。

【0006】

【特許文献1】特開昭58-115859号公報　そして、ソース／ドレイン拡散層を形成したあとでさらに第2の絶縁膜を形成し、異方性エッチング法を用いて第2の絶縁膜を拡散層が露出するまでエッチングする。これによって、第1の絶縁膜を含むゲート電極部の側壁に絶縁膜が形成されるため、ゲート電極の周囲を第1、第2の絶縁膜で完全に絶縁することができ、かつ、自己整合(セルフアライン)的に拡散層上にコンタクト窓領域を形成することが可能となる。

【0007】

このようなセルフアラインコンタクト法を用いてコンタクト窓を形成すると、下地の導電層(ゲート電極及びソース／ドレイン拡散層)とコンタクト窓との位置合わせ余裕をとらなくてよいため、その余裕分だけセルを微細にすることができる。ただし、高集積化されたDRAMセルでは微細化のために多層工程が用いられているため、このような単純なセルフアラインコンタクト法では、まだ不十分である。

【0008】

DRAMセルで用いられる改良されたセルフアラインコンタクト技術の一例を図34から図35の模式断面図を参照して説明する。図34と図35は、典型的なメモリセル部をワードラインの延在方向と交差する方向(MOSトランジスタのソース／ドレイン方向)に沿って切断した断面図である。この図を参照して、ビットラインや蓄積電極とMOSトランジスタのソース／ドレイン拡散層とのコンタクト窓をセルフアラインコンタクト技術を用いて形成する方法について具体的に述べる。

【0009】

はじめに、図34(a)に示すように、LOCOS酸化膜112で画定されたシリコン基板111上にゲート絶縁膜113を形成し、さらにその上にポリシリコン114とタングステンシリサイド115からなるポリサイドゲート電極を形成する。ゲート電極両側にソース／ドレイン拡散層116を形成する。ポリサイドゲート電極の周囲を覆う窒化膜117を形成する。ポリサイド電極がワードラインに相当する。

【0010】

この工程までは、前記したセルフアラインコンタクト法と同じであるため、前記した特開昭58-115859号に記載された方法によって行なえばよい。つづいて、その上に全面にシリコン酸化膜118を形成する。この酸化膜は後工程を容易にするために、CMP(Chemical Mechanical Polishing 化学機械研磨)法等を用いて平坦化しておく。

【0011】

次に、図34(b)に示すように、平坦化された酸化膜118の上にレジストを塗布し、通常フォトリソグラフィ法を用いて、レジスト層のパターニングを行い、エッチングのマスクとなるレジストパターン119を形成する。次に、図35(a)に示すように、レジストパターン119をマスクとして酸化膜118をエッチングし、拡散層116に到達するコンタクト窓120を形成する。このとき、酸化膜のエッチング条件はシリコン窒

10

20

30

40

50

化膜に対する選択比が大きくなるように設定する。したがって、酸化膜のエッチングによって窒化膜 117 が露出しても、窒化膜はそれほどエッチングされないため、最初に形成した窒化膜によるセルフアラインコンタクト窓領域とほぼ同等の領域がコンタクト窓として形成される。

【0012】

つづいて、レジストパターン 119 を周知の技術で除去する。次に、図 35 (b) に示すようにコンタクト窓に導電層 121 を形成する。以上のような方法で形成したコンタクト窓は、レジストパターン 119 が位置ずれをおこしてゲート電極の上部や近傍に開口されたとしても、導電層 121 とポリサイド電極とのショートを生じない。従って、ポリサイド電極に対してコンタクト窓の位置合わせ余裕をとる必要がない。

10

【0013】

すなわち、本技術によれば、層間絶縁膜となる酸化膜 118 を平坦化しながら、コンタクト窓をセルフアラインで形成することが可能となる。このようなセルフアラインコンタクト技術を、以降「窒化膜スペーサ SAC」と呼ぶ。窒化膜スペーサ SAC を用いる上で、以下のような問題点がある。

【0014】

ひとつめは、窒化膜スペーサ SAC をゲート電極として用いた場合のトランジスタ特性の劣化の問題である。窒化膜サイドウォールをゲート電極構造に用いた場合の問題点は、たとえば、IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL.38 NO.3 MARCH 1991 “Hot-Carrier Injection Suppression Due to the Nitride-Oxide LDD Spacer Structure” T.Mizuno et.al. に示されている。

20

【非特許文献 1】IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL.38 NO.3 MARCH 1991 “Hot-Carrier Injection Suppression Due to the Nitride-Oxide LDD Spacer Structure” T. Mizuno et.al. すなわち、窒化膜をサイドウォールとして有する MOS トランジスタを形成した場合に、酸化膜をサイドウォールとして有する MOS トランジスタにくらべて、ホットキャリア効果等の特性劣化が大きく、その信頼性が低いことが示されている。これは、酸化膜に比べ、シリコン窒化膜中にトラップが多く存在するためと考えられている。

【0015】

上記論文では、その解決法として窒化膜サイドウォールとゲート電極との間および窒化膜サイドウォールと基板との間に酸化膜をもうけ、窒化膜の影響を抑えることでトランジスタ特性の劣化を抑える方法が開示されている。しかし、このような構造を、そのまま窒化膜スペーサ SAC 構造に適用することはできない。

30

【0016】

図 36 から図 37 を参照して、その問題点について説明する。なお、図 36 と 37 は図 34 と図 35 と同じく典型的なメモリセル部をワードラインの延在方向と交差する方向で切断した断面図であり、図中の符号で図 34 や図 35 中の符号に相当するものには、同じ符号をつけている。図 36 (a) は、図 34 (b) に相当する工程であり、コンタクト窓を形成するためのレジストパターン 119 を酸化膜 118 上に形成した状態を示している。シリコン膜 114 とシリサイド膜 115 からなるポリサイド電極の上にはシリコン窒化膜 122 が形成されており、ポリサイド電極とシリコン窒化膜 122 の積層体の側壁には酸化膜 123 を介してシリコン窒化膜 124 が形成されている。また、ゲート電極の横の基板 111 中にはソース／ドレイン拡散層となる不純物領域 116 が形成されている。

40

【0017】

窒化膜スペーサ SAC 構造のコンタクト窓を形成するために、レジストパターン 119 が形成されている。ただし、位置合わせずれのためにレジストパターンがずれている状態を示している。この状態で酸化膜 118 をエッチングすると、図 36 (b) に示すように窒化膜サイドウォール 124 とポリサイドゲート電極との間のサイドウォール酸化膜 123 も同時にエッチングされてしまい、ゲート電極の側壁が露出してしまう。

【0018】

次に、図 37 に示すように、コンタクト窓内に配線用電極 121 を形成すると、露出し

50

たゲート電極の側壁を介して、配線用電極 1 2 1 や拡散層 1 1 6 とゲート電極がショートしてしまう。これを避けるためには位置合わせ余裕をとる必要があり、セルフアラインでコンタクト窓を形成することはできない。すなわち、上記論文に記載された窒化膜サイドウォール構造は、窒化膜スペーサ S A C に適用することができない。

【0019】

窒化膜スペーサ S A C を用いる場合のふたつめの問題点は、窒化膜スペーサ S A C とポリサイド導電層と組み合わせることによって生じる、シリサイド膜のはがれの問題である。シリコン膜と、タングステンシリサイド (W S i) やモリブデンシリサイド (M o S i) などのシリサイド膜との積層構造であるポリサイド構造は、シリコン膜にくらべて低抵抗が得られるため、ゲート電極やワードライン、ビットライン等に広く用いられる。

10

【0020】

しかし、ポリサイド膜からなる導電層に対して、前記窒化膜スペーサ S A C 工程を適用した場合に、ポリサイド膜と窒化膜との熱膨張係数の違いにより応力が生じ、後工程の熱処理によってシリサイド膜のはがれてしまうという現象があることが分かった。したがって、トランジスタ特性劣化などの影響がない、ビット線などの配線構造に関しても、従来の窒化膜スペーサ S A C を用いることはできないことが分かった。

【0021】

第 2 にコンタクト窓に埋め込まれているプラグ導電膜に対するコンタクト窓開け工程の問題がある。

高集積化された D R A M 構造では、後工程での配線層の断線等を防ぐため、平坦化処理を行なう必要があり、コンタクト窓にプラグと呼ばれる導電膜を埋め込む構造が取られる。プラグとさらに上層の配線とのコンタクトをとるために、コンタクト窓を開ける場合には、位置あわせずれに対してマージンのあるプロセスが望ましい。また、コンタクト窓開けに S A C 法が用いられると、微細化が可能となるため好ましい。

20

【0022】

プラグの周囲にある絶縁膜が、コンタクト窓開け工程でエッチングされてしまう条件の場合、位置合わせずれに対してプロセスマージンをとることができず、また、S A C 法も用いることができない。このため、位置合わせ余裕をとる必要があり、集積化をすすめる上で問題であった。

【0023】

第 3 にシリンダ型蓄積電極の形成方法に関する問題がある。シリンダ型蓄積電極は、シリンダの側面をキャパシタ容量として利用するため、容量を安定させるためには、シリンダの側面積を一定にする必要がある。一般に、シリンダ型蓄積電極は、絶縁膜に開口を形成したあと蓄積電極となる導電層を開口の側壁と底面上にのみ形成し、その後絶縁膜をエッチング除去することで形成される。

30

【0024】

このような形成方法をとる場合、蓄積電極となるシリンダ型の導電層形成後、その外側の絶縁膜のエッチングにおいて、エッチング量によって、蓄積電極の外側面の露出面積が変わる。このため、容量が変化して安定しないという問題があった。

【0025】

第 4 に、高低差の大きい導電層へのコンタクト窓開けの問題がある。小さなセル面積で、十分なキャパシタ容量を確保する為に、先に示したようにシリンダー型セルのような 3 次元的構造を用いて、蓄積電極の面積を増やした構造が検討されている。キャパシタ容量を十分に確保するためには、蓄積電極部の高さをどんどん高くする必要がある。このため、セル部と、周辺回路部との高低差（段差）が大きくなる。

40

【0026】

大きな段差は、段差による配線の切断という問題を生じるだけではなく、例えば、金属配線層を、セル部、及び周辺回路部上でパターニングする時、フォトリソグラフィの焦点深度が不足し、寸法精度が低下するという問題を生じる。これに対して、絶縁膜を形成した後に凹部に S O G (Spin On Glass) などの塗布絶縁膜やレジストを埋め込んでからエ

50

ッチバックしたり、CMP法を用いてセル部、周辺回路部の高低差を生じないように絶縁膜を平坦化するという方法が、たとえば、特開平3-155663号に開示されている。

【特許文献2】特開平3-155663号 このような平坦化を行うことで、焦点深度が不足するという問題点は解決できる。しかし、新たな問題として以下に示すものが浮かんできた。DRAM構造では、周辺回路部のMOSトランジスタのソース／ドレイン拡散層やワードラインやビットラインあるいはメモリセル部のビットラインやキャパシタ対向電極など、上層の金属配線層とのコンタクトを必要とする多くの導電層が存在している。

【0027】

これらの導電層は、同じ層レベルに形成されているわけではなく、いくつかの層間絶縁膜を有して多層配線構造で形成されている。したがって、各導電層の基板からの距離には差がある。先に述べた方法により、上層の絶縁膜を平坦化した場合、絶縁膜の表面は基板とほぼ平行な面に形成されるため、絶縁膜に形成されるコンタクト窓の深さに差が生じる。

10

【0028】

したがって、一度のフォトリソグラフィ工程でコンタクト窓を形成しようとする、たとえば最下層の導電層である拡散層を露出する開口をするとき、最上層の導電層は先に開口されるため、導電層が露出したまま長時間エッチング雰囲気さらされることになる。導電層に対する絶縁膜のエッチング選択比は、それほど大きくとれない。このため、コンタクト窓は最上層の導電層を貫いてさらに下層の絶縁膜までもエッチングしてしまい、場合によってはコンタクト窓の下部の別の導電層とショートしてしまう。

20

【0029】

したがって、下層配線層とショートをおこさない信頼性の高いコンタクト窓を形成するためには、フォトリソグラフィ工程を複数回に分けるなどして、工程数を増やすことで対処せざるを得なかった。

【0030】

第5に、平坦化の問題がある。高集積化されるにつれて、微細化のためにDRAMの製造プロセスは複雑になり、かつ、工程数も増えてしまう。これは、製品の歩留まりを低下させる要因にもなり、最終的にはコストの増大を招く。一方、高集積化のために、多層配線工程が用いられるようになり、絶縁層や配線層の平坦化が重要である。

【0031】

30

したがって、製造プロセスを複雑にせずに平坦化する技術が必要である。

第6に、MOSトランジスタ特性の問題がある。高集積化されるにつれて、MOSトランジスタも微細化されており、微細化にともなう特性の劣化や信頼性の低下が考えられる。

【特許文献3】特開平8-97210号公報

【特許文献4】特開昭56-27971号公報

【特許文献5】特開昭61-194779号公報

【特許文献6】特開昭62-261145号公報

【特許文献7】特開平6-181209号

【発明の概要】

40

【発明が解決しようとする課題】

【0032】

本発明の目的は、ポリサイド構造に窒化膜スペーサSAC構造を適用でき、DRAMのメモリセルの微細化を進め、高集積化を実現できる技術を提供することである。

本発明の他の目的は、プラグ上の位置ずれに対してもプロセスマージンがあり、SAC構造を適用できる技術を提供することである。

【0033】

本発明のさらに他の目的は、シリンダ型蓄積電極の外側の側面の露出面積を一定にして、安定した容量を得られる技術を提供することである。

本発明の他の目的は、DRAMのメモリセル部に用いられることができ、特性を改善したM

50

ＯＳトランジスタ構造を提供することである。

【課題を解決するための手段】

【００３４】

本発明の第１の観点によれば、
基板からの距離の異なるレベルに形成された第１と第２の導電層と、
前記第１と第２の導電層を含む前記基板上に形成された第１の絶縁膜と、
前記第１の絶縁膜を貫いて前記第１の導電層の表面が露出するように形成された第１の
コンタクト窓と、

前記第１の絶縁膜と前記第２の導電層を貫いて形成され、前記第２の導電層の側壁部を
露出する、第２のコンタクト窓と、

少なくとも前記第１、第２のコンタクト窓の中に形成され、前記第１のコンタクト窓を
通して前記第１の導電層の表面と接続され、前記第２のコンタクト窓を通して前記第２の
導電層の側壁部と接続される第３の導電層と、

を有し、

前記第１の絶縁膜表面から前記第１の導電層までの深さを D_1 、前記第１の絶縁膜表面
から前記第２の導電層までの深さを D_2 としたとき、 D_1 は D_2 より大であることを特徴
とする半導体装置

が提供される。

【発明の効果】

【００３５】

ＭＯＳトランジスタの信頼性を損なうことなく、さらにゲート電極を構成する金属シリ
サイド膜の剥離を防止し、窒化膜スペーサーＳＡＣを可能にする。

ＤＲＡＭの微細化や製造マージンの増大、製造工程の短縮等に寄与する。

【００３６】

導電層の上面および側面を連続的に窒化膜で覆うことができ、且つ導電層の少なくとも
側壁部と窒化膜との間に酸化膜等の絶縁膜を介在させることにより、ＭＯＳトランジスタ
の信頼性を損なうことなく、ゲート電極を構成する金属シリサイド膜の剥離を防止し、窒
化膜スペーサーＳＡＣの採用を可能にする。

【図面の簡単な説明】

【００３７】

【図１】本発明の基本実施例を説明する断面図である。

【図２】メモリセル部を示す模式平面図である。

【図３】本発明の第１の実施の形態による第１のＤＲＡＭの製造工程を示す模式断面図（その
１）である。

【図４】本発明の第１の実施の形態による第１のＤＲＡＭの製造工程を示す模式断面図（その
２）である。

【図５】本発明の第１の実施の形態による第１のＤＲＡＭの製造工程を示す模式断面図（その
３）である。

【図６】本発明の第１の実施の形態による第１のＤＲＡＭの製造工程を示す模式断面図（その
４）である。

【図７】本発明の第１の実施の形態による第１のＤＲＡＭの製造工程を示す模式断面図（その
５）である。

【図８】本発明の第１の実施の形態による第１のＤＲＡＭの製造工程を示す模式断面図（その
６）である。

【図９】本発明の第１の実施の形態による第１のＤＲＡＭの製造工程を示す模式断面図（その
７）である。

【図１０】本発明の第１の実施の形態による第１のＤＲＡＭの製造工程を示す模式断面図（そ
の８）である。

【図１１】本発明の第１の実施の形態による第１のＤＲＡＭの製造工程を示す模式断面図（そ
の９）である。

10

20

30

40

50

【図 1 2】本発明の第 1 の実施の形態による第 1 の DRAM の製造工程を示す模式断面図（その 1 0）である。

【図 1 3】本発明の第 1 の実施の形態による第 1 の DRAM の製造工程を示す模式断面図（その 1 1）である。

【図 1 4】本発明の第 1 の実施の形態による第 1 の DRAM の製造工程を示す模式断面図（その 1 2）である。

【図 1 5】本発明の第 2 の実施の形態による第 2 の DRAM の製造工程を示す模式断面図（その 1）である。

【図 1 6】本発明の第 2 の実施の形態による第 3 の DRAM の製造工程を示す模式断面図（その 2）である。

10

【図 1 7】本発明の第 3 の実施の形態による第 4 の DRAM の製造工程を示す模式断面図（その 1）である。

【図 1 8】本発明の第 3 の実施の形態による第 4 の DRAM の製造工程を示す模式断面図（その 2）である。

【図 1 9】本発明の第 3 の実施の形態による第 4 の DRAM の製造工程を示す模式断面図（その 3）である。

【図 2 0】本発明の第 3 の実施の形態による第 4 の DRAM の製造工程を示す模式断面図（その 4）である。

【図 2 1】本発明の第 3 の実施の形態による第 4 の DRAM の製造工程を示す模式断面図（その 5）である。

20

【図 2 2】本発明の第 3 の実施の形態の効果の説明する模式断面図（その 1）である。

【図 2 3】本発明の第 3 の実施の形態の効果の説明する模式断面図（その 2）である。

【図 2 4】本発明の第 4 の実施の形態による第 5 の DRAM の製造工程を示す模式断面図（その 1）である。

【図 2 5】本発明の第 4 の実施の形態による第 5 の DRAM の製造工程を示す模式断面図（その 2）である。

【図 2 6】本発明の第 4 の実施の形態による第 5 の DRAM の製造工程を示す模式断面図（その 3）である。

【図 2 7】本発明の第 4 の実施の形態による第 5 の DRAM の製造工程を示す模式断面図（その 4）である。

30

【図 2 8】本発明の第 4 の実施の形態による第 5 の DRAM の製造工程を示す模式断面図（その 5）である。

【図 2 9】本発明の第 5 の実施の形態による第 6 の DRAM の製造工程を示す模式断面図（その 1）である。

【図 3 0】本発明の第 5 の実施の形態による第 6 の DRAM の製造工程を示す模式断面図（その 2）である。

【図 3 1】本発明の第 6 の実施の形態による第 7 の DRAM の製造工程を示す模式断面図である。

【図 3 2】本発明の第 7 の実施の形態による第 8 の DRAM の製造工程を示す模式断面図である。

40

【図 3 3】本発明の第 8 の実施の形態による第 9 の DRAM の製造工程を示す模式断面図である。

【図 3 4】窒化膜スペーサ S A C を説明する模式断面図（その 1）である。

【図 3 5】窒化膜スペーサ S A C を説明する模式断面図（その 2）である。

【図 3 6】従来技術の問題点を説明する模式断面図（その 1）である。

【図 3 7】従来技術の問題点を説明する模式断面図（その 2）である。

【発明を実施するための形態】

【0 0 3 8】

以下、図面を参照して、本発明の実施例を説明する。図 1（a）、（b）は、本発明の基本実施例による半導体装置及びその変形例を示す。

50

本発明の基本実施例を図1を参照して説明する。図1(a)において、1はシリコン基板、2はフィールド絶縁膜、3はゲート酸化膜、4はシリコン膜、5はシリサイド膜、6はシリコン酸化膜、7は不純物拡散層領域、8はシリコン窒化膜スペーサ、9は層間絶縁膜、10はコンタクト窓である。

【0039】

フィールド絶縁膜2により画定した活性層領域を有する基板1上にゲート酸化膜3を介して、シリコン膜4、シリサイド膜5の積層体からなるゲート電極が形成される。ゲート電極の上部および側面がシリコン窒化膜8によって覆われている。サイドスペーサーとしてのシリコン窒化膜8の下部およびゲート電極の側壁との間には酸化膜6が存在する。

【0040】

スペーサーとなるシリコン窒化膜8の下部には酸化膜6が存在するので、MOSトランジスタチャネル部で発生したホットキャリアは、そのほとんどが酸化膜6中にトラップされる。MOSトランジスタ特性が、シリコン窒化膜8の影響を受けることは少ない。したがって、従来の酸化膜スペーサーを用いたのMOSトランジスタと同等の信頼性を得ることができる。

【0041】

一方、ゲート電極の側壁と、シリコン窒化膜の間に存在する酸化膜6は、シリサイド膜5と窒化膜8との間の緩衝膜として働き、シリサイド膜が後の熱処理工程等で剥離することを防止することができる。また、ゲート電極の側壁部のみにシリコン酸化膜6が存在し、ゲート電極の上部の領域にはシリコン酸化膜が露出しないため、窒化膜スペーサSACを用いてコンタクト窓10を形成する際に、マスクが位置ずれしたとしても従来例で説明したような、導電層とゲート電極が電氣的にショートしてしまうという問題は生じない。

【0042】

図1(b)は本発明の基本実施例による別の例を説明する図である。図1(b)において、1はシリコン基板、2はフィールド絶縁膜、3はゲート酸化膜、4はシリコン膜、5はシリサイド膜、7は不純物拡散層領域、8はシリコン窒化膜スペーサ、9は層間絶縁膜、10はコンタクト窓、11はシリコン酸化膜である。なお、図1(a)の中の番号に相当するものには、同じ番号を付している。

【0043】

図1(a)の構成と比較すると、ゲート電極を構成するシリサイド膜5の上部にも酸化膜を設け、ゲート電極の上部と側壁をシリコン酸化膜11で完全に覆ったところが異なる。この構造では、シリコン窒化膜8とシリサイド膜5とが直接接する事はないため、後の熱処理等の工程による剥離に対し、さらに強い構造となる。

【0044】

なお、図1(a)や図1(b)に示した構造は、MOSトランジスタのゲート電極だけでなく、ポリサイド構造を有するビットライン等の他の配線層にも適用できる。

以下、より具体的な各実施の形態について説明をする。なお、図中の符号で各実施の形態で同じもの、または相当するものに対しては、同じ符号を用いている。

【0045】

図2は、DRAMのメモリセル部の模式平面図である。図において、11は活性領域、12はMOSトランジスタのゲート電極も兼ねるワードライン、13はビットライン、14はビットラインとMOSトランジスタのソース／ドレイン拡散層とのコンタクト窓、15はシリンドラ型蓄積電極とMOSトランジスタのソース／ドレイン拡散層とのコンタクト窓である。なお、ゲート電極上やビットライン上に形成される裏打ちワードラインなどの配線層は図中には示していない。

【0046】

ここで、基本実施例と従来技術とについて若干説明する。

特開平8-97210号には、図1(a)に一見類似した構造が記載されている。しかし、本公報にはシリサイド膜上に窒化膜が直接形成されることで、シリサイド膜が剥離するという問題については何も記載していないし、窒化膜との間に酸化膜を形成することで

10

20

30

40

50

、剥離を防ぐ効果があることについても何ら記載がない。

【0047】

また、本公報に記載された発明では、たとえば同公報の図1に記載されているようにゲート電極の上の領域まで側壁シリコン酸化膜が形成されており、ゲート電極を覆うシリコン窒化膜の領域に酸化膜が食い込む構造になっていて、シリコン窒化膜の一部が薄く形成されている。このような構造では、後工程のコンタクト窓の形成時に窒化膜がエッチングされて側壁酸化膜が露出し、エッチングされてコンタクト窓内に形成された配線層とゲート電極とがショートしてしまう危険性がある。

【0048】

本発明の第1の観点によれば、側壁の酸化膜はゲート電極の側壁の部分にしかなく、ゲート電極を覆うシリコン窒化膜中に食い込んでいないため、構造が異なる。そして、この酸化膜の食い込みがないため、窒化膜厚が薄くなるようなことはなく、コンタクト窓形成時にゲート電極が露出するような危険性を避けることができる。

【0049】

また、本公報ではゲート電極上のシリコン窒化膜の横にも酸化膜を形成するために、CVD法によって酸化膜を形成している。しかし、本発明では、CVD酸化膜だけでなく、熱酸化法で酸化膜を形成することができる。熱酸化法による酸化膜を用いることで、CVD酸化膜を用いた場合に比べてシリサイド膜の剥離を防ぐ効果を大きくすることができる。

【0050】

さらに、基板を熱酸化して得られる酸化膜は、基板と酸化膜の界面の状態がCVD酸化膜にくらべて良好であるため、熱酸化膜が基板とシリコン窒化膜との間に存在することで、CVD酸化膜が基板とシリコン窒化膜との間にある場合よりも、MOSトランジスタ特性が向上し、信頼性が増すという効果もある。

【0051】

特開昭61-16571号には、ゲート電極上に酸化膜と窒化膜の積層構造を設け、ゲート電極の側壁に窒化膜サイドウォールを有する構造が記載されている。しかし、本公報ではゲート電極の側壁には酸化膜がなく、窒化膜とゲート電極が直接接している点で全く異なるものであり、また、ポリサイド構造にした場合の問題点についても何も記載されていない。

【0052】

特開昭56-27971号には、その実施例2としてゲート電極の上面と側壁を酸化膜と窒化膜で覆う構造が記載されている。しかし、ゲート電極側壁の窒化膜の下には酸化膜がなく、本発明とは異なる構成であり、MOSトランジスタの特性向上の効果は望めない。また、本公報にもポリサイド構造を用いることや、ポリサイド上に窒化膜を形成することで生ずる問題点について何も記載されていない。

【0053】

特開昭61-194779号には、ゲート電極の上面と側壁を酸化膜と窒化膜で覆う構造が記載されている。しかし、本公報にもポリサイド構造を用いることや、ポリサイド上に直接窒化膜を形成することで生ずる問題点について何も記載されていない。特開昭62-261145号には、ポリサイド構造を有する配線層のまわりに酸化膜とシリコン窒化膜からなる複合膜を形成することが記載されている。しかし、本公報に記載された発明の目的は、スパッタ法で形成したシリサイド膜からの金属汚染を防ぐためにシリコン窒化膜を用いるものであって、窒化膜サイドウォールSAC構造に関するものとは全く異なる。

【0054】

また、本公報ではシリコン窒化膜を酸化膜の下に設けて、シリコン窒化膜がポリサイドと直接接しても良いことが記載されており、シリサイド膜上に窒化膜が直接形成されることで、シリサイド膜が剥離するという問題については何も記載していないし、窒化膜との間に酸化膜を形成することで、剥離を防ぐ効果があることについても何ら記載がない。

【0055】

さらに、本公報はポリサイド構造をパターンニングしてから酸化膜とシリコン窒化膜の複合膜を形成しており、本発明のポリサイド上に酸化膜とシリコン窒化膜を形成してからパターンニングを行い、つづいて側壁酸化膜やシリコン窒化膜を形成する方法とは異なる。その他、ポリサイドからなる電極上の酸化膜厚を電極側壁に形成されたる酸化膜厚よりも厚くすることで、窒化膜の剥離を防ぐ効果を増大させることができるが、上記5つの従来技術にはその点について何ら記載がない。

【0056】

このように、上記5つの公知例は本発明の基本実施例とは全く異なるものであり、また示唆するものは何も記載されていない。

本発明の第2の観点によれば、コンタクト窓内に形成された配線用の導電層の周辺にエッチングストッパ層として機能する窒化膜があって、酸化膜やBPSG等の下層の層間絶縁膜が表面に露出していないため、窒化膜上にさらに形成された上層の層間絶縁膜のコンタクト窓を形成するときに、位置合わせずれをおこしても導電層の周辺の下層絶縁膜がエッチングされることはなく、位置合わせずれに対してマージンの大きいプロセスとなる。

【0057】

また、上層配線層の横に前記コンタクト窓が形成されている場合には、下層絶縁膜がエッチングされないため、SAC工程をとることが可能である。

本発明の第3の観点によれば、シリンダ型蓄積電極を形成する際に、蓄積電極の外側の絶縁膜の下にエッチングストッパ膜として機能する窒化膜を形成しておくことにより、蓄積電極の外側の絶縁膜をすべて除去することができるため、シリンダ型の蓄積電極の外側面の面積を一定にすることができ、キャパシタ容量のバラツキが小さく、安定したDRAMセルを製造することが可能となる。

【0058】

また、セル領域と周辺回路部との高低差をあまり大きくすることなくDRAMセルを製造することも可能になる。

本発明の第4の観点によれば、コンタクト窓の深さが異なる構造であっても、一度のフォトリソグラフィ工程で窓開けを行なうことができ、製造工程数を減らした手段を提供するものである。

【0059】

本発明の第4の観点によれば、複数の配線層にコンタクト窓を形成するときに、上層の配線層の下に窒化膜を設けて、窒化膜をストッパとしてエッチングすることで、コンタクト窓が上層の配線層から窒化膜下の絶縁層まで突き抜けて、下層の配線層まで達することを防ぐことができる。したがって、層間のショートを防ぐことができるため、コンタクト窓の深さが異なる上層の配線層と下層の配線層のコンタクト窓を一度のフォトリソグラフィ工程で形成することができ、工程を短縮することができる。

【0060】

また、上層と下層の中間の配線層上に窒化膜を形成しておき、窒化膜をストッパとして第1ステップのエッチングを行い、つづいて窒化膜をエッチングする第2ステップのエッチングを行なうことで、コンタクト窓が上層の配線層から窒化膜下の絶縁層を突き抜けた後、中間層の配線層を突き抜けてさらに下層の絶縁層を突き抜けた後、下層の配線層に達することを防ぐことができる。したがって、層間のショートを防ぐことができるため、コンタクト窓の深さが異なる上層と中間層と下層の配線層のコンタクト窓を一度のフォトリソグラフィ工程で形成することができ、工程を短縮することができる。

【0061】

本発明の第5の観点によれば、窒化膜スペーサSACに平坦化工程を適用して製造プロセスを簡略化した方法が提供される。

本発明の第5の観点によれば、窒化膜スペーサSACに用いる配線群の上の絶縁膜を平坦化するときに、窒化膜をCMPのストッパとして用いることにより、ストッパとなる層を新たに形成しないで平坦化ができる。したがって、新たな工程の増加を行わずに精度のよい平坦化が可能である。また、基板からの距離の異なる配線層群の上に形成さ

れた絶縁膜を平坦化する工程において、基板からの距離が最も大きい配線群の上に設けた窒化膜をCMP工程のストッパとして用いることにより、上記配線層群の上に設けられた絶縁膜の平坦化を精度よく行なうことができる。

【0062】

このとき基板からの距離が最も大きいものではない配線群上の絶縁膜の下の膜はストッパとして研磨にさらされないので、一定の厚さを保つことができ、耐圧を維持することが可能である。特開平6-181209号には、導電層の上面にシリコン窒化膜を設け、その上部に形成された絶縁膜を、前記シリコン窒化膜をストッパとしてCMP法により平坦化する方法が示されている。そして、本公報の図4には従来技術として、所望の形状にパターンニングされた導電層の上面および側面、さらに導電層間にシリコン窒化膜が設けられ、それをCMPのストッパ膜として用いることが記載されている。

10

【0063】

しかし、本公報には窒化膜スペーサSACについては何も記載されていないし、窒化膜スペーサSACをDRAMに用いた場合の問題については何も記載されていない。

DRAMの製造方法では導電層上の窒化膜をストッパ層として用いることで、上部に形成された絶縁膜を平坦化できるだけでなく、膜厚のばらつきを少なくすることもできる。

【0064】

平坦化した絶縁膜の膜厚がばらついていると、後工程の窒化膜スペーサSACでコンタクト窓形成するときのエッチング量に分布が生じ、コンタクト窓形成時に窒化膜領域が減少して導電層とコンタクト窓内に形成される上層導電層とがショートする危険性が増してしまう。

20

【0065】

ストッパとなる層をわざわざ形成するのではなく、窒化膜スペーサSACを用いるために必要となる、窒化膜スペーサをそのまま用いることができるため、新たな工程の増加を招くことはない。

【0066】

上記公知例には、このような窒化膜スペーサSACをDRAMに用いたときの特有の問題について何ら記載がないし、それを解決する手段についての示唆もない。さらに、本発明では、配線層を基板からの距離の異なるように設け、基板からの距離が最も大きい配線層の窒化膜のみをストッパとして用い、それよりも基板に近いレベルの配線層上の窒化膜はストッパとして機能させないことで、基板に近いレベルの配線層の窒化膜の絶縁耐圧を低下させないことができるが、本公報にはそのようなことはどこにも記載されていない。

30

【0067】

本発明の第6の観点によれば、メモリセル部のキャパシタ側のソース／ドレイン領域にのみ接合リークを防ぐための不純物を導入し、ビットラインとの接続側のソース／ドレイン領域には接合リークを防ぐための不純物を新たに導入しない。

【0068】

前記不純物注入をキャパシタが接続される側のみに行うことにより、MOSトランジスタのソース／ドレインの内、片側は浅い接合深さとすることができ、トランジスタの短チャネル効果や、素子間のリーク電流への悪影響を抑える事ができ、しかも、接合リークに関してシビアなキャパシタ側では接合リークを抑えることが可能である。

40

【0069】

[第1の実施の形態]

図3から図13を参照して、本発明の第1の実施の形態によるDRAMに対してコンタクト窓をセルフアラインコンタクト技術を用いて形成する方法について具体的に述べる。なお、図3～図13は、メモリセル部については図2のA-A'部の、周辺回路部については典型的な例としての配線構造の模式切断断面図である。はじめに、図3(a)に示すように、p型シリコン基板16上に、公知のLOCOS法(LOCal Oxidation of Silicon)を用いて厚い酸化膜17(フィールド酸化膜)を形成し、素子分離領域と活性領域を画定する。図中MCはメモリセル領域、PCは周辺回路領域を表している。

50

【0070】

周辺回路領域には、種々の回路が形成されるため、通常は、これらの回路を構成するためのnチャネルMOSトランジスタ形成領域やpチャネルMOSトランジスタ形成領域が形成されているpチャネルMOSトランジスタ形成領域としては、p型シリコン基板中に形成されたn型ウェル内に形成されるものがあり、nチャネルMOSトランジスタ形成領域としては、p型シリコン基板中に形成されたp型ウェル内に形成されるものや、p型シリコン基板中に形成されたn型ウェル内にさらに形成されたp型ウェル（三重ウェル構造）内に形成されるものなどがある。これらの構成は、所望の特性によって適宜選べば良い。

【0071】

したがって、図示していないが、LOCOS工程の前後で周辺回路領域PCの他の領域には、p型の不純物やn型の不純物をイオン注入し、それぞれp型ウェル、n型ウェルを形成し、n型ウェル領域の中の一部には、さらにp型の不純物を導入する事により、n型ウェルにその周辺部、底部を囲まれたp型ウェルを形成する。

【0072】

このとき、必要であればフィールド酸化膜17の下部には、ウェルの不純物型を考慮して、p型不純物やn型不純物をイオン注入し、チャンネルストップ層を形成する。また、活性領域には、これも図示していないが、各MOSトランジスタの特性に合わせて、しきい値（ V_{th} ）を制御するための不純物を導入する。

【0073】

なお、上記したウェル層やチャンネルストップ層および V_{th} 制御用のイオン注入は、工程上必ずしもこの位置で行う必要があるわけではなく、以下に順次説明するゲート酸化膜形成工程やゲート電極形成工程などの後でも構わないことは言うまでもない。

【0074】

図3（b）に示すように、基板表面を酸化してゲート酸化膜18を厚さ8nm形成し、その上にリンをドーブしたシリコン膜19を50nm、タングステンシリサイド（WSi）膜20を50nm、シリコン窒化膜21を80nmを順次公知のCVD法（Chemical Vapor Deposition 化学気相成長法）を用いて形成する。

【0075】

これらの積層体を公知のフォトリソグラフィ法を用いてMOSトランジスタのゲート電極となるよう所望のパターンにパターニングする。セル部においては、これらの積層体のポリサイド構造はワード線（図1の12に相当）となる。

【0076】

図4（a）に示すように、熱酸化により酸化膜22を2～10nm成長させる。この酸化により、ポリサイド構造のシリコン膜19とWSi膜20の側壁および活性領域のシリコン基板16表面に酸化膜が形成されるが、シリコン窒化膜は酸化されないで、シリコン窒化膜21の側壁には酸化膜が形成されない。また、シリコン膜19は基板11にくらべて不純物濃度が高いため、酸化膜22の厚さは基板よりも厚くなる。

【0077】

つづいて前記ゲート電極をマスクとして、基板全面にn型の不純物であるリンを $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入する。これによってnチャネルMOSトランジスタ領域ではLDD（Lightly Doped Drain）構造の n^- 層に相当する不純物拡散層23が形成される。このとき、pチャネルMOSトランジスタ領域にもこのn型不純物が導入されるが、後工程の高濃度のp型不純物層のイオン注入により実質的に消失させることができるため問題はないし、最終的にこのn型不純物領域をソース／ドレイン部となるp型不純物拡散層の周囲に残しておけば、パンチスルー防止の役割をもたせることも可能である。

【0078】

図4（b）に示すように、CVD法によりシリコン窒化膜を50～150nm形成し、それを公知のRIE（Reactive Ion Etching）法などで異方性エッチングすることにより、ゲート電極の側壁に窒化膜からなるサイドウォールスペーサを形成する。このとき、基

10

20

30

40

50

板16上などの、窒化膜に覆われていない領域の酸化膜22は、残した状態でエッチングを終了するほうが、エッチングダメージが少ないため、より好ましいが、必ずしも残す必要があるわけではない。

【0079】

このサイドウォール窒化膜はポリサイド電極上の窒化膜20と一体化して、ゲート電極上面から側面を連続的に覆う窒化膜領域24を構成する。この工程により、シリコン膜19とWSi膜20からなるポリサイド電極の周囲は窒化膜領域24で覆われるが、ポリサイド電極の側壁部では、酸化膜22が存在するため、後工程の熱処理でWSi膜20が基板から剥離することを防ぐことができる。

【0080】

つづいて熱酸化によって酸化膜を2~10nm成長する。このときシリコン基板上に露出している酸化膜22をフッ酸系のエッチャントで除去してから酸化してもよい。膜厚の制御性からは除去したほうがよいが、フィールド酸化膜17や、サイドウォール窒化膜の下にある酸化膜22まで削られる危険性がある。この酸化によって、主として活性領域上のシリコン基板表面が酸化され、前記酸化膜22と一体化する。窒化膜領域24に覆われたシリコン膜19やWSi膜20は酸化されない。なお、本実施の形態では以降この一体化した酸化膜を酸化膜22と称する。

【0081】

つづいて、メモリセル領域を除く周辺回路領域のnチャネルMOSトランジスタ領域が露出するようにレジストパターンを形成し、窒化膜領域24を有するゲート電極をマスクとして、前記レジストの開口領域に、n型不純物であると素子を $5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する。これによって、周辺回路領域のnチャネルMOSトランジスタ領域には、高濃度不純物拡散層領域25がLDD構造の n^+ 層として形成される。

【0082】

なお、メモリセル領域のトランジスターのソース／ドレイン層に、この高濃度n型不純物層のイオン注入は行わない理由は、高濃度の不純物導入による結晶欠陥を防ぎ、微少な電荷を貯えるキャパシターからのリーク電流を抑えるためである。つづいて、周辺回路領域のpチャネルMOSトランジスタ領域が露出するようにレジストパターンを形成し、窒化膜領域24を有するゲート電極をマスクとして、前記レジストの開口領域に、 BF_2^+ イオンを $5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入し、pチャネルMOSトランジスタのソース／ドレイン領域となる不純物拡散層領域を形成する。

【0083】

図5(a)に示すように、ボロホスホシリケートガラス(BPSG)膜26をCVD法により100~200nm成長した後、750~900℃の温度で熱処理を行い、リフローさせて表面を平坦化する。さらに平坦化を行う為に、エッチバック法やCMP法を用いてもよいし、これらを組み合わせて平坦化しても構わない。

【0084】

なお、エッチバック法やCMP法を用いる場合には、除去される膜厚分だけ厚くBPSG膜の成長を行い、エッチバックやCMP処理後の膜厚が100~200nmとなるようにする。つづいて、メモリセル領域のMOSトランジスタのソース／ドレイン領域が露出する開口を有するレジストパターンを形成し、開口内のBPSG膜26と酸化膜22を、たとえば C_4F_8 とCOの混合ガスを用いてRIE法によって順次エッチングして、基板表面を露出させ、コンタクト窓27を形成する。

【0085】

コンタクト窓27の底部は窒化膜領域24のスペーサによってセルフアラインで画定されている。レジストパターンの開口部が位置ずれをおこしたとしても、ポリサイドゲート電極のまわりは全て窒化膜で覆われていて酸化膜が露出していないため、エッチングで除去されてしまうことはなく、図35の従来例で述べたようなゲート電極とコンタクト電極がショートするようなことはない。

【0086】

10

20

30

40

50

なお、望ましくは、BPSG膜26と酸化膜22のエッチングは、窒化膜領域24がエッチングされないように、窒化膜とのエッチング選択比が10以上ある条件で行うことが好ましい。つづいて、レジストパターンを除去したあと、BPSG膜26と窒化膜領域24をマスクとして、コンタクト窓27のシリコン基板中に、n型不純物であるリンを $3 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入し、n型拡散層28を形成する。

【0087】

このn型拡散層28は必ずしも必要ではないが、コンタクト窓27が位置ずれしてフィールド酸化膜17のエッジ付近にかかって形成された場合に、ソース／ドレイン拡散層形成用のn型不純物が導入されていないフィールド酸化膜17のエッジ付近で、接合リークが大きくなってしまうという問題が生ずるのを防ぐことができる。

10

【0088】

図5(b)に示すように、CVD法によりリンをドーブしたシリコン膜を全面に形成した後、エッチバック法やCMP法を用いて、コンタクト窓27内にシリコン膜のプラグ29を残存させる。なお、エッチバック法やCMP法を用いずに、選択CVD法を用いてシリコン膜のプラグ29を形成してもよい。つづいて、CVD法により酸化膜30を30～100nm成長する。

【0089】

図6(a)に示すように、ビット線接続領域に開口を有するレジストパターンを形成して、それをマスクに酸化膜30をエッチングし、シリコン膜プラグ29の上面の一部が露出するようなコンタクト窓31を形成したあと、レジストを除去する。つづいて、リンをドーブしたシリコン膜32を30nm、WSi膜33を50nm、シリコン窒化膜34を80nmを順次CVD法により形成する。

20

【0090】

これらの積層体を公知のフォトリソグラフィ法を用いて所望の配線パターンにパターニングする。これらの積層体のポリサイド電極は、メモリセル部においてはビット線(図2の13に相当)となり、周辺回路部ではビット線以外の配線層としても用いられる。

【0091】

図6(b)に示すように、熱酸化により酸化膜35を2～10nm成長させる。この酸化により、ポリサイド構造のシリコン膜32とWSi膜33の側壁部には酸化膜が形成されるが、シリコン窒化膜は酸化されないので、シリコン窒化膜34の側壁には酸化膜が形成されない。

30

【0092】

つづいて、CVD法により、シリコン窒化膜を50～150nm形成し、それをRIE法で異方性エッチングし、ビット線の側壁に窒化膜からなるサイドウォールを形成する。このサイドウォール窒化膜はポリサイド電極上の窒化膜34と一体化して、ポリサイド電極の上面から側面を連続的に覆う窒化膜領域36を構成する。

【0093】

この工程により、シリコン膜32と、WSi膜33からなるポリサイド電極の周囲は窒化膜領域36で覆われる。ポリサイド電極の側壁部では、酸化膜35が存在するため、後工程の熱処理でWSi膜33が基板から剥離することを防ぐことができる。

40

【0094】

図7に示すように、BPSG膜37をCVD法により500nm成長した後、750～900℃の温度で熱処理を行い、リフローさせて表面を平坦化する。

さらに平坦化を行うために、エッチバック法やCMP法を用いてもよいし、これらを組み合わせて平坦化しても構わない。なお、エッチバック法やCMP法を用いる場合には、除去される膜厚分だけ厚くBPSG膜の成長を行い、エッチバックやCMP処理後の膜厚が500nmとなるようにする。

【0095】

BPSG膜37の厚さは、シリンドラ型蓄積電極の場合には容量を決定する条件のひとつとなる。したがって、さらに大きな容量が必要な場合は、500nm以上に厚く形成する

50

必要がある。

【0096】

図8に示すようにキャパシター接続領域が露出する開口を有するレジストパターンを形成し、それをマスクに開口内のBPSG膜37と酸化膜30をたとえば C_4F_8 とCOの混合ガスを用いてRIE法によって順次エッチングして、シリコン膜プラグ29の上面が露出するようなコンタクト窓38を形成する。

【0097】

通常、シリンダ型蓄積電極を用いる場合、コンタクト窓38の大きさはシリンダ型蓄積電極の底面積および周辺長と関係するため、キャパシタ容量を増やすためには、なるべく大きく開口することが望ましい。本発明では、コンタクト窓38は窒化膜領域36によってビット線とセルフアラインで規定されているため、コンタクト窓をビット線であるポリサイド電極の上部まで広げることができ、シリンダ型蓄積電極の底面積および周辺長を最大にすることができる。

【0098】

しかも、ポリサイド電極(ビット線)のまわりは全て窒化膜領域36で覆われているため、エッチングで除去されてしまうことはなく、ビット線と蓄積電極とがショートするようなことはない。なお、望ましくは、BPSG膜37と酸化膜30のエッチングは、窒化膜との選択比が10以上ある条件で行うことが好ましい。

【0099】

図9に示すように、レジストパターンを除去したあと、CVD法によりリンをドーブしたシリコン膜を50nm形成した後、エッチバック法やCMP法を用いてコンタクト窓38内の側壁及び底面にのみシリコン膜39を残存させる。

【0100】

図10に示すように、フッ酸系のエッチャントを用いてBPSG膜37をコントロールエッチングして、たとえば150nm程度残すことにより、内部がくりぬかれたシリンダ状の蓄積電極39が形成される。

【0101】

図11に示すように、CVD法によりシリコン窒化膜を40nm形成し、1~2nm熱酸化することで、蓄積電極39の表面にキャパシター絶縁膜を形成する。(キャパシタ絶縁膜は、図中では蓄積電極39と一体化して示す。)

つづいて、CVD法によりリンをドーブしたシリコン膜を50nm形成した後、パターンニングしてキャパシタの対向電極40を形成する。このとき、対向電極40のパターンに合わせてキャパシタ絶縁膜39aも除去する。

【0102】

図12に示すように、BPSG膜41をCVD法により1μm成長したあと、750~900℃の温度で熱処理を行い、リフローさせて表面を平坦化する。さらに平坦化を行うために、エッチバック法やCMP法を用いてもよいし、これらを組み合わせて平坦化しても構わない。このような平坦化処理により、メモリセル領域と周辺回路領域で高低差がほとんどなくなり、ほぼ平坦な表面を得る事が出来る。

【0103】

図13に示すように、コンタクト窓42~45を形成する。コンタクト窓42は対向電極40の、コンタクト窓43はシリコン膜32、WSi膜33からなる周辺回路の配線層の、コンタクト窓44はシリコン膜19、WSi膜20からなる周辺回路の配線層の、コンタクト窓45は周辺回路のMOSトランジスタの拡散層25のコンタクト用の窓である。

【0104】

BPSG膜41が平坦化されているため、レジスト露光工程で露光装置の焦点深度内に凹凸を抑えることができ、寸法精度の低下を抑えることができる。なお、これらのコンタクト窓42~45は一度のフォトリソグラフィ工程で窓開けすると工程が短縮されて望ましいが、コンタクト窓の深さが大きく異なるため、最下層の拡散層25のコンタクト窓4

10

20

30

40

50

5を形成している間に、最上層の対向電極40のコンタクト窓42が突き抜けてしまい、場合によっては下層配線層とショートしてしまうことがある。

【0105】

このような場合には、コンタクト窓42～45の窓開け工程を、対向電極上のコンタクト窓と、その他の導電層上のコンタクト窓に分けたり、対向電極とビット線上のコンタクト窓、ワード線とシリコン基板上のコンタクト窓の二回に分けて行う。深いコンタクト窓と浅いコンタクト窓とに分離して複数回に分けて窓開け工程を行うことで、エッチング工程によってコンタクト窓が導電層を突き抜けるなどの弊害を取り除くことができる。

【0106】

図14に示すように、チタン膜(Ti)をスパッタ法、窒化チタン膜(TiN)をリアクティブスパッタ法、タングステン膜(W)をCVD法で順次形成し、これをパターンニングして第1の金属配線層46を形成する。第1の金属配線層46は、セル領域ではワード線と平行な向きに配置され、ワード・デコーダーと、サブワード・デコーダーとを結ぶ配線に主として用いられる。

【0107】

以降図示しないが、第1の金属配線層46の上部に層間絶縁膜を成長し、それをCMP法により平坦化する。第1の金属配線層46の上部にコンタクト窓を形成したあと、第2の金属配線層を形成してパターンニングする。第2の金属配線層としては、たとえばTiN膜とアルミニウム膜(Al)とTiN膜からなる積層体を用いることができる。

【0108】

第2の金属配線層はセル領域では、ビット線と平行な向きに配置され、コラム・デコーダーと、センスアンプとを結ぶ配線に主として用いられる。また、第2の金属配線層はボンディングパッドとしても用いられる。最後にパッシベーション膜としてプラズマCVD法によりシリコン酸化膜とシリコン窒化膜を順次形成し、ボンディングパッド上のパッシベーション膜をエッチング除去してDRAMが完成する。

【0109】

本実施の形態によれば、ワード線、ゲート電極、ビット線あるいは周辺回路の配線層を形成するポリサイド電極は、周囲を窒化膜スペーサで覆われているが、ポリサイド電極の側壁部では、酸化膜が存在するため、後工程の熱処理でポリサイド電極が基板から剥離することを防ぐことができる。しかも、ポリサイドゲート電極のまわりは全て窒化膜で覆われていて、酸化膜が露出しないため、セルフアラインコンタクト窓を形成するときのエッチングで除去されてしまうことはなく、ポリサイド電極と上層配線とがショートするようなことはない。

【0110】

なお、ゲート電極の横に形成される酸化膜22の厚さは厚いほうがシリサイド膜の剥離に対して強くなる。ただし、熱酸化法で酸化膜22を形成する場合には、基板も同時に酸化されて、ゲート電極の下部の端部にゲートバズビークと言われるゲート酸化膜よりも厚い領域が形成されるため、MOSトランジスタの特性を劣化させる可能性があるため、これらを考慮して膜厚を決定するとよい。

【0111】

図1(a)に示したように、第1の実施の形態では、ポリサイド電極の側壁部にのみ酸化膜がある例を示した。

〔第2の実施の形態〕

図1(b)に示すように、ポリサイド電極が酸化膜に覆われた構成を、第2の実施の形態として、図15、図16を参照して説明する。なお、図15、図16とも、メモリセル部については図2のA-A'部の、周辺回路部については典型的な例としての配線構造の模式切断断面図であるのは第1の実施の形態と同じである。

【0112】

図15は図1(b)に示した構成をゲート電極やセル部のワード線(図1の12に相当)に用いた例である。図3(a)を参照して説明したのと同様な方法で、p型シリコン基

10

20

30

40

50

板 16 上に、フィールド酸化膜 17 を形成する。

【0113】

図 15 (a) に示すように、基板表面を酸化してゲート酸化膜 18 を 8 nm 形成し、その上にリンをドーブしたシリコン膜 19 を 50 nm、WSi 膜 20 を 50 nm を CVD 法で順次形成する。

【0114】

つづいて、酸化膜 47 を 3 ~ 50 nm 形成する。形成方法は熱酸化法でも CVD 法でも構わないが、熱酸化法を用いるほうが剥離に強い構造が得られるので好ましい。また、熱酸化法で酸化膜を形成すると、ポリサイド膜の膜厚が薄くなってしまうので、熱酸化法で薄く酸化膜を形成したあとで CVD 法で酸化膜を形成して所望の厚さにする方法も有効である。

10

【0115】

つづいて、CVD 法を用いてシリコン窒化膜 21 を 80 nm 形成したあと、これらの積層体をゲート電極や配線層となるようパターンニングする。第 1 の実施の形態と異なり、シリコン膜 19、WSi 膜 20、酸化膜 47、シリコン窒化膜 21 からなる積層体が形成される。

【0116】

図 15 (b) に示すように 熱酸化により酸化膜を 2 ~ 10 nm 成長させると、ポリサイド構造のシリコン膜 19 と WSi 膜 20 の側壁部に酸化膜が形成されて、酸化膜 47 と一体化した酸化膜領域 48 が形成できる。

20

【0117】

つづいて、第 1 の実施の形態と同じく、ゲート電極をマスクとして、基板全面に n 型の不純物であるリンを $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入して、n チャネル MOS トランジスタ領域に LDD (構造の n⁻ 層に相当する不純物拡散層 23 を形成する。つづいて、CVD 法によりシリコン窒化膜を 50 ~ 150 nm 形成し、それを公知異方性エッチングする事により、窒化膜領域 24 が酸化膜領域 48 を覆うように形成される。

【0118】

以降、第 1 の実施の形態と同様な工程をとって、DRAM を作成する。本実施の形態によれば、シリコン膜 19、WSi 膜 20 の側壁部だけでなく、WSi 膜 20 の上面にも酸化膜が形成されるため、ポリサイド電極はシリコン窒化膜に直接接する事がない。したがって、WSi 膜の剥離に対して、さらに強い構造を得ることが出来る。

30

【0119】

図 16 は図 1 (b) に記載した発明をセル部のビット線 (図 1 の 13 に相当) に用いた例である。第 1 の実施の形態の図 5 (b) までと、同様な工程をとることで、平坦化された BPSG 膜 26 の上にシリコン酸化膜 30 が形成されている。

【0120】

図 16 (a) に示すように、ビット線接続領域に開口を有するレジストパターンを形成して、それをマスクに酸化膜 30 をエッチングし、シリコン膜プラグ 29 の上面の一部が露出するようなコンタクト窓 31 を形成したあと、レジストを除去する。

【0121】

つづいて、リンをドーブしたシリコン膜 32 を 30 nm、WSi 膜 33 を 50 nm を CVD 法で形成した後、酸化膜 49 を 3 ~ 50 nm 形成する。形成方法や構成は、先にワード線に用いた例で示したものと同一である。つづいて、CVD 法を用いてシリコン窒化膜 21 を 80 nm 形成したあと、これらの積層体をビット線や配線層となるようパターンニングする。

40

【0122】

図 16 (b) に示すように、熱酸化により酸化膜を 2 ~ 10 nm 成長させて、ポリサイド構造のシリコン膜 32 と WSi 膜 33 の側壁部に酸化膜を形成し、酸化膜 49 と一体化した酸化膜領域 50 を形成する。つづいて、CVD 法によりシリコン窒化膜を 50 ~ 150 nm 形成し、それを異方性エッチングする事により、窒化膜領域 36 が酸化膜領域 48

50

を覆うように形成される。

【0123】

以降、第1の実施の形態と同様な工程をとって、DRAMを作成する。この場合もワード線に用いた場合と同様に、シリコン膜32、WSi膜33の側壁部だけでなく、WSi膜33の上面にも酸化膜が形成されるため、ポリサイド電極はシリコン窒化膜に直接接する事がない。したがって、WSi膜の剥離に対して、さらに強い構造を得ることが出来る。

【0124】

上記説明では、セル部のワード線とビット線にそれぞれSAC構造を用いた場合について説明したが、SAC構造を別々に用いても構わないし、2つ組み合わせてワード線とビット線の両方に適用しても構わないことは言うまでもない。なお、本実施の形態でもゲート電極を覆う酸化膜厚は厚いほうがポリサイド膜の剥離に対して強い構造となるが、前記したように、熱酸化法で酸化膜を形成する場合には、ゲート電極側壁の膜厚を厚く形成しようとするともMOSトランジスタの特性を劣化させるため、あまり厚くすることができない。したがって、ゲート電極上面の酸化膜厚をゲート電極側壁の膜厚よりも厚くすることで、MOSトランジスタの特性を劣化させずに、剥離に対して強い構造とすることができる。

【0125】

[第3の実施の形態]

図17から図23の模式断面図を参照して、第3の実施の形態を述べる。なお、第1、第2の実施の形態と同じく、メモリセル部については、図1のA-A'部の、周辺回路部については典型的な例としての配線構造の模式断面図である。

【0126】

第1の実施の形態と同様な手法で図4(b)の工程まで処理を行い、ワード電極やゲート電極となるポリサイド電極、窒化膜領域24等を形成する。

図17(a)に示すように、BPSG膜26をCVD法により100~200nm成長した後、750~900℃の温度で熱処理を行い、リフローさせて表面を平坦化する。さらに平坦化を行うためにエッチバック法やCMP法を用いても良いのは、第1の実施の形態と同様である。つづいて平坦化されたBPSG膜26の上に、CVD法によりシリコン窒化膜51を10~50nm成長する。

【0127】

図17(b)に示すようにセル領域のMOSトランジスタのソース／ドレイン領域が露出する開口を有するレジストパターンを形成し、窒化膜51とBPSG膜26と酸化膜22を順次エッチングして基板表面を露出させ、コンタクト窓27を形成する。

【0128】

窒化膜51のエッチングはRIE法によりCF₄ガスを用いて行い、BPSG膜26の表面が露出したら、ガスをC₄F₈とCOの混合ガスに変えて、同じくRIE法により窒化膜との選択比の大きい条件でBPSG膜をエッチングする。これは、窒化膜領域24がエッチングされないようにするためであり、窒化膜との選択比が10以上ある条件で行うのが好ましい。

【0129】

本実施の形態においても、コンタクト窓27は窒化膜領域24のスペーサ部によってセルフアラインで規定されており、しかも、ポリサイドゲート電極のまわりは全て窒化膜で覆われていて酸化膜が露出していないため、前記レジストの開口部が位置ずれをおこしたとしても、スペーサ部がエッチングで除去されてしまうことはなく、図35から37の従来例で述べたようなゲート電極とコンタクト電極がショートするようなことはない。つづいて、第1の実施の形態と同じく、レジストを除去したあと、BPSG膜26と窒化膜領域24をマスクとして、コンタクト窓27のシリコン基板中に、n型不純物であるリンを $3 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入し、n型拡散層28を形成する。

【0130】

図18(a)に示すように、CVD法によりリンをドーブしたシリコン膜を全面に形成した後、エッチバック法やCMP法を用いて、コンタクト窓27内にシリコン膜のプラグ29を残存させる。

【0131】

なお、エッチバック法やCMP法を用いずに、選択CVD法を用いてシリコン膜のプラグ27を形成してもよい。つづいて、CVD法によりシリコン酸化膜30を30～100nm成長する。

【0132】

図18(b)に示すように、ビット線接続領域に開口を有するレジストパターンを形成して、それをマスクに酸化膜30をエッチングし、シリコン膜プラグ29の上面の一部が露出するようなコンタクト窓31を形成したあと、レジストパターンを除去する。

10

【0133】

つづいて、リンをドーブしたシリコン膜32を30nm、WSi膜33を50nm、シリコン窒化膜34を80nmを順次CVD法により形成する。これらの積層体を公知のフォトリソグラフィ法を用いて所望の配線パターンにパターンニングする。これらの積層体のポリサイド電極は、セル部においてはビット線(図1の13に相当)となり、周辺回路部ではビット線以外の配線層としても用いられる。

【0134】

図19に示すように、BPSG膜37をCVD法により500nm成長した後、750～900℃の温度で熱処理を行い、リフローさせて表面を平坦化する。さらに平坦化を行うために、エッチバック法やCMP法を用いてもよいし、これらを組み合わせて平坦化しても構わないのは、第1の実施の形態と同じである。

20

【0135】

つづいて、キャパシター接続領域が露出する開口を有するレジストパターンを形成し、それをマスクに開口内のBPSG膜37と酸化膜30をたとえば C_4F_8 とCOの混合ガスを用いてRIE法によって順次エッチングして、シリコン膜プラグ29の上面が露出するようなコンタクト窓38を形成する。このとき、ポリサイドゲート電極のまわりは全て窒化膜領域36で覆われているため、エッチングで除去されてしまうことはなく、ビット線と蓄積電極とがショートするようなことはない。

【0136】

また、第1の実施の形態では、図8に示すように、酸化膜30の下にはBPSG膜26が存在するため、BPSG膜37と酸化膜30をエッチングしてコンタクト窓38を開けるとときに、BPSG膜26までエッチングして、キャパシタ接続領域のプラグ29の側部に溝が形成される危険性がある。このため、溝上に形成された蓄積電極の形状が変化して面積が変わるため、キャパシタ容量が変化し、安定した素子特性が得られない可能性がある。

30

【0137】

これに対して本実施の形態では、酸化膜30の下には窒化膜51が存在しており、蓄積電極のコンタクト部でBPSG膜37と酸化膜30をエッチングするときに、この窒化膜51がストッパとして働くため、キャパシタ接続領域のプラグ29の側部に溝が形成されることはない。したがって、安定した容量を保つことができ、DRAMの歩留りを上げるのに役立つ。

40

【0138】

図20に示すように、レジストを除去したあと、CVD法によりリンをドーブしたシリコン膜を50nm形成し、エッチバック法やCMP法を用いてコンタクト窓38内の側壁及び底面にのみシリコン膜39を残存させる。つづいて、フッ酸系のエッチャントを用いて、窒化膜51をエッチングストッパとしてBPSG膜37をすべてエッチング除去することにより、内部がくりぬかれたシリンダ状の蓄積電極39が形成される。

【0139】

第1の実施の形態では図9に示したように、シリコン膜39をコンタクト窓38内の側

50

壁及び底面にのみ残存させたあと、図10に示したように、フッ酸系のエッチャントを用いてBPSG膜をコントロールエッチングして、内部がくりぬかれた柱状の蓄積電極39を形成した。本実施の形態では、窒化膜51をエッチングストップパとして、シリコン膜39の外側のBPSG膜37をフッ酸系のエッチャントですべて除去することができる。このため、BPSG膜37のエッチング量がばらつくことはなく、シリンダ型蓄積電極の外側の面積を一定にすることができるため、キャパシタ容量のバラツキが小さく、安定したDRAMセルを製造することが可能となる。

【0140】

図21に示すように、CVD法によりシリコン窒化膜を40nm形成し、1～2nm熱酸化することで、蓄積電極37の表面にキャパシター絶縁膜を形成する。(キャパシター絶縁膜については図中で示していない。)

つづいて、CVD法によりリンをドーブしたシリコン膜を50nm形成したあと、パターニングしてキャパシタの対向電極40を形成する。つづいて、対向電極40のパターンに合わせてキャパシター絶縁膜とシリコン窒化膜51を同時にエッチング除去する。

【0141】

このとき、シリコン窒化膜51を残していても構わないが、シリコン窒化膜が周辺回路部に存在すると、後工程における、周辺回路の拡散層に対するコンタクト窓の窓開け工程が、酸化膜とシリコン窒化膜両方をエッチングするため複雑になったり、コンタクト窓部でエッチング特性の違いにより、シリコン窒化膜がひさしとなり、コンタクト窓内に形成する金属配線層が断線する不具合を生じる可能性があるので、取り除いておくほうが好ましい。

【0142】

また、シリコン窒化膜51のエッチング時に、セル部のビット線と同時に形成する周辺回路部の配線層のまわりのシリコン窒化膜領域36も同時にエッチングされてしまうので、シリコン窒化膜領域36を構成する、WSi膜33上のシリコン窒化膜34の膜厚は、前記シリコン窒化膜51の膜厚より厚く設定しておくが良い。

【0143】

以降の工程は第1の実施の形態と同様な工程であり、コンタクト窓開けや金属配線層を形成することにより、DRAMを形成することができる。本実施の形態では、第1の実施の形態にくらべて、エッチングストップ層として機能する窒化膜51があるため、蓄積電極のコンタクトの形成や蓄積電極の形成に際して面積を一定にすることができ、安定した容量を保つことができるため、DRAMの歩留りを上げるのに役立つ。

【0144】

その他の効果として、ビットラインのコンタクト窓を安定して開口できる効果も期待できる。以下、図22と23を参照してこの点について説明する。

図22、図23は図1のA-A'で切断したセル部の模式断面図であり、図18(b)で形成したコンタクト窓31が位置ずれした場合を示している。なお、図22が酸化膜30の下にシリコン窒化膜51がない、第1の実施の形態に相当し、図23が酸化膜30の下にシリコン窒化膜51がある第3の実施の形態に相当する。

【0145】

図22に示すように、第1の実施の形態に相当する工程によれば、コンタクト窓31が位置ずれして開けられた場合に、酸化膜30のエッチングによってBPSG膜26もエッチングされ、シリコン膜のプラグ29の側部に溝が掘られてしまう。この溝のために上層のビット線が断線したり、溝が埋まらずにボイドとして残ったり、逆に溝内に残った配線層によってプラグ29間がショートするなど、素子に何らかの悪影響を与える危険性がある。

【0146】

図23に示すように、これに対して、本実施の形態によれば、コンタクト窓31が位置ずれして開けられた場合でも、窒化膜51がストップパとして働くため、BPSG膜26がエッチングされる危険性はなく、シリコン膜のプラグ29の側部に溝が掘られることはな

10

20

30

40

50

いため、上記した悪影響は生じない。また、この窒化膜ストッパ49を積極的に利用して、コンタクト窓31の大きさをシリコン膜のプラグ29より大きくすることも可能であり、コンタクト窓開け工程のマージンを高めることも可能である。

【0147】

[第4の実施の形態]

図24から図28の模式断面図を参照して、第4の実施の形態を述べる。なお、第1、第2の実施の形態と同じく、メモリセル部については、図1のA-A'部の、周辺回路部については典型的な例としての配線構造の模式断面図である。

【0148】

第1の実施の形態と同様な手法で図6(b)の工程まで処理を行い、ワードラインや周辺部のMOSトランジスタなどの上部に、ビットラインや周辺部で配線層となるポリサイド電極、シリコン窒化膜領域36等を形成する。

【0149】

図24に示すように、全面にBPSG膜52をCVD法により成長した後、750～900℃の温度で熱処理を行い、リフローさせて表面を平坦化する。

さらに平坦化を行うために、エッチバック法やCMP法を用いてもよいし、これらを組み合わせて平坦化しても構わない。つづいて、シリコン窒化膜53、BPSG膜54を順次CVD法により成長する。ここで、BPSG膜52と54の膜厚は、二層あわせて500nmとなるようにし、シリコン窒化膜53は10～50nmとなるようにする。

【0150】

なお、BPSG膜52の厚さは、平坦化できる程度に必要であり、BPSG膜54の厚さは、容量に直接関係するシリンダ型蓄積電極の外側面の面積を規定するので、要求される容量により選ぶ必要がある。したがって、BPSG膜50と52の膜厚比やトータルの膜厚は、これらを考慮して適宜選ばばよい。

【0151】

図25に示すようにキャパシター接続領域が露出する開口を有するレジストパターンを形成し、それをマスクに開口内のBPSG膜54を C_4F_8 とCOの混合ガスを用いてRIE法によってエッチングし、つづいて窒化膜53を CF_4 ガスを用いてRIE法によってエッチングし、つづいてBPSG膜52と酸化膜30を再度 C_4F_8 とCOの混合ガスを用いてRIE法によって順次エッチングして、シリコン膜プラグ29の上面が露出するようなコンタクト窓38を形成する。

【0152】

図26に示すように、レジストを除去したあと、CVD法によりリンをドーブしたシリコン膜を50nm形成したあと、エッチバック法やCMP法を用いてコンタクト窓38内の側壁及び底面にのみシリコン膜39を残存させる。

【0153】

図27に示すようにシリコン膜39の外側のBPSG膜54をフッ酸系のエッチャントを用いて除去する。窒化膜53がエッチングストッパとして働くため、BPSG膜54のみをすべて除去することができる。この工程で内部がくりぬかれたシリンダ状の蓄積電極39が形成される。

【0154】

本実施の形態でも、第3の実施の形態と同じく、シリンダ型蓄積電極39の外側のBPSG膜54をすべて除去することができる。したがって、シリンダ型蓄積電極の外側の面積を一定にすることができるため、キャパシタ容量のばらつきが小さく、安定したDRAMセルを製造することが可能となる。

【0155】

図28に示すように、CVD法によりシリコン窒化膜を40nm形成し、1～2nm熱酸化することで、蓄積電極39の表面にキャパシター絶縁膜を形成する。(キャパシタ絶縁膜は図には示していない)

つづいて、CVD法によりリンをドーブしたシリコン膜を50nm形成した後、パターニ

10

20

30

40

50

ングしてキャパシタの対向電極 40 を形成する。つづいて、対向電極 40 のパターンに合わせてキャパシタ絶縁膜とシリコン窒化膜 53 も除去する。

【0156】

このとき、シリコン窒化膜 53 を残していても構わないが、シリコン窒化膜が周辺回路部に存在すると、後工程で拡散層とのコンタクト窓の窓開け工程が、酸化膜とシリコン窒化膜両方をエッチングするため複雑になったり、コンタクト窓部でエッチング特性の違いにより、シリコン窒化膜がひさしとなり、コンタクト窓内に形成する金属配線層が断線する不具合を生じる可能性があるので、取り除いておくほうが好ましいのは、第 3 の実施の形態と同様である。

【0157】

以降の工程は第 1 の実施の形態と同様な工程でコンタクト窓開けや金属配線層を形成することにより、DRAM を形成することができる。本実施の形態では、シリンダ蓄積電極 39 の外側の BPSG 膜 54 のみをすべて除去することができる。したがって、シリンダ型蓄積電極の外側の面積を一定にすることができるため、キャパシタ容量のばらつきが小さく、安定した DRAM セルを製造することが可能となる。

【0158】

第 1 の実施の形態の図 11 に示したように、キャパシタ対向電極 40 を形成したあとに、絶縁膜で完全に平坦化を行う。本実施の形態のようにセル部と周辺回路部との高低差が小さいほうが、後工程での平坦化が容易であることは言うまでもない。すなわち、本実施の形態によれば、安定した容量を得るという効果とメモリセル部と周辺回路部の高低差を小さくして平坦化を容易にするという効果の両方を考慮してプロセス設計をすることができ、安定した特性の DRAM を製造することが可能となる。

【0159】

なお、前記窒化膜 53 は、対向電極 38 をエッチングする際、同時に除去されるため、第 3 の実施の形態で述べたのと同様に、シリコン窒化膜が周辺回路部に存在することによる不具合を避けることができる。このとき、本実施の形態では、第 3 の実施の形態とは異なり、シリコン窒化膜 53 の下には BPSG 膜 52 が存在するため、これをエッチングストップパとしてシリコン窒化膜 53 をエッチングでき、セル部のビット線に相当する周辺回路部の配線層のまわりのシリコン窒化膜領域 36 がエッチングされるおそれがなくなるという効果を得ることもできる。

【0160】

〔第 5 の実施の形態〕

図 29 と図 30 を参照して、第 5 の実施の形態について説明する。本実施の形態は、第 1 の実施の形態の図 13 に示した第 1 の金属配線層とのコンタクト窓 42 ～ 45 の形成方法に関するものである。

【0161】

図 29 は第 3 の実施の形態にしたがって、対向電極 40 を形成したあと BPSG 膜を形成して平坦化し、本実施の形態にそってコンタクト窓 42 ～ 45 を形成した状態を示している。はじめに、コンタクト窓 42 ～ 45 の窓開け工程で、第 1 のステップとして、BPSG 膜 41 のエッチングを窒化膜との選択比が十分大きい条件で行う。このエッチングは窒化膜 SAC 構造を形成するとき用いた、 C_4F_8 と CO の混合ガスなどを使用するとよい。

【0162】

上記第 1 ステップのエッチングは最下層の拡散層 25 の表面が露出するまで行なう。このとき、最上層の対向電極 40 はエッチングされて除去されてしまうが、対向電極の下部には窒化膜 51 があるため、エッチングはここでストップし、その下層の BPSG 膜 26 がエッチングされることはない。また、コンタクト窓 43、44 のエッチングも、それぞれ窒化膜領域 36、24 でストップする。

【0163】

つづいて、第 2 ステップのエッチングとして、 CHF_3 と O_2 の混合ガス等を用いて、

酸化膜と選択比の大きい条件でシリコン窒化膜のエッチングを行う。これにより、コンタクト窓 43、44 の底部にある窒化膜領域 36、25 を除去してコンタクトをとることができるようになる。なお、この窒化膜エッチングにより、対向電極 40 の下にある窒化膜 51 もエッチングされてしまうが、その下層の BPSG 膜 26 でエッチングがストップするため、コンタクト窓 42 で対向電極 40 が下層配線層とショートをおこす心配はない。また、このようなコンタクト窓構造でも、コンタクト窓内に形成された、第 1 の金属配線層は、対向電極 40 の側壁で電氣的に接続されるので、何ら問題はない。

【0164】

図 30 は第 4 の実施の形態にしたがって、対向電極 40 を形成したあと BPSG 膜を形成して平坦化し、本実施の形態にそってコンタクト窓 42～45 を形成した状態を示している。図 30 も図 29 と同じように対向電極 40 の下に窒化膜 53 と BPSG 膜 52 があるため、上記した 2 ステップエッチングを適用することができ、下層配線とのショートなどの問題をおこさずに、コンタクト窓 42～45 を一度のフォトリソグラフィ工程で形成することができる。

【0165】

本実施の形態によれば、コンタクト窓の深さが異なる構造であっても、一度のフォトリソグラフィ工程で窓開けを行なうことができ、工程を短縮することができる。なお、コンタクト窓 41 や 42 の底面に窒化膜が形成されておらず、第 1 のステップで配線層やゲート電極の表面を露出できる場合には、第 2 のステップの窒化膜エッチングを行なう必要はない。

【0166】

また、本実施の形態で述べたコンタクト窓の形成方法は、上記実施の形態に限られたものではなく、複数の配線層で上層の配線層の下に窒化膜を設けて、窒化膜をストップとしてエッチングすることで、同様の効果が得られることは言うまでもない。ただし、本実施の形態にそった形で用いれば、上記本実施の形態のによる効果だけでなく、第 3 の実施の形態や第 4 の実施の形態で述べた効果も合わせて奏することができるため、有利である。

【0167】

〔第 6 の実施の形態〕

図 31 の模式断面図を参照して、第 6 の実施の形態を述べる。

第 1 実施の形態の図 5 (a) では、BPSG 膜 24 をリフロー、エッチバック法または CMP 法で平坦化している。本実施の形態では、図 31 に示すように、ゲート電極やワード線の上に形成された BPSG 膜 26 の平坦化を CMP 法を用いて行い、シリコン窒化膜領域 24 をそのストップ層として用いる。

【0168】

ポリサイド電極の周囲を覆うシリコン窒化膜領域 24 の基板からの距離は、ゲート電極として活性層上にあるものと、配線層としてフィールド酸化膜 17 上にあるものとで異なるが、本実施の形態では高いほうの窒化膜スペーサだけをストップ層として用い、低いほうの窒化膜スペーサの上には BPSG 膜 26 が残るようにしている。

【0169】

このとき、研磨剤としては、たとえばシリカ系のものを用いることで、シリコン窒化膜とのエッチング選択比を高くした状態で BPSG 膜を研磨することが可能である。このストップ層により BPSG 膜 26 は平坦化できるだけでなく、膜厚のばらつきを少なくすることもできる。

【0170】

平坦化した BPSG の膜厚がばらついていると、後工程のコンタクト窓形成時のエッチング量に分布が生じる。コンタクトを確実にとるためには、コンタクト窓内の BPSG 膜をすべてエッチング除去しなければならないから、BPSG 膜のオーバーエッチ量を多くしなければならない。したがって、窒化膜スペーサ SAC を用いる場合には、このオーバーエッチで窒化膜スペーサの膜厚が減少して、ポリサイド電極と上層配線とがショートす

る危険性が増すため、特に、B P S G膜厚の安定性が重要である。

【0171】

本実施の形態では、ストッパーとなる層をわざわざ形成するのではなく、窒化膜スペーサーS A Cを用いるために必要となる、窒化膜領域24をそのまま用いることができるため、新たな工程の増加を招くことはない。また、CMPによる平坦化を行った後、さらにB P S G膜を形成して層間膜厚を厚くし、寄生容量を減少させるようにしてもよいし、第3の実施の形態で示したように、シリコン窒化膜を形成してからコンタクト窓形成工程を行なってもよい。

【0172】

なお、B P S G膜26の膜厚は、上層に形成されるビット線の寄生容量に影響を与えるので、本実施の形態の方法により、膜厚ばらつきを小さくすることで、ビット線容量のばらつきを小さくすることができ、D R A Mの動作の安定性を高くできるという効果もある。さらに、本実施の形態では、ワード線や配線層として用いられているフィールド絶縁膜上の窒化膜スペーサーのみをストッパ層として用い、ゲート電極として用いられている活性層上の窒化膜スペーサーにはストッパとしての役割を持たせていない。

【0173】

したがって、CMP法でB P S G膜を平坦化するとき、活性層上の窒化膜スペーサーが研磨されて、膜厚が減少することはない。窒化膜スペーサーS A Cでは、窒化膜スペーサーをマスクとしてセルフアラインでコンタクト窓を形成しているが、このコンタクト窓は、当然フィールド絶縁膜上には形成されず、活性層領域の拡散層上に形成されるから、窒化膜スペーサーS A C工程をCMP法による平坦化で膜厚が減少していない窒化膜をマスクとして用いることができる。したがって、本実施の形態では、ストッパ層を用いたCMP法により制御性のよい平坦化を行いながら、窒化膜スペーサーS A Cによるコンタクト窓形成でポリサイド電極と上層配線層とのショートを防ぐという効果を得ることができる。

【0174】

以上、本実施の形態によれば、工程を増やすことなく、製品歩留まりの向上、及び、動作の安定性が増大するという効果が得られる。

〔第7の実施の形態〕

図32の模式断面図を参照して、第7の実施の形態を述べる。本実施の形態では、第6の実施の形態で示した技術をビット線となる導電層上の平坦化工程に用いる。

【0175】

第1の実施の形態の図7では、B P S G膜37をリフロー、エッチバック法またはCMP法で平坦化している。本実施の形態では、図32に示すように、ビット線上に形成されたB P S G膜37の平坦化をCMP法を用いて行い、シリコン窒化膜領域36をストッパ層として用いる。

【0176】

このとき、研磨剤としては、たとえばシリカ系のものを用いることで、シリコン窒化膜とのエッチング選択比を高くした状態でB P S G膜を研磨することが可能であることは、第6の実施の形態で述べたことと同じである。このストッパ層によりB P S G膜37は平坦化できるだけでなく、膜厚のばらつきも少なくすることができる。

【0177】

平坦化したB P S Gの膜厚がばらついていると、後工程のコンタクト窓形成時のエッチング量に分布が生じ、窒化膜領域36が減少してポリサイド電極と上層の蓄積電極とがショートする危険性が増すため、特に、B P S G膜厚の安定性が重要である点も第6の実施の形態で述べたことと同じである。また、本実施の形態でも、ストッパーとなる層をわざわざ形成するのではなく、窒化膜スペーサーS A Cを用いるために必要となる、窒化膜領域36をそのまま用いることができるため、新たな工程の増加を招くことはない。

【0178】

なお、B P S G膜37の厚さは蓄積電極の面積に影響し、キャパシタ容量に影響を与えるので、CMPによる平坦化を行った後、さらにB P S G膜を形成して所望の容量が得ら

10

20

30

40

50

れるように厚さを設定してもよいし、第4の実施の形態で示したように、BPSG膜を2層として間に窒化膜を形成してもよい。

【0179】

〔第8の実施の形態〕

図33の模式断面図を参照して、第8の実施の形態を述べる。

第1の実施の形態の図5(a)において、接合リーク低減のためn型拡散層26を形成した。本実施の形態では、図33に示すようにメモリセル部のキャパシタ側のソース／ドレイン領域にのみn型拡散層28を形成するために、ビット線が接続される側のソース／ドレイン領域をレジスト55で覆ってから、BPSG膜26と窒化膜領域24をマスクとして、コンタクト窓27のシリコン基板中に、n型不純物であるリンを $3 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入する。

10

【0180】

n型拡散層28は第1の実施の形態で説明したように、接合リークが大きくなるという問題を防ぐことができる。しかし、一方で、このイオン注入により、ソース／ドレインの接合深さが深くなるので、トランジスタの短チャネル効果に悪影響を及ぼしたり、素子間のリーク電流が大きくなるという問題も生じる。微少な電荷を貯えるキャパシタ側の拡散層は、接合リークを十分低くすることが要求されるのに対して、ビット線が接続される側の拡散層は、接合リークに関しては、それほど厳しくない。

【0181】

本実施の形態では、そこで、前記イオン注入をキャパシタが接続される側のみに行うことにより、MOSトランジスタのソース／ドレインの内、片側は浅い接合深さとすることができ、トランジスタの短チャネル効果や、素子間のリーク電流への悪影響を抑える事が可能となる。

20

【0182】

以上第1～第8の実施の形態に沿って本発明を説明したが、本発明は上記実施の形態にとどまるものではない。上述のプロセスと同様な技術思想を持つプロセスに広く適用できることは言うまでもない。

【0183】

上記説明では、ポリサイド電極としてWSiを用いたが、MoSiやTiSiなどその他のシリサイドを用いてもよい。また、シリサイドに限らずタングステン(W)やモリブデン(Mo)あるいは窒化チタン(TiN)やチタンタングステン(TiW)など金属や金属化合物も使用することが可能である。なお、金属や金属化合物の場合には熱酸化法で酸化膜を形成するのが困難なので、CVD法等による酸化膜を用いればよい。

30

【0184】

また、上記説明では、窒化膜との間に設ける絶縁膜としてシリコン酸化膜の例を述べたが、シリコン窒化膜の応力を緩和できるようなものであれば他の絶縁膜も使用できる。特に、シリコン酸化窒化膜(SiON)膜を用いると、シリサイド膜上では反射防止膜としても使用できるため、工程短縮になって好ましい。また、層間絶縁膜として、BPSGの例を示したが、PSGやシリコン酸化膜等なども使用することもできる。

【0185】

また、エッチング方法としてウェットエッチング法による等方性エッチングとRIE法による異方性エッチングを用いる例を示したが、その他等方性のプラズマエッチング法や、ECRを用いたエッチング法など他のエッチング法も、用途に合わせて適宜使用することができる。また、コンタクト窓に形成するプラグとしてリンをドーブしたシリコン膜の例を示したが、p型拡散層やp型シリコン層上に形成するならば、ボロン等のp型不純物をドーブしたシリコン膜を用いればよい。なお、プラグとしてはシリコン膜に限られるわけではなく、WやTiWなどの金属や金属化合物あるいは金属シリサイドであっても構わない。

40

【0186】

また、キャパシタ絶縁膜として窒化膜を酸化した例を示したが、タンタル酸化膜(Ta

50

2 O₅) や P Z T などの高誘電体膜や強誘電体膜などを用いることができる。その場合には、蓄積電極や対向電極を金属にすることで、電極の自然酸化膜による容量の減少や、キャパシタ絶縁膜とシリコン膜との反応を防ぐことができて好ましい。

【0187】

また、シリコン膜としては、ポリシリコンやアモルファスシリコンを用いてもよく、不純物ドーピングは、膜の成長と同時にしてもよいし、成長後に拡散法やイオン注入法などを用いてドーピングしても良い。また、実施の形態ではシリンドー型キャパシタの製造方法を例として示したが、スタック型や F I N 型など、他のキャパシタ構造に適用しても構わないことは言うまでもない。

【符号の説明】

10

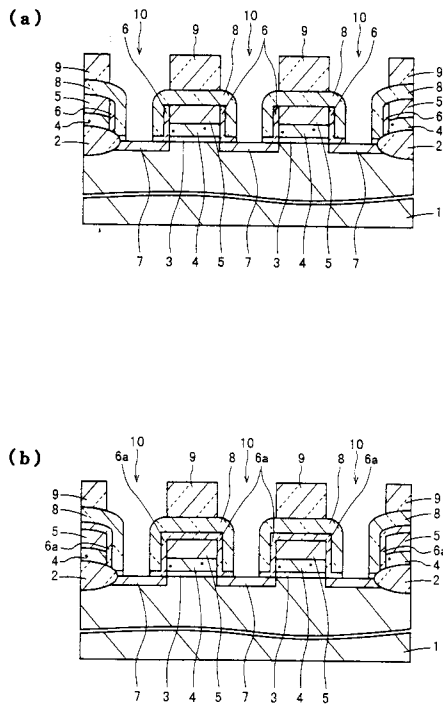
【0188】

- 4、19、114 シリコン膜
- 5、20、115 シリサイド膜
- 6、22 シリコン酸化膜
- 7、23、116 n⁻ 型不純物拡散層
- 8、24、117 シリコン窒化膜領域
- 9、26、118 B P S G 膜
- 10、27、119 コンタクト窓
- 25 n⁺ 型不純物拡散層
- 28 n 型不純物拡散層
- 31 コンタクト窓
- 32 シリコン膜
- 33 シリサイド膜
- 34 シリコン窒化膜
- 35 シリコン酸化膜
- 36 シリコン窒化膜領域
- 38 コンタクト窓
- 39 シリンドー型蓄積電極
- 40 キャパシタ対向電極
- 41 B P S G 膜
- 42、43、44、45 コンタクト窓
- 48、50 シリコン酸化膜領域
- 51、53 シリコン窒化膜
- 52、54 B P S G 膜
- 123 シリコン酸化膜
- 124 シリコン窒化膜

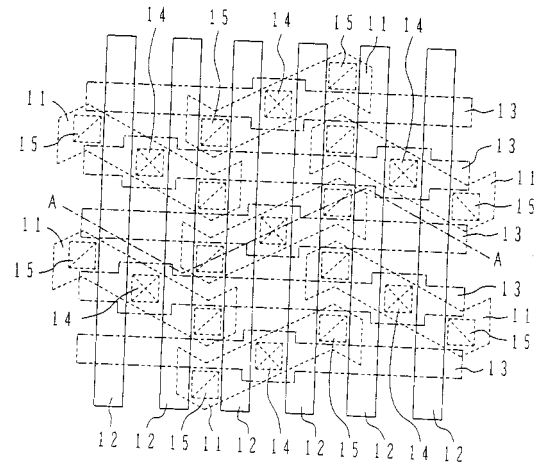
20

30

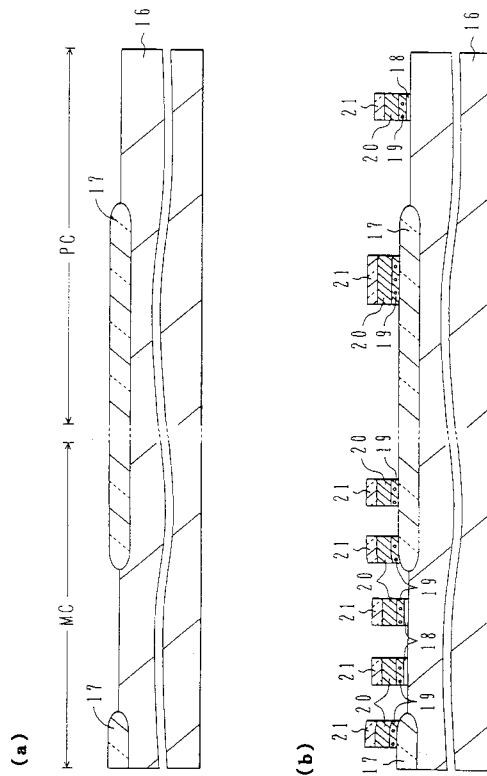
【図 1】



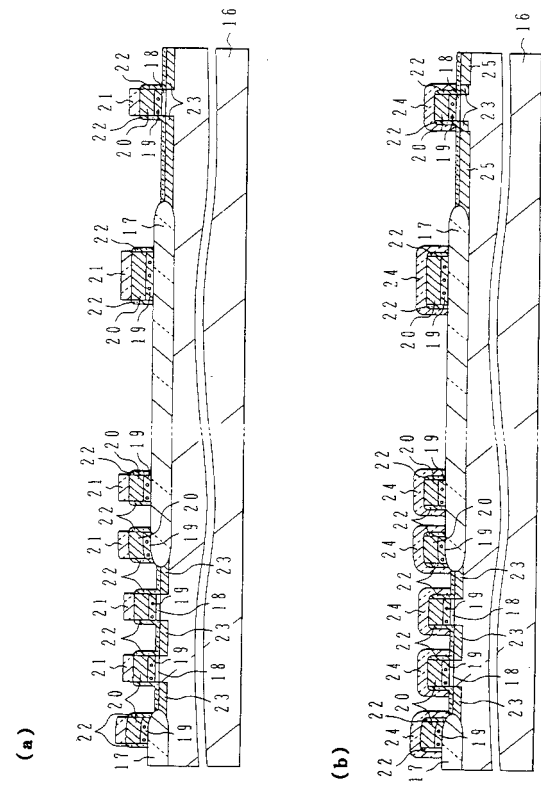
【図 2】



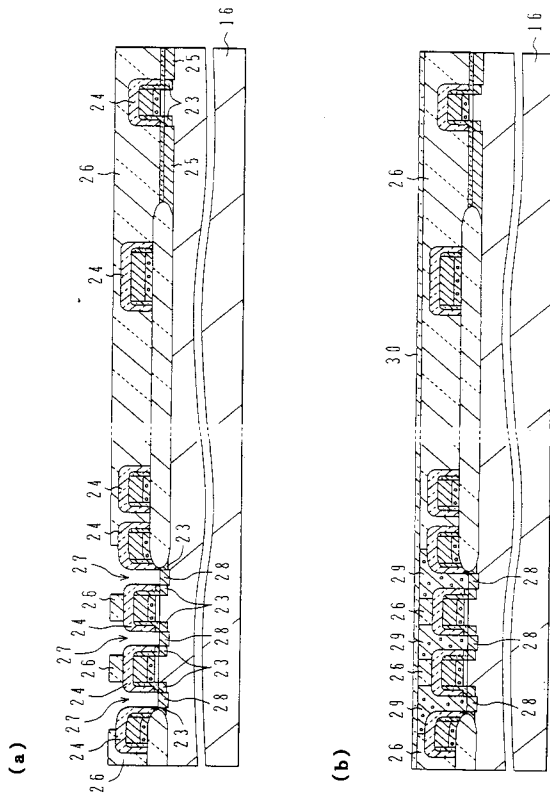
【図 3】



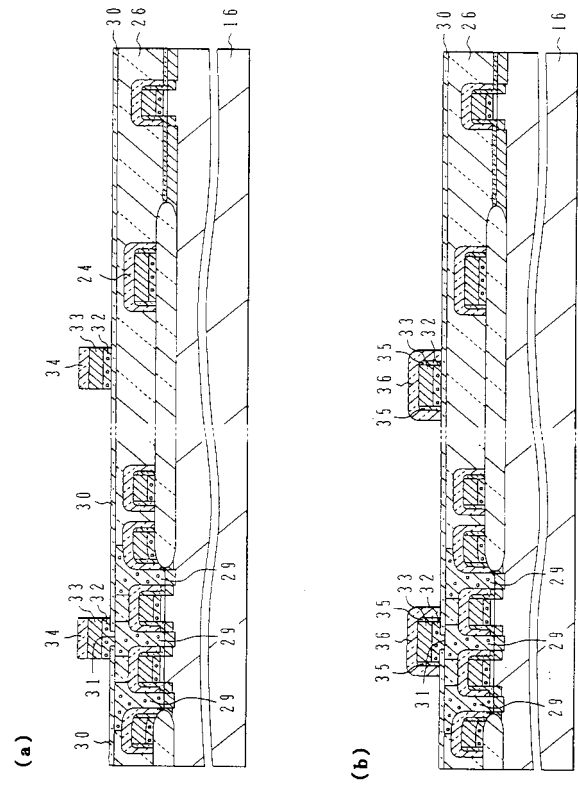
【図 4】



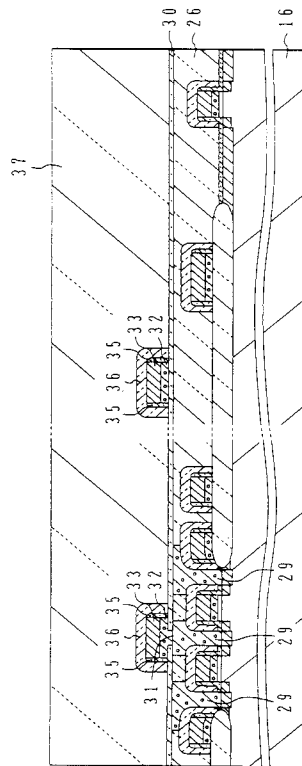
【図 5】



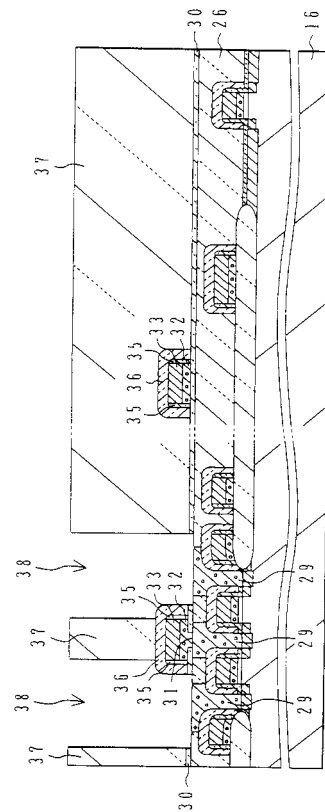
【図 6】



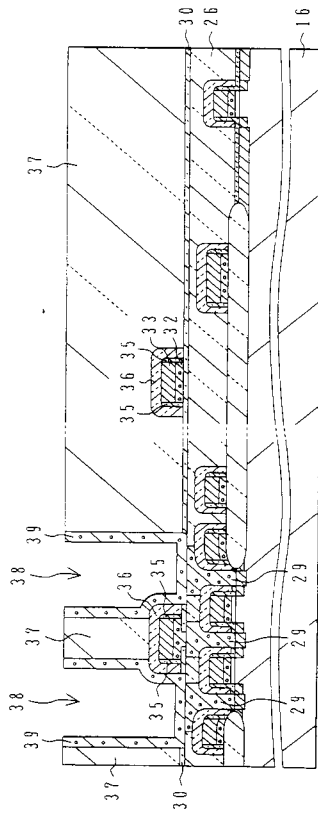
【図 7】



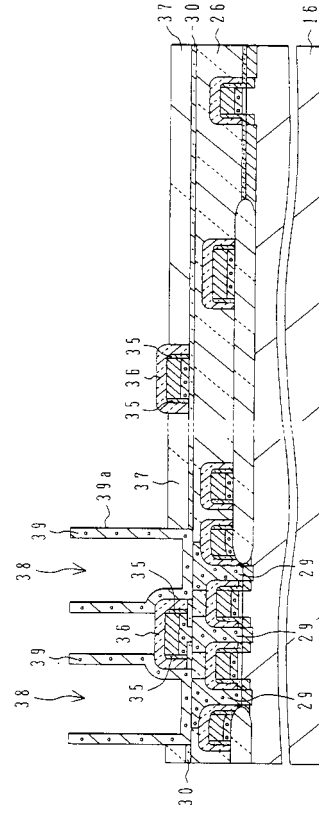
【図 8】



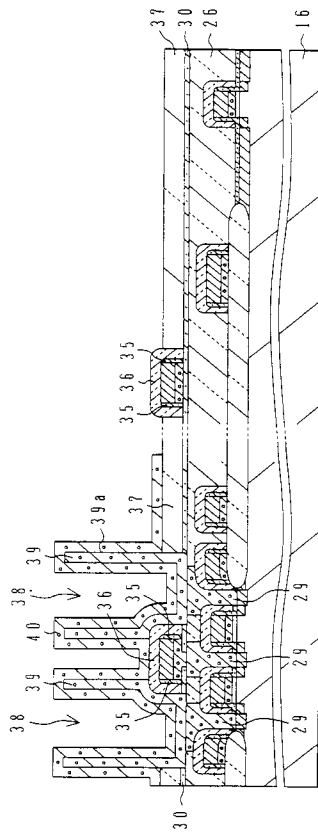
【図 9】



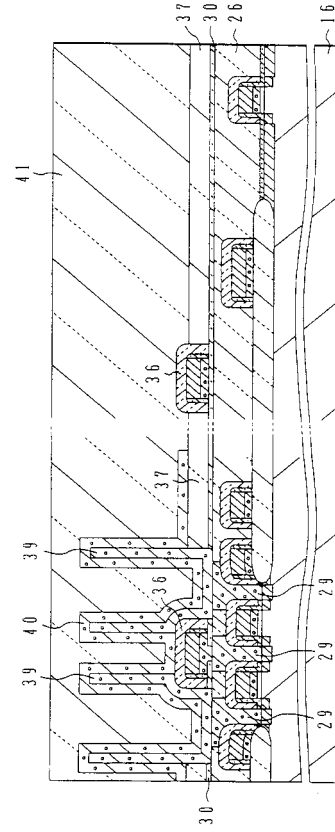
【図 10】



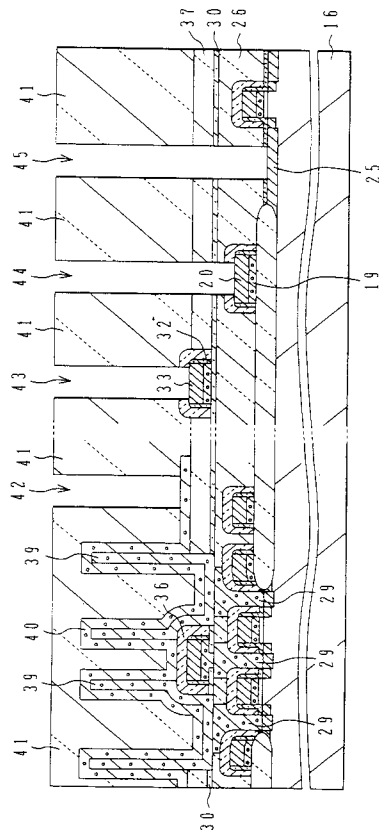
【図 11】



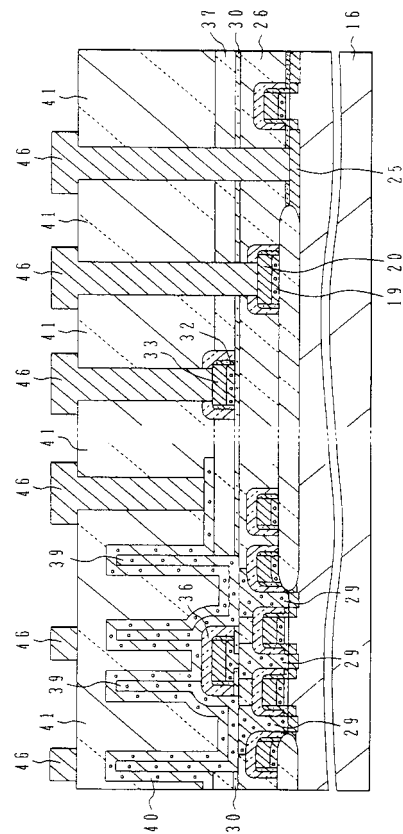
【図 12】



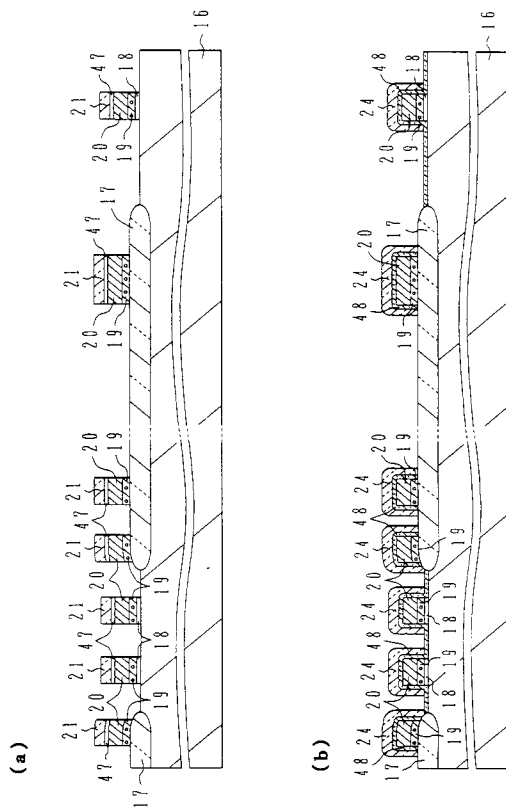
【図 13】



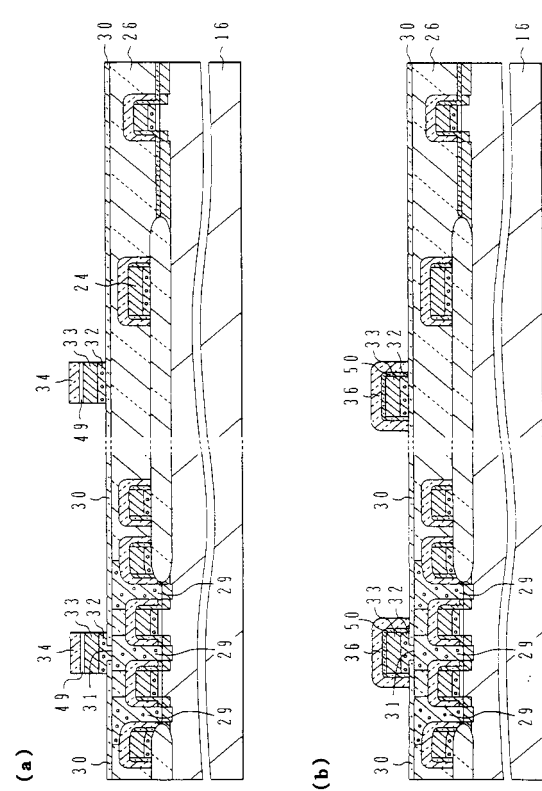
【図 14】



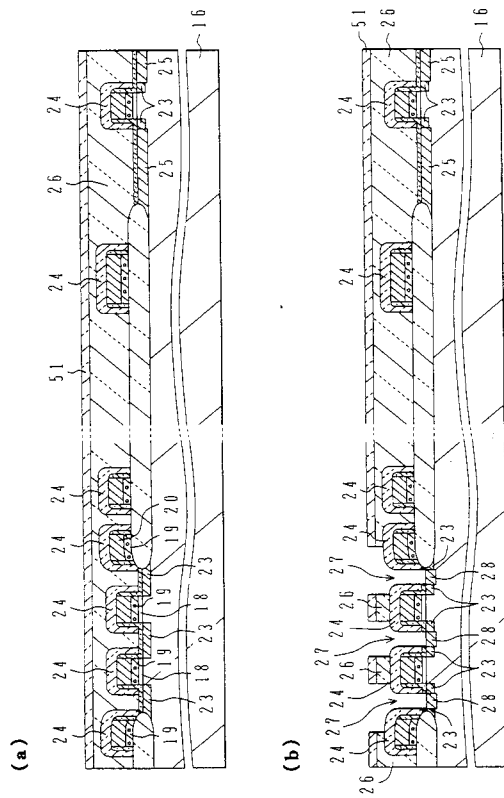
【図 15】



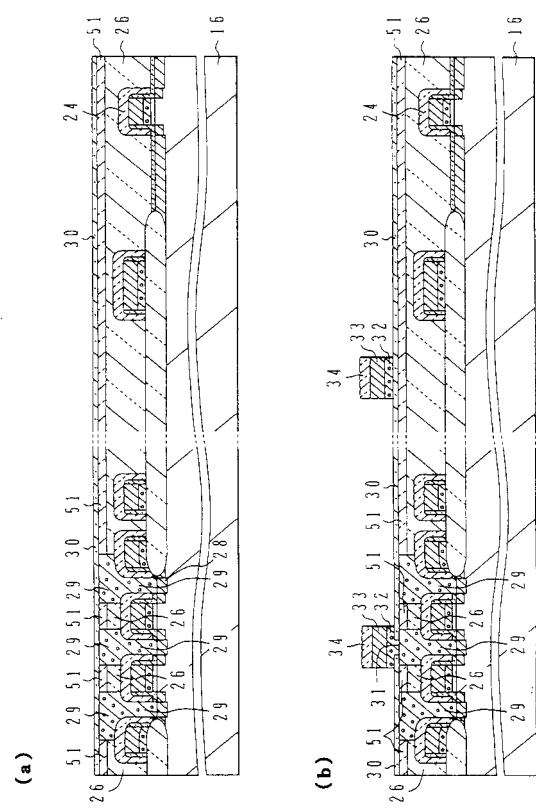
【図 16】



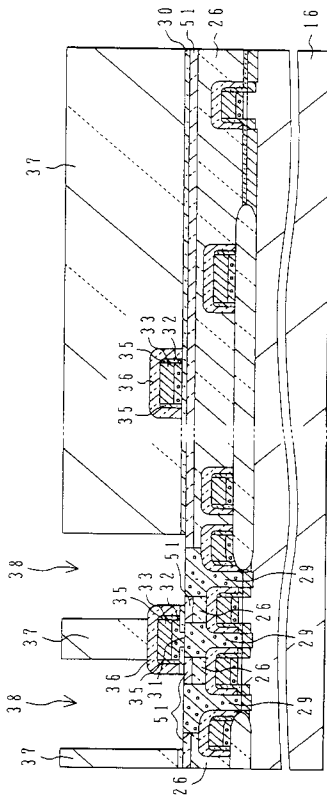
【図 17】



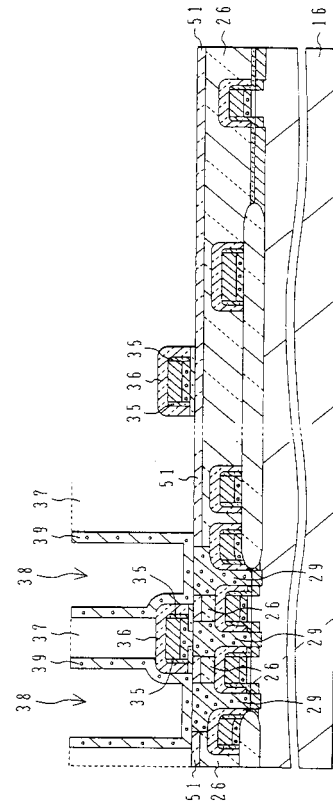
【図 18】



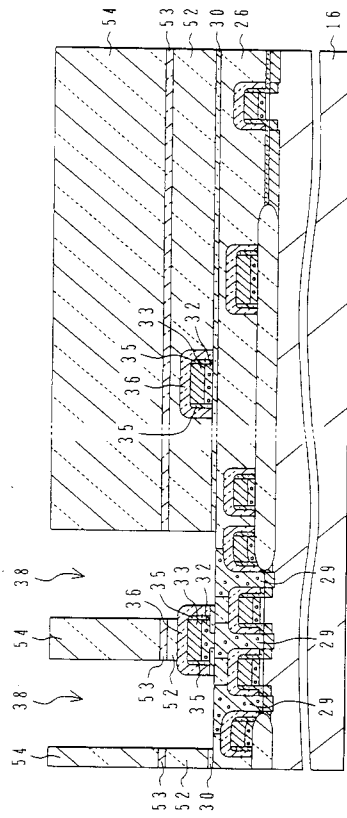
【図 19】



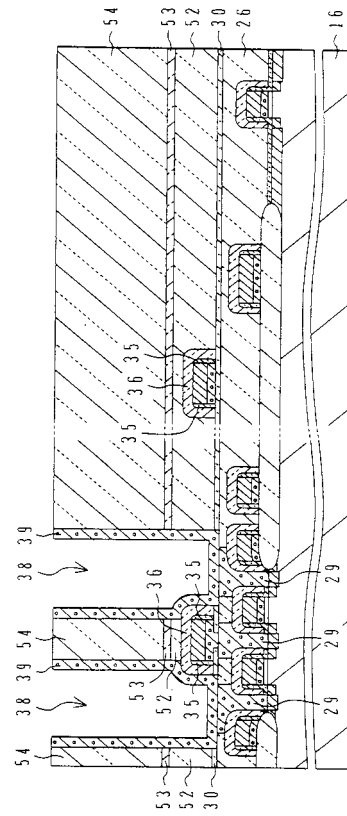
【図 20】



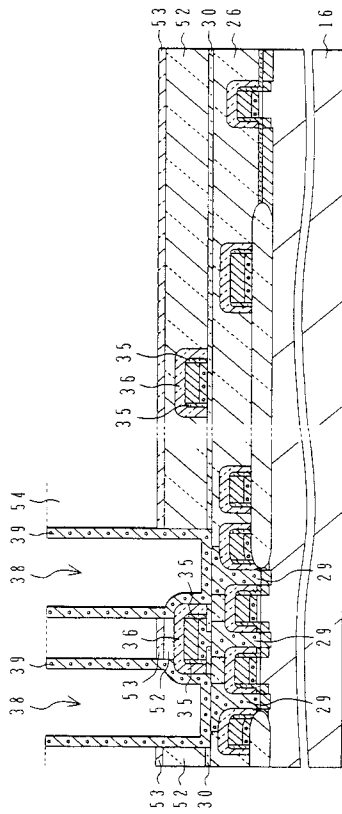
【図 25】



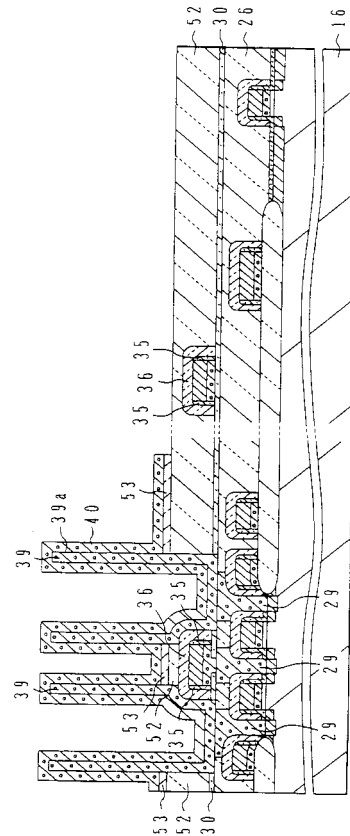
【図 26】



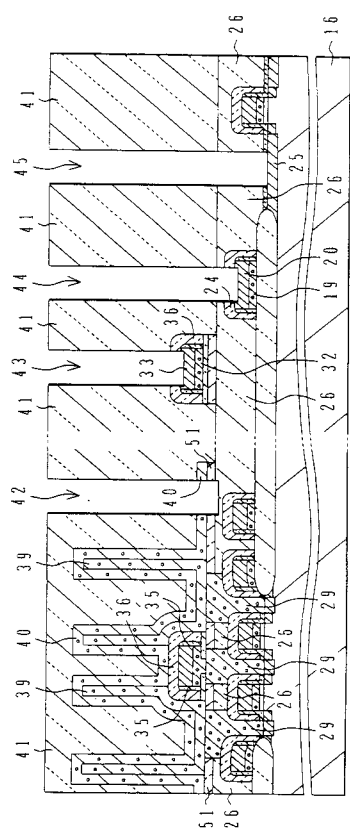
【図 27】



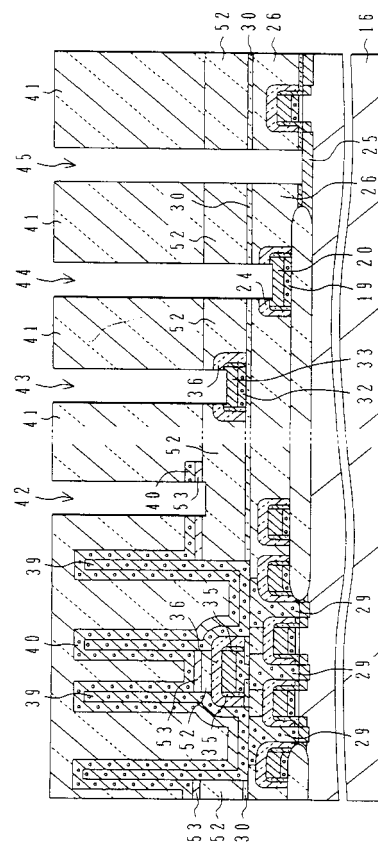
【図 28】



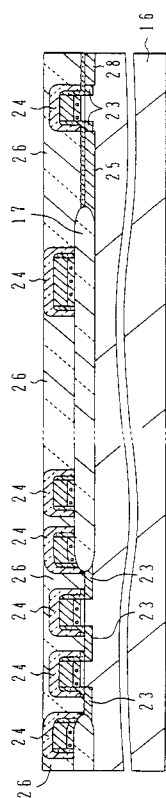
【图 29】



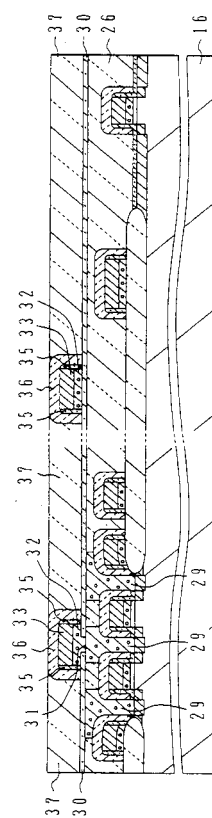
【図 30】



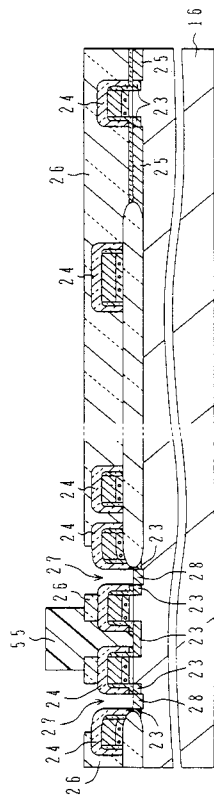
【図 3 1】



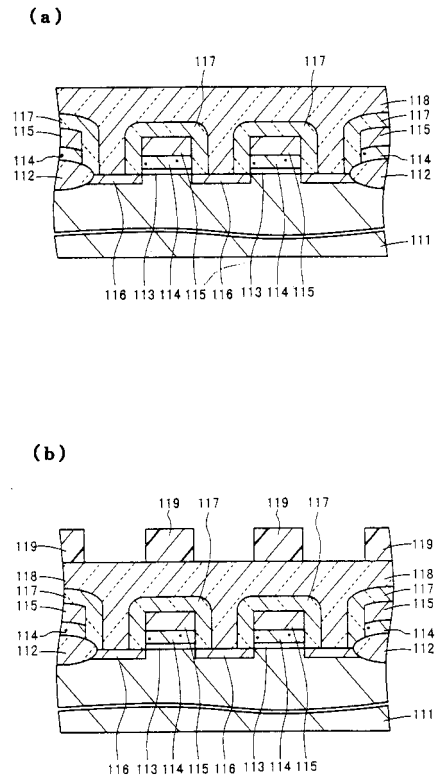
【図 3 2】



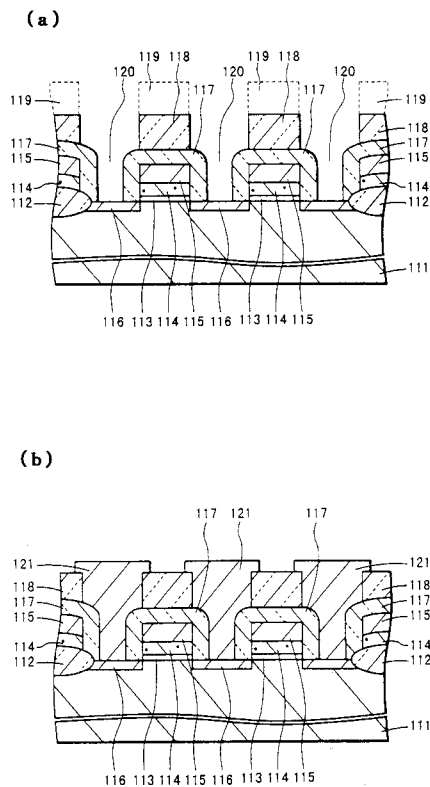
【図 3 3】



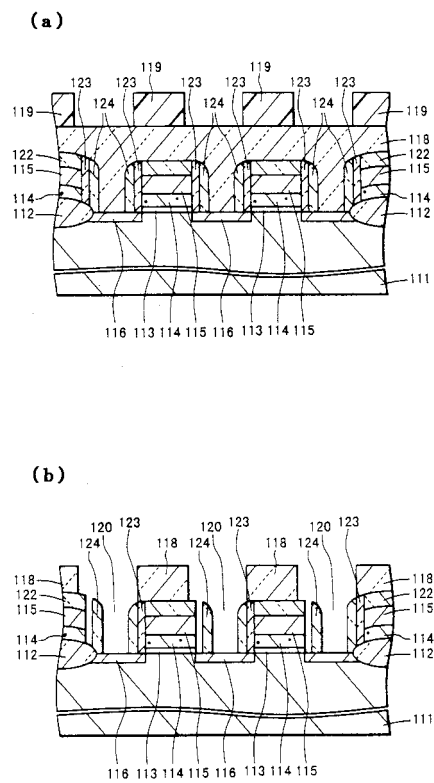
【図 3 4】



【図 3 5】



【図 3 6】



フロントページの続き

Fターム(参考) 5F083 AD10 AD24 AD48 AD49 AD60 FR01 GA06 GA09 GA11 GA27
GA28 JA04 JA06 JA15 JA19 JA33 JA35 JA36 JA39 JA40
JA53 JA56 KA01 KA05 KA20 LA01 LA12 LA16 MA02 MA03
MA05 MA06 MA16 MA17 MA18 MA19 MA20 PR03 PR05 PR06
PR10 PR29 PR33 PR36 PR40 PR42 PR43 PR44 PR45 PR52
PR53 PR54 PR55 ZA01 ZA29