

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4525866号
(P4525866)

(45) 発行日 平成22年8月18日 (2010. 8. 18)

(24) 登録日 平成22年6月11日 (2010. 6. 11)

| (51) Int. Cl. | | F I | |
|---------------|-----------|------------|---|
| H05K 3/00 | (2006.01) | H05K 3/00 | X |
| H01L 23/28 | (2006.01) | H01L 23/28 | F |
| H01L 23/00 | (2006.01) | H01L 23/00 | C |
| H05K 3/28 | (2006.01) | H05K 3/28 | B |
| H05K 9/00 | (2006.01) | H05K 3/28 | G |

請求項の数 12 (全 14 頁) 最終頁に続く

| | | | |
|---------------|------------------------------|-----------|--------------------|
| (21) 出願番号 | 特願2010-506753 (P2010-506753) | (73) 特許権者 | 000006231 |
| (86) (22) 出願日 | 平成21年8月10日 (2009. 8. 10) | | 株式会社村田製作所 |
| (86) 国際出願番号 | PCT/JP2009/064112 | | 京都府長岡京市東神足1丁目10番1号 |
| (87) 国際公開番号 | W02010/021262 | (74) 代理人 | 100091432 |
| (87) 国際公開日 | 平成22年2月25日 (2010. 2. 25) | | 弁理士 森下 武一 |
| 審査請求日 | 平成22年2月16日 (2010. 2. 16) | (74) 代理人 | 100124729 |
| (31) 優先権主張番号 | 特願2008-210999 (P2008-210999) | | 弁理士 谷 和紘 |
| (32) 優先日 | 平成20年8月19日 (2008. 8. 19) | (72) 発明者 | 西川 博 |
| (33) 優先権主張国 | 日本国 (JP) | | 京都府長岡京市東神足1丁目10番1号 |
| 早期審査対象出願 | | (72) 発明者 | 藤田 真 |
| | | | 京都府長岡京市東神足1丁目10番1号 |
| | | | 株式会社村田製作所内 |

最終頁に続く

(54) 【発明の名称】 回路モジュール及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

マザー基板を準備する工程と、
前記マザー基板の主面上に、複数の電子部品を実装する工程と、
前記マザー基板の主面及び前記複数の電子部品を覆うように絶縁体層を形成する工程と

、
前記絶縁体層の主面に凹凸が形成され、かつ、該絶縁体層の厚みが所定の厚みとなるように、該絶縁体層を切削する工程と、

前記絶縁体層の主面上に導電性樹脂を塗布して、シールド層を形成する工程と、

前記絶縁体層及び前記シールド層が形成された前記マザー基板を分割して、複数の回路モジュールを得る工程と、

を備えていること、
を特徴とする回路モジュールの製造方法。

【請求項2】

前記絶縁体層を切削する工程では、第1の方向に延在する複数本の溝又は複数本の突起を該絶縁体層の主面に形成すること、

を特徴とする請求項1に記載の回路モジュールの製造方法。

【請求項3】

前記複数本の溝の間隔又は前記複数本の突起の間隔は、前記第1の方向に直交する第2の方向における前記回路モジュールの幅よりも狭いこと、

を特徴とする請求項 2 に記載の回路モジュールの製造方法。

【請求項 4】

前記絶縁体層を切削する工程では、該絶縁体層の主面上において、前記第 1 の方向にダイサーを移動させた後、該第 1 の方向に直交する第 2 の方向に該ダイサーをずらして該第 1 の方向に移動させることを繰り返すこと、

を特徴とする請求項 2 又は請求項 3 のいずれかに記載の回路モジュールの製造方法。

【請求項 5】

前記ダイサーの前記第 2 の方向における幅は、前記回路モジュールの該第 2 の方向における幅よりも小さいこと、

を特徴とする請求項 4 に記載の回路モジュールの製造方法。

10

【請求項 6】

前記絶縁体層を切削する工程において、前記第 2 の方向に前記ダイサーをずらす幅は、該ダイサーの前記第 2 の方向における幅よりも小さいこと、

を特徴とする請求項 4 又は請求項 5 のいずれかに記載の回路モジュールの製造方法。

【請求項 7】

前記ダイサーの切削面は、凹凸を有していること、

を特徴とする請求項 4 ないし請求項 6 のいずれかに記載の回路モジュールの製造方法。

【請求項 8】

前記シールド層を形成する工程では、スピンコート法により、前記絶縁体層の主面上に導電性樹脂を塗布すること、

を特徴とする請求項 1 ないし請求項 7 のいずれかに記載の回路モジュールの製造方法。

20

【請求項 9】

基板と、

前記基板の主面上に実装されている電子部品と、

前記基板の主面及び前記電子部品を覆い、かつ、主面に凹凸が設けられている絶縁体層と、

前記絶縁体層の主面上に設けられている導電性樹脂からなるシールド層と、

を備えていること、

を特徴とする回路モジュール。

【請求項 10】

前記凹凸は、第 1 の方向に延在する溝又は突起であること、

を特徴とする請求項 9 に記載の回路モジュール。

30

【請求項 11】

前記溝又は前記突起は、所定間隔で複数設けられていること、

を特徴とする請求項 10 に記載の回路モジュール。

【請求項 12】

前記絶縁体層の主面の凹凸に倣った凹凸が、前記シールド層の主面に形成されていること、

を特徴とする請求項 9 ないし請求項 11 に記載の回路モジュール。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、回路モジュール及びその製造方法に関し、より特定的には、基板上に電子部品が実装されてなる回路モジュール及びその製造方法に関する。

【背景技術】

【0002】

従来の回路モジュール及びその製造方法に関連する発明としては、例えば、特許文献 1 に記載の回路モジュールの製造方法が知られている。以下に、図面を参照しながら、特許文献 1 に記載の回路モジュールの製造方法について説明する。図 1 4 は、特許文献 1 に記載の回路モジュール 500 の製造方法の工程断面図である。

50

【0003】

まず、図14(a)に示すように、基板502上に電子部品504を実装する。次に、図14(b)に示すように、基板502の主面及び電子部品504を覆うように絶縁層506を形成する。次に、図14(c)に示すように、切り溝508を形成する。この際、切り溝508の底部に、切り溝508よりも狭い幅の溝である先端部508aを形成する。次に、図14(d)に示すように、絶縁層506上及び切り溝508内に導電性樹脂を塗布して、シールド層510を形成する。最後に、先端部508aよりも広い幅Wだけ基板502及びシールド層510をダイシング装置により切削する。これにより、図14(e)に示すように、集合基板が個別の回路モジュール500に分割される。

【0004】

以上のような回路モジュール500の製造方法によれば、シールド層510の形成の際に、切り溝508内の空気が先端部508aに溜まる。そして、先端部508aは、回路モジュール500の分割時に削り取られるので、基板502及び絶縁層506とシールド層510との間に空気が介在することが低減される。その結果、シールド層510の基板502及び絶縁層506への密着性が向上する。

【0005】

ところで、図14に示すように、シールド層510が形成される絶縁層506の主面は、平坦である。このような平坦な絶縁層506上にペースト状の導電性樹脂を塗布すると、薄く伸びすぎてしまう。その結果、回路モジュール500の製造方法では、シールド層510において、導電性樹脂が塗布されない欠陥領域が発生するおそれがある。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2008-42152号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

そこで、本発明の目的は、導電性樹脂が塗布されない欠陥領域がシールド層に発生することを低減できる回路モジュール及びその製造方法を提供することである。

【課題を解決するための手段】

【0008】

本発明の第1の形態に係る回路モジュールの製造方法は、マザー基板を準備する工程と、前記マザー基板の主面上に、複数の電子部品を実装する工程と、前記マザー基板の主面及び前記複数の電子部品を覆うように絶縁体層を形成する工程と、前記絶縁体層の主面に凹凸が形成され、かつ、該絶縁体層の厚みが所定の厚みとなるように、該絶縁体層を切削する工程と、前記絶縁体層の主面上に導電性樹脂を塗布して、シールド層を形成する工程と、前記絶縁体層及び前記シールド層が形成された前記マザー基板を分割して、複数の回路モジュールを得る工程と、を備えていること、を特徴とする。

【0009】

本発明の第2の形態に係る回路モジュールは、基板と、前記基板の主面上に実装されている電子部品と、前記基板の主面及び前記電子部品を覆い、かつ、主面に凹凸が設けられている絶縁体層と、前記絶縁体層の主面上に設けられている導電性樹脂からなるシールド層と、を備えていること、を特徴とする。

【発明の効果】

【0010】

本発明によれば、導電性樹脂が塗布されない欠陥領域がシールド層に発生することを低減できる。

【図面の簡単な説明】

【0011】

【図1】本発明の一実施形態に係る回路モジュールの外観斜視図である。

10

20

30

40

50

【図 2】図 1 の回路モジュールの A - A における断面構造図である。

【図 3】回路基板の分解斜視図である。

【図 4】回路モジュールの作製時の外観斜視図である。

【図 5】回路モジュールの作製時の外観斜視図である。

【図 6】回路モジュールの作製時の外観斜視図である。

【図 7】回路モジュールの工程断面図である。

【図 8】回路モジュールの作製時の外観斜視図である。

【図 9】回路モジュールの工程断面図である。

【図 10】回路モジュールの作製時の外観斜視図である。

【図 11】回路モジュールの工程断面図である。

10

【図 12】変形例に係る回路モジュールの断面構造図である。

【図 13】変形例に係る回路モジュールの工程断面図である。

【図 14】特許文献 1 に記載の回路モジュールの製造方法の工程断面図である。

【発明を実施するための形態】

【0012】

以下に、本発明の実施形態に係る回路モジュール及びその製造方法について図面を参照しながら説明する。

【0013】

(回路モジュールの構成)

以下に、本発明の一実施形態に係る回路モジュールの構成について図面を参照しながら説明する。図1は、本発明の一実施形態に係る回路モジュール10の外観斜視図である。ただし、図1は、その内部構造を理解できるように一部透視して記載した。図2は、図1の回路モジュール10のA - Aにおける断面構造図である。以下では、略直方体状をなす回路モジュール10において、高さ方向をz軸方向と定義する。また、z軸方向から平面視したときの短辺方向をx軸方向と定義し、長辺方向をy軸方向と定義する。x軸、y軸、z軸は、互いに直交している。

20

【0014】

回路モジュール10は、図1に示すように、回路基板12、電子部品14a、14b、絶縁体層16及びシールド層18を備えている。回路基板12は、回路を内蔵していると共に、外部電極を有しているプリント基板である。以下に、図3を参照しながら、回路基板12の構成について説明する。図3は、回路基板12の分解斜視図である。

30

【0015】

回路基板12は、所謂多層プリント基板であり、絶縁体層30a~30d、外部電極32、34、38、40、配線36及びビアホール導体V1~V10、グランド導体Gを含んでおり、z軸方向の正方向側において主面S1を有している。図3において、外部電極32、34、38、40、配線36及びビアホール導体V1~V10については、代表的なもののみ参照符号を付してある。

【0016】

絶縁体層30a~30dは、長形状をなしており、ガラスエポキシなどにより構成されている。なお、絶縁体層30a~30dは、セラミックにより構成されていてもよい。以下では、絶縁体層30a~30dのz軸方向の正方向側の主面を表面と称し、絶縁体層30a~30dのz軸方向の負方向側の主面を裏面と称す。

40

【0017】

外部電極32は、絶縁体層30aの表面に16個設けられている。外部電極32には、電子部品14aが実装される。外部電極34は、絶縁体層30aの表面に4個設けられている。外部電極34には、電子部品14bが実装される。

【0018】

ビアホール導体V1は、絶縁体層30aをz軸方向に貫通するように設けられており、z軸方向の正方向側の端部において外部電極32と接続されている。ビアホール導体V2は、絶縁体層30aをz軸方向に貫通するように設けられており、z軸方向の正方向側の

50

端部において外部電極 3 4 と接続されている。

【 0 0 1 9 】

グラウンド導体 G は、絶縁体層 3 0 b の表面の略全面を覆う導体層である。よって、グラウンド導体 G は、図 3 に示すように、絶縁体層 3 0 b の 4 辺に接している。ただし、グラウンド導体 G には、導体層が設けられていない空白部 B 1 , B 2 が設けられている。ビアホール導体 V 4 , V 5 はそれぞれ、z 軸方向から平面視したときに、空白部 B 1 , B 2 と重なる位置において、絶縁体層 3 0 b を z 軸方向に貫通するように設けられている。これにより、ビアホール導体 V 4 , V 5 は、グラウンド導体 G とは絶縁されている。ビアホール導体 V 4 , V 5 の z 軸方向の正方向側の端部はそれぞれ、z 軸方向から平面視したときに重なるビアホール導体 V 1 , V 2 に接続されている。また、ビアホール導体 V 4 , V 5 に接続されているビアホール導体 V 1 , V 2 以外のビアホール導体 V 1 , V 2 の負方向側の端部は、グラウンド導体 G に接続されている。

10

【 0 0 2 0 】

ビアホール導体 V 3 , V 6 は、絶縁体層 3 0 b を z 軸方向に貫通するように設けられており、z 軸方向の正方向側の端部においてグラウンド導体 G に接続されている。また、ビアホール導体 V 3 , V 6 はそれぞれ、z 軸方向から平面視したときに、ビアホール導体 V 1 , V 2 と重なる位置に設けられている。

【 0 0 2 1 】

ビアホール導体 V 7 は、絶縁体層 3 0 c を z 軸方向に貫通するように設けられており、z 軸方向の正方向側の端部においてビアホール導体 V 3 又はビアホール導体 V 4 に接続されている。また、ビアホール導体 V 8 は、絶縁体層 3 0 c を z 軸方向に貫通するように設けられており、z 軸方向の正方向側の端部においてビアホール導体 V 5 又はビアホール導体 V 6 に接続されている。

20

【 0 0 2 2 】

配線 3 6 は、絶縁体層 3 0 c の表面に設けられ、ビアホール導体 V 7 同士又はビアホール導体 V 7 , V 8 間を接続している。

【 0 0 2 3 】

ビアホール導体 V 9 は、絶縁体層 3 0 d を z 軸方向に貫通するように設けられており、z 軸方向の正方向側の端部においてビアホール導体 V 7 に接続されている。また、ビアホール導体 V 1 0 は、絶縁体層 3 0 d を z 軸方向に貫通するように設けられており、z 軸方向の正方向側の端部においてビアホール導体 V 8 に接続されている。

30

【 0 0 2 4 】

外部電極 3 8 は、絶縁体層 3 0 d の裏面に 1 6 個設けられている。外部電極 3 8 には、ビアホール導体 V 9 の z 軸方向の負方向側の端部が接続されている。また、外部電極 4 0 は、絶縁体層 3 0 d の裏面に 4 個設けられている。外部電極 4 0 には、ビアホール導体 V 1 0 の z 軸方向の負方向側の端部が接続されている。外部電極 3 8 , 4 0 は、回路基板 1 2 がマザーボードに実装された際に、マザーボードの外部電極に接続される。そして、グラウンド導体 G に電氣的に接続されている外部電極 3 8 , 4 0 には、接地電位が印加される。

【 0 0 2 5 】

なお、回路基板 1 2 の内部構造については、グラウンド導体 G が設けられている点以外は、特に重要ではないので、これ以上の説明を省略する。ただし、回路基板 1 2 は、例えば、コンデンサやコイル、マイクロストリップライン等を内蔵していてもよい。

40

【 0 0 2 6 】

電子部品 1 4 a は、例えば、半導体集積回路であり、図 1 及び図 2 に示すように、回路基板 1 2 の主面 S 1 上に実装される。電子部品 1 4 a の z 軸方向の負方向側の主面には、複数（例えば、1 6 個）の外部電極（図示せず）が設けられており、図 3 の外部電極 3 2 とはんだ等により接続されている。

【 0 0 2 7 】

電子部品 1 4 b は、例えば、ノイズフィルタ等のチップ型電子部品であり、図 1 及び図

50

2に示すように、回路基板12の主面S1上に実装される。電子部品14bのz軸方向の負方向側の主面には、複数(例えば、4個)の外部電極(図示せず)が設けられており、図3の外部電極34とはんだ等により接続されている。

【0028】

絶縁体層16は、絶縁性樹脂(例えば、エポキシ樹脂)からなり、図1及び図2に示すように、回路基板12の主面S1及び電子部品14a, 14bを覆っている。絶縁体層16は、回路基板12の主面S1及び電子部品14a, 14bを保護すると共に、電子部品14a, 14bと後述するシールド層18とを絶縁する役割を果たしている。

【0029】

更に、絶縁体層16のz軸方向の正方向側に位置する主面S2には、凹凸が設けられている。より詳細には、凹凸は、y軸方向に延在している複数の溝20及び複数の突起22からなる。溝20及び突起22は、x軸方向に交互に並ぶように設けられている。更に、複数の溝20は、図2に示すように、y軸方向に垂直な断面において、同じ形状を有しており、複数の突起22は、図2に示すように、y軸方向に垂直な断面において同じ形状をなしている。そして、複数の溝20及び複数の突起22は、等間隔にx軸方向に並んでいる。すなわち、主面S2には、周期的な構造を有する凹凸が設けられている。なお、図1及び図2では、凹凸の様子を理解し易いように、溝20及び突起22の起伏を実際よりも誇張して記載した。

【0030】

シールド層18は、絶縁体層の主面S2上に設けられている導電性樹脂からなる。シールド層18は、比較的薄い膜厚を有しているため、シールド層18の主面には、絶縁体層16の主面の凹凸に倣った凹凸が形成されている。また、シールド層18は、絶縁体層16のx軸方向の両側に位置する側面を覆っている。

【0031】

更に、シールド層18は、回路基板12のx軸方向の両側に位置する側面の一部を覆っている。具体的には、回路基板12の主面S1のx軸方向の両側には、図1及び図2に示すように段差が設けられている。すなわち、主面S1のx軸方向の両側の一部が削り取られることにより、図2に示すように、主面S1よりもz軸方向の負方向側に位置し、かつ、z軸方向の正方向側を向く面S4, S5が形成されている。面S4は、x軸方向の負方向側に位置し、面S5は、x軸方向の正方向側に位置している。また、主面S1と面S4とを繋ぐように面S6が形成されていると共に、主面S1と面S5を繋ぐように面S7が形成されている。面S6, S7は、x軸方向に直交する面である。なお、面S6と絶縁体層16のx軸方向の負方向側の側面との間には段差が存在しない面一の状態である。同様に、面S7と絶縁体層16のx軸方向の正方向側の側面との間には段差が存在しない面一の状態である。

【0032】

グランド導体Gは、図2に示すように、これら面S6, S7から露出している。そして、シールド層18は、面S4~S7を覆っている。これにより、シールド層18とグランド導体Gとは接続されている。すなわち、グランド導体Gには、接地電位が印加される。その結果、シールド層18は、回路モジュール10外にノイズが放射されたり、回路モジュール10内にノイズが侵入したりすることを防止している。

【0033】

(回路モジュールの製造方法)

次に、回路モジュール10の製造方法について図面を参照しながら説明する。図4ないし図6、図8及び図10は、回路モジュール10の作製時の外観斜視図である。図7、図9及び図11は、回路モジュール10の工程断面図である。

【0034】

まず、図4に示すマザー基板112を準備する。マザー基板112は、複数の回路基板12がマトリクス状に配置された集合基板である。図4では、24個の回路基板12が配列されている。なお、マザー基板112は、作製することにより準備してもよいし、完成

10

20

30

40

50

品を購入することにより準備してもよい。なお、マザー基板 112 は、一般的なものであるので、その製造方法の説明については省略する。

【0035】

次に、図4に示すように、マザー基板 112 の主面 S1 上に、複数の電子部品 14a, 14b を実装する。具体的には、マザー基板 112 は、一点鎖線により複数の回路基板 12 に区画されている。図4の一点鎖線の内、x軸方向に延びる一点鎖線は、カットライン CLx であり、y軸方向に延びる一点鎖線は、カットライン CLy である。カットライン CLx, CLy は、マザー基板 112 の分割線を示している。そして、各回路基板 12 の主面 S1 上に、1つずつ電子部品 14a, 14b をはんだ実装する。

【0036】

次に、図5に示すように、マザー基板 112 の主面 S1 及び複数の電子部品 14a, 14b を覆うように絶縁体層 116 を形成する。具体的には、マザー基板 112 の主面 S1 及び複数の電子部品 14a, 14b 上にディスペンサにより絶縁性樹脂を塗布する。そして、絶縁性樹脂を加熱して硬化させる。

【0037】

次に、図6及び図7に示すように、絶縁体層 116 の主面 S2 に凹凸が形成され、かつ、絶縁体層 116 の厚みが所定の厚み H となるように、絶縁体層 116 を切削する。本実施形態では、図7に示すように、y軸方向に延在する複数本の溝 20 及び複数本の突起 22 を絶縁体層 116 の主面 S2 に形成する。そして、図7に示すように、複数本の溝 20 の間隔 L2、及び、複数本の突起 22 の間隔 L2 は、x軸方向における回路モジュール 10 の幅 L1 よりも小さい。

【0038】

絶縁体層 116 の切削についてより具体的に説明する。絶縁体層 116 を切削する工程では、図6に示すように、絶縁体層 116 の主面 S2 上において、y軸方向の負方向側に向かってダイサー D1 を移動させる。その後、ダイサー D1 を x軸方向の正方向側にずらす。そして、絶縁体層 116 の主面 S2 上において、y軸方向の負方向側に向かってダイサー D1 を移動させる。この工程を繰り返すことにより、絶縁体層 116 の主面 S2 の全面を切削する。

【0039】

ここで、ダイサー D1 の切削面 F は、図7に示すように凹凸を有し、具体的には、凸部 F1 及び凹部 F2 を有している。凸部 F1 は、相対的に z軸方向の負方向側に突出しており、凹部 F2 は、相対的に z軸方向の正方向側に窪んでいる。そして、凹部 F2 は、凸部 F1 よりも x軸方向の正方向側に位置している。ダイサー D1 の切削面 F がこのような構造を有する理由は以下の通りである。

【0040】

ダイサー D1 の切削面 F は、新品の状態では、平坦である。ところが、ダイサー D1 は、前記の通り、y軸方向の負方向側に向かって移動し、x軸方向の正方向側へとずらされていく。したがって、ダイサー D1 は、絶縁体層 116 の切削時の最初に、絶縁体層 116 の主面 S2 の x軸方向の負方向側の辺に接触する。このとき、ダイサー D1 は、絶縁体層 116 に切削面 F の全体で接触するのではなく、x軸方向の負方向側に位置する凹部 F2 で絶縁体層 116 に接触する。そのため、凹部 F2 が凸部 F1 に比べて優先的に摩耗する。その結果、切削面 F は、図7に示すように、凸部 F1 及び凹部 F2 を有するようになる。

【0041】

上記のような切削面 F を有するダイサー D1 により絶縁体層 116 を切削した場合、凸部 F1 では絶縁体層 116 が相対的に多く削られ溝 20 が形成される。また、凹部 F2 では絶縁体層 116 が相対的に少なく削られ突起 22 が形成される。

【0042】

また、図7に示すように、ダイサー D1 の x軸方向における幅 L4 は、回路モジュール 10 の x軸方向における幅 L1 よりも小さい。これにより、回路モジュール 10 に複数本

10

20

30

40

50

の溝 20 及び複数本の突起 22 が周期的構造を持って形成される。更に、図 7 に示すように、x 軸方向の正方向側にダイサー D1 をずらす幅 L3 は、ダイサー D1 の x 軸方向における幅 L4 より小さい。これにより、ダイサー D1 が絶縁体層 116 の主面 S1 を通過する領域が重複するようになる。これにより、絶縁体層 116 が切削されない領域が残留することが防止される。

【0043】

なお、図 7 において、絶縁体層 116 の厚み H は、マザー基板 112 の主面 S1 から絶縁体層 116 の主面 S2 までの距離の平均値である。

【0044】

次に、図 8 に示すように、ダイサー D1 よりも狭い幅を有するダイサー D2 により、y 軸方向に延在する複数の溝 42 を形成する。具体的には、図 6 のカットライン CLy に沿って、ダイサー D2 を y 軸方向の負方向側に向かって進行させる。この際、図 9 に示すように、溝 42 の底面が、マザー基板 112 の z 軸方向の負方向側の主面に到達せず、かつ、グラウンド導体 G よりも z 軸方向の負方向側に到達するように、溝 42 を形成する。これにより、溝 42 の内周面においてグラウンド導体 G が露出する。

【0045】

次に、図 10 及び図 11 に示すように、絶縁体層 116 の主面 S2 上及び溝 42 の内周面に導電性樹脂を塗布して、シールド層 118 を形成する。導電性樹脂の塗布をスピンコート法により行う。具体的には、マザー基板 112 を回転台上に配置し、所定角速度でマザー基板 112 を回転させる。そして、絶縁体層 116 の中心に対して、スラリー状の導電性樹脂を滴下する。これにより、導電性樹脂は、遠心力により絶縁体層 116 の主面 S2 全体に薄く広がる。この際、導電性樹脂は、溝 20 に溜まったり、突起 22 に引っ掛かったりしながら、徐々に、絶縁体層 116 の主面 S2 全体に広がっていく。これにより、導電性樹脂が伸びすぎて、シールド層 118 において、導電性樹脂が塗布されない欠陥領域が発生することが防止される。この後、シールド層 118 を硬化させる。なお、シールド層 118 の主面 S3 には、主面 S2 の凹凸に倣った凹凸が形成される。

【0046】

次に、絶縁体層 116 及びシールド層 118 が形成されたマザー基板 112 を分割して、複数の回路モジュール 10 を得る。具体的には、ダイサー D2 の幅よりも狭い幅を有するダイサーを、カットライン CLx, CLy に沿って進行させて、マザー基板 112 をカットする。以上の工程を経て、図 1 及び図 2 に示す回路モジュール 10 が完成する。

【0047】

(効果)

以上のような回路モジュール 10 及びその製造方法によれば、シールド層 118 において導電性樹脂が塗布されない欠陥領域が発生することを低減できる。より詳細には、特許文献 1 に記載の回路モジュール 500 の製造方法では、図 14 に示すように、シールド層 510 が形成される絶縁層 506 の主面は、平坦である。このような平坦な絶縁層 506 上にペースト状の導電性樹脂を塗布すると、薄く伸びすぎてしまう。その結果、回路モジュール 500 の製造方法では、シールド層 510 において、導電性樹脂が塗布されない欠陥領域が発生するおそれがある。

【0048】

一方、回路モジュール 10 及びその製造方法では、絶縁体層 116 の主面 S2 には、凹凸(溝 20 及び突起 22)が形成されている。そのため、例えば、スピンコート法により導電性樹脂を絶縁体層 116 の主面 S2 に塗布する際に、導電性樹脂は、凹凸に引っ掛かりながら主面 S2 全体に広がっていくようになる。そのため、導電性樹脂が伸びすぎて、シールド層 118 において、導電性樹脂が塗布されない欠陥領域の発生を低減できる。

【0049】

また、回路モジュール 10 及びその製造方法では、以下の理由によっても、欠陥領域の発生を低減できる。より詳細には、溝 20 及び突起 22 の間隔が広すぎると、導電性樹脂が伸びすぎてしまうおそれがある。そこで、回路モジュール 10 及びその製造方法では、

10

20

30

40

50

図7に示すように、ダイサーD1のx軸方向における幅L4は、回路モジュール10のx軸方向における幅L1よりも小さい。更に、x軸方向にダイサーD1をずらす幅L3は、ダイサーD1のx軸方向における幅L4よりも小さい。これにより、一つの回路基板12に複数本の溝20及び突起22が形成されるようになる。その結果、溝20及び突起22の間隔が広すぎて、導電性樹脂が伸びすぎてしまうことが防止され、欠陥領域の発生が低減される。

【0050】

また、回路モジュール10及びその製造方法では、以下に説明するように、電子部品14a, 14bと回路基板12との間に断線が発生することを低減できる。より詳細には、回路モジュール10及びその製造方法では、ダイサーD1のx軸方向における幅L4は、回路モジュール10のx軸方向における幅L1よりも小さい。このように、比較的狭い幅のダイサーD1により絶縁体層116の切削を行うと、絶縁体層116の単位時間当たりの切削量が少なく済む。そのため、絶縁体層116の切削時にマザー基板112にかかる負荷が小さくて済む。その結果、絶縁体層116の切削時にマザー基板112に負荷がかかって、マザー基板112と電子部品14a, 14bと間に断線が発生することが低減される。

【0051】

(変形例)

以下に、変形例に係る回路モジュール及びその製造方法について図面を参照しながら説明する。図12は、変形例に係る回路モジュール10aの断面構造図である。図13は、変形例に係る回路モジュール10aの工程断面図である。

【0052】

回路モジュール10aと回路モジュール10との相違点は、絶縁体層16の主面S2の凹凸の形状が異なっている点である。これは、回路モジュール10aの製造方法におけるダイサーD1'が、回路モジュール10の製造方法におけるダイサーD1と異なっているためである。以下に、かかる相違点を中心に説明を行う。

【0053】

図2及び図12に示すように、回路モジュール10aの絶縁体層16の主面S2は、回路モジュール10の絶縁体層16の主面S2よりも小さな凹凸を有している。これは、回路モジュール10aの製造方法では、ダイサーD1'として、金属を切削するための比較的大きなダイサーを用いているためである。より詳細には、ダイサーD1'は、金属を切削するためのダイサーであるので、ダイサーD1に比べて、比較的高い硬度を有している。故に、ダイサーD1'は、ダイサーD1に比べて、摩耗しにくいいため、ダイサーD1のような凸部F1及び凹部F2を有していない。その代わりに、ダイサーD1'は、摩耗していない状態であっても、比較的粗い切削面F'を有している。そして、回路モジュール10aの製造方法では、この切削面F'を利用して絶縁体層116の主面S2に凹凸(溝120及び突起122)を形成する。これにより、回路モジュール10aの絶縁体層16の主面S2において、回路モジュール10の絶縁体層16の主面S2の凹凸よりも小さな凹凸を得ることができる。

【0054】

以上のような回路モジュール10a及びその製造方法によれば、絶縁体層16の主面S2の凹凸が小さくなるので、シールド層18により主面S2の凹凸を埋めることが容易となる。その結果、シールド層18の主面S3が平坦化される。このように比較的大きなダイサーD1'であっても、表面の粗いダイサーD1'を用いることにより、絶縁体層16の主面に凹凸を形成して、導電性樹脂が塗布されない欠陥領域の発生を低減させることができる。

【0055】

なお、回路モジュール10の製造方法において、平坦な切削面Fを有するダイサーD1によって、絶縁体層116の主面S2を切削してもよい。ただし、この場合、絶縁体層116の主面S2に凹凸を形成するために、ダイサーD1の絶縁体層116に対する切り込

10

20

30

40

50

み深さを变化させる必要がある。

【産業上の利用可能性】

【0056】

本発明は、回路モジュール及びその製造方法に有用であり、特に、導電性樹脂が塗布されない欠陥領域がシールド層に発生することを低減できる点において優れている。

【符号の説明】

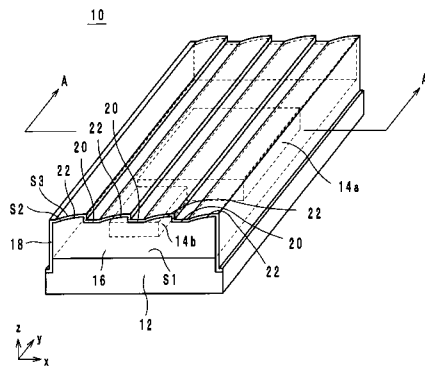
【0057】

- F, F' 切削面
- F1 凸部
- F2 凹部
- G グランド導体
- S1 ~ S3 主面
- 10, 10a 回路モジュール
- 12 回路基板
- 14a, 14b 電子部品
- 16, 116 絶縁体層
- 18, 118 シールド層
- 20, 42, 120 溝
- 22, 122 突起
- D1, D1', D2 ダイサー
- 112 マザー基板

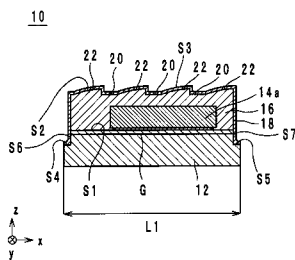
10

20

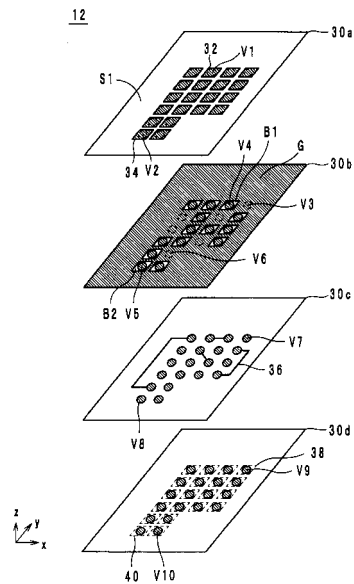
【図1】



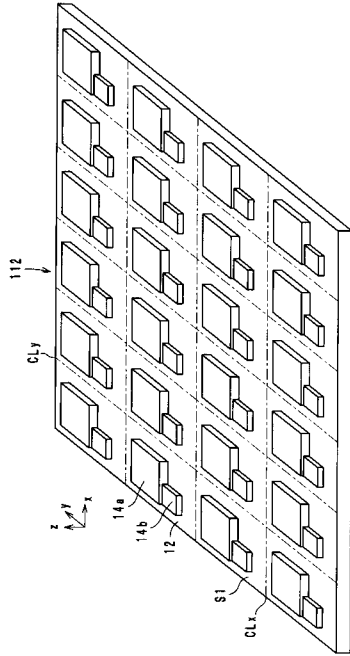
【図2】



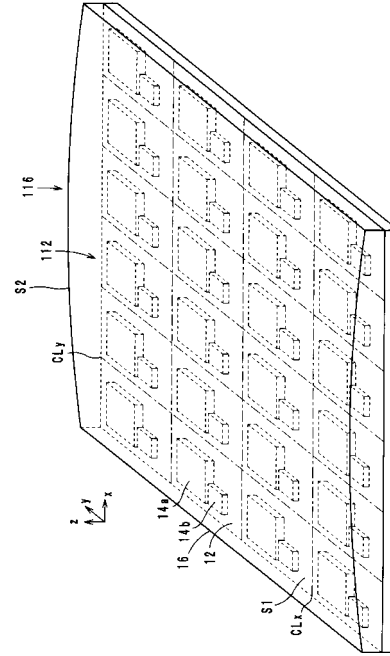
【図3】



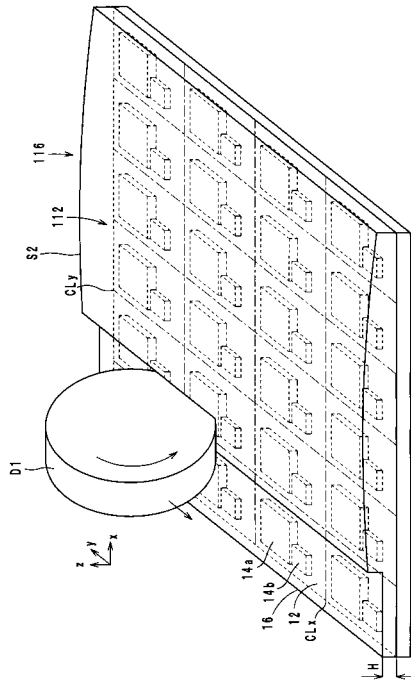
【図4】



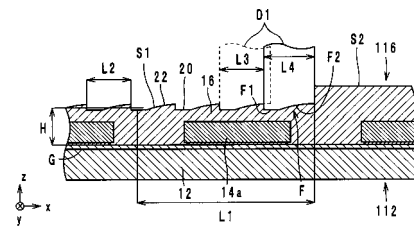
【図5】



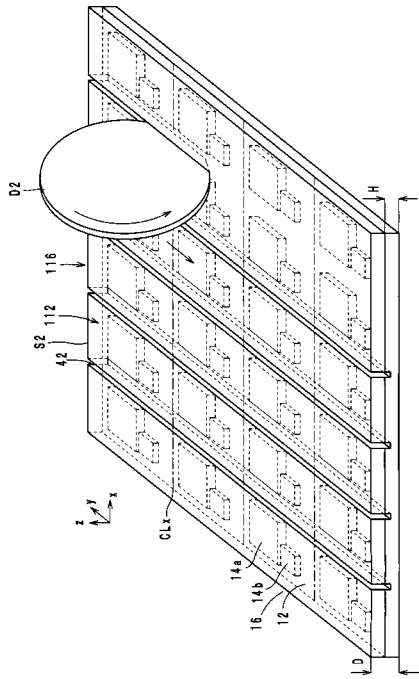
【図6】



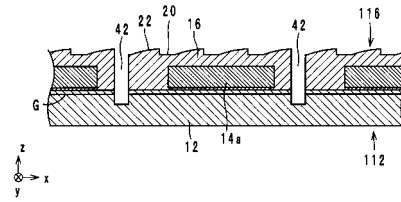
【図7】



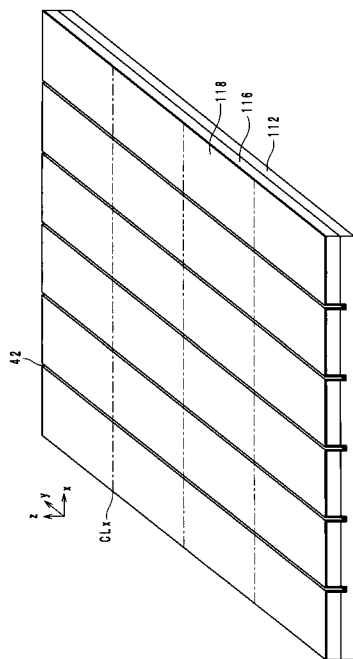
【 図 8 】



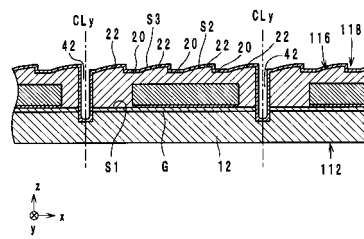
【 図 9 】



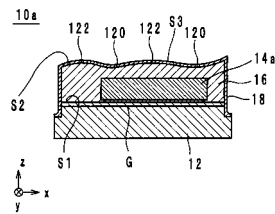
【 図 10 】



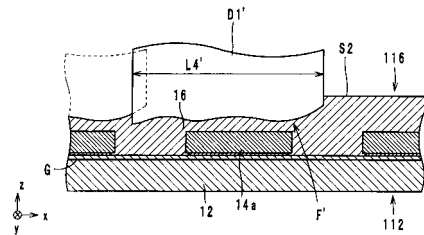
【 図 11 】



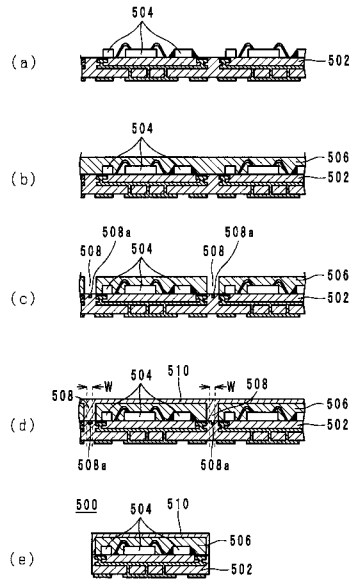
【 図 12 】



【 図 13 】



【 図 1 4 】



フロントページの続き

(51)Int.Cl. F I
H 0 5 K 9/00 Q

(72)発明者 川原 史聖
京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内

審査官 貞光 大樹

(56)参考文献 特開2005-72392(JP,A)
特開2005-19900(JP,A)
特開2005-109306(JP,A)
特開2006-294701(JP,A)
特開2007-49098(JP,A)
特開平10-335544(JP,A)
特開2008-42152(JP,A)

(58)調査した分野(Int.Cl., DB名)

H05K 3/00
H01L 23/00
H01L 23/28
H05K 3/28
H05K 9/00
H05K 1/02
H05K 3/46