



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0106525
(43) 공개일자 2024년07월08일

(51) 국제특허분류(Int. Cl.)
H02P 27/08 (2006.01) H03K 7/08 (2006.01)
(52) CPC특허분류
H02P 27/08 (2013.01)
H03K 7/08 (2013.01)
(21) 출원번호 10-2022-0189424
(22) 출원일자 2022년12월29일
심사청구일자 없음

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
최진영
서울특별시 노원구 동일로248길 16, 506동 1003호
김웅남
서울특별시 서초구 전원말안3길 6, B01호
(74) 대리인
김준석, 박민욱

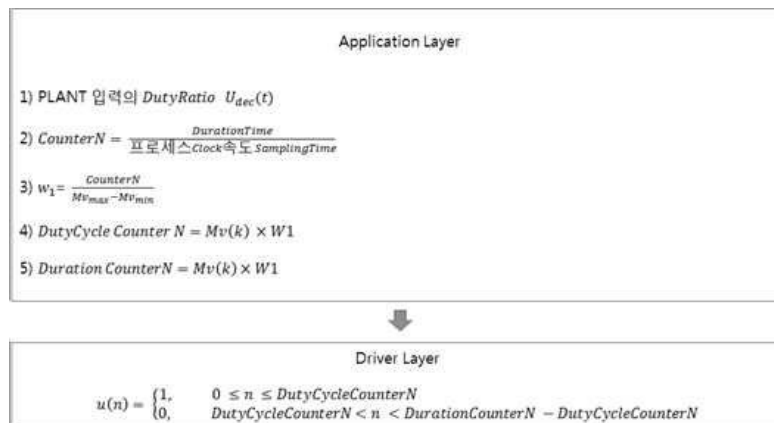
전체 청구항 수 : 총 1 항

(54) 발명의 명칭 PWM 생성 방법

(57) 요약

본 발명의 일 기술적 측면에 따른 PWM 생성 장치는 실제 PLANT 모터의 *DurationTime* 시간을 연산하는 단계; counter N을 연산하는 단계; Mv(k) 및 counter N을 이용하여 W1을 연산하는 단계; dutyCycle Counter N 및 Duration Counter N을 연산하는 단계; 및 Data Type Conversion을 수행하는 단계;를 포함한다.

대표도 - 도5



(52) CPC특허분류

H02P 2209/09 (2013.01)

Y10S 388/912 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711159674
과제번호	2018-0-00532-005
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	정보보호핵심원천기술개발(정진기금)
연구과제명	(ICT 전문연구실) 고등급(EAL6 이상) 보안 마이크로커널 개발
기 여 율	100/100
과제수행기관명	고려대학교산학협력단
연구기간	2022.01.01 ~ 2022.12.31

명세서

청구범위

청구항 1

실제 PLANT 모터의 *DurationTime* 시간을 연산하는 단계;
counter N을 연산하는 단계;
Mv(k) 및 counter N을 이용하여 W1을 연산하는 단계;
dutyCycle Counter N 및 Duration Counter N을 연산하는 단계; 및
Data Type Conversion을 수행하는 단계;
를 포함하는 PWM 생성 방법.

발명의 설명

기술 분야

[0001] 본 발명은 PWM 생성 방법에 관한 것이다.

배경 기술

- [0002] 종래의 기술에서, 도 1에서 도시한 바와 같이, Inverted Pendulum은 비선형 기기 중 대표적인 연구 테스트 벤치로 활용되고 있고, 비선형 기기를 정밀하게 제어하기 위해서는 다양한 동역학 등의 고차 수학적 모델링 접근이 일반적인 예이다.
- [0003] 도 2에서 도시한 바와 같이, 하드웨어에서는 Controller, Actuator Driver, Actuator, Sensor로 나뉘었으며, 소프트웨어에서는 Application, Driver, I/O Layer로 나뉜다.
- [0004] 도 3에서 도시한 바와 같이, 종래 기술에서, 만약, $Mv(t)$ 의 계산 값 범위가 -126 ~ +126 이라고 가정한다면, -는 CW, +는 CCW의 회전방향이고, 만약, $Mv(t)$ 값이 +63이라면, CCW의 방향에 PWM의 DutyCycle은 50%가 될 것이다.
- [0005] 그리고, 실제 PLANT 모터의 *DurationTime* 시간을 확인할 수 있다.
- [0006] 도 4에서 도시한 바와 같이, 종래의 PWM 생성 방법에 있어서, PWM 생성 장치는 Application Layer에서의 호출에 따라 Driver Layer에서는 Data Type Conversion을 하게 된다.
- [0007] 예를 들어, 모터의 주기가 5Khz이고, 허용오차가 $\pm 0.02KHz$ 이라면, $t = \frac{1}{f}$ 이고, *DurationTime*은 199.203...~200.803... μs 가 될 수 있다.
- [0008] 프로그래밍을 진행시 Round off Error가 발생한다. 또한, Mv(k)가 50 이외에도 모두 Round off Error가 발생할 수 있다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 대한민국 공개특허공보 제10-2005-0056131호("PWM신호생성회로", 공개일자: 2005.06.14)

발명의 내용

해결하려는 과제

[0010] 본 발명은 Round Off Error를 줄이기 위한 PWM 생성 방법을 제공하고자 한다.

과제의 해결 수단

[0011] 본 발명의 일 기술적 측면은 실제 PLANT 모터의 *DurationTime* 시간을 연산하는 단계; counter N을 연산하는 단계; $Mv(k)$ 및 counter N을 이용하여 W1을 연산하는 단계; dutyCycle Counter N 및 Duration Counter N을 연산하는 단계; 및 Data Type Conversion을 수행하는 단계;를 포함한다.

발명의 효과

[0012] 본 발명의 일 실시형태에 따르면, 비트 진수로 연산하기 때문에 Round off error 를 줄일 수 있고, FPGA 프로그램(VHDL or Verilog) 구현을 단순화시킬 수 있다.

도면의 간단한 설명

[0013] 도 1은 종래의 Inverted Pendulum 장치의 PID 제어 방법을 설명하기 위한 도면이다.

도 2는 종래의 PWM 생성 시스템을 설명하기 위한 도면이다.

도 3 및 도 4는 종래 기술의 PWM 생성 제어 방법을 설명하기 위한 순서도이다.

도 5는 본 발명의 일 실시예에 따른 PWM 생성 방법을 설명하기 위한 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0014] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0015] 본 명세서에서 사용되는 용어에 대해 간략히 설명하고, 본 발명에 대해 구체적으로 설명하기로 한다.

[0016] 본 발명에서 사용되는 용어는 본 발명에서의 기능을 고려하면서 가능한 현재 널리 사용되는 일반적인 용어들을 선택하였으나, 이는 당 분야에 종사하는 기술자의 의도 또는 관례, 새로운 기술의 출현 등에 따라 달라질 수 있다. 또한, 특정한 경우는 출원인이 임의로 선정한 용어도 있으며, 이 경우 해당되는 발명의 설명 부분에서 상세히 그 의미를 기재할 것이다. 따라서 본 발명에서 사용되는 용어는 단순한 용어의 명칭이 아닌, 그 용어가 가지는 의미와 본 발명의 전반에 걸친 내용을 토대로 정의되어야 한다.

[0017] 명세서 전체에서 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있음을 의미한다. 또한, 명세서에서 사용되는 "부", "모듈", "유닛" 등의 용어는 적어도 하나의 기능 또는 동작을 처리하는 단위를 의미하며, 소프트웨어, FPGA 또는 ASIC과 같은 하드웨어 구성요소, 또는 소프트웨어와 하드웨어의 결합으로 구현될 수 있다. 그렇지만 "부", "모듈", "유닛" 등의 용어가 소프트웨어 또는 하드웨어에 한정되는 의미는 아니다. "부", "모듈", "유닛" 등은 어드레싱할 수 있는 저장 매체에 있도록 구성될 수도 있고 하나 또는 그 이상의 프로세서들을 재생시키도록 구성될 수도 있다. 따라서, 일 예로서 "부", "모듈", "유닛" 등의 용어는 소프트웨어 구성요소들, 객체지향 소프트웨어 구성요소들, 클래스 구성요소들 및 태스크 구성요소들과 같은 구성요소들과, 프로세스들, 함수들, 속성들, 프로시저들, 서브루틴들, 프로그램 코드의 세그먼트들, 드라이버들, 펌웨어, 마이크로 코드, 회로, 데이터, 데이터베이스, 데이터 구조들, 테이블들, 어레이들 및 변수들을 포함한다.

[0018] 아래에서는 첨부한 도면을 참고하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략한다.

[0019] "제1", "제2" 등과 같이 서수를 포함하는 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 구성 요

소들은 용어들에 의해 한정되지는 않는다. 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. "및/또는"이라는 용어는 복수의 관련된 항목들의 조합 또는 복수의 관련된 항목들 중의 어느 하나의 항목을 포함한다.

[0021] 이하, 도면을 참조하여 본 발명의 일 실시예에 따른 PWM 생성 방법을 설명하도록 한다.

[0022] 도 5는 본 발명의 일 실시예에 따른 PWM 생성 방법을 설명하기 위한 순서도이다.

[0023] PWM 생성 장치는 실제 PLANT 모터의 *DurationTime* 시간을 연산한다.

[0024] PWM 생성 장치는 다음의 수학적 식 1을 이용하여 *DurationTime* 을 연산할 수 있다.

수학적 식 1

$$[0025] \quad \text{DutyCycle Time} = \text{DurationTime} \times \text{DutyRatio}[\%] = \text{DurationTime} \times \frac{Mv(k)}{Mv_{\max}}$$

[0026] 예를 들어, 모터의 주기가 5Khz이고, 허용오차가 $\pm 0.02Khz$ 이라면, $t = \frac{1}{f}$ 이고, *DurationTime*은 199.203.. μs ~ 200.803.. μs 가 될 수 있다.

[0027] PWM 생성 장치는 counter N을 연산한다.

[0028] 만약, Mv(k)의 결과 값 범위가 -127 ~ + 127 이고, 현재의 Mv(k) 결과 값이 50, 프로세스의 Clock 속도 Sampling Time이 10ns 라고 가정한다.

[0029] Duration Time의 200us를 만족시키기 위하여, PWM 생성 장치는 다음의 수학적 식 2를 통해 counter N을 연산할 수 있다.

수학적 식 2

$$[0030] \quad \text{CounterN} = \frac{\text{DurationTime}}{\text{프로세스Clock속도SamplingTime}} = \frac{200\mu s}{10ns} = 20000$$

[0031] 따라서, DutyRate100%는 Mv(k)=127 값이다.

[0032] PWM 생성 장치는 Mv(k) 및 counter N을 이용하여 W1을 연산할 수 있다.

$$[0033] \quad W1 = \frac{\text{CounterN}}{Mv_{\max} - Mv_{\min}} = \frac{20000}{127} \approx 157.48031..$$

[0034] PWM 생성 장치는 dutyCycle Counter N 및 Duration Counter N을 연산할 수 있다.

[0035] 이때, PWM 생성 장치는 다음의 수학적 식 3을 이용하여 dutyCycle Counter N을 연산하고, 다음의 수학적 식 4를 이용하여 Duration Counter N을 연산할 수 있다.

수학적 식 3

$$[0036] \quad \text{DutyCycle Counter N} = Mv(k) \times W1$$

수학식 4

$$DurationCounterN = Mv_{max} \times W1$$

수학식 3 및 수학식 4에 연산된 값을 적용하면, PWM 생성 장치는 $DutyCycleCounterN = Mv(k) \times W1 = 50 \times 157 = 7850$ 를 연산할 수 있고,

$$DurationCounterN = Mv_{max} \times W1 = 127 \times 157 = 19939$$

($DurationTime = DurationCounterN \times \text{프로세스 Clock Sampling Time} = 19939 \times 10ns = 199390ns = 199.39\mu s$) 를 연산할 수 있다.

PWM 생성 장치는 Application Layer에서의 호출에 따라 Driver Layer에서는 Data Type Conversion을 한다.

PWM 생성 장치는 다음의 수학식 5를 이용하여 Data Type Conversion을 할 수 있다.

수학식 5

$$u(n) = \begin{cases} 1, & 0 \leq n < DutyCycleCounterN \\ 0, & DutyCycleCounterN < n < DurationCounterN - DutyCycleCounterN \end{cases}$$

즉, 이를 적용하면, PWM 생성 장치는 다음의 수학식 6과 같이 연산되어 나타낼 수 있다.

수학식 6

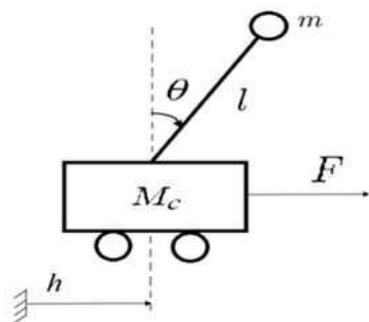
$$u(n) = \begin{cases} 1, & 0 \leq n < 7850 \\ 0, & 7850 < n < 19939 - 7850 \end{cases}$$

이상에서 설명한 바와 같이, 본 발명에 따르면, 비트 진수로 연산하기 때문에 Round off error 를 줄일 수 있고, FPGA 프로그램(VHDL or Verilog) 구현을 단순화시킬 수 있다.

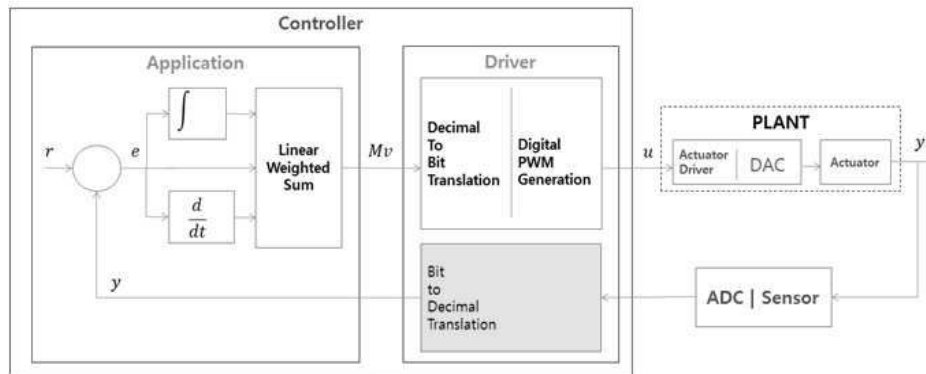
본원 발명의 실시예들과 관련된 기술 분야에서 통상의 지식을 가진 자는 상기 기재의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로, 개시된 방법들은 한정적인 관점이 아닌 설명적 관점에서 고려되어야 한다. 본 발명의 범위는 발명의 상세한 설명이 아닌 특허청구 범위에 나타나며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면

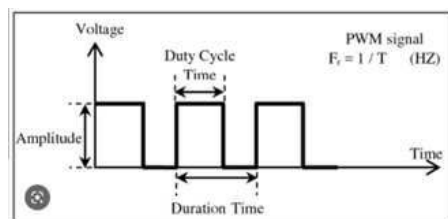
도면1



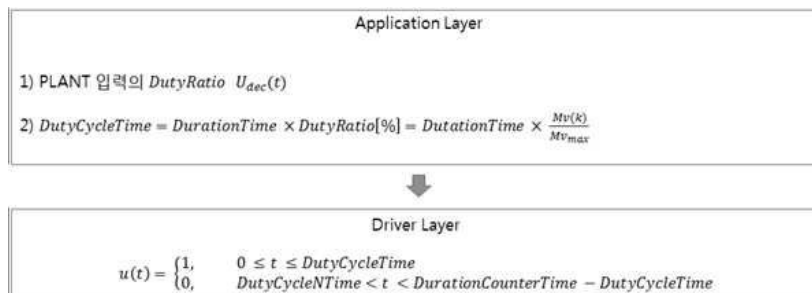
도면2



도면3



도면4



도면5

