90年4月2日 修正 補充

公告本

申請日期	83 年 7 月 13 日
案號	83106375
類別	G11C 16/02 H01L 27/115

（以上各欄由本局填註）

A4
C4

（修正頁）

470962

發明 新型 專利說明書

一、發明 新型 名稱	中文	半導體記憶裝置
	英文	
二、發明 創作 人	姓名	(1) 佐藤弘 (2) 山崎隆
	國籍	(1) 日本　(2) 日本
	住、居所	(1) 日本國東京都青梅市河辺町七－二二－四 日立第二若草寮 (2) 日本國東京都青梅市河辺町一〇－一一 シティハイムベルウッド一〇二
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代表人姓名	(1) 庄山悅彥

裝 訂 線

經濟部智慧財產局員工消費合作社印製

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
日本	1993 年 8 月 9 日	05-217084	☑無主張優先權
日本	1993 年 11 月 4 日	05-299006	☑無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 1 ）

〔產業上之利用領域〕

本發明，係有關半導體記憶裝置，關於使用在例如整批抹除型ＥＥＰＲＯＭ之高速化和低消耗電力化技術有效的技術者。

〔習知技藝〕

電性整批抹除型ＥＥＰＲＯＭ，係具有把形成在晶片的記憶格之全部，或把形成在晶片的記憶格之中，某一批的記憶格群整批地電性抹除之機能的不揮發性記憶裝置。

關於如此的整批抹除型ＥＥＰＲＯＭ，在１９８０年之IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE的１５２～１５３頁，１９８７年的 IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE 之７６－７７頁，IEEE, J. Solid-State Cicuits, vol. 23（1988）pp. １１５７～１１６３有記載。

在圖２１，顯示在１９８７年的 International Electron Device Meeting 所發表的電性整批抹除型ＥＥＰＲＯＭ之記憶格的截面構造之概要圖。該圖的記憶格，具有和通常之ＥＰＲＯＭ的記憶格很相似之構造。亦即，記憶格，係由２層閘構造的絕緣閘型電場效果電晶體（以下，稱爲ＭＯＳＦＥＴ或只稱爲電晶體）所構成。在該圖中，８爲Ｐ型矽基板，１１係在上述矽基板８所形成的Ｐ型擴散層，１０係形成在上述矽基板８之低濃度的Ｎ型擴散層，９爲分別在上述Ｐ型擴散層１１及上述Ｎ型擴

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 2 ）

散層所形成之N型擴散層。再者，4爲隔著薄氧化膜7在上述P型矽基板8上所形成的浮閘，6爲隔著氧化膜7在上述浮閘4上所形成之控制閘，3爲汲電極，5爲源電極。亦即，該圖的記憶格係根據N通路型之2層閘構造的MOSFET所構成，在該電晶體記憶資訊。在此，資訊將實質上做爲臨限值電壓之變化而保持在電晶體。

以下，除非特別說明，對於記憶格，記憶資訊的電晶體（以下，稱爲記憶電晶體）係以N通道之情況來說明。向圖21所示的記憶格之資訊的寫入動作，係和EPROM者相同。亦即，寫入動作，將根據把在汲電極3所連接的汲極領域9之近傍所發生的熱載子注入到浮閘4而進行。根據該寫入動作，記憶電晶體將從其控制閘6所看之臨限值電壓，會比未進行寫入動作之記憶電晶體爲高。

一方面，在抹除動作，藉由使控制閘6接地，在源電極5施加高電壓，而使之在浮閘4和連接到源電極5的源極領域9之間產生高電場，利用透過薄氧化膜7的隧道現象，使儲積在浮閘4之電子經由源極領域9被抽送到源電極5。據此，進行記憶資訊的抹除。亦即，根據抹除動作，記憶電晶體從其控制閘6所見之臨限值電壓會變低。

在讀出動作，對上述記憶格將進行弱的寫入，亦即，使之對浮閘4不會注入不想要的載子的方式，使施加在汲電極3及控制閘6的電壓限制於較低值。例如，1V程度之低電壓被施加在汲電極3，同時對控制閘6施加5V程

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 3 ）

度的低電壓。根據此等施加電壓極出記憶電晶體之通道電流的大小，而制定在記憶格所記憶之資訊的〝0〞，〝1〞。

〔發明之概要〕

如上述的從記憶電晶體之讀出動作，係記憶周期大約爲1μs而較慢。本申請專利發明人，著眼於在使用如上述的記憶電晶體，不會如動態型記憶格那樣因讀出動作而破壞資訊，而是考慮使之高速化和低消耗電力化。

本發明之目的，係在提供實現讀出動作之高速化和低消耗電力化的半導體裝置。

本發明之前述及其他目的和新的特徵，將由本說明書之記述及附圖而顯示。

在本申請專利中所揭示的發明中把具有代表性者之概要簡單地說明如下。亦即，做爲讀出放大器一方面使用CMOS閂扣電路，在其輸出入和資料線或數元線之間設置開關電路，在讀出放大器的即將放大動作之前或之後使開關電路成爲OFF狀態。

根據上述方法時，在讀出放大器的實質性放大動作，將根據連接多數之記憶電晶體而使具有大的寄生容量之資料線或數元線分開，讀出放大器將只需驅動結合在其輸出入的寄生容量即可，故能設法使之高速化和低消耗電力化。

〔實施例〕

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 4 ）

在圖１（Ａ）及圖１（Ｂ），顯示使用在有關本發明的半導體記憶裝置之讀出放大器的動作之概略的說明用之基本性構成圖。讀出放大器，係如該圖１（Ａ）所示，由Ｐ通道型ＭＯＳＦＥＴ和Ｎ通道型ＭＯＳＦＥＴ所成的ＣＭＯＳ反換器電路之輸入與輸出互相交叉連接而成的ＣＭＯＳ閂扣電路，和接受讀出放大器活性化信號ＤＰＢ把電源電壓供給到上述Ｐ通道型ＭＯＳＦＥＴ之Ｐ通道型的電源開關ＭＯＳＦＥＴ，和接收讀出放大器活性化信號ＤＮ把電之接地電位供給到上述Ｎ通道型ＭＯＳＦＥＴ的Ｎ通道型之電源開關ＭＯＳＦＥＴ所構成。

在上述讀出放大器的一對輸出入節點（node），有上述ＭＯＳＦＥＴ之閘容量等所成的比較小之寄生容量ＣＳ０和ＣＳ１存在。根據使未圖示的多數之記憶格連接而成爲具有比較大的寄生容量ＣＢ之數元線（或資料線）ＢＬＲ，ＢＬＬ，將經由接收控制信號ＴＲＲ和ＴＲＬ的開關ＭＯＳＦＥＴ而連接在上述讀出放大器之一對輸出入節點。

在本實施例，將使對應於上述讀出放大器的一對輸出入節點所連接之一對數元線ＢＬＲ和ＢＬＬ中，把在所選擇的數元線所讀出之信號，把做爲非選擇的數元線之電位做爲基準電位讀出。例如，在讀出連接在一方的數元線ＢＬＲ之記憶格的記憶資訊時，其預充電電壓ＶＲ將成爲讀出用之預充電電壓，做爲他方的非選擇之數元線ＢＬＬ的預充電電壓ＶＬ，將對於從上述記憶格所讀出之資訊做

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 5 ）

爲基準電壓。

上述讀出用的預充電電壓，將爲了延長如後述之記憶格的軟寫（soft write；讀出時邏輯值〝1〞的記憶格，會寫入邏輯值〝0〞之資料）壽命，而成爲如約１Ｖ之較低電壓。對應於此，基準電壓用的預充電電壓將成爲如約０．５Ｖ之讀出振幅的中間電位。

如圖１（Ｂ）所示，將在讀出放大器之輸出入節點供給從選擇數元線的讀出信號，和從非選擇數元線之基準電壓，在讀出放大器即將開始放大動作之前或之後，上述開關ＭＯＳＦＥＴ將成爲ＯＦＦ狀態。根據，讀出放大器，在所選擇的數元線ＢＬＲ之讀出信號爲高電平時，將之放大爲對應於電源電壓的會振幅時必須預充電之預充電容量，因爲數元線容量ＣＢ已切開故將成爲輸出入的寄生容量ＣＳ０。結果，讀出放大器之負載將減輕，而能設法低消耗電力化和高速化。

在圖７，顯示有關本發明的整批抹除型ＥＥＰＲＯＭ之一實施例的方塊圖。該圖之各電路方塊，係根據眾所周知的半導體集成電路之製造技術，而不特別限制，但是將在如單結晶矽的１個半導體基板上形成。

在本實施例，雖未特別限制，但是記憶器陣列將由４個記憶墊ＭＡＴ所構成。各別之記憶墊ＭＡＴ，將設置形成字線ＷＬ的選擇信號之副譯碼器ＳＵＢ－ＤＣＲ。爲了高積成化而字線的節距係狹窄地形成，故挾在記憶墊ＭＡＴ間之副譯碼器ＳＵＢ－ＤＣＲ，對兩側的記憶墊

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 6 ）

ＭＡＴ形成字線之選擇信號。因此，如例所示，記憶墊ＭＡＴ的字線，對將之挾著設置的２個副譯碼器ＳＵＢ－ＤＣＲ間隔地交互連接。

主譯碼器ＭＡＮ－ＤＣＲ，係如後述地由選擇多數的記憶格之選擇ＭＯＳＦＥＴ的選擇信號，和形成副譯碼器ＳＵＢ－ＤＣＲ之選擇電平與非選擇電平的電路所構成。閘譯碼器ＧＤＣＲ，將形成選擇根據上述主譯碼器ＭＡＮ－ＤＣＲ所選擇之１個記憶段中的１個記憶格之選擇信號。

形成在記憶墊ＭＡＴ的記憶電晶體，雖未特別限制，但是具有和前述圖２１所示之記憶格類似的構造。但是，抹除和寫入動作皆將根據隧道電流對浮閘進行電荷之注入和放出達成。此外，也可以如前述圖２１把寫入動作根據熱載子進行。

讀出放大器ＳＡ，雖未特別限制，但是係如後述地由ＣＭＯＳ電路所構成，各別的放大動作，將由讀出放大器控制電路ＳＡＣ所控制。雖未特別限制，但是，在最初的讀出循環，２組之讀出放大器群將皆被活性化。在以後的附隨字線之切換的連續讀出動作時，將在從一方之讀出放大器群的讀出信號結束，進行從他方之讀出放大器群的串列之讀出信號的輸出之間，將會進行字線的切換，同時使上述一方之讀出放大器群開始放大動作。

上述讀出放大器ＳＡ，係爲了動作的高速化和低消耗電力化，從資料線接收放大動作所需要之讀出信號時，將

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 7 ）

在其放大動作即將開始前或剛開始後，和資料線切開而進行上述取入信號的放大予以保持。因此，根據Ｙ閘電路ＹＧ所選擇之信號能夠通過資料輸出緩衝器ＯＢ依次使之輸出，和如此的信號輸出動作並行，能夠如上述地進行對應於下一位址之字線的切換。

狀態暫存器ＳＲＥＧ，能夠根據信號ＴＳ接收表示內部之狀態的狀態資料，根據需要經由資料輸出緩衝器ＯＢ從外部監控動作狀態。在本實施例，將進行連續出入動作或如上述地電性寫入和抹除動作，在各別的動作之途中需要從外部知道內部的狀態，故將設置如上述之狀態暫存器ＳＲＥＧ。

電壓發生電路ＶＧ，係接收如３．３Ｖ（或５Ｖ）的電源電壓ＶＣＣ和電路之接地電位ＶＳＳ，根據控制信號ＴＶ做爲形成寫入，讀出及抹除的各動作所需要之各種電壓Ｖｐｗ，Ｖｐｖ，Ｖｅｗ，Ｖｅｄ，Ｖｅｖ及Ｖｒ的ＤＣ－ＤＣ變換器之功能者。

位址緩衝器ＡＤＢ，將進行從外部端子取入所供給的位址信號Ａｉ，使位址信號保持在位址閂扣ＡＬＨ。信號ＴＡ，係使上述位址信號閂扣之控制信號，ＴＳＣ爲內部串列時鐘。

位址發生電路ＡＤＧ，係例如具有計數電路，根據和外部所供給的時鐘ＳＣ同步所發生之內部串列時鐘ＴＳＣ進行位址步進動作，而發生把對應於第奇數的資料線之讀出放大器ＳＡ活性化的位址信號Ａｙｏ，和把對應等偶數

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 8 ）

之資料線之讀出放大器ＳＡ活性化的位址信號Ａｙｅ及字線切換信號ＡＣ。亦即，在本實施例之半導體記憶裝置，係只要輸入所指定的啓動位址，爲了其後之連續出入用的位址信號，將對應從外部端子所供給之同步脈衝ＳＣ而在內部發生。此時，在信號ＡＣ所加的／，係表示爲條（bar）信號，如此之信號／ＡＣ表示低電平爲有源電平。此點，在以下之其他信號也相同。

Ｙ閘ＹＧ，將根據Ｙ系統的位址信號Ａｙ，在讀出動作時形成１個資料線之選擇信號，選擇與此對應的讀出放大器之放大信號傳達到資料輸出緩衝器ＯＢ。在寫入動作時，將形成１個資料線的選擇信號，把對應於從資料輸入緩衝器ＩＢ所輸入之寫入資料的信號傳給資料線或數元線。在本申請專利中，係將資料線和數元線以相同意義使用。此等有時也稱爲數位線。

命令譯碼器ＣＤＣＲ，把從資料輸入緩衝器ＩＢ所輸入的命令譯碼，而將命令資料Ｄｉ傳輸至以下說明之控制電路ＣＯＮＴ。信號ＴＣ，爲命令譯碼器控制信號，將進行命令之取入，和控制譯碼器。

控制電路ＣＯＮＴ，將接收從外部端子所供給的可供給晶片信號／ＣＥ，可輸出信號／ＯＥ，可寫入信號／ＷＥ及同步脈衝ＳＣ和復置信號ＲＳ，形成內部電路之動作所需要的各種時脈（clock）信號。信號ＴＸＭ，爲主譯碼器控制信號，爲程式－程式確時脈（clock）把正／負邏輯切換時之信號。信號ＴＸＧ，爲閘譯碼器控制信號

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 9 ）

。信號ＴＶ爲電源電路控制信號。信號ＴＡ，爲位址緩衝器控制信號，前進行位址的閂扣等之控制。信號ＴＩ，爲資料輸入緩衝器控制信號，進行資料和命令的取入等之控制。

信號ＴＯ爲資料輸出緩衝器控制信號，進行資料的輸出等控制。信號ＴＣ，爲命令譯碼器控制信號，進行命令之取入和譯碼器等的控制。信號ＴＳ，爲狀態暫存器控制信號，進行狀態暫存器ＳＲＥＧ之設置成後置等的控制。信號ＴＳＡ，爲讀出放大器控制信號，用以控制活性時脈（clock）。信號ＴＳＣ爲內部串列時鐘。信號ＡＣ爲字線之切換信號。

此外，從位址閂手ＡＬＨ供給到主譯碼器ＭＡＮ－ＤＣＲ的信號Ａｘｏ，爲指示上述應選擇之記憶段的Ｘ系統之位址信號，從位址閂扣ＡＬＨ供給到閘譯碼器ＧＤＣＲ的信號Ａｘ１，爲指示１個記憶段中之１個字線的Ｘ系統之位址信號。將供給到Ｙ閘ＹＧ的信號Ａｙ，爲Ｙ系統之位址信號。

Ｖｐｗ爲寫入時的字線電壓。Ｖｐｖ爲寫入確時脈（clock）之字線電壓。Ｖｅｖ爲抹除確時脈（clock）的字線電壓。Ｖｅｗ爲抹除時之字線電壓、Ｖｒ爲資料線預充電電壓。

信號Ｏｉ，係從資料輸出緩衝器ＯＢ所輸出的輸出資料，信號Ｄｏ爲狀態資料，而信號Ｄｉ爲命令資料。再者，信號ＲＤＹ／ＢＵＳＹ，爲顯示晶片的狀態之輸出信號

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（10）

。

在圖8，顯示上述記憶墊和其外圍部的一實施例之概略電路圖。記憶格，成爲和前述圖21類似的具有控制閘和浮閘之堆疊閘（stack gate）構造之MOSFET。在本實施例，係如後述地寫入動作和抹除動作皆將利用通過薄氧化膜的隧道電流進行。

上述記憶MOSFET，係多數個成爲1段而使汲極和源極共通化。記憶MOSFET的共通化之汲極，將經由選擇MOSFET（Qmq）連接到資料線DL。記憶MOSFET的共通化之源極，將經由選擇MOSFET（Qms）供給電路的接地電位。記憶MOSFET之控制閘，將連接到字線WL。上述選擇MOSFET（Qmq，Qms），將根據和上述字線WL平行地延長的選擇線所選擇。亦即，結合到上述選擇MOSFET之配線，可視爲根據主譯碼器MAN－DCR所選擇的主字線。

根據如上述地將記憶格分成段，分別經由選擇MOSFET供給資料線DL和電路之接地電位的構成，將能減輕對非選擇之記憶格的應力。亦即，根據字線被選擇，資料線成爲非選擇狀態之記憶格，或相反地字線成爲非選擇狀態，資料線成爲選擇狀態，而防止在寫入或抹除動作應保持資料的記憶格（根據寫入或抹除動作之實行，其記憶內容將固定變化的記憶格）施加上述寫入或抹除用之電壓者。換言之，例如將能防止已寫入資訊，將之保持

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（11）

的記憶格之內容，由於實施對其他記憶格實施寫入或抹除動作而變化。在本構成，將成爲在上述段內的少數記憶格只加上如上述之應力而已。

在本實施例，雖未特別限制，但是如後述地鄰接的資料線ＤＬ將分成第奇數和第偶數。然後，分別對應地設置短路ＭＯＳＦＥＴ（Ｑｓｓ）。該短路ＭＯＳＦＥＴ（Ｑｓｓ），將使之交互地選擇第奇數和第偶數的資料線ＤＬ，使在非選擇狀態之資料線ＤＬ成爲電路的接地電位之固定電平，而減低在鄰接資料線ＤＬ的互相之耦合雜訊者。對應於如此的資料線ＤＬ之構成，對於把出現在資料線ＤＬ的讀出信號放大之讀出放大器ＳＡ，做爲開關電路的移轉ＭＯＳＦＥＴ（ＴＲＭＯＳ）也將分爲奇數和偶數而選擇。

根據上述主譯碼器ＭＡＮ－ＤＣＲ所選擇的段內之記憶格，將由副譯碼器ＳＵＢ－ＤＣＲ被選擇１個。副譯碼器ＳＵＢ－ＤＣＲ，將選擇上述段內的１個字線ＷＬ。如此之１個字線的選擇信號，將由閘譯碼器ＧＤＣＲ所形成。亦即，副譯碼器ＳＵＢ－ＤＣＲ，將接收根據上述閘譯碼器ＧＤＣＲ所形成的字線之選擇信號，和根據主譯碼ＭＡＮ－ＤＣＲ所形成的動作橫式所形成之選擇／非選擇電平，而形成上述段內的字線之選擇／非選擇的驅動信號。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（12）

表　　1

		read	program	erase
選	Vg	Vcc	-10V	12V
	Vd	1V	4V	-4V
擇	Vs	0V	open	-4V
非	Vg	0V/open	Vcc/0V	0V/0V
選	Vd	1V/open	0V/open	-4V/open
擇	Vs	0V/open	open/open	-4V/open

在讀出，寫入程式及抹除的各動作模式之記憶MOSFET的閘電壓（字線WL）Vg，汲極電壓Vd及源極電壓Vs，將供給如表1所示之各電壓。根據如該表1所示的閘電壓Vg，汲極電壓Vd及源極電壓Vs之相對性的電位關係之組合，使隧道電流經由薄的閘絕緣膜產生，而進行對浮閘之電荷的注入或放出。據此，使其臨限值電壓變化而進行寫入動作和抹除動作。和在圖21所示之抹除，寫入定義雖將相反但是對動作並無實質上的差異。

在表1之非選擇，以／（斜線）分開顯示的2個電壓或狀態，係對應於選擇段／非選擇段。亦即，在非選擇段

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（13）

，大多數情況將由如前述的選擇ＭＯＳＦＥＴ之ＯＦＦ狀態，將使之成爲ＯＰＥＮ狀態。據此，將能夠防止在非選擇段的記憶ＭＯＳＦＥＴ加上應力。

在圖９，顯示有關本發明的半導體記憶裝置之其他一實施例的主要部分方塊圖。在本實施例，將對應於由ＣＭＯＳ閂扣電路所成的讀出放大器之一對輸出入，在上下配置一對記憶墊。讀出放大器ＳＡ，係分爲偶數（ＥＶＥＮ）資料線用者和奇數（ＯＤＤ）資料線用者。在該圖中，雖然畫成偶數用的讀出放大器ＳＡ和奇數用之讀出放大器ＳＡ係配置成上下，但是實際上也可以排在一直線上配置。

在偶數用的讀出放大器之一對輸入，將連接上側和下側的記憶墊之第偶數的資料線。在奇數用之讀出放大器的一對輸入，將連接上側和下側之記憶墊的第奇數之資料線。對應於記憶墊所設的副譯碼器ＳＵＢ－ＤＣＲ，主譯碼器ＭＡＮ－ＤＣＲ及閘譯碼器ＧＤＣＲ（未圖示），係和前述圖７相同。

讀出放大器控制電路ＳＡＣ，將產生偶數用的讀出放大器活性化信號／Ｄ０和Ｄ０與奇數用讀出放大器活性化信號／Ｄ１和Ｄ１。上述信號／Ｄ０將供給到把電源電壓供給偶數用讀出放大器ＳＡ的Ｐ通道型ＭＯＳＦＥＴ之閘極，上述信號Ｄ０將供給到把電路的接地電位供給偶數用讀出放大器ＳＡ之Ｎ通道型ＭＯＳＦＥＴ的閘極。同樣地，上述信號／Ｄ１將供給到把電源電壓供給奇數用讀出放

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（14）

大器ＳＡ的Ｐ通道型ＭＯＳＦＥＴ之閘極。上述信號Ｄ１將供給到把電路的接地電位供給到奇數用讀出放大器ＳＡ之Ｎ通道型ＭＯＳＦＥＴ的閘極。位址緩衝器和輸出入緩衝器及控制電路和電壓發生電路等，因與前述圖７之實施例相同，故在該圖省略。

在圖１０，顯示上述記憶墊和其外圍部的一實施例之概略電路圖。記憶器陣列的構成，係和圖８之實施例相同。在本實施例，係對應於對讀出放大器ＳＡ將設置一對記憶墊，而說明對應於讀出放大器ＳＡ和上述一"對記憶墊的資料線之關係。

讀出放大器ＳＡ的一對輸出入節點，將根據第１Ｙ系統譯碼器所選擇之開關ＭＯＳＦＥＴ（ＹＳ１）連接到其對應的輸出入線，該輸出入線，將根據由第２Ｙ譯碼器所選擇之開關ＭＯＳＦＥＴ（ＹＳ２），連接到設成奇數用和偶數用共通的輸出入線Ｉ／Ｏ。亦即，挾著該輸入線Ｉ／Ｏ，上述奇數用和偶數用之讀出放大器，及分別對應地設置的第１Ｙ譯碼器所選擇之開關將設成對稱性。

將設在資料線ＤＬ和讀出放大器ＳＡ的輸出入節點之間的開關ＭＯＳＦＥＴ，爲讀出用之預充電ＭＯＳＦＥＴ，寫入用的預充電ＭＯＳＦＥＴ及開關ＭＯＳＦＥＴ。關於此等ＭＯＳＦＥＴ，將在以後根據圖１５等說明。

在圖１１和圖１２，顯示有關本發明的半導體記憶裝置之其他一實施例的全體方塊圖。亦即，在圖１１，顯示有關本發明之半導體記憶裝置的一部份方塊圖，而在圖

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（15）

12顯示其餘之方塊圖。圖11和圖12的記憶器陣列，係使在此等所設之讀出放大器SA和Y閘YG的部份會鄰接地設成對稱。亦即，圖11和圖12之記憶器陣列部份，係和圖9者類似。但是，在本實施例，將挾著讀出放大器SA設置一對Y閘YG。對應於該Y閘將設置一對輸出入線I／OR和I／OL。

圖11的控制電路CONT，讀出放大器控制電路SAC，係和前述圖7者相同。再者，圖12之讀出放大器控制電路SAC，電壓發生電路VG，命令譯碼器CDCR，狀態暫存器SREG及資料輸入緩衝器IB，資料輸出緩衝器OB，位址緩衝器ADB，位址發生電路ADG及位址閂扣AL，也和前述圖7者相同。主放大器MA，將把上述奇數側成偶數側的輸出入線I／OLR之信號放大，而傳輸至資料輸出緩衝器OB的輸入。DKMC爲大MOS控制電路，將根據位址信號Aye和Ayo之時脈（clock）信號AC及T_{SA}，使對應奇數側或偶數側的讀出放大器SA之選擇信號DPBO，DN0及DPB1，DN1發生。

在本實施例，做爲半導體記憶裝置的外部端子之端子，係和內部端子區別地以○表示。例如，將供給到控制電路CONT的控制信號／CE，／OE，SC，／WE，RS爲外部端子。供給到位址緩衝器ABD之位址信號Ai和設在電壓發生電路VG的電壓端子Vcc和Vss爲外部端子。然後，對應於資料輸入緩衝器IB之資料端

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（16）

子Ｉｉ和對應於資料輸出緩衝器ＯＢ的資料端子Ｏｉ和ＲＤＹ／ＢＳＵＹ爲外部端子。

在圖２，顯示上述讀出放大器和記憶器陣列之一實施例的電路圖。在該圖，有同時動作之２個讀出放大器，和關於分別在此所連接的資料線之電路做爲爲代表而例示。其連接關係，係例如在後述的圖１３所示。

讀出放大器ＳＡ，將使用Ｐ通道型ＭＯＳＦＥＴ和Ｎ通道型ＭＯＳＦＥＴ所成之２個ＣＭＯＳ反換器電路的輸入和輸出交叉連接而成的ＣＭＯＳ閂扣電路。此等ＣＭＯＳ閂扣電路，將根據在Ｐ通道型ＭＯＳＦＥＴ之源極側經由Ｐ通道型的共通電源開關ＭＯＳＦＥＴＱ４供給電源電壓，在Ｎ通道型ＭＯＳＦＥＴ之源極側經由Ｎ通道型的共通電源開關ＭＯＳＦＥＴＱ５供給電路之接地電位而活性化。

此等電源開關ＭＯＳＦＥＴＱ４和Ｑ５，係對上述多數所成的讀出放大器共通地使用，爲了把動作電流供給此等讀出放大器將成爲較大之尺寸。由於此等開關ＭＯＳＦＥＴＱ４和Ｑ５，係如上述地尺寸大，所以稱爲大ＭＯＳ。

以上述讀出放大器爲中心，將配置一對數元線ＢＬ０Ｌ和ＢＬ０Ｒ。此等一對數元線ＢＬ０Ｌ和ＢＬ０Ｒ，將設置由控制信號ＴＲＬ和ＴＲＲ所開關控制之移轉ＭＯＳＦＥＴＱ２等。在本實施例，左右的數元線係電路配置成對稱，其他之數元線ＢＬ１Ｌ，ＢＬ１Ｒ也

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（17）

成爲同樣的電路，故在以下說明之包含各ＭＯＳＦＥＴ，只在上述左側的數元線ＢＬ０Ｌ所設之ＭＯＳＦＥＴ附有電路記號。

在讀出放大器ＳＡ的輸入節點ＮＯＬ和ＮＯＲ，將設置由控制信號ＳＥＴＬ和ＳＥＴＲ所開關控制之復置用的ＭＯＳＦＥＴＱ３等。此等復置ＭＯＳＦＥＴＱ３等，將在讀出放大器取入輸入信號前，使上述讀出放大器之輸出入節點ＮＯＮ，ＮＯＲ的電位復置成電路之接地電位。

在上述數元線ＢＬ０Ｌ和ＢＬ０Ｒ，將設置預充電ＭＯＳＦＥＴＱ１等。此等預充電ＭＯＳＦＥＴＱ１等，將根據控制信號ＰＲＬ和ＰＲＲ所控制。在本實施例，上述控制信號ＰＲＬ和ＰＲＲ的電位，將對數元線ＢＬ０Ｌ及ＢＬ０Ｒ之預充電電壓，使之成爲只高出臨限值電壓Ｖｔｈ的電位。亦即，在讀出動作，如後述地選擇左側之數元線ＢＬ０Ｌ時，將使上述控制信號ＰＲＬ的電位對如大約１Ｖ之數元線預充電電壓，成爲只高出上述臨限值電壓Ｖｔｈ的電壓。非選擇側之數元線ＢＬ０Ｒ，將爲了形成此時的基準電壓而利用，對於對應讀出基準電壓之如０．５Ｖ的預充電電壓，將使之成爲只高出上述臨限值電壓Ｖｔｈ的電壓。因此，上述預充電ＭＯＳＦＥＴＱ１等，將做爲源極隨動形態之放大ＭＯＳＦＥＴ而動作。

對應於上述元線ＢＬ０Ｌ和ＢＬ０Ｒ的讀出放大器之輸出入節點ＮＯＬ，ＮＯＲ，將經由行開關ＭＯＳＦＥＴ連接在輸出入線Ｉ／ＯＬｉ和Ｉ／ＯＲｉ。在如此的行開

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（18）

關ＭＯＳＦＥＴ之閘極，將供給Ｙ選擇信號ＹＧｉ。對應於其他數元線ＢＬ１Ｌ和ＢＬ１Ｒ的讀出放大器之輸出入節點Ｎ１Ｌ，Ｎ１Ｒ，將經由行開關ＭＯＳＦＥＴ連接在輸出入線Ｉ／ＯＬｉ和Ｉ／ＯＲｉ。在如此的行開關ＭＯＳＦＥＴ之閘極，將供給Ｙ選擇信號ＹＧｊ。該輸出入線Ｉ／ＯＬｉ和Ｉ／ＯＲｉ，將如後述地做爲讀出信號路徑及寫入信號路徑而共用。

在構成１個段的記憶ＭＯＳＦＥＴＱｍ０等之共通化的汲極和數元線ＢＬ０Ｌ之間將設置選擇ＭＯＳＦＥＴＱ０Ｄ。在此等選擇ＭＯＳＦＥＴＱ０Ｄ和Ｑ０Ｓ的閘極，將供給根據主譯碼器ＭＡＮ－ＤＣＲ所形成之選擇信號ＳＴＤＬ和ＳＴＳＬ。在對上述讀出放大器ＳＡ將配置在右側的數元線ＢＬ０Ｒ所設之記憶ＭＯＳＦＥＴ所設的選擇ＭＯＳＦＥＴ之閘極，也將供給和前述相同的選擇信號ＳＴＤＲ，ＳＴＳＲ。

在圖３（Ａ）及圖３（Ｂ），顯示說明上述讀出放大器的放大動作之一實施例用的波形圖。圖３（Ａ），係顯示在數元線ＢＬ０Ｌ所設之記憶ＭＯＳＦＥＴ保持邏輯〝０〞的記憶資訊時，換言之，記憶ＭＯＳＦＥＴ的臨限值電壓Ｖｔｈ對字線之選擇電位Ｖｃｃ高時（Ｖｔｈ≧Ｖｃｃ）。圖３（Ｂ），係顯示在數元線ＢＬ１Ｌ所設的記憶ＭＯＳＦＥＴ保持邏輯〝１〞之記憶資訊時，換言之，記憶ＭＯＳＦＥＴ的臨限值電壓Ｖｔｈ對字線之選擇電位Ｖｃｃ低時（Ｖｃｃ≧Ｖｔｈ≧０）。再者，上述圖３

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（19）

（A）及圖3（B），皆顯示使控制信號STDR成爲低電平，讀出連接在左側的數元線BL0L，BL1L之記憶MOSFET的資訊之情況。

使信號SETL及SETR成爲低電平，把讀出放大器的輸入節點N0L和N0R固定爲電路之接地電位的復置MOSFET將成爲OFF狀態。信號STDL將成爲高電平，而將選擇1個記憶段。大約與此同時，字線WL0L也將使之成爲高電平（Vcc）。

上述X系統的選擇動作開始時，將使信號PRL和PRR成爲對應於數元線BL0L（BL1L）和BL0R（BL1R）之預充電電壓的電壓，預充電MOSFETQ1等將做爲源極隨動放大MOSFET作用，而使連接在其源極之選擇記憶器陣列側的數元線BL0L（BL1L）預充電爲約1V，而使非選擇記憶器陣列側之數元線BL0R（BL1R）預充電爲約0.5V。該預充電動作結束時，信號PRL和PRR將使之成爲低電平，上述預充電MOSFETQ1等將使之成爲OFF狀態。因此，數元線BL0L（BL1L）和BL0R（BL1R）係以高阻抗狀態保持上述預充電電平。

將使信號STSL成爲高電平。如圖3（A）地連接在所選擇的字線之記憶MOSFET爲OFF狀態時，數元線BL0L的電位將維持預充電電位。相對地，如圖3（B）地連接在所選擇之字線的記憶MOSFET爲ON

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（20）

狀態時，數元線ＢＬ１Ｌ將會放電。

爲了使選擇ＭＯＳＦＥＴ及在選擇段的非選擇ＭＯＳＦＥＴ之應力成爲最小，如圖３（Ｂ）地數元線ＢＬ１Ｌ的電位會成爲基準電壓以下之時間經過時，將使信號ＳＴＤＬ和ＳＴＳＴ皆成爲低電平。據此，在記憶ＭＯＳＦＥＴ最大也只會施加如數線ＢＬ０Ｌ，ＢＬ１Ｌ的預充電電壓。

接著，將使信號ＴＲＬ和ＴＲＲ成爲高電平。於是，移轉ＭＯＳＦＥＴＱ２等將成爲ＯＮ狀態，而使數元線ＢＬ０Ｌ（ＢＬ１Ｌ）和ＢＬ０Ｒ（ＢＬ１Ｒ）和讀出放大器ＳＡ連接。如前所述，讀出放大器ＳＡ的輸入節點ＮＯＬ（Ｎ１Ｌ）和ＮＯＲ（Ｎ１Ｒ）之電位，係成爲接地電位，所以根據充電分配節點ＮＯＬ（Ｎ１Ｌ）和ＮＯＲ（Ｎ１Ｒ），將分別成爲根據數元線ＢＬ０Ｌ（ＢＬ１Ｌ）和ＢＬ０Ｒ（ＢＬ１Ｒ）的電位之電位。

如此的讀出放大器ＳＡ之輸入信號的取入結束時，信號ＤＰＢ將成爲低電平，信號ＤＮ成爲高電平而ＭＯＳＦＥＴＱ４和Ｑ５成爲ＯＮ狀態，讀出放大器將開始放大動作。在圖３（Ａ），數元線ＢＬ０Ｌ和節點ＮＯＬ會根據上述讀出放大器ＳＡ的放大動作而向高電平上升，數元線ＢＬ０Ｒ和節點ＮＯＲ會向低電平降低。在圖３（Ｂ），數元線ＢＬ１Ｌ和節點Ｎ１Ｌ將根據上述讀出放大器ＳＡ之放大動作而向低電平降低，數元線ＢＬ１Ｒ和節點Ｎ１Ｒ會向高電平上升。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（21）

在本實施例，爲了動作的高速化和低消耗電力化在上述放大剛開始後，換言之，在上述數元線ＢＬ０Ｌ（ＢＬ１Ｒ）和節點ＮＯＬ（Ｎ１Ｒ）根據放大動作稍抬高爲高電平的時刻，使信號ＴＲＬ和ＴＲＲ爲成低電平。根據該信號ＴＲＬ和ＴＲＲ之低電平，將使移轉ＭＯＳＦＥＴＱ２等成爲ＯＦＦ狀態，讀出放大器ＳＡ和數元線ＢＬ０Ｌ（ＢＬ１Ｌ），ＢＬ０Ｒ（ＢＬ１Ｒ）將會切離。根此，讀出放大器ＳＡ，將由於連接多數的記憶電晶體等而從具有大寄生容量的數元線ＢＬ０Ｌ和ＢＬ１Ｒ切離，只需使在本身之輸入節點（也是輸出節點）的小寄生容量充電即可，故能高速地把輸入節點ＮＯＬ和Ｎ１Ｒ上升爲如電源電壓Ｖｃｃ之高電平。

通常，數元線的寄生容量，係使之對讀出放大器的輸入節點之寄生容量大１０倍以上，所以能夠削減把如上述的數元線充電至電源電壓Ｖｃｃ所需要之電流，同時能夠大幅度減少其時常數，所以能使讀出放大器ＳＡ高速化和低消耗電力化。

在圖４（Ａ）及圖４（Ｂ），顯示爲了說明上述讀出放大器的放大動作之其他一實施例用的波形圖。圖４（Ａ），係顯示在數元線ＢＬ０Ｌ所設之記憶ＭＯＳＦＥＴ保持邏輯〝０〞的資訊時，換言之，記憶ＭＯＳＦＥＴ的臨限值電壓Ｖｔｈ對字線之選擇電位Ｖｃｃ（Ｖｔｈ≧Ｖｃｃ）時。圖４（Ｂ），係顯示在數元線ＢＬ１Ｌ所設的記憶ＭＯＳＦＥＴ保持邏輯〝１〞之記憶資訊時，換言

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（22）

之，記憶ＭＯＳＦＥＴ的臨限值電壓Ｖｔｈ對字線之選擇電位Ｖｃｃ低（Ｖｃｃ≧Ｖｔｈ≧０）時。再者，上述圖４（Ａ）及圖４（Ｂ），皆顯示使控制信號ＳＴＤＲ成爲低電平，讀出連接在左側的數元線ＢＬ０Ｌ，ＢＬ１Ｌ之記憶ＭＯＳＦＥＴ的情況。

在本實施例，使信號ＴＲＬ和ＴＲＲ成爲低電平之時脈（clock），將此根據信號ＤＰＢ和ＤＮ使讀出放大器活性化的時脈(clock)之前進行。亦即，如上述地讀出放大器開始放大動作前，使移轉ＭＯＳＦＥＴ成爲ＯＦＦ狀態，也由於在讀出放大器的輸入節點ＮＯＬ（Ｎ１Ｌ）和ＮＯＲ（Ｎ１Ｒ）等，已根據記憶ＭＯＳＦＥＴ之記憶資訊取入有信號電平和基準電壓所以沒有問題。此時，因在開始放大時從讀出放大器ＳＡ側對數元線完全不供給電流，所以更能設法高速化和低消耗電力化。

讀出放大器開始放大動作時，因在輸入節點只有較小的信號電平，爲了使之進行安定的放大動作，也可以在開始動作時由進行小的電流供給之ＭＯＳＦＥＴ供給動作電壓，等到放大信號變成某程度地大時再由進行大的電流供給之ＭＯＳＦＥＴ供給動作電壓的進行２階段放大動作者。爲了將此實現，只要把電源開關ＭＯＳＦＥＴ，連接成小尺寸之ＭＯＳＦＥＴ和大尺寸的ＭＯＳＦＥＴ之並聯形態，在開始放大時使上述小尺寸的ＭＯＳＦＥＴ成爲ＯＮ狀態，其後使大尺寸之ＭＯＳＦＥＴ成爲ＯＮ狀態地控制。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（23）

在圖5（A）及圖5（B），顯示有爲了說明上述讀出放大器的放大動作之其他一實施例的波形圖。和前述圖3（A）相同，圖5（A）係顯示在數元線BL0L所設之記憶MOSFET保持邏輯〝0〞的記憶資訊時，換言之，記憶MOSFET的臨限值電壓對字線之選擇電位Vcc高（Vth≧Vcc）時。圖5（B），係顯示設在數元線BL1L的記憶MOSFET保持邏輯〝1〞之記憶資訊時，換言之，記憶MOSFET的臨限值電壓Vth對字線之選擇電位Vcc低（Vcc≧Vth≧0）時。再者，上述圖5（A）及圖5（B），皆顯示使控制信號STDR成爲低電平，把連接在左側的數元線BL0L，BL1L之記憶MOSFET讀出的情況。

將使信號SETL及SETR成爲低電平，把讀出放大器的輸入節點N0L和N0R固定成電路之接地電位的復置MOSFET成爲OFF狀態。使信號STDL成爲高電平而選擇1個記憶段。略與此同時，也使字線W0L成爲高電平（Vcc）。

上述X系統之選擇動作開始時，將使信號PRL和PRR成爲對應於數元線BL0L（BL1L）和BLOR（BL1R）的預充電電壓之電壓，預充電MOSFETQ1等將做爲源極隨動放大MOSFET而作用，將其連接在源極的選擇記憶器陣列側之數元線BL0L（BL1L）預充電爲約1V，非選擇記憶器陣列側的數元線BL0R（BL1R）預充電爲約0.5V

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（24）

。該預充電動作結束時，將使信號ＰＲＬ和ＰＲＲ成爲低電平，上述預充電ＭＯＳＦＥＴＱ１等成爲ＯＦＦ狀態。因此，數元線ＢＬ０Ｌ（ＢＬ１Ｌ）和ＢＬ０Ｒ（ＢＬ１Ｒ）係以高阻抗狀態保持上述預充電電平。

使信號ＳＴＳＬ成爲高電平。如圖５（Ａ）所示地連接在所選擇的字線之記憶ＭＯＳＦＥＴ爲ＯＦＦ狀態時，數元線ＢＬ０Ｌ的電位將繼續維持預充電電平。相對地，如圖５（Ｂ）所示地連接在所選擇的字線之記憶ＭＯＳＦＥＴ爲ＯＮ狀態時，將使數元線ＢＬ０Ｌ放電。

接著，將使信號ＴＲＬ和ＴＲＲ成爲中間性高電平。亦即，並非使之如前述圖３（Ａ）及圖３（Ｂ）成爲對應電源電壓的高電平，而使之成爲上述數元線ＢＬ０Ｌ的高電平之讀出所需要的中間電平，換言之，成爲對數元線ＢＬ０Ｌ的高電平高出開關ＭＯＳＦＥＴＱ２等之臨限值電壓Ｖｔｈｎ的電壓。據此，移轉ＭＯＳＦＥＴＱ２等將成爲ＯＮ狀態，數元線ＢＬ０Ｌ（ＢＬ１Ｌ）和ＢＬ０Ｒ（ＢＬ１Ｒ）將和讀出放大器ＳＡ連接。如前述地讀出放大器ＳＡ的輸入節點ＮＯＬ（Ｎ１Ｌ）和ＮＯＲ（Ｎ１Ｒ）之電位，係成爲接地電位，所以節點ＮＯＬ（Ｎ１Ｌ）和ＮＯＲ（Ｎ１Ｒ）將根據充電分配，分別成爲根據數元線ＢＬ０Ｌ（ＢＬ１Ｌ）和ＢＬ０Ｒ（ＢＬ１Ｒ）的電位之電位。

如此的讀出放大器ＳＡ之取入輸入信號結束時，信號ＤＰＢ將使之成爲低電平，信號ＤＮ成爲高電平而

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（25）

ＭＯＳＦＥＴＱ４和Ｑ５將成爲ＯＮ狀態，讀出放大器將開始放大動作。在圖５Ａ，數元線ＢＬ０Ｌ和節點Ｎ０Ｌ將根據上述讀出放大器ＳＡ的放大動作而向高電平上升，數元線ＢＬ０Ｒ和節點Ｎ０Ｒ將向低電平降低。在圖５（Ｂ），數元線ＢＬ１Ｌ和節點Ｎ１Ｌ將根據上述讀出放大器ＳＡ的放大動作而向低電平降低，數元線ＢＬ１Ｒ和節點Ｎ１Ｒ將向高電平上升。

在本實施例，係如上述地供給到開關ＭＯＳＦＥＴＱ２等的閘極之信號ＴＲＬ和ＴＲＲ係成爲中間性的高電平，所以節點Ｎ０Ｌ根據讀出放大器ＳＡ之放大動作而成爲高電平時，與其對應的開關ＭＯＳＦＥＴ將會自動地成爲ＯＦＦ狀態，使節點Ｎ０Ｌ之高電平的上升成爲高速，同時將會減低此時之充電電流。對應於電平側的節點Ｎ０Ｒ之開關ＭＯＳＦＥＴ係繼續ＯＮ狀態，隨著讀出放大器的放大動作，數元線ＢＬ０Ｒ之電位也將由如電路的接地電位之低電平所降低。

在本實施例，對應讀出放大器ＳＡ的放大輸出之高電平的移轉ＭＯＳＦＥＴ將自動地使之成爲ＯＦＦ狀態，使高電平讀出的數元線之電位停止在約如１Ｖ的高電平，故能設法防止對記憶格的軟寫（soft light；讀出時邏輯值〝１〞的記憶格，會寫入邏輯值〝０〞之資料）。在上述讀出放大器開始動作之前不需要使信號ＳＴＳＬ和ＳＴＤＬ成爲低電平，只要以讀出放大器ＳＡ開始放大動作後的適當時脈（clock）使上述信號ＳＴＳＬ和ＳＴＤ

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（26）

L成爲低電平即可，所以時脈（clock）設定將變爲容易。

在圖6（A）及圖6（B），顯示爲了說明上述讀出放大器的放大動作之更其他的一實施例用之波形圖。和前述圖4（A）同樣地圖6（A），係顯示在數元線BL0L所設的記憶MOSFET保持邏輯〝0〞之記憶資訊時，換言之，記憶MOSFET的臨限值電壓Vth對字線之選擇電位Vcc高（Vth≧Vcc）時。圖6（B），係顯示在數元線BL1L所設的記憶MOSFET保持邏輯〝1〞之記憶資訊時，換言之，記憶MOSFET的臨限值電壓Vth對字線之選擇電位Vcc低（Vcc≧Vth≧0）時。再者，上述圖6（A）及圖6（B），皆顯示使控制信號STDR成爲低電平，而讀出連接在左側的數元線BL0L，BL1L之記憶MOSFET之情況。

在本實施例，和圖4（A）及圖4（B）同樣地使信號TRL和TRR成爲低電平的時脈（clock），將在根據信號DPB和DN使讀出放大器活性化之時脈（clock）前進行。亦即，如上述地在讀出放大器開始放大動作之前，使移轉MOSFET成爲OFF狀態，因在讀出放大器的輸入節點N0L（N1L）和N0R（N1R）等，已根據記憶MOSFET之記憶資訊取入信號電平和基準電壓所以沒有問題。此時，在開始放大時從讀出放大器SA側對數元線將完全不供給電流，所以更能設法使之高

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（27）

速化和低消耗電力化。

本實施例，係著眼於讀出放大器ＳＡ開始放大動作之前，將使供給到開關ＭＯＳＦＥＴＱ２等的閘極之信號ＲＴＬ和ＴＲＲ成爲低電平，而使信號ＳＴＤＬ和ＳＴＳＬ從高電平成爲低電平的時脈（clock），在讀出放大器ＳＡ開始放大動作之後進行者。亦即，根據如上述的開關ＭＯＳＦＥＴＱ２等之ＯＦＦ狀態能防止向記憶格的軟寫（讀出時邏輯值〝１〞的記憶格，會寫入邏輯值〝０〞之資料），所以不必在上述讀出放大器之動作開始前使信號ＳＴＳＬ和ＳＴＤＬ成爲低電平，只要以讀出放大器ＳＡ開始放大動作後的適當時脈（clock）使上述信號ＳＴＳＬ和ＳＴＤＬ成爲低電平即可，所以時脈（clock）設定將變爲容易。

再者，和前述同樣地讀出放大器開始放大動作時，在輸入節點只有較小的信號電平，所以也可以爲了使之進行安定的放大動作，在動作開始時根據進行供給小電流之ＭＯＳＦＥＴ供給動作電壓，等放大信號變成某程度地大時再根據進行供給大電流的ＭＯＳＦＥＴ供給動作電壓之２階段放大動作。爲此，電源開關ＭＯＳＦＥＴ，將使小尺寸的ＭＯＳＦＥＴ和大尺寸之ＭＯＳＦＥＴ連接成並聯形態，在開始放大時使上述小尺寸的ＭＯＳＦＥＴ成爲ＯＮ狀態，其後使大尺寸之ＭＯＳＦＥＴ成爲ＯＮ狀態地予以控制。

在圖２０，顯示有軟寫（讀出時邏輯值〝１〞的記憶

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（28）

格，會寫入邏輯值〝0〞之資料）壽命的特性圖。所謂軟寫（讀出時邏輯值〝1〞的記憶格，會寫入邏輯值〝0〞之資料），係指在讀出時在邏輯〝1〞之記憶格，會寫入邏輯〝0〞的資料之現象。亦即，在讀出時將在記憶格通電而讀出，但是，此時如果提高汲極電壓時熱電子的發生確率會增大，而把其中之電子的一部份取入到浮閘。如此地，當浮閘進行取入電子時，將會帶負電位而使記憶格之臨限值電位變高。當臨限值電壓變高到某電位以上時，其記憶格將做爲邏輯〝1〞不能讀，故其記憶信號的壽命將結束。

爲了延長軟寫（讀出時邏輯值〝1〞的記憶格，會寫入邏輯值〝0〞之資料）壽命，只需減少熱電子之發生確率即可。做爲減少該熱電子的發生確率之方法，雖然可以考慮降低記憶格的汲極電壓之方法，或爲了減弱在汲極近傍的電場而擴大空泛層之方法，但是，爲了進行元件的微細化，擴大空泛層之方法比較不利。因此，在本實施例，係如前述地降低讀出時的汲極電壓。如圖２０之特性圖所示，爲了保證軟寫（讀出時邏輯值〝1〞的記憶格，會寫入邏輯值〝0〞之資料）壽命爲１０年，設去使連接記憶格的汲極之數元線ＢＬ的預充電電壓成爲１Ｖ程度，使讀出放大器之放大輸出不會施加在記憶格的汲極者。

在圖１３，顯示有爲了說明資料線和上述ＣＭＯＳ閂扣電路所成的讀出放大器之關係用的一實施例之電路圖。在該圖，有挾著讀出放大器ＳＡ所配置的２個記憶墊之４

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 29）

條資料線ＤＬ０～ＤＬ３和與此對應的４個讀出放大器ＳＡ做爲代表而例示性地顯示。

讀出放大器ＳＡ，係如圖１５所示，由輸入和輸出交叉連接的一對ＣＭＯＳ反換器電路所構成。在上述由ＣＭＯＳ反換器電路所成之閂扣電路，將如前述地根據電源供給用的開關ＭＯＳＦＥＴ進行活性化，所以實質上將進行和同步脈衝反換器相同之動作。因此，在該圖，上述２個ＣＭＯＳ反換器電路係以同步脈衝反換器電路的形態顯示。

在上述讀出放大器之一對輸入，將設置把輸入節點設定成０Ｖ的ＭＯＳＦＥＴ（圖２之Ｑ３）。據此，在開始放大動作之前輸入信號會設定爲０Ｖ。上述讀出放大器ＳＡ的一對輸入，將經由移轉ＭＯＳＦＥＴ（ＴＲＭＯＳ）連接在資料線ＤＬ０～ＤＬ３。移轉ＭＯＳＦＥＴ，係對應於第偶數之資料線ＤＬ０和ＤＬ２與第奇數的資料線ＤＬ１和ＤＬ３而分成２個，將分別供給選擇信號Ｆ０和Ｆ１。與此對應，在偶數資料線ＤＬ０和ＤＬ２所設的預充電ＭＯＳＦＥＴ之閘極，將被供給預充電電壓Ｖｒ０，而在奇數資料線ＤＬ１和ＤＬ３所設的預充電ＭＯＳＦＥＴ之閘極，將會供給預充電電壓Ｖｒ１。上述選擇信號Ｆ０和Ｆ１，係對應於圖２的信號ＴＲＬ和ＴＲＲ。電壓Ｖｒ０和Ｖｒ１也對應於信號ＰＲＬ和ＰＲＲ。

在上述讀出放大器ＳＡ之一對輸入，分別設有構成Ｙ

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 30）

閘極ＹＧ的開關ＭＯＳＦＥＴ，在各閘極將被供給選擇信號Ｙ０～Ｙ３０上述Ｙ閘極ＹＧ之輸出係已共通化，經由構成第２段Ｙ閘極的開關ＭＯＳＦＥＴ，將連接在導至資料輸入緩衝器和資料輸出緩衝器之輸出入用資料線Ｉ／Ｏ。

在本實施例，係和前述一樣地上述一對的記憶墊係一方被活性化時，他方將被非活性化。該被非活性化之記憶墊，雖被非活性化，但是上述移轉ＭＯＳＦＥＴ將成爲ＯＮ狀態，與之對應的資料線將連接到讀出放大器之輸入。然後，如前述地在非活性記憶墊側，資料線的預充電電壓Ｖｒ，將設定爲會變成所活性化之記憶墊的資料線之高電平和低電壓的中間電位地低。據此，非活性側之記憶墊的資料線將能做爲讀出放大器之基準電壓（Ｒｅｆ，ＤＬ）使用。

雖未特別限制，但是，對應於讀出放大器根據ＣＭＯＳ閂扣電路所構成，在寫入動作時將對各門扣保持寫入資料。亦即，把上述Ｙ閘極ＹＧ依次開啓將寫入資料設定後，使偶數用和奇數用的移轉ＭＯＳＦＥＴ同時成爲ＯＮ狀態而同時進行寫入動作者。根據如此之寫入動作而把讀出放大器的動作電壓切換成如４Ｖ之電壓。對此，在讀出動作及寫入確時脈（ｃｌｏｃｋ），將除了第１個記憶循環偶數和奇數的資料線會交互地鋸齒狀地活性化。

在圖１４，顯示爲了說明對應圖１３之讀出動作的一例用之波形圖。在該圖，顯示附帶字線的切換之連續讀出

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明 (31)

動作之例。

根據第1個記憶循環被選擇字線ＷＬ０時，所有的資料線ＤＬ０～ＤＬ３等將活性化，隨之所有的讀出放大器將會活性化。在該圖中以虛線表示者爲預充電電壓Ｖｒ，和移轉ＭＯＳＦＥＴ之選擇信號。產生選擇信號Ｙ０而進行對應於資料線ＤＬ０的資料Ｄｏｕｔ之輸出，接著產生選擇信號Ｙ２而進行對應於資料線ＤＬ２的資料Ｄｏｕｔ之輸出。

接著，和對應於選擇信號Ｙ１將進行對應於第奇數的資料線ＤＬ１之資料Ｄｏｕｔ的輸出並行，將進行字線之切換。亦即，將使字線ＷＬ０成爲非選擇，代之將選擇對應於下一個位址的字線ＷＬ１。對應於該字線ＷＬ１之選擇動作，將進行對上述結束讀出動作的第偶數之資料線ＤＬ０和ＤＬ２的預充電動作，和讀出放大器之放大動作。能夠進行如此的字線切換之原因，係由於讀出放大器ＳＡ和資料線已由移轉ＭＯＳＦＥＴ所分開。亦即，由於對應上述第奇數的資料線ＤＬ１之資料Ｄｏｕｔ的輸出，只需根據讀出放大器ＳＡ所保持之資料被輸出即可。

接著上述對應於資料線ＤＬ１的資料Ｄｏｕｔ之輸出將根據選擇信號Ｙ３進行對應資料線ＤＬ３的資料Ｄｏｕｔ之輸出。此後，將再度產生選擇信號Ｙ０，而輸出對應於字線ＷＬ１的資料線ＤＬ０之資料Ｄｏｕｔ。在其間根據字線ＷＬ２的選擇動作讀出到資料線ＤＬ１和ＤＬ３之信號將根據讀出放大器所放大。以下，對應於選

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 32）

擇信號Ｙ２，Ｙ２及Ｙ３而對應於資料線ＤＬ２，ＤＬ１及ＤＬ３的資料Ｄｏｕｔ將會依次輸出。如果將再度進行字線切換時，將在對應於第偶數之資料線ＤＬ２的資料Ｄｏｕｔ之輸出結束的時脈（clock）進行。

在圖１５，顯示爲了說明資料線和上述讀出放大器之關係用的其他一實施例之電路圖。在本實施例，係對圖１３的實施例，追加自動寫入機能。

在圖１６（Ａ）及圖１６（Ｂ），顯示有說明上述圖１５的實施例電路之動作用的波形圖。在圖１６（Ａ），顯示其寫入動作（Program）和寫入確定動作（Program Verify）之波形圖。以下，參照該波形圖，說明上述自動寫入機能。在寫入動作，雖然在該圖省略，但是在向記憶格的寫入動之前，將經由Ｙ閘極輸入寫入資料Ｔ　Ｄａｔａ。此時，讀出放大器已使大ＭＯＳ成ＯＮ狀態而活性化，將進行上述寫入資料的取入動作。

ＭＯＳＦＥＴ將根據信號ＰＷ０成爲ＯＮ狀態。上述寫入資料Ｔ　Ｄａｔａ爲低電平時，將之接收的自動寫入電路之ＭＯＳＦＥＴ爲ＯＦＦ狀態所以資料線ＤＬ１的電位將維持低電平，但是，如該圖所示地資料Ｔ　Ｄａｔａ爲高電平時，上述自動寫入電路之ＭＯＳＦＥＴｓ將經由根據信號ＰＷ０成爲ＯＮ狀態的ＭＯＳＦＥＴ由電源電壓Ｖｃｃ所充電。據此，將對具有大寄生容量之資料線ＤＬ１進行預備性的充電動作。據此，將能保止保持在讀出放大器之寫入資料，會由上述資料線ＤＬ１的低電平所

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 33）

反轉。

接著，信號ＴＳ０將成爲Ｖｃｃ以上。據此，移轉ＭＯＳＦＥＴ將成爲ＯＮ狀態，經由讀出放大器使資料線ＤＬ１的電位成爲寫入動作所需要之電壓４Ｖ程度。雖然在該圖未顯示，但是由於將使字線成爲如－１０Ｖ的電壓，故在浮閘和汲極之間將施加向汲極側的高電壓，而進行從浮閘向汲極會通隧道電流之寫入動作。

根據如上述的寫入動作之結束而使信號ＰＷ０成爲低電平，設定ＭＯＳＦＥＴ變成ＯＮ狀態，資料線ＤＬ１的電位將設定爲低電平而移行至寫入確定。亦即，信號ＲＲ０將成爲預充電電壓Ｖｒ而進行資料線ＤＬ１之預充電。對此，非選擇記憶墊側的信號ＰＲ１，將如上述地使之成爲對應於基準電壓的電位，所以非選擇記憶墊側之資料線ＤＬ１的電位將變成基準電壓Ｒｅｆ，ＤＬ。

上述大（Ｄｅｋａ）ＭＯＳＦＥＴ的將成爲ＯＦＦ狀態而讀出放大器將會一旦變成非活性化狀態。如果上述進行寫入的記憶ＭＯＳＦＥＴ之臨限值電壓變低時，資料線ＤＬ１的電位將降低爲電位（ＯＫ　Ｄａｔａ），如果寫入不充份而臨限值電壓維持高時將會維持高電平（ＮＧ　Ｄａｔａ）。移轉ＭＯＳＦＥＴ將根據信號ＴＳ０和ＴＳ１成爲ＯＮ狀態，上述讀出資料和基準電壓Ｒｅｆ，ＤＬ將供給到讀出放大器的輸入，使大ＭＯＳＦＥＴ變成ＯＮ狀態而活性化。

該確定之結果，如上述地不充份時將再度進行寫入動

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 34）

作，直到能夠得到如上述的低電平之信號爲止將以事先所定的次數爲限度而重覆進行。到達上述一定次數時也判定爲寫入不充份時，其記憶格將做爲不良，根據需要將切換到多餘電路。

在圖１６（Ｂ），顯示說明讀出動作用的波形圖。根據前面的讀出動作之結束將使大ＭＯＳＦＥＴ成爲ＯＦＦ狀態。根據設定ＭＯＳＦＥＴ將使資料線ＤＬ的電位變成低電平。然後，將使分別前述段的記憶格之汲極側選擇ＭＯＳＦＥＴ成爲ＯＮ狀態。然後，預充電電壓ＰＲ１和ＰＲ１，將分別根據記憶墊的選擇／非選擇把一對資料線設定成預充電電壓和基準電壓。其後，分別上述段的記憶格之各側的選擇ＭＯＳＦＥＴＭ將使之成爲ＯＮ狀態，選擇記憶墊側的資料線之電位，如果所選擇的記憶ＭＯＳＦＥＴ爲ＯＦＦ狀態時將使之維持預充電平，如果爲ＯＮ狀態時將根據記憶電流抽成低電平。

將使信號ＴＳ０和ＴＳ１成爲高電平，移轉ＭＯＳＦＥＴ變成ＯＮ狀態，把上述一對資料線連接到讀出放大器的輸入。然後，使設定ＭＯＳＦＥＴ成爲ＯＦＦ狀態，使大ＭＯＳＦＥＴ成爲ＯＮ狀態而進行讀出放大器之活性化，進行上述讀出信號的放大動作。

在上述圖１５之實施例，接收讀出放大器的輸入電壓之ＭＯＳＦＥＴ，將做爲全部〝１〞的檢出電路設置。亦即，將採取同樣之在其他讀出放大器的輸入所設之ＭＯＳＦＥＴ和接線或邏輯，所讀出的資料線全部爲低電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 35）

平時，此等全部之ＭＯＳＦＥＴ將變成ＯＦＦ狀態而能夠得到高電平的檢出信號。如果任何１個讀出放大器之輸入爲高電平時，ＭＯＳＦＥＴ將成爲ＯＮ狀態而形成低電平的檢出信號，故能以全部之ＭＯＳＦＥＴ爲ＯＦＦ狀態檢出全信號的〝１〞。亦即，在該圖中，讀出放大器之左側的資料線如果從記憶格之讀出爲〝１〞時，係表示爲抹除狀態。

對此，使讀出放大器的輸出根據和左側電路一樣之右側電路輸出的構成時，左右側所設之資料線，寫入和抹除的邏極電平將成爲相反。亦即，對差動型讀出放大器的右側之資料線所設的記憶格，雖以低電平輸出做爲抹除狀態，但是從外部端子看時將在全部〝０〞時判定爲抹除狀態。

在圖１７，顯示爲了說明資料線和上述差動型讀出放大器的關係用之更其他一實施例的電路圖。在本實施例，將省略預充電ＭＯＳＦＥＴ。換言之，使寫入用的信號ＰＷ０，ＰＷ１兼具讀出用預充電機能，而刪除上述預充電ＭＯＳＦＥＴ者。

信號ＰＷ在寫入動作和確定及讀出動作時也使用，將根據各別的動作模式而使電壓電平變化。亦即，圖１５之信號ＰＷ和ＰＲ將根據１個信號ＰＷ所實現者。

上述預充電ＭＯＳＦＥＴ，係對應各資料線所設置者，在具有約３２Ｍ數元等大記憶容量的半導體記憶裝置，例如資料線之數也將設成４０９６條式如８１９２條地多

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 36）

數，故被刪除的預充電ＭＯＳＦＥＴ數也相對地將變多。

在圖１８，顯示使用有關本發明之半導體記憶裝置的微電腦等之資訊處理系統的一實施例之方塊圖。該圖的快閃記憶器，係由如前述實施例之半導體記憶裝置所構成。

本實施例的系統，包含有中央處理裝置（或微處理機）ＣＰＵ，位址譯碼器，時脈（clock）控制器，資料緩衝器，資料暫存器，繼電器及如前述之快閃記憶器。快閃記憶器係做爲代表而例示性地顯示１個，但是爲了得到所希望的記憶容量，將把多數之快閃記憶器連接成並聯形態。再者，微電腦等構成系統所需要的記憶ＲＡＭ，或ＲＯＭ及輸入裝置，對本發明並無直接關係，故已省略。

上述快閃記憶器之ＳＣ銷，爲串列時鐘輸入端子。和從該輸入端子所輸入的時鐘同步地資料將串列地輸出。該串列時鐘ＳＣ，係使之如根據時脈（clock）控制器所發生，但是也可以爲把ＣＰＵ的系統時鐘直接地輸入者。

從快閃記憶器之串列讀出，係使／ＣＥ和／ＯＥ成爲低電平時和ＳＣ同步，而內部位址將會增值。據此，資料將從Ｉ／Ｏ銷串列地輸出。此時，將使位址匯流排成爲自由。在從上述第１個快閃記憶器串列地輸出時，要從未圖示的第２個等快閃記憶器得到輸出時，只需事先把信號／ＯＥ分離使資料不會在資料匯流排競爭即可。

在圖１９，顯示使用有關本發明的半導體記憶裝置之記憶器裝置的一實施例之方塊圖。本實施例的記憶器裝置，將在其資料記憶部使用如前述實施例之快閃記憶器。在

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 37）

向該快閃記憶器的資料之寫入和讀出時，將由根據專用ＬＳＩ所構成的ＥＣＣ電路進行檢出資料之誤差。

將根據ＥＥＰＲＯＭ等構成區段管理台。該區段管理台，雖未特別限制，但是使之以１個字線單位進行寫入，讀出及抹除，將之做爲１個區段處理者。根據在該區段單位的資料之改寫，事先計數改寫次數（寫入次數或抹除次數），在其超過容許值時禁止對其區段的出入，以提高可靠性者。

對快閃記憶器之寫入動作，係比讀出時間需要長時間。因此，從主系統等的寫入動作，並非對上述快閃記憶器直接進行，將對寫入緩衝器進行輸入寫入資料。雖未特別限制，但是寫入緩衝器具有上述１區段份之記憶容量，將取入１區段份的記憶資料。取入到寫入緩衝器之寫入資料，將對快閃記憶器的讀出放大器以數元組單位依次寫入。把上述１區段份之資料寫入讀出放大器時，將開始如前述的寫入動作。

讀出動作，係如前述地對快閃記憶器供給前頭位址時，１區段份的資料將會根據內部之位址發生電路（位址計數器）所形成的位址之順序，以１數元組單位串列地輸出。

如上述的寫入動作，和讀出動作及區段管理台之控制，將由單晶片微電腦（１晶片的微電腦）所進行。本實施例之記憶裝置，將使之和習知的硬體記憶器裝置或軟碟記憶器裝置具有互換性，將經由標準匯流排介面部連接到標

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 38）

準匯流排。在該標準匯流排，雖未圖示，但是將連接構成主系統之中央處理裝置ＣＰＵ，主記憶器，快取記憶器（第１快取記憶器，第２快取記憶器）等。

從上述實施例所得到的作用效果，係如下述。

（１）做爲讀出放大器一面使用ＣＭＯＳ閂扣電路，在其輸出入和資料線或數元線之間設置開關電路，在讀出放大器即將放大動作之前或之後根據開關電路成爲ＯＦＦ狀態，在讀出放大器的實質性放大動作，根據將會連接多數之記憶電晶體而使具有大寄生容量的資料線或數元線切離，由於讀出放大器將只需驅動其輸出入之寄生容量即可，故將得到夠設法高速化和低消耗電力化的效果。

（２）做爲讀出放大器一面使用ＣＭＯＳ閂扣電路，在其輸出入和資料線或數元線之間設置開關ＭＯＳＦＥＴ，根據在其閘極供給應於數元線的預充電電壓之中間電平，在讀出放大器的實質性放大動作根據使之成爲高電平之輸出信號使對應的開關ＭＯＳＦＥＴ自動地成爲ＯＦＦ狀態，根據將會連接多數之記憶電晶體而具有大寄生容量的資料線或數元線將被切離，讀出放大器將只需驅動其輸出入之寄生容量即可，故能設法使之高速化和低消耗電力化，同時將得到時脈（ｃｌｏｃｋ）控制變爲容易的效果。

（３）對應於鄰接配置之第奇數和第偶數的資料線分成第１群讀出放大器和第２群的讀出放大器，在使一方之讀出放大器群的輸出信號串列地輸出之間，根據進行字線的切換同時使之進行從對應於上述所切換的字線之記憶格

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 39）

的讀出信號之放大動作，而使之交互地進行第奇數和第偶數的資料線之讀出動作，而能夠減低鄰接資料線間的耦合雜訊，而能得到進行高速地連續之串列讀出的效果。

以上，係把本發明人之發明根據實施例具體地說明，但是本申請專利的發明並不限於前述實施例，當然能夠在不超出其要旨之範圍進行各種變更。例如，記憶電晶體也可以爲如ＥＰＲＯＭ的進行紫外線抹除者，構成固定地進行資料記憶之掩蔽ＲＯＭ者。讀出放大器，也可以爲對應於在１個記憶墊的數元線所設置者。此時，也可以爲奇數數元線和偶數數元線之一方進行讀出動作，而從他方得到基準電壓者。

本發明，能夠廣範地利用到使之根據記憶資訊具有高臨限值電壓或低臨限值電壓的半導體記憶裝置。本半導體記憶裝置，也可以爲將內裝在如１晶片之微電腦的數位集成電路者。

把在本申請專利所揭示之發明中根據代表性者所得到的效果簡單地說明時，係如下述。亦即，根據一方面做爲讀出放大器使用ＣＭＯＳ閂扣電路，在其輸出入和資料線或數元線之間設置開關電路，在讀出放大器即將放大動作前或剛動作後使開關電路成爲ＯＦＦ狀態，在讀出放大器的實質性放大動作，根據將會連接多數之記憶電晶體而把具有大寄生容量的資料線或數元線切離，讀出放大器將只需將其輸出入之寄生容量驅動即可，故能設法高速化和低消耗電力化。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 40）

圖面之簡單說明

圖１（Ａ）及圖１（Ｂ），係爲了說明使用在有關本發明的半導體記憶裝置之讀出放大器的動作概略用之基本性構成圖。

圖２，爲顯示有關本發明的整批抹除型ＭＯＳＦＥＴ之讀出放大器和記憶器陣列的一實施例之電路圖。

圖３（Ａ）及圖３（Ｂ），係爲了說明上述讀出放大器的讀出動作之一實施例用的波形圖。

圖４（Ａ）及４（Ｂ），係爲了說明上述讀出放大器的讀出動作之其他一實施例用的波形圖。

圖５（Ａ）及圖５（Ｂ），係爲了說明上述讀出放大器的讀出動作之其他一實施例用的波形圖。

圖６（Ａ）及圖６（Ｂ），係爲了說明上述讀出放大器的讀出動作之更其他一實施例用的波形圖。

圖７，爲顯示有關本發明之整批抹除型ＥＥＰＲＯＭ的一實施例之方塊圖。

圖８，爲顯示上述記憶墊和其外圍部的一實施例之概略電路圖。

圖９，爲顯示有關本發明的整批抹除型ＥＥＰＲＯＭ之其他一實施例之主要部份方塊圖。

圖１０，爲顯示圖９的記憶墊和其外圍部之一實施例的概略電路圖。

圖１１，係顯示有關本發明的整批抹除型

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 41）

ＥＥＰＲＯＭ之其他一實施例的一部份方塊圖。

圖１２，係顯示有關本發明之整批抹除型ＥＥＰＲＯＭ的其他一實施例之剩餘一部份的方塊圖。

圖１３，係顯示爲了說明在有關本發明之整批抹除型ＥＥＰＲＯＭ的資料線和讀出放大器之關係用的一實施例之電路圖。

圖１４，係爲了說明對應於上述圖１３的實施例之讀出動作的一例用之波形圖。

圖１５，係說明在有關本發明的整批抹除型ＥＥＰＲＯＭ之資料線和上述讀出放大器的關係用之顯示其他的一實施例之電路圖。

圖１６（Ａ）及圖１６（Ｂ），係爲了說明圖１５的實施例電路之動作的一例用之波形圖。

圖１７，係爲了說明在有關本發明的整批抹除型ＥＥＰＲＯＭ之資料線和讀出放大器的關係用之顯示更其他的一實施例之電路圖。

圖１８，係顯示使用有關本發明的整批抹除型ＥＥＰＲＯＭ之微電腦等資訊處理系統的一實施例之方塊圖。

圖１９，係顯示使用有關本發明的整批抹除型ＥＥＰＲＯＭ之記憶裝置的一實施例之方塊圖。

圖２０，係在整批抹除型ＥＥＰＲＯＭ的軟寫（讀出時邏輯值〝１〞的記憶格，會寫入邏輯值〝０〞之資料）壽命之特性圖。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 42）

圖２１，爲顯示記憶格的一例之概略截面圖。

符號說明

3　汲電極

4　浮閘

5　源電極

6　控制閘

7　氧化膜

8　P型矽基板

9　N型擴散層

１０　N型擴散層

１１　P型擴散層

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

89年8月18日 修正 補充

公告本

A5
B5

四、中文發明摘要（發明之名稱：　　）

半導體記憶裝置

本發明，係有關半導體記憶裝置，關於使用在例如整批抹除型ＥＥＰＲＯＭ之高速化和低消耗電壓化技術有效的技術者。

一方面，做爲讀出放大器使用ＣＭＯＳ閂扣電路，在其輸出入和資料線或數元線之間設置開關電路，在讀出放大器的放大動作之前或之後使開關電路成爲ＯＦＦ狀態。在讀出放大器的實質性放大動作時，將根據連接多數之記憶電晶體使具有大的寄生容量之資料線或數元線分開，讀出放大器將只需把其輸出入的寄生容量驅動即可，故能使之高速化和低消耗電力化。

英文發明摘要（發明之名稱：　　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

頁請委員明示89年12月26日修正本有無變更實質內容？是否准予修正？

六、申請專利範圍

1．一種半導體記憶裝置，其特徵爲，包含：

分別根據其記憶資訊，取得第1及第2臨限值電壓中的1個之複數記憶電晶體；

結合上述複數記憶電晶體之資料線；

具有1對輸入端子，在其一方輸入端子，被施加指定電壓之讀出放大器；及

被結合於上述資料線和上述1對輸入端子中的另一方輸入端子之間，記憶資訊從上述複數記憶電晶體中之1個記憶電晶體，經由上述資料線被供給到上述讀出放大器的另一方之輸入端子後，電氣分離上述資料線和上述另一方的輸入端子的開關裝置。

2．如申請專利範圍第1項所述之半導體記憶裝置，其中

上述讀出放大器，包含：具有被結合在上述1對輸入端子的1對輸入端子之正反電路；及

被結合在上述正反電路，控制上述正反電路的活性化之控制裝置。

3．如申請專利範圍第2項所述的半導體記憶裝置，其中上述開關裝置，在上述正反電路被活性化之前，電氣分離上述資料線和上述他方的輸入端子。

4．如申請專利範圍第2項所述的半導體記憶裝置，其中，上述開關裝置在上述正反電路活性化之後，電氣分離上述資料線和上述另一方的輸入端子。

5．如申請專利範圍第1項所述的半導體記憶裝置，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

其中，

上述讀出放大器，具有結合在上述1對輸入端子之1對輸出入端子的正反電路，和供使上述正反電路活性化，把第1電壓供給到上述正反電路之控制電路，

上述開關電路，係包含閘電極，被結合在上述資料線且結合在第1電極及上述另一方的輸入端子且具有第2電極之開關ＭＯＳＦＥＴ，藉由從上述正反電路供給到上述資料線之電壓，使具有防止上述記憶電晶體的記憶資訊被改變的電壓值之指定電壓，被供給到上述閘電極。

6．如申請專利範圍第5項所述的半導體記憶裝置，其中，

上述開關ＭＯＳＥＴ，係在上述記憶電晶體的記憶資訊變化之電壓施加在上述資料線之前，使之成爲ＯＦＦ狀態。

7．如申請專利範圍第6項所述的半導體記憶裝置，其中，

上述正反電路，爲ＣＭＯＳ閂扣電路者。

8．如申請專利範圍第3項所述之半導體記憶裝置，其中，

上述正反電路，爲ＣＭＯＳ閂扣電路者。

9．如申請專利範圍第4項所述之半導體記憶裝置，其中，

上述正反電路，爲ＣＭＯＳ閂扣電路者。

10．一種半導體記憶裝置，其特徵爲，包含有：

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

配置成矩陣狀，各別，將根據其記憶資訊，取第1及第2臨限值電壓中之1個的，多數之記憶電晶體；

分別在上述矩陣的各行配置之資料線；

分別在上述矩陣的各列配置之字線；

分別具有1對輸入端子的複數之讀出放大器；

分別在上述資料線形成互相成對的資料線對，

和結合在上述讀出放大器的1對輸入端子之間，從記憶電晶體的記憶資訊經由上述資料線對之一方供給到上述讀出放大器的一方輸入端子之後，將把上述資料線對和上述一方的輸入端子之間電性地分離的多數之開關裝置。

11．如申請專利範圍第10項所述之半導體記憶裝置，其中，

上述各讀出放大器，係包含具有結合在上述1對輸入端子的1對輸入端子之正反電路，

上述半導體記憶裝置，係包含結合在上述正反電路，將控制上述正反電路的活性化之控制裝置。

12．如申請專利範圍第11項所述之半導體記憶裝置，其中，上述開關裝置係在，

上述正反電路活性化之前，將把上述資料線和上述一方的輸入端子之間電性地分離。

13，如申請專利範圍第11項所述之半導體記憶裝置，其中，上述開關裝置係在，

上述正反電路活性化之後，將把上述資料線和上述一方的輸入端子之間電性地分離。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

14．如申請專利範圍第10項所述之半導體記憶裝置，其中，

上述各讀出放大器，包含具有結合在上述1對輸入端子的1對輸出入端子之正反電路，上述半導體記憶裝置，爲了使上述正反電路活性化，具有在上述正反電路供給第1電壓的控制電路，

上述開關裝置，包含閘電極，結合在上述資料線結合在第1電極及上述他方的輸入端子而具有第2電極之開關MOSFET，具有如防止上述記憶電晶體的記憶資訊，由從上述正反電路供給到上述資料線之電壓而變化的電壓值之所定電壓，將供給到上述閘電極。

15．如申請專利範圍第10項所述之半導體記憶裝置，其中，

在上述矩陣，對應於互相鄰接配置的資料線之讀出放大器，將使之交互地動作。

16．如申請專利範圍第10項所述之半導體記憶裝置，其中，

配置在上述矩陣的上述多數資料線之中，對應於第奇數的資料線之多數讀出放大器，和對應於第偶數的資料線之多數讀出放大器，將使之能交互地動作。

17．如申請專利範圍第10項所述之半導體記憶裝置，其中，更包含：

結合在上述各資料線和所定的電壓之間的預充電用MOSFET；以及，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

A8
B8
C8
D8

六、申請專利範圍

在上述預充電用ＭＯＳＦＥＴ之閘極，把讀出用預充電電壓和基準電壓用預充電電壓，選擇性地供給的預充電電壓供給裝置，

Ｎ通道型讀出放大器，將以根據接收上述基準電壓用預充電電壓的預充電用ＭＯＳＦＥＴ所預充電之，資料線的電壓做爲參照電壓，而讀出記憶電晶體之記憶資訊。

１８．如申請專利範圍第１０項所述之半導體記憶裝置，其中，

上述各記憶電晶體，係具有結合在字線的控制閘極，和結合在資料線之汲極，和浮閘，將根據對上述浮閘的電荷之注入／放出，使臨限值電壓變化，而使之記憶資訊。

１９．如申請專利範圍第１８項所述之半導體記憶裝置，其中，

多數的記憶電晶體之各汲極，將經由１個開關ＭＯＳＦＥＴ，結合在１條資料線，上述多數的記憶電晶體之各源極，將經由１個開關ＭＯＳＦＥＴ，結合在所定的電壓。

２０．如申請專利範圍第１項所述之半導體記憶裝置，其中，

上述各記憶電晶體，具有結合在字線的控制閘極，和結合在資料線之汲極，和浮閘，將根據對上述浮閘的電荷之注入／放出，使臨限值電壓變化，而使之記憶資訊。

２１．如申請專利範圍第２０項所述之半導體記憶裝置，其中，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

多數記憶電晶體的各汲極，係經由1個開關MOSFET，結合在1條資料線，上述多數記憶電晶體之各源極，將經由1個開關MOSFET，結合在所定的電壓。

22.一種半導體記憶裝置，其特徵爲包括：

至少一條第一資料線；

至少一條第二資料線；

數個記憶電晶體，依據其儲存資訊具有第一和第二臨限值電壓的其中之一者；

第一預充電電路，至少藕合於一條第一資料線；

第二預充電電路，至少藕合於一條第二資料線；

至少一個讀出放大器，分別藕合於第一與第二資料線並具有一對輸入端子，其中一端子饋入參照電壓並放大讀出運算中的選擇記憶電晶體的訊號；

第一開關電路將至少一條第一資料線藕合至讀出放大器之其中一輸入端子；而且

第二開關電路將至少一條第二資料線藕合至讀出放大器之其它輸入端子，

第一與第二預充電爲了回應定址訊號分別對第一與第二資料線預充電，

當第二預充電電路將第二資料線預充電至參照電壓時，第一預充電電路將第一資料線預充電至高於參照電壓之電壓，而且當第一預充電電路將第一資料線預充電至參照電壓時，第二預充電電路將第二資料線預充電至高於參照

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

電壓之電壓，而且

在第一與第二預充電電路在讀取運作中對至少一條第一與第二資料線預充電後，第一與第二開關電路成爲ＯＮ狀態，而且在藉由讀出放大器使得選擇記憶電晶體的放大訊號高於較高電壓之前，第一與第二開關電路成爲ＯＦＦ狀態。

２３．如申請專利範圍第２２項所述之半導體記憶裝置，其中，讀出放大器包含一具有一對分別藕合至讀出放大器之一對輸入端子的輸入／輸出端子之正反電路；而且

爲了控制正反電路的活性化，將控制電路藕合至正反電路。

２４．如申請專利範圍第２３項所述之半導體記憶裝置，其中，第一與第二開關電路在正反電路活性化之前成爲ＯＮ狀態。

２５．如申請專利範圍第２４項所述之半導體記憶裝置，其中，數個記憶電晶體皆包含：

半導體本體，

設於半導體本體的第一與第二區域，第一區域藕合至至少一條第一及第二資料線，

第一絕緣膜，至少包覆著第一及第二區域，

浮閘，包覆著第一絕緣膜，

第二絕緣膜，包覆著浮閘，以及

控制閘，包覆著第二絕緣膜並藕合至數個字線之一。

２６．一種半導體記憶裝置，其特徵爲包括：

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

至少一條第一資料線；

至少一條第二資料線；

數個記憶電晶體，依據其儲存資訊而具有第一與第二臨限值電壓之一者；

第一預充電電路，藕合至至少一條第一資料線；

第二預充電電路，藕合至至少一條第二資料線；

至少一讀出放大器，分別藉合至第一與第二資料線並具有一對輸入端子，其中一端子饋入參照電壓並放大運作中的選擇記憶電晶體之資訊；

第一開關電路，將至少一條第一資料線藕合至讀出放大器的輸入端子的其中之一者；還有

第二開關電路，將至少一條第二資料線藕合至讀出放大器的輸入端子之另一者，

第一與第二預充電爲了回應定址訊號分別對第一與第二資料線預充電，

當第二預充電電路將第二資料線預充電至參照電壓時，第一預充電電路將第一資料線預充電至高於參照電壓之電壓，而且當第一預充電電路將第一資料線預充電至參照電壓時，第二預充電電路將第二資料線預充電至高於參照電壓之電壓，而且

在第一與第二預充電電路在讀取運作中對至少一條第一與第二資料線預充電後，第一與第二開關電路成爲ＯＮ狀態，而且在藉由讀出放大器在放大選擇記憶體的訊息期間使第一與第二開關電路成爲ＯＦＦ狀態。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

27.如申請專利範圍第26項所述之半導體記憶裝置，其中，讀出放大器包含一對分別藕合至讀出放大器的一對輸出端子的輸入／輸出端子之正反電路；還有

爲了控制正反電路的活性化，將控制電路藕合至正反電路。

28.如申請專利範圍第27項所述之半導體記憶裝置，其中在正反電路活性化之前，第一與第二開關電路成爲ON狀態。

29.如申請專利範圍第28項之半導體記憶裝置，其中，數個記憶電晶體皆包含：

半導體本體，

設於半導體本體的第一與第二區域，第一區域藕合至至少一條第一及第二資料線，

第一絕緣膜，至少包覆著第一及第二區域，

浮閘，包覆著第一絕緣膜，

第二絕緣膜，包覆著浮閘，還有

控制閘，包覆著第二絕緣膜並藕合至數個字線之一。

30.一種半導體記憶裝置，其特徵爲包括：

至少一條第一資料線；

至少一條第二資料線；

數個記憶電晶體，依據其儲存資訊而具有第一與第二臨限值電壓之一者；

至少一讀出放大器，分別藉合至第一與第二資料線並具有一對輸入端子，其中一端子饋入參照電壓並放大運作

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

中的選擇記憶電晶體之資訊；

第一開關電路，將至少一條第一資料線藕合至讀出放大器的輸入端子的其中之一者；還有

第二開關電路，將至少一條第二資料線藕合至讀出放大器的輸入端子之另一者，

第一與第二開關電路在讀取運算中爲ＯＮ狀態，而且藉由讀出放大器在放大選擇記憶電晶體的訊息期間，第一與第二開關電路爲ＯＦＦ狀態。

３１．如申請專利範圍第３０項所述之半導體記憶裝置，其中，讀出放大器包含一具有一對分別藕合至讀出放大器之一對輸入端子的輸入／輸出端子之正反電路；而且

爲了控制正反電路的活性化，將控制電路藕合至正反電路。

３２．如申請專利範圍第３１項所述之半導體記憶裝置，其中，第一與第二開關電路在正反電路活性化之前成爲ＯＮ狀態。

３３．如申請專利範圍第３２項所述之半導體記憶裝置，其中，數個記憶電晶體皆包含：

半導體本體，

設於半導體本體的第一與第二區域，第一區域藕合至至少一條第一及第二資料線，

第一絕緣膜，至少包覆著第一及第二區域，

浮閘，包覆著第一絕緣膜，

第二絕緣膜，包覆著浮閘，以及

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

A8
B8
C8
D8

六、申請專利範圍

控制閘，包覆著第二絕緣膜並藕合至數個字線之一。

３４．一種非揮發性記憶電路，其特徵爲包括：

一條第一資料線；

一條第二資料線；

數個非揮發性記憶電晶體，依據其儲存資訊而具有第一與第二臨限值電壓之一者；

一預充電電路，包含

第一預充電電路，在讀取運作中，藕合至第一資料線並將第一資料線選擇性地預充電第一資料線至參照電壓及高於參照電壓的電壓之一者，以及第二預充電電路，藕合至第二資料線並選擇性地預充第二資料線至參照電壓及讀取運作中的電壓之另一者，預充電電路預充電至對應資料的電壓，而在讀取運作中所選擇的非揮發性記憶電晶體藕合至該資料線；

讀出放大器具有一對輸入並放大在讀取運作中所選擇的非揮發性記憶電晶體中的資訊；以及開關電路，包含介於第一資料線與讀取電路輸入之一者的第一開關電路及介於第二資料線與放大電路輸入之另一者的第二開關電路，

第一與第二開關電路在第一與第二資料線預充電後，處於閉合狀態，而且第一與第二開關電路在讀出放大器放大資訊至該電壓之前，處於開路狀態。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

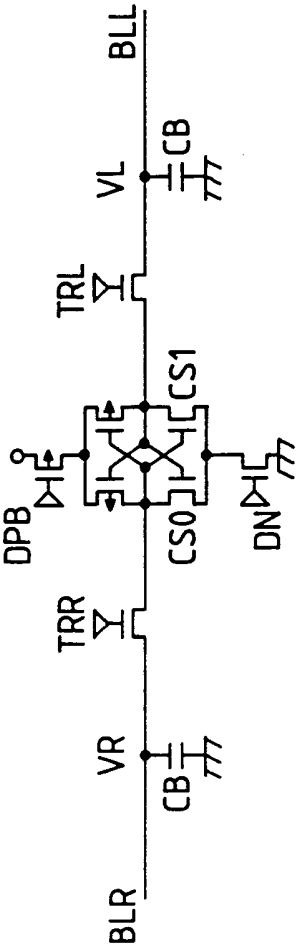
470962
公告本

第 83106375 號專利申請案
中文圖式修正本　　民國 89 年 3 月呈

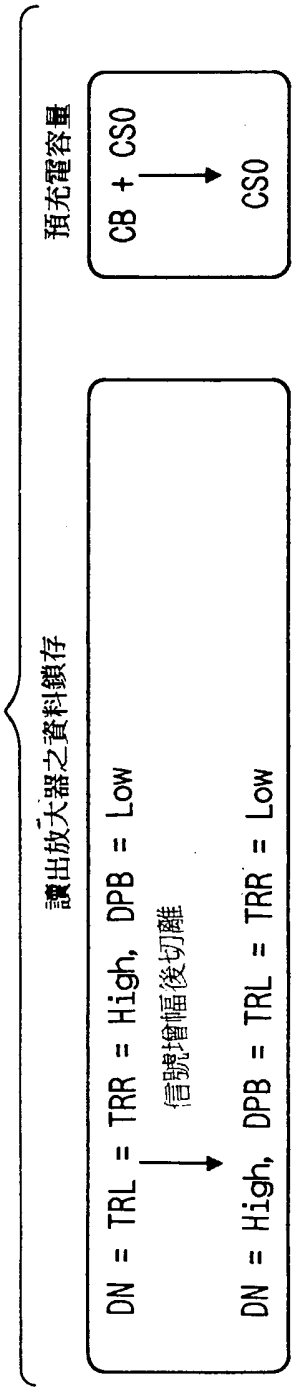
721111

89年3月17日 修正補充

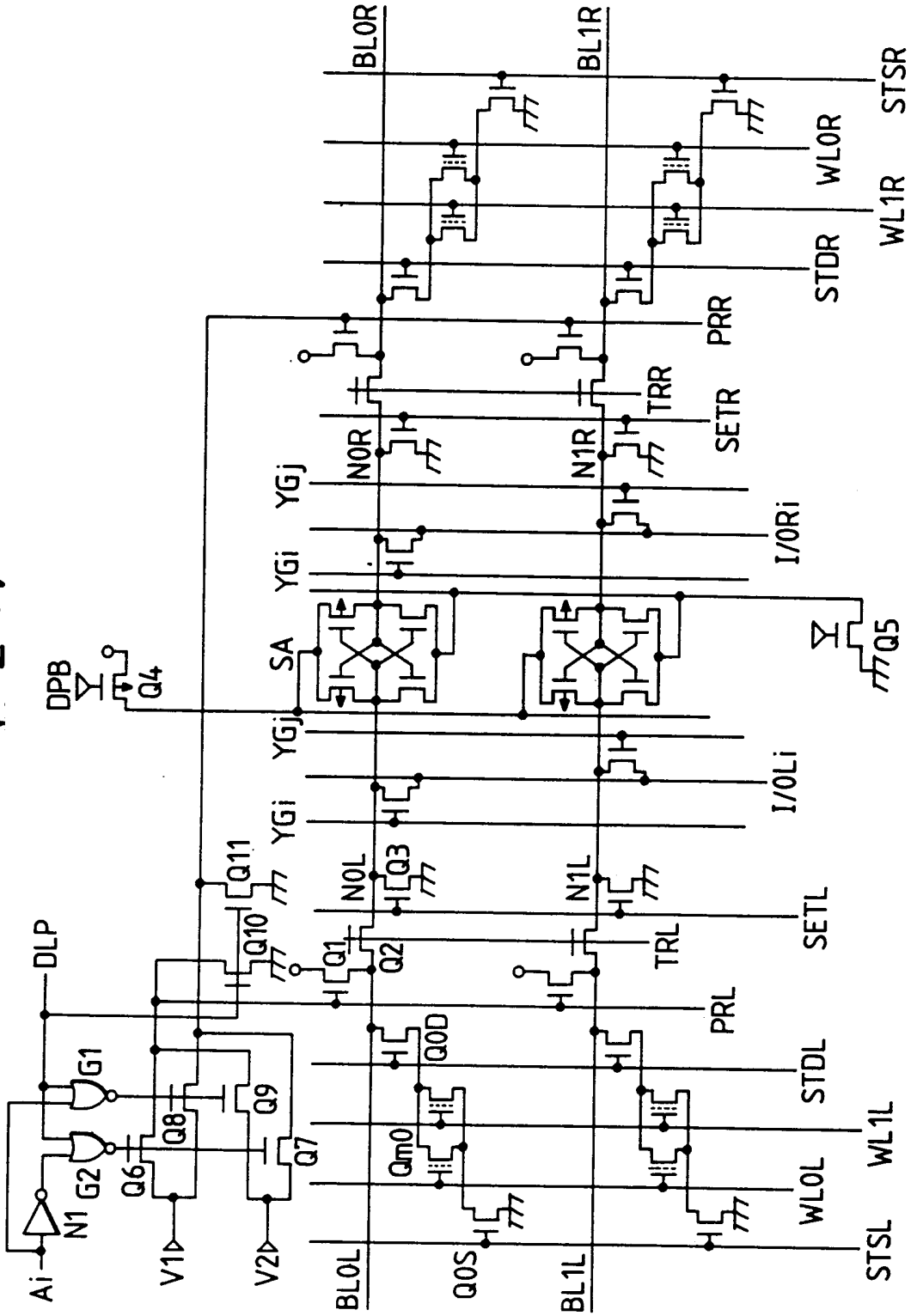
第 1(A) 圖

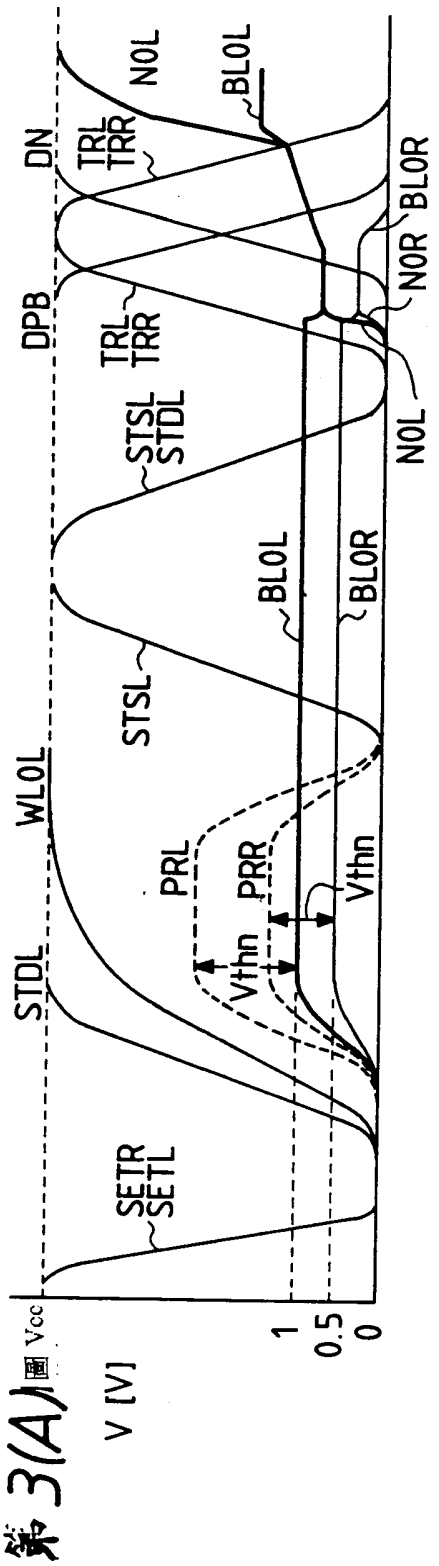


第 1(B) 圖

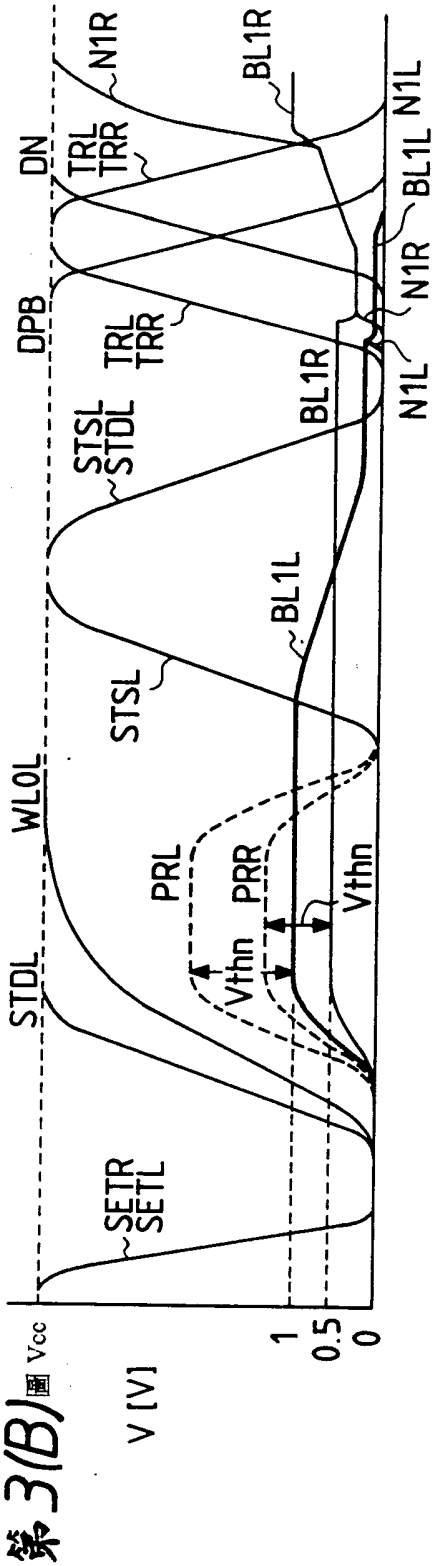


第 2 圖

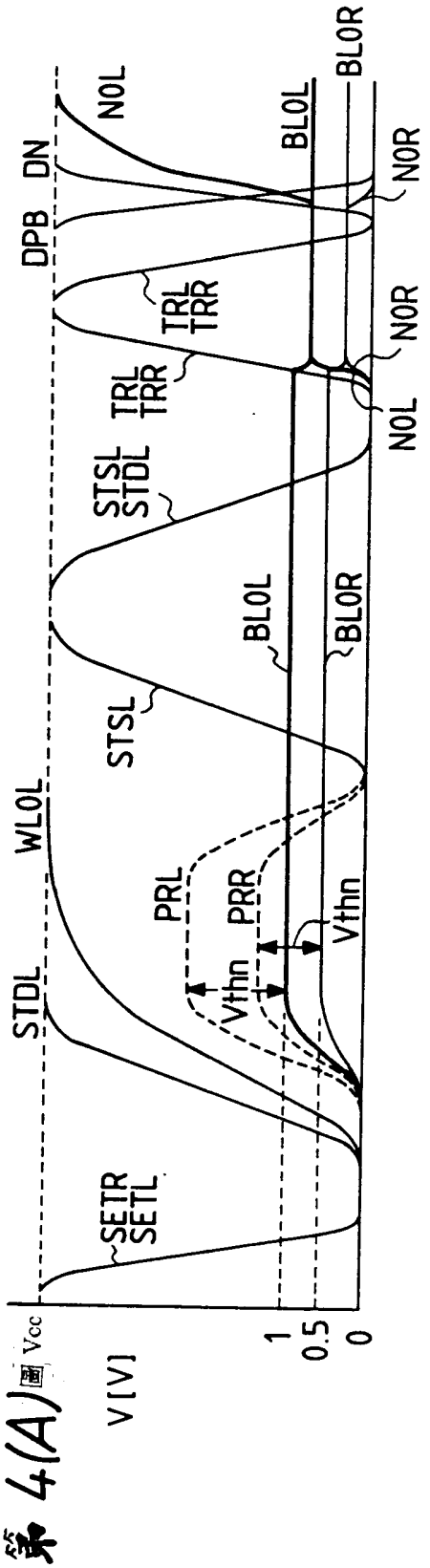

Ai
N1
G1
G2
DLP
Q6
Q8
Q9
Q7
V1
V2
Q10
Q11
Q1
Q2
Q3
N0L
N1L
TRL
SETL
PRL
STDL
WL1L
WL0L
STSL
BL0L
BL1L
Qm0
Q0D
Q0S
YGi
YGj
SA
DPB
Q4
Q5
I/0Li
I/0Ri
N0R
N1R
TRR
SETR
PRR
STDR
WL1R
WL0R
STSR
BL0R
BL1R


Vcc
1
0.5
0
V [V]
STDL
WL0L
STSL
BL0L
BL0R
PRL
PRR
Vthn
SETR
SETL
DPB
DN
TRL
TRR
STSL
STDL
N0L
BL0L
N0R
BL0R

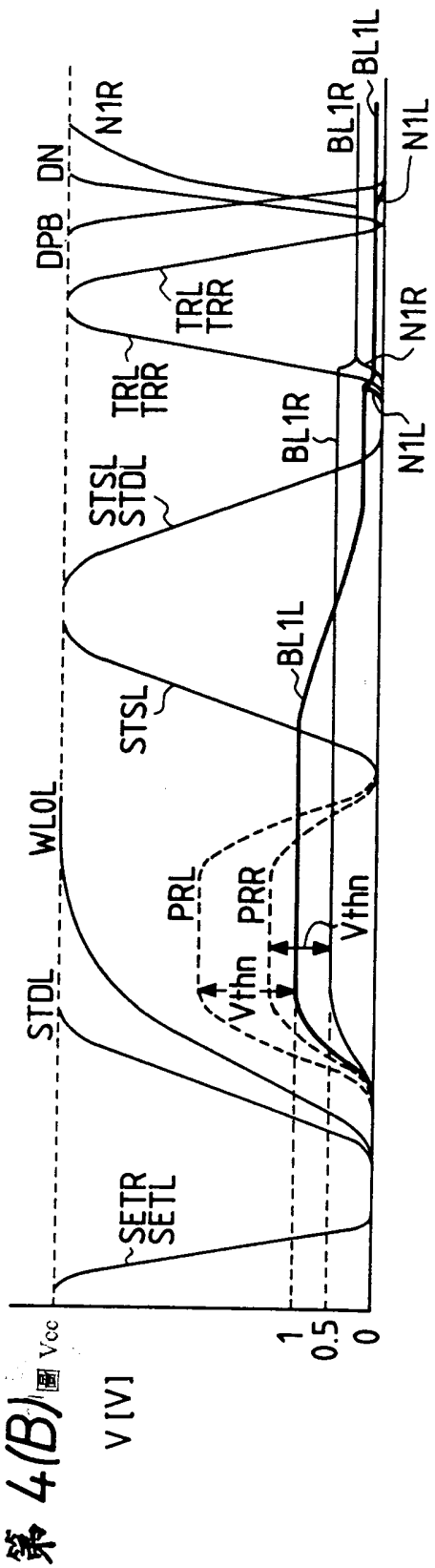
第 3(A) 圖


Vcc
1
0.5
0
V [V]
STDL
WL0L
STSL
BL1L
BL1R
PRL
PRR
Vthn
SETR
SETL
DPB
DN
TRL
TRR
STSL
STDL
N1R
BL1R
N1L
BL1L

第 3(B) 圖


Vcc
V [V]
1
0.5
0
SETR
SETL
STDL
WL0L
PRL
PRR
Vthn
STSL
BL0L
BL0R
STSL
STDL
TRL
TRR
DPB
DN
N0L
BL0L
BL0R
N0R
TRL
TRR
N0R
N0L

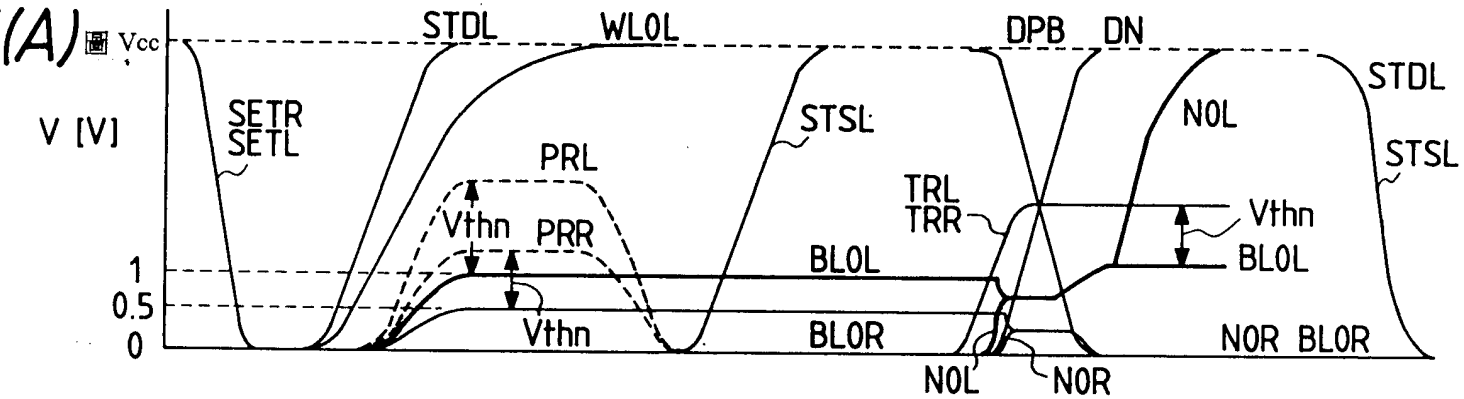
第 4(A) 圖


Vcc
V [V]
1
0.5
0
SETR
SETL
STDL
WL0L
PRL
PRR
Vthn
STSL
BL1L
BL1R
STSL
STDL
TRL
TRR
DPB
DN
N1R
BL1R
BL1L
N1L
TRL
TRR
N1R
N1L

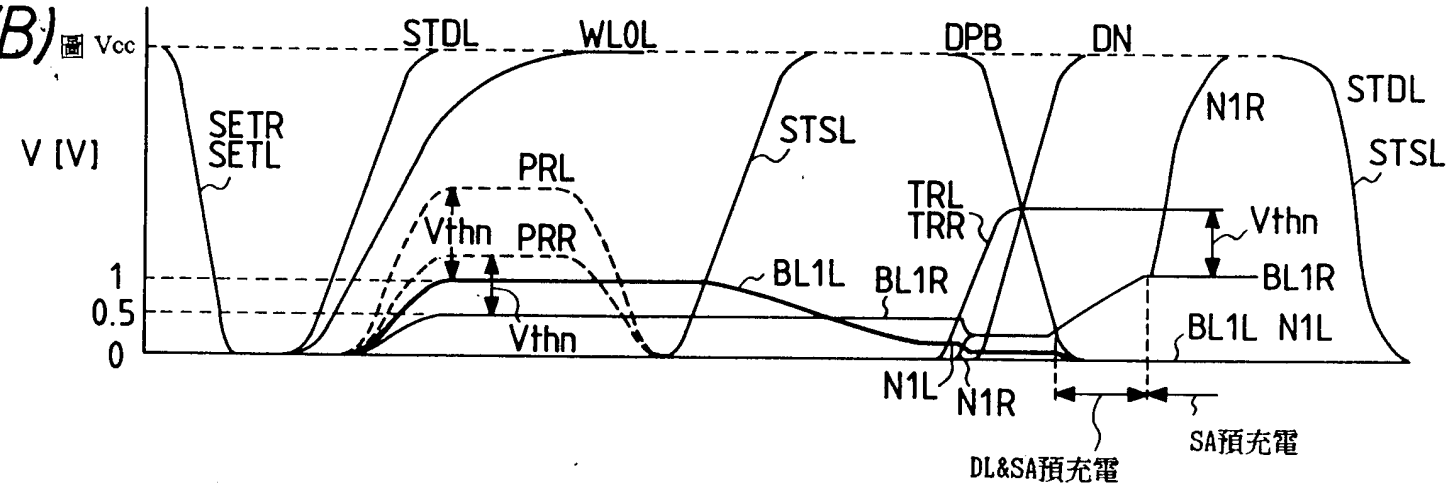
第 4(B) 圖

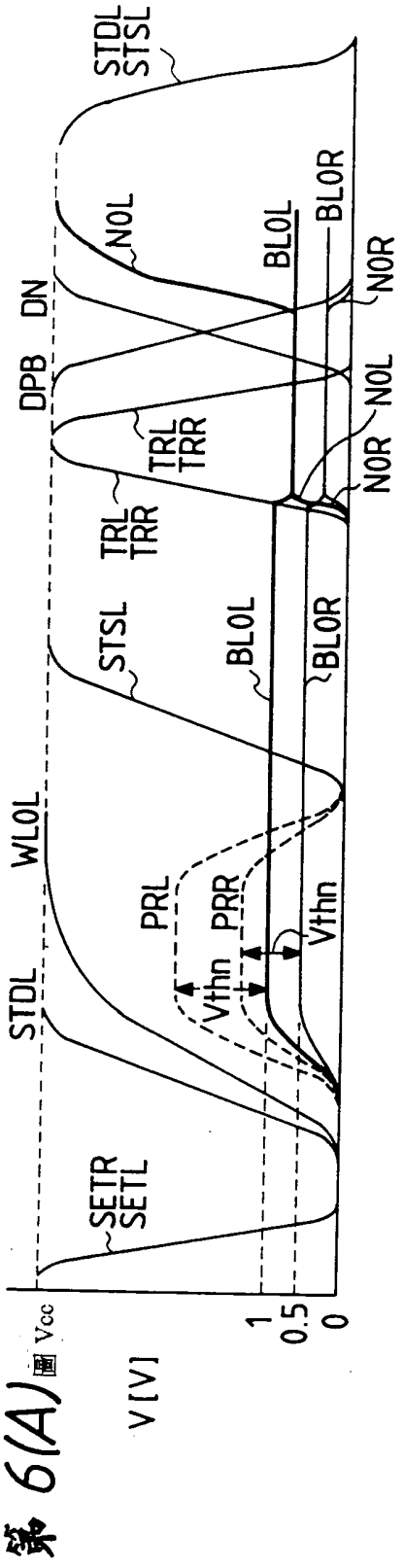
470962

第5(A)圖

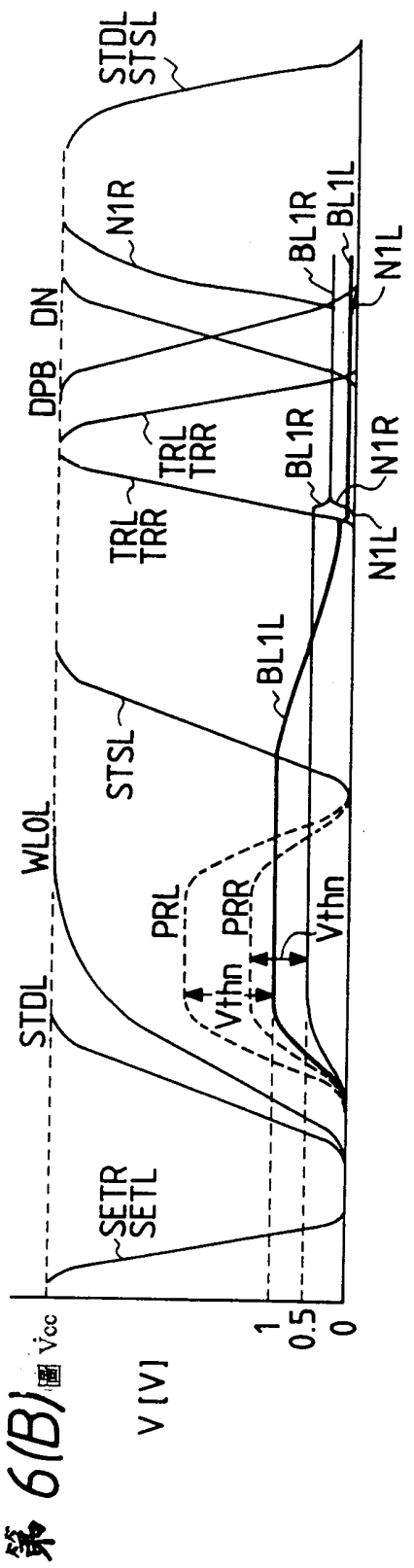


第5(B)圖



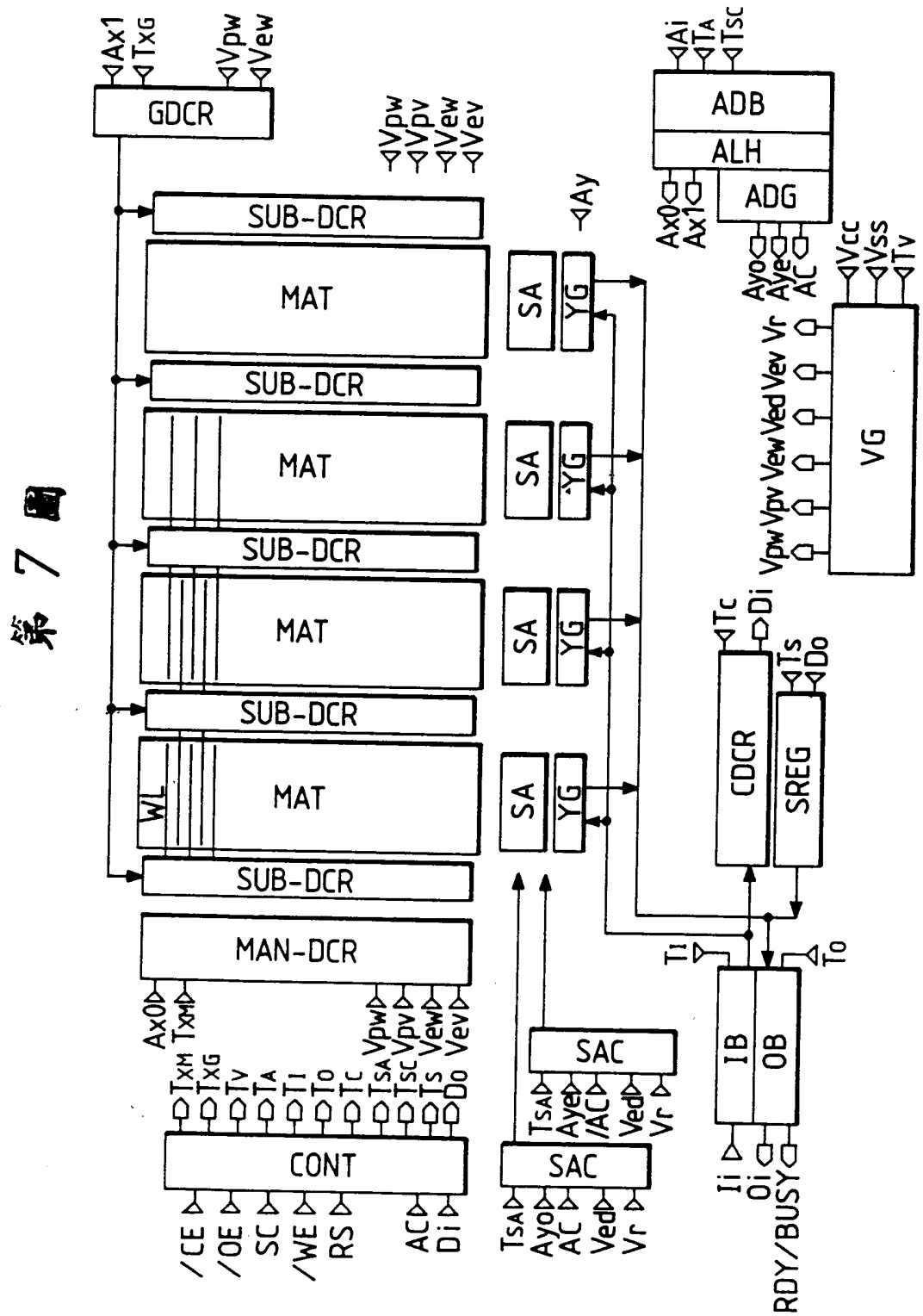

STDL
STSL
WL0L
SETR
SETL
PRL
PRR
Vthn
TRL
TRR
DPB
DN
N0L
N0R
BL0L
BL0R
Vcc
1
0.5
0
V [V]

第 6(A) 圖

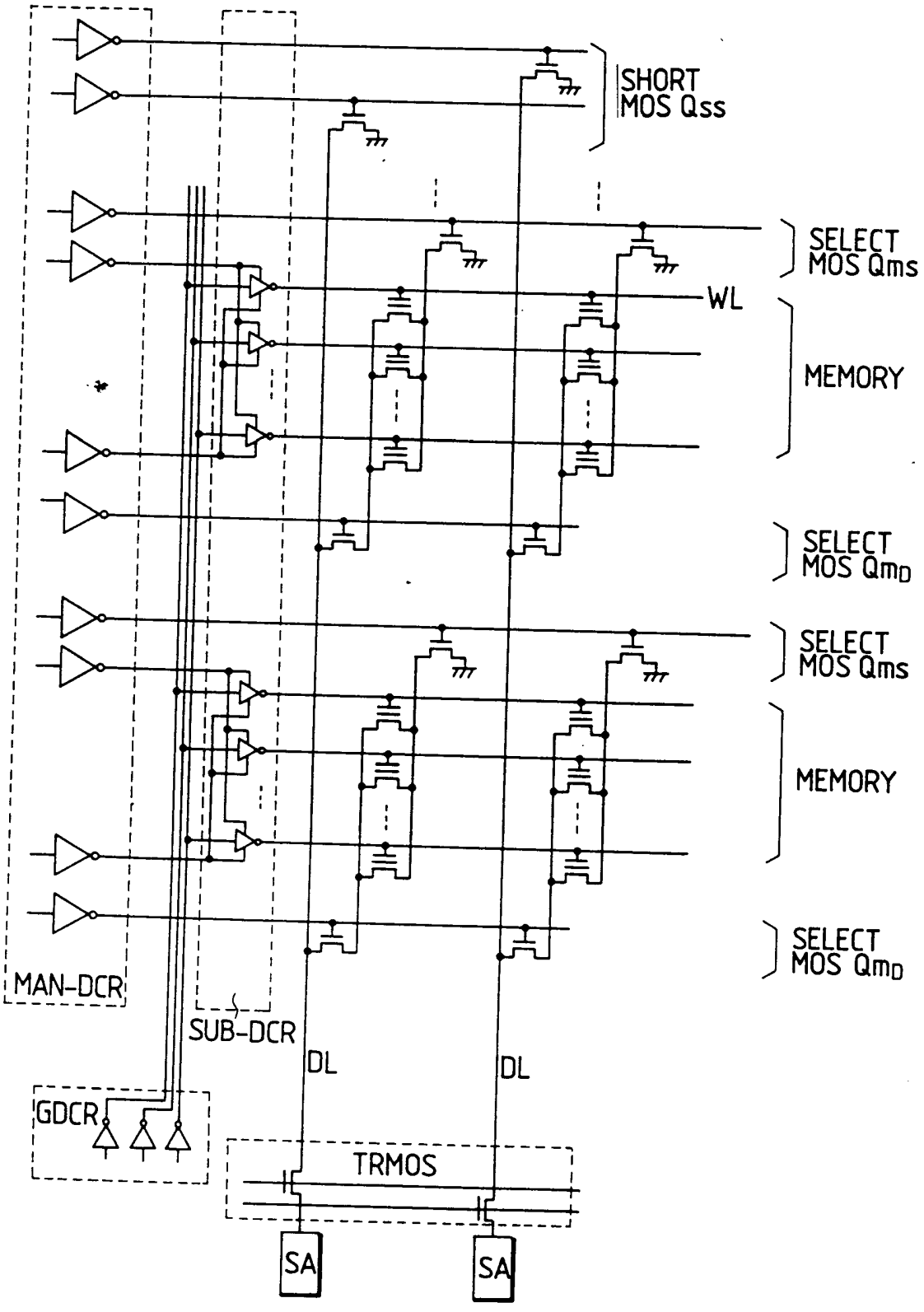

STDL
STSL
WL0L
SETR
SETL
PRL
PRR
Vthn
TRL
TRR
DPB
DN
N1R
N1L
BL1L
BL1R
Vcc
1
0.5
0
V [V]

第 6(B) 圖

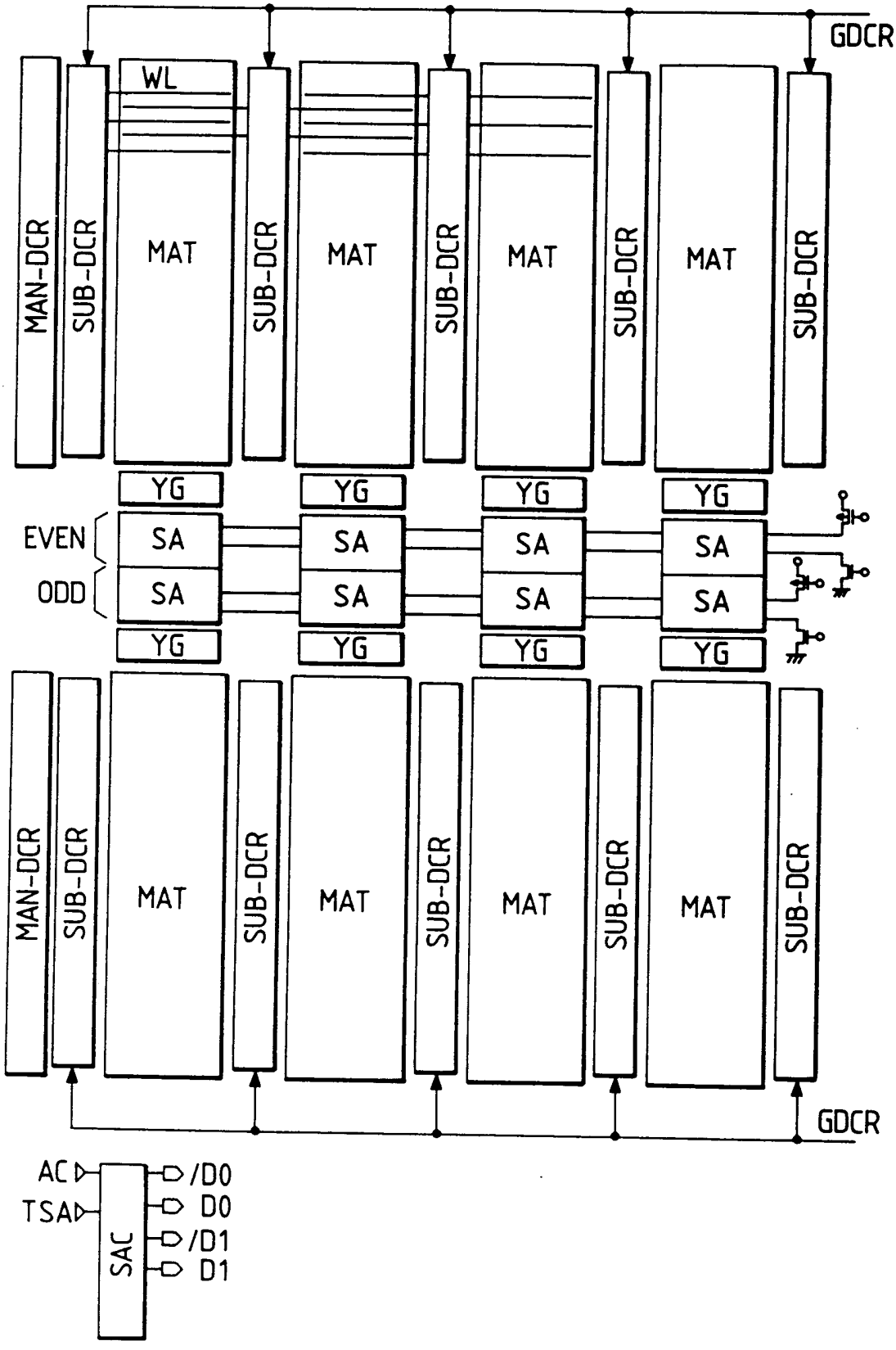
第7圖


Ax1
Txg
Vpw
Vew
GDCR
Vpw
Vpv
Vew
Vev
SUB-DCR
MAT
SUB-DCR
MAT
SUB-DCR
MAT
SUB-DCR
MAT
WL
SUB-DCR
MAN-DCR
Ay
SA
YG
SA
YG
SA
YG
SA
YG
Ai
TA
Tsc
ADB
ALH
ADG
Ax0
Ax1
Ayo
Aye
AC
Vcc
Vss
Tv
Vr
Ved
Vev
Vew
Vpv
Vpw
VG
Tc
Di
Ts
Do
CDCR
SREG
Ti
To
IB
OB
Ii
Oi
RDY/BUSY
SAC
TsA
Aye
/AC
Ved
Vr
SAC
TsA
Ayo
AC
Ved
Vr
Ax0
Txm
Vpw
Vpv
Vew
Vev
Txm
Txg
Tv
TA
Ti
To
Tc
TsA
Tsc
Ts
Do
CONT
/CE
/OE
SC
/WE
RS
AC
Di

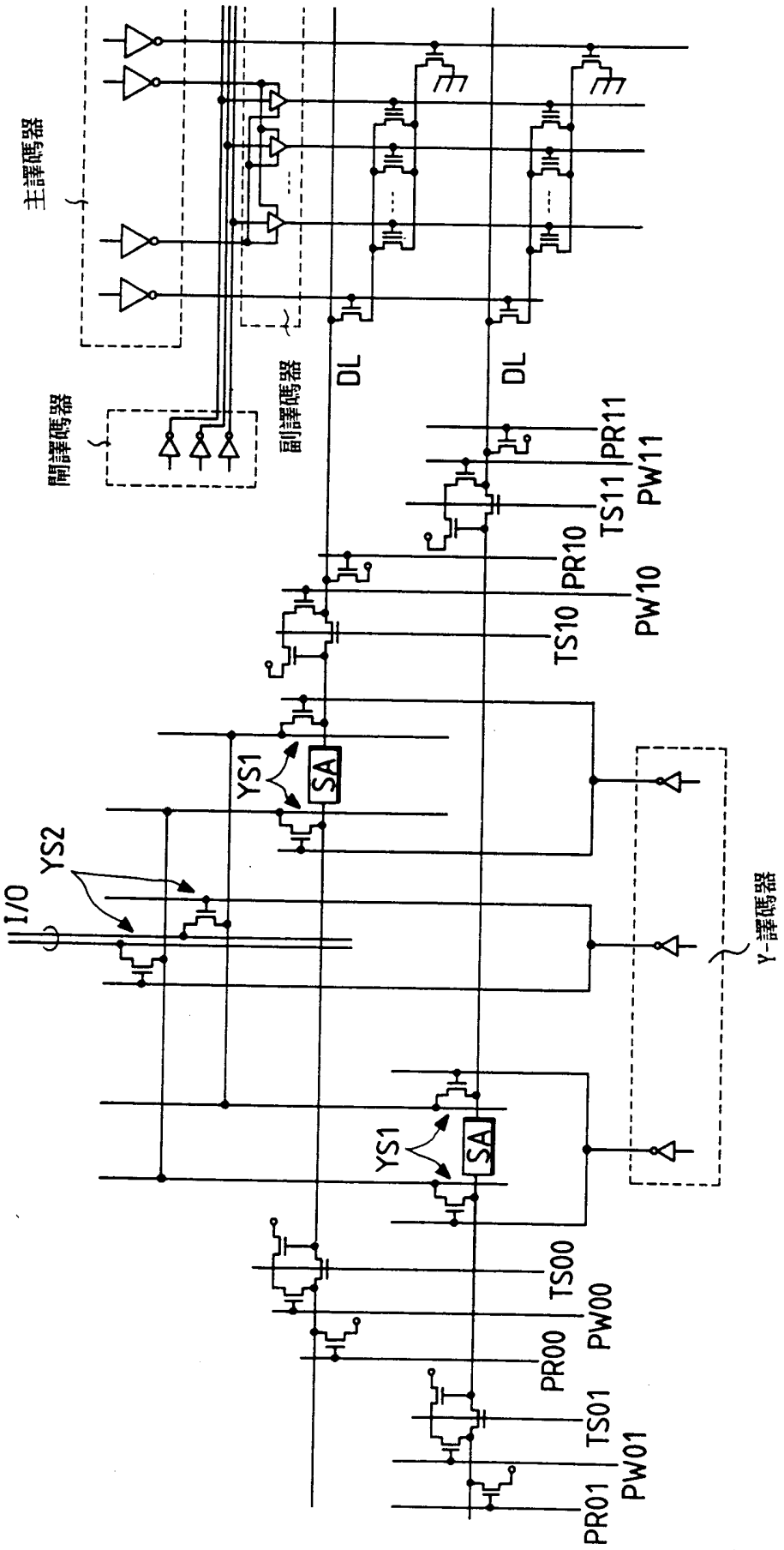
第 8 圖


SHORT
MOS Qss
SELECT
MOS Qms
WL
MEMORY
SELECT
MOS QmD
SELECT
MOS Qms
MEMORY
SELECT
MOS QmD
MAN-DCR
SUB-DCR
DL
DL
GDCR
TRMOS
SA
SA

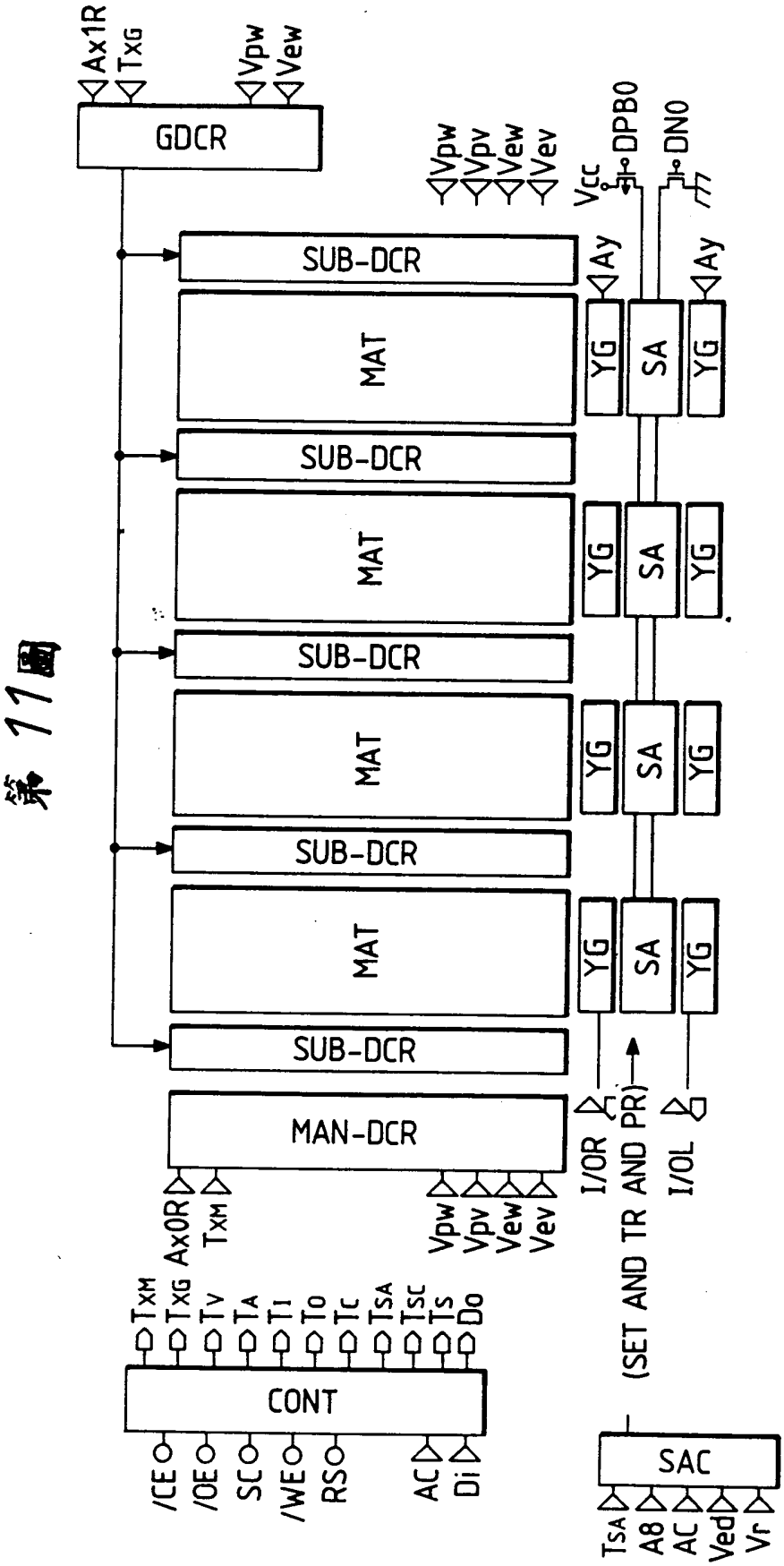
第 9 圖



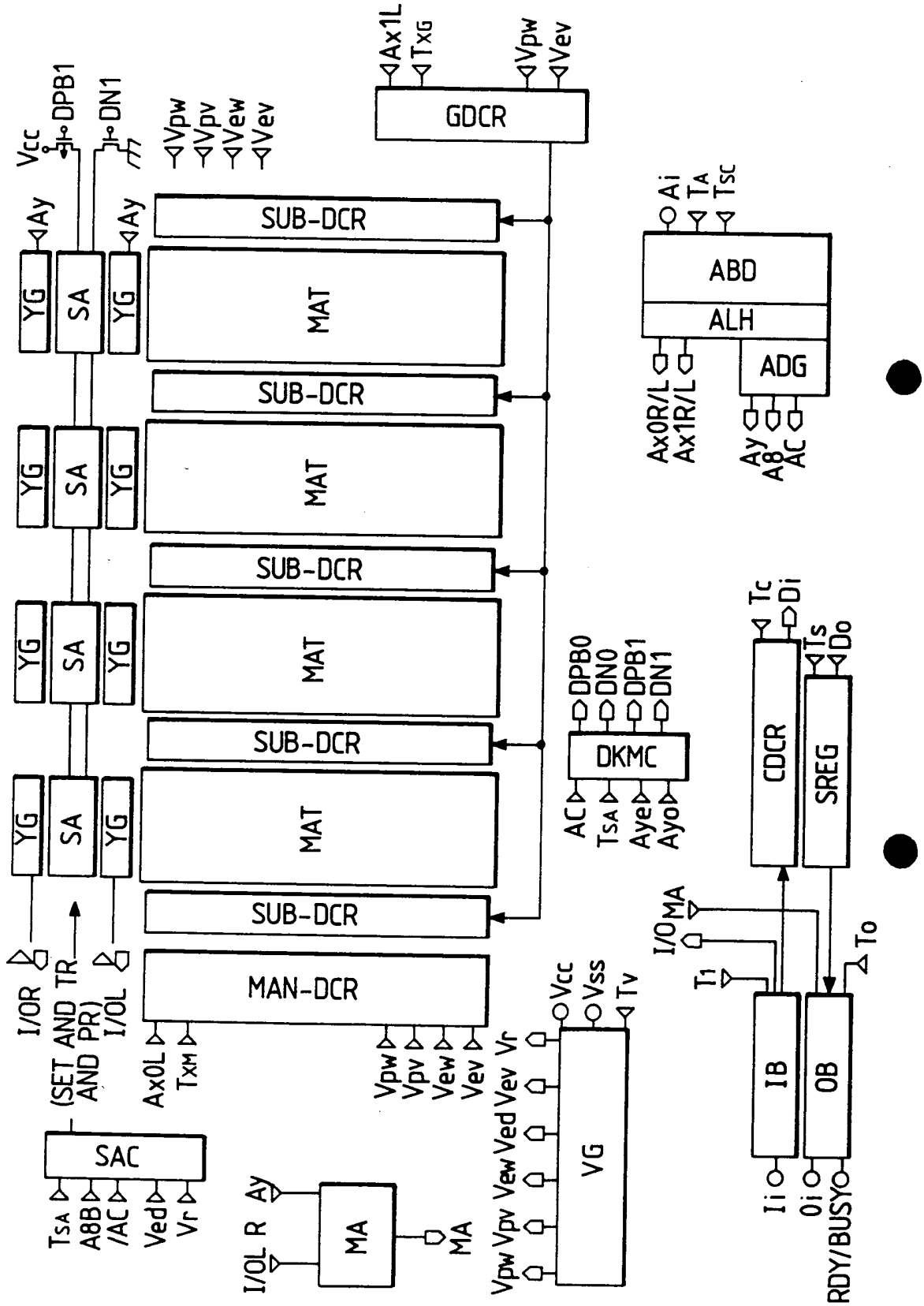
第 10 圖


主譯碼器
副譯碼器
閘譯碼器
DL
DL
PR11
PW11
TS11
PR10
PW10
TS10
YS1
SA
YS2
I/O
YS1
SA
Y-譯碼器
TS00
PW00
PR00
TS01
PW01
PR01

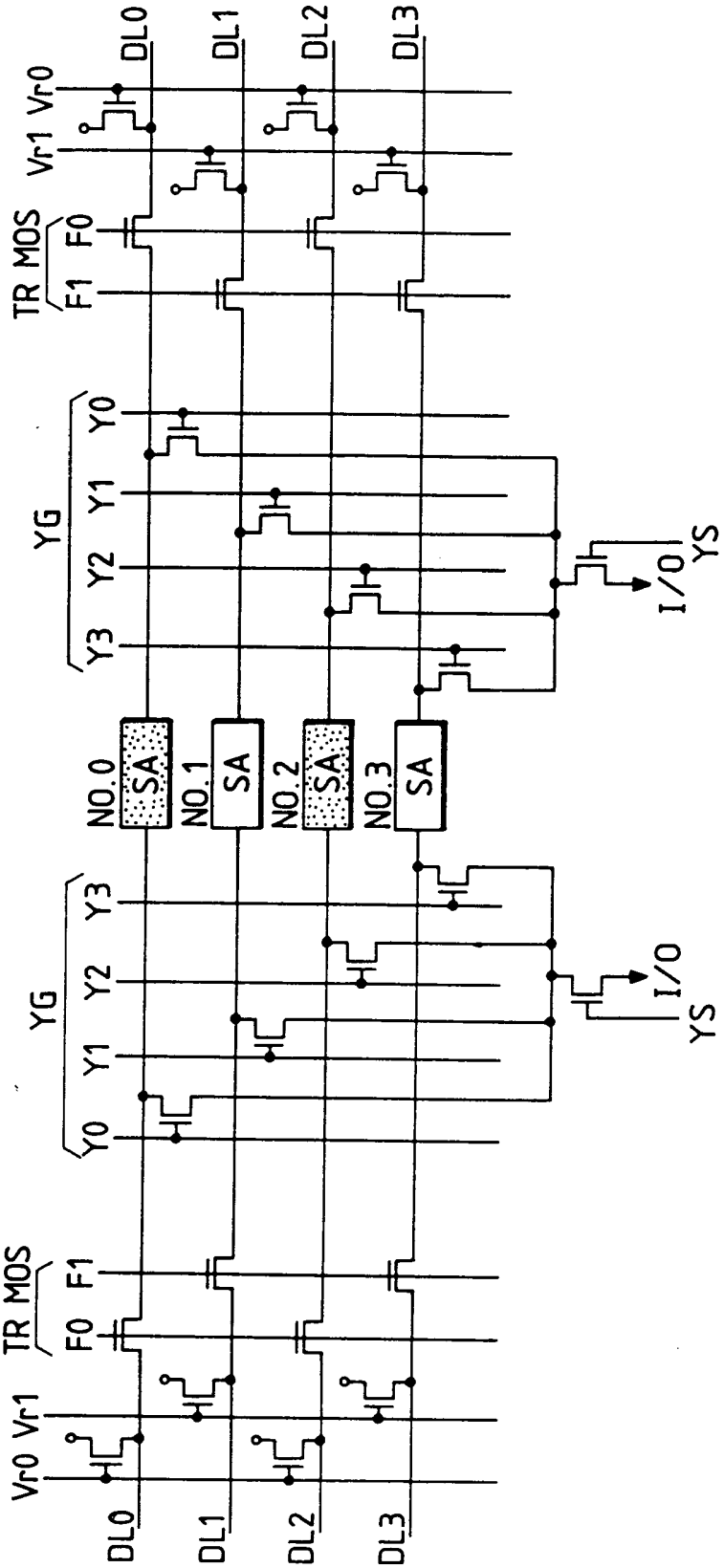
第 11 圖


Ax1R
TxG
Vpw
Vew
GDCR
Vpw
Vpv
Vew
Vev
Vcc
DPB0
DN0
SUB-DCR
Ay
Ay
MAT
YG
SA
YG
SUB-DCR
MAT
YG
SA
YG
SUB-DCR
MAT
YG
SA
YG
SUB-DCR
MAT
YG
SA
YG
SUB-DCR
MAN-DCR
I/OR
(SET AND TR AND PR)
I/OL
AxOR
TxM
Vpw
Vpv
Vew
Vev
TxM
TxG
Tv
TA
TI
To
Tc
TsA
Tsc
Ts
Do
CONT
/CE
/OE
SC
/WE
RS
AC
Di
SAC
TsA
A8
AC
Ved
Vr

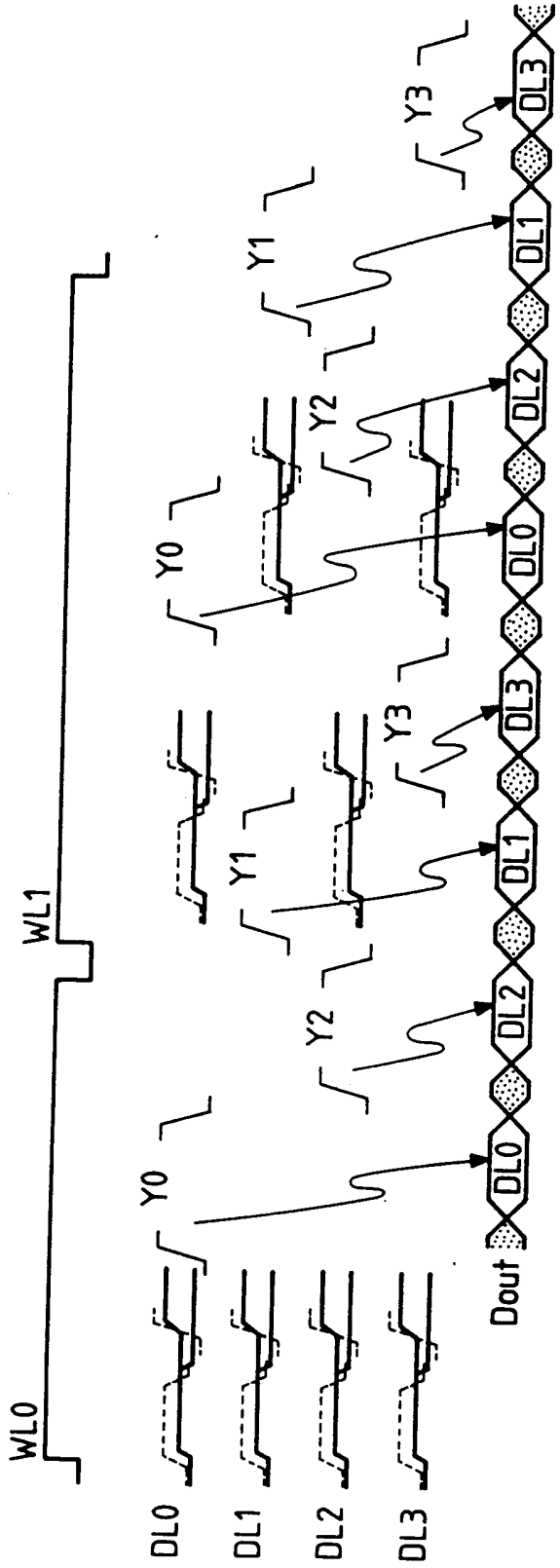
第 12 圖


Ax1L
Txg
Vpw
Vev
GDCR
Vcc
DPB1
DN1
Vpw
Vpv
Vew
Vev
Ay
Ay
SUB-DCR
YG
SA
YG
MAT
SUB-DCR
MAT
SUB-DCR
MAT
SUB-DCR
MAT
MAN-DCR
Ai
TA
Tsc
ABD
ALH
ADG
Ax0R/L
Ax1R/L
Ay
AB
AC
DPB0
DN0
DPB1
DN1
DKMC
AC
TsA
Aye
Ayo
Tc
Di
Ts
Do
CDCR
SREG
I/OR
(SET AND TR AND PR)
I/OL
Ax0L
TxM
Vpw
Vpv
Vew
Vev
Vcc
Vss
Tv
Vpw Vpv Vew Ved Vev Vr
VG
SAC
TsA
ABB
/AC
Ved
Vr
I/OL R Ay
MA
MA
I/OMA
T1
To
IB
OB
Ii
0i
RDY/BUSYO

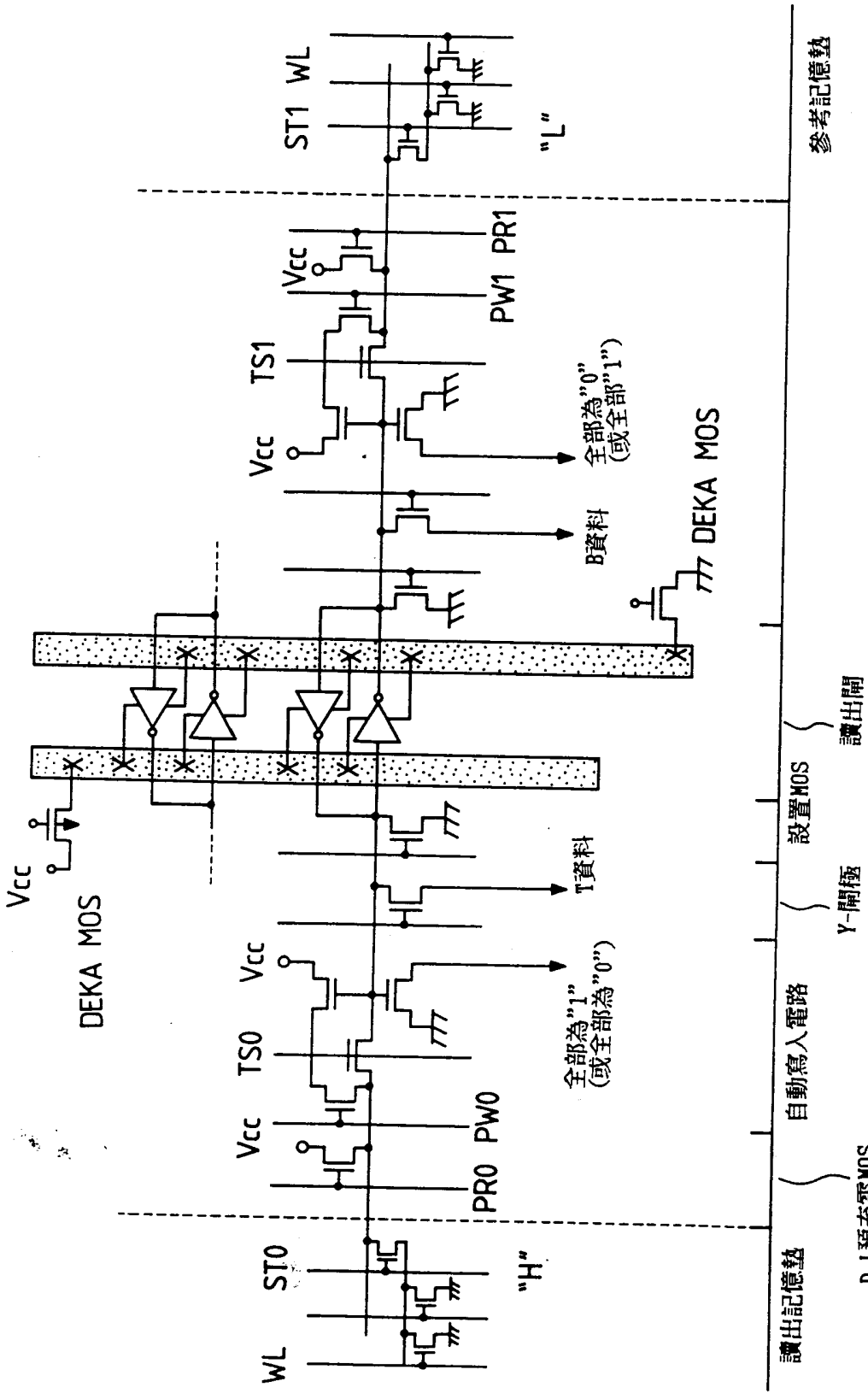
第 13 圖


DL0
DL1
DL2
DL3
Vr1 Vr0
TR MOS
F0
F1
YG
Y0
Y1
Y2
Y3
NO.0
NO.1
NO.2
NO.3
SA
I/O
YS

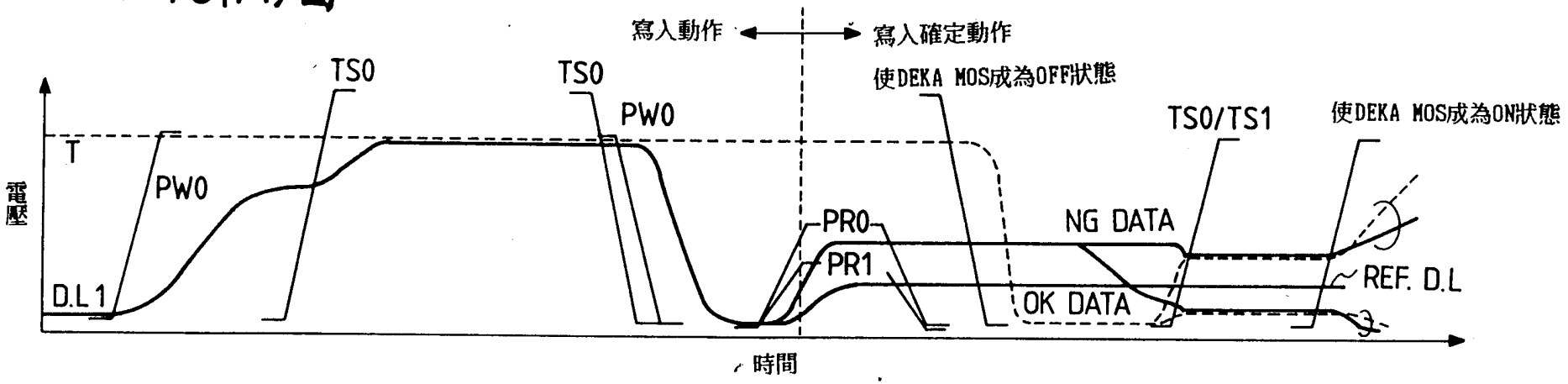
第 14 圖



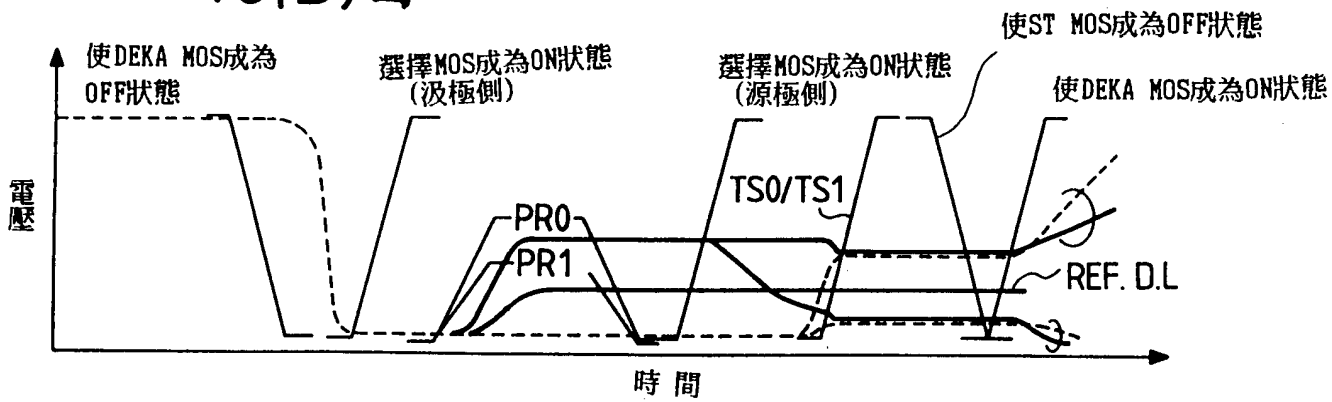
第 15 圖


讀出記憶墊
D.L預充電MOS
自動寫入電路
Y-開極
設置MOS
讀出閘
參考記憶墊
WL
ST0
"H"
PR0
PW0
Vcc
TS0
Vcc
Vcc
DEKA MOS
T資料
全部為"1"
(或全部為"0")
Vcc
TS1
Vcc
PW1
PR1
ST1
WL
"L"
DEKA MOS
B資料
全部為"0"
(或全部"1")

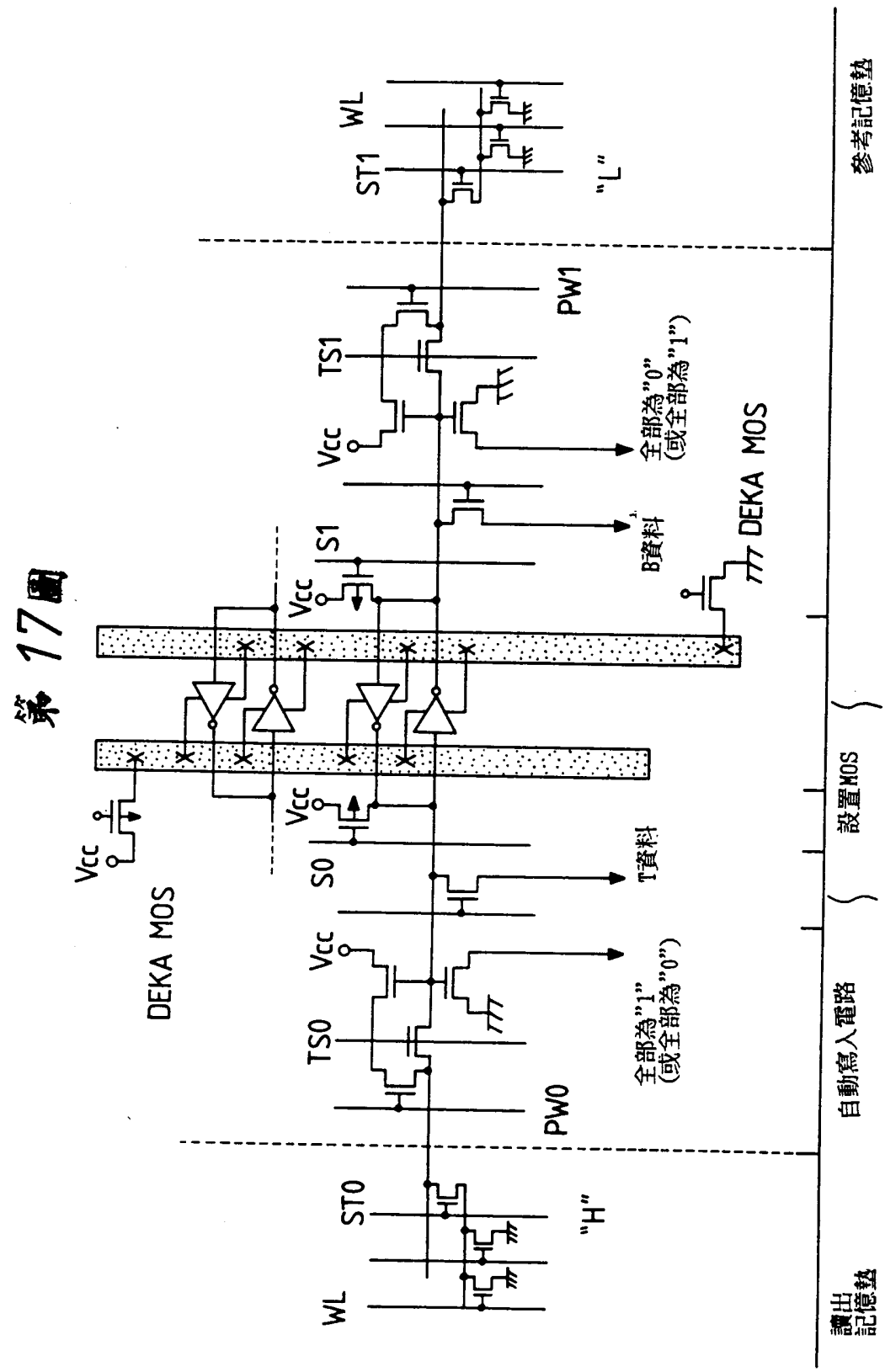
第 16(A)圖


寫入動作
寫入確定動作
TS0
TS0
使DEKA MOS成為OFF狀態
PW0
TS0/TS1
使DEKA MOS成為ON狀態
T
PW0
電壓
PR0
NG DATA
PR1
REF. D.L
D.L 1
OK DATA
時間

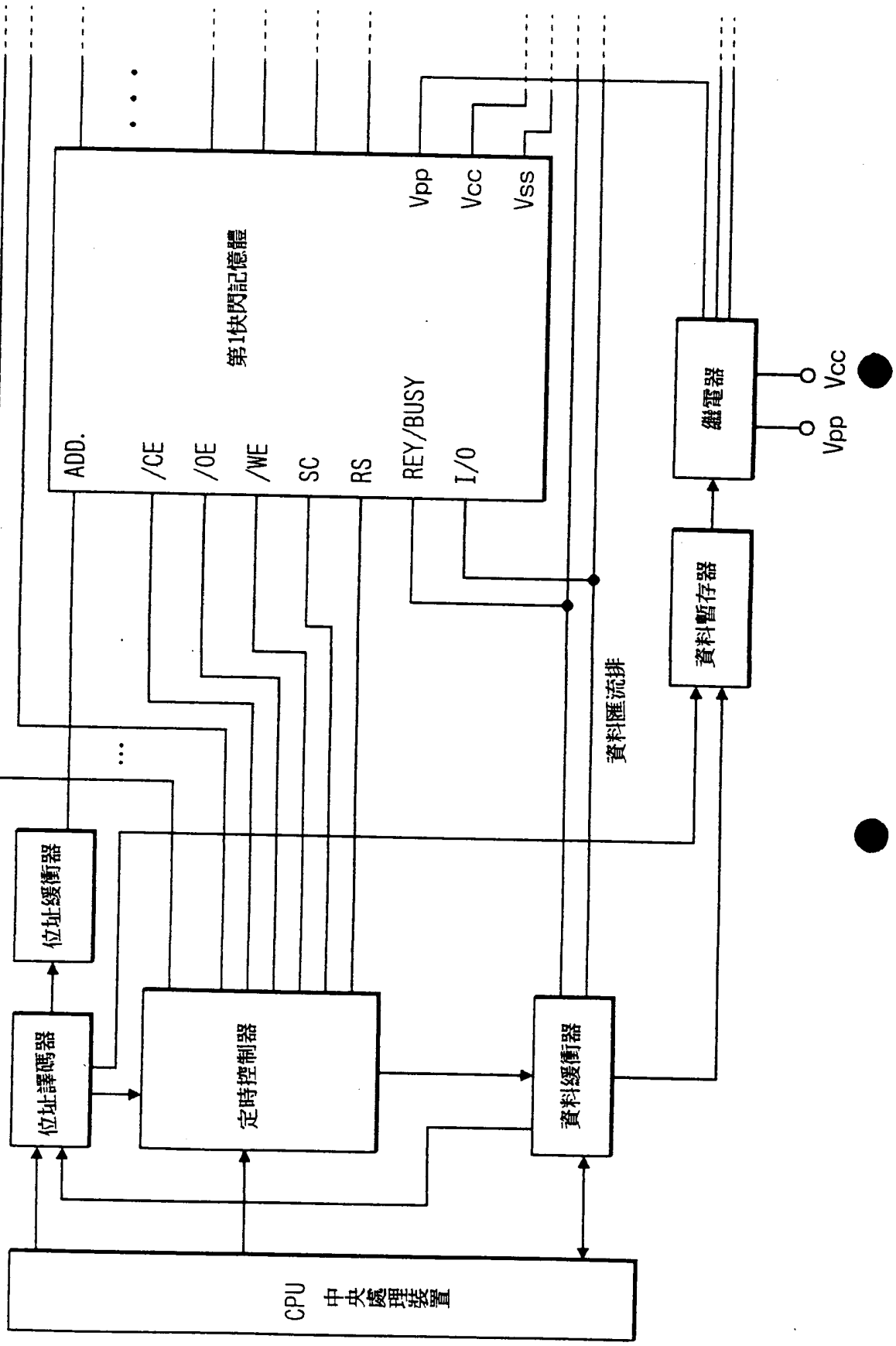
第 16(B)圖


使ST MOS成為OFF狀態
使DEKA MOS成為
OFF狀態
選擇MOS成為ON狀態
(汲極側)
選擇MOS成為ON狀態
(源極側)
使DEKA MOS成為ON狀態
TS0/TS1
電壓
PR0
PR1
REF. D.L
時 間

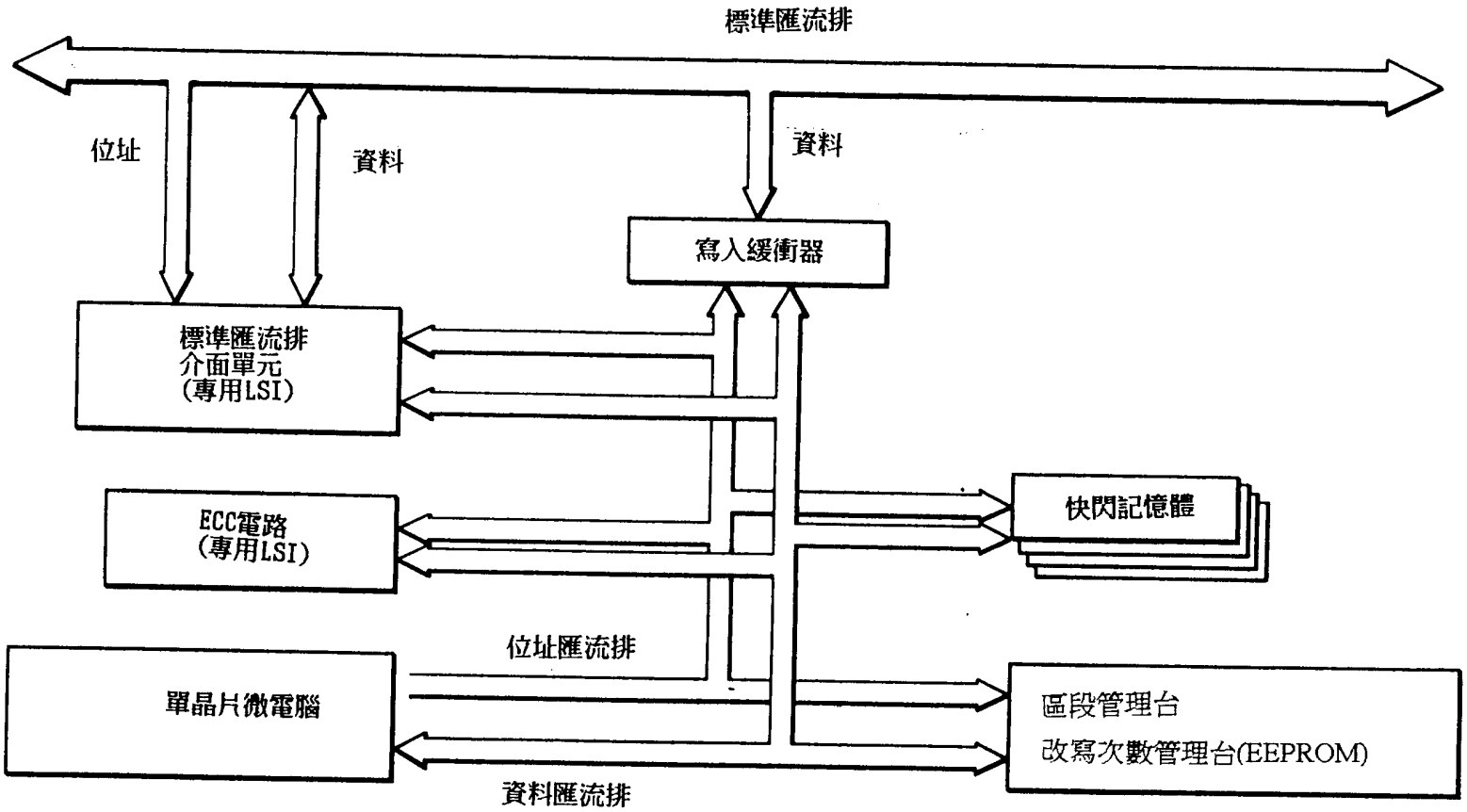
第 17 圖


Vpp
Vcc
WL
ST1
"L"
PW1
TS1
Vcc
全部為"0"
(或全部為"1")
S1
B資料
DEKA MOS
DEKA MOS
Vcc
Vcc
S0
T資料
Vcc
TS0
全部為"1"
(或全部為"0")
PW0
WL
ST0
"H"
讀出
記憶墊
自動寫入電路
Y-開極
設置MOS
讀出閘
參考記憶墊

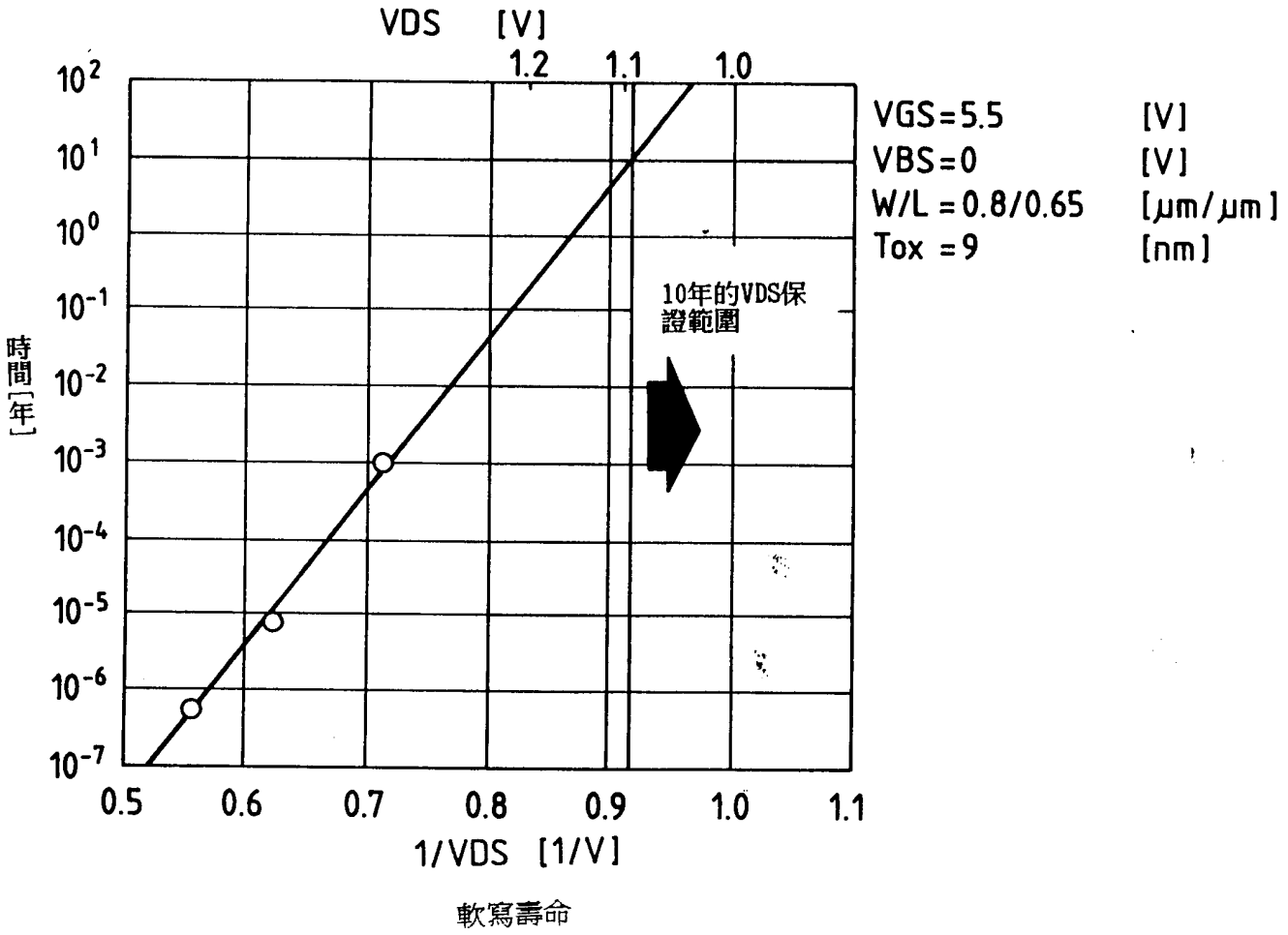
第18圖


第1快閃記憶體
ADD.
/CE
/OE
/WE
SC
RS
REY/BUSY
I/O
Vpp
Vcc
Vss
位址緩衝器
位址譯碼器
定時控制器
資料緩衝器
資料暫存器
資料匯流排
CPU 中央處理裝置
Vcc
Vpp

第 19 圖


標準匯流排
位址
資料
資料
寫入緩衝器
標準匯流排
介面單元
(專用LSI)
ECC電路
(專用LSI)
快閃記憶體
位址匯流排
單晶片微電腦
區段管理台
改寫次數管理台(EEPROM)
資料匯流排

第 20 圖


VDS [V]
1.2
1.1
1.0
10^{2}
10^{1}
10^{0}
10^{-1}
10^{-2}
10^{-3}
10^{-4}
10^{-5}
10^{-6}
10^{-7}
時間[年]
0.5
0.6
0.7
0.8
0.9
1.0
1.1
1/VDS [1/V]
10年的VDS保證範圍
VGS=5.5 [V]
VBS=0 [V]
W/L = 0.8/0.65 [μm/μm]
Tox = 9 [nm]
軟寫壽命

第21圖

