



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202312358 A

(43)公開日：中華民國 112 (2023) 年 03 月 16 日

(21)申請案號：111128822

(22)申請日：中華民國 111 (2022) 年 08 月 01 日

(51)Int. Cl. : *H01L21/768 (2006.01)**H01L27/105 (2006.01)*

(30)優先權：2021/08/02 美國

63/203,867

2022/07/29 美國

17/816,346

(71)申請人：美商英帆薩斯邦德科技有限公司 (美國) INVENSAS BONDING TECHNOLOGIES, INC. (US)

美國

(72)發明人：哈巴 貝高森 HABA, BELGACEM (US)；麥卡雷米 蘿拉 威爾 MIRKARIMI, LAURA WILLS (US)；奧布肯 克里斯多福 AUBUCHON, CHRISTOPHER (US)；卡特卡 拉杰譚 KATKAR, RAJESH (IN)

(74)代理人：閻啓泰；林景郁

申請實體審查：無 申請專利範圍項數：74 項 圖式數：5 共 44 頁

(54)名稱

用於接合結構的保護性半導體元件

(57)摘要

本發明提供一種具有保護性半導體元件之接合結構，包括具有主動電路系統之半導體元件及包括阻塞性層及/或保護性電路系統層之保護性元件。該阻塞性層配置以抑制對該主動電路系統之至少一部分之外部存取。該保護性電路系統層配置以偵測或中斷對該保護性元件及/或該半導體元件之該主動電路系統之外部存取。該半導體元件及該保護性元件沿著接合界面直接接合而無需黏著劑。

A bonded structure with protective semiconductor elements including a semiconductor element with active circuitry and a protective element including an obstructive layer and/or a protective circuitry layer. The obstructive layer is configured to inhibit external access to at least a portion of the active circuitry. The protective circuitry layer is configured to detect or disrupt external access to the protective element and/or the active circuitry of the semiconductor element. The semiconductor element and the protective element are directly bonded without an adhesive along a bonding interface.

指定代表圖：

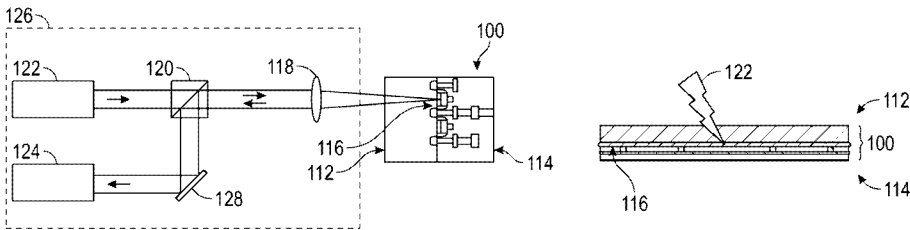


圖1

符號簡單說明：

- 100:半導體晶片
- 112:背側
- 114:前側
- 116:主動電路系統
- 118:物鏡
- 120:光束分光器
- 122:雷射源
- 124:偵測器
- 126:光學探針
- 128:鏡面

【發明摘要】

【中文發明名稱】 用於接合結構的保護性半導體元件

【英文發明名稱】 PROTECTIVE SEMICONDUCTOR ELEMENTS FOR
BONDED STRUCTURES

【中文】

本發明提供一種具有保護性半導體元件之接合結構，包括具有主動電路系統之半導體元件及包括阻塞性層及/或保護性電路系統層之保護性元件。該阻塞性層配置以抑制對該主動電路系統之至少一部分之外部存取。該保護性電路系統層配置以偵測或中斷對該保護性元件及/或該半導體元件之該主動電路系統之外部存取。該半導體元件及該保護性元件沿著接合界面直接接合而無需黏著劑。

【英文】

A bonded structure with protective semiconductor elements including a semiconductor element with active circuitry and a protective element including an obstructive layer and/or a protective circuitry layer. The obstructive layer is configured to inhibit external access to at least a portion of the active circuitry. The protective circuitry layer is configured to detect or disrupt external access to the protective element and/or the active circuitry of the semiconductor element. The semiconductor element and the protective element are directly bonded without an adhesive along a bonding interface.

【指定代表圖】 圖1

【代表圖之符號簡單說明】

- 100:半導體晶片
- 112:背側
- 114:前側
- 116:主動電路系統
- 118:物鏡
- 120:光束分光器
- 122:雷射源
- 124:偵測器
- 126:光學探針
- 128:鏡面

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 用於接合結構的保護性半導體元件

【英文發明名稱】 PROTECTIVE SEMICONDUCTOR ELEMENTS FOR
BONDED STRUCTURES

【技術領域】

【0001】 本領域係關於包含主動及/或保護性半導體元件之接合結構及其形成方法。

[相關申請案之交互參考]

【0002】 本申請案主張2021年8月2日申請的美國臨時專利申請案第63/203,867號之優先權，該美國臨時專利申請案之全部內容特此以全文引用之方式且出於所有目的併入本文中。

【先前技術】

【0003】 半導體晶片（例如，積體裝置晶粒）可包括含有安全敏感組件之主動電路系統，這些安全敏感組件含有有價值及/或專屬資訊、結構或裝置。舉例而言，此類安全敏感組件可包括實體之知識產權、軟體或硬體安全（例如，加密）特徵、隱私資料或實體可能希望保持安全且對第三方隱藏之任何其他組件或資料。舉例而言，第三方不良行動者可能利用各種技術來嘗試存取安全敏感組件以獲取經濟及/或地理優勢。因此，仍存在對改良半導體晶片之安全性以防止由第三方存取之持續需求。

【發明內容】

【0004】 本發明的第一態樣為一種接合結構，其包含：半導體元件，其包

含主動電路系統；及保護性元件，其沿著接合界面直接接合至該半導體元件而無需黏著劑，該保護性元件包含：阻塞性層，其配置以抑制對該主動電路系統之至少一部分之外部存取；及保護性電路系統層，其安置於該保護性元件內，該保護性電路層配置以偵測或中斷對該半導體元件之該主動電路系統之外部存取。

【0005】 本發明的第二態樣為一種形成接合結構之方法，該方法包含：將半導體元件直接接合至保護性元件而無需黏著劑，該半導體元件包含主動電路系統，且該保護性元件包含安置於該保護性元件內之阻塞性層及保護性電路系統層，該阻塞性層配置以抑制對該主動電路系統之至少一部分之外部存取，且該保護性電路系統層配置以偵測或中斷對該半導體元件之該主動電路系統之外部存取。

【0006】 本發明的第三態樣為一種接合結構，其包含：半導體元件，其包含第一主動電路系統；及保護性元件，其沿著接合界面直接接合至該半導體元件而無需黏著劑，該保護性元件包含安置於該保護性元件內之保護性電路系統層，該保護性電路層具有配置以偵測或中斷對該半導體元件之該第一主動電路系統之外部存取之第二主動電路系統。

【0007】 本發明的第四態樣為一種接合結構，其包含：半導體元件，其包含主動電路系統；及保護性元件，其沿著接合界面直接接合至該半導體元件之背側而無需黏著劑，該保護性元件包含：阻塞性層，其配置以抑制對該半導體元件之該主動電路系統之外部存取；及保護性電路系統層，其安置於該保護性元件內，該保護性電路層配置以偵測或中斷對該半導體元件之該主動電路系統之外部存取。

【0008】 本發明的第五態樣為一種接合結構，其包含：半導體元件，其包含主動電路系統；及保護性元件，其沿著接合界面直接接合至該半導體元件之背側而無需黏著劑，該保護性元件包含阻塞性層，該阻塞性層配置以抑制對該半導

體元件之該主動電路系統之外部存取，其中該阻塞性層與該主動電路系統藉由至少20微米之距離垂直地分離。

【圖式簡單說明】

【0009】 [圖1]為半導體晶片之光學成像之實例說明。

【0010】 [圖2]為半導體晶片之聚焦離子束（focused ion beam；FIB）攻擊之實例說明。

【0011】 [圖3]係展示侵入性晶片攻擊之實例解決方案的示意性側視截面圖。

【0012】 [圖4A]為展示併有保護性層之保護性晶片之實例說明的示意性側視截面圖。

【0013】 [圖4B]係展示併有保護性層結合阻塞性層之保護性晶片之實例說明的示意性側視截面圖。

【0014】 [圖5]為保護性晶片之額外參數的實例說明。

【實施方式】

【0015】 如本文中所解釋，第三方（諸如第三方不良行動者）可嘗試存取諸如積體裝置晶粒之元件上的安全敏感組件。在一些元件中，安全敏感組件可由網路連線表及非揮發性記憶體（non-volatile memory；NVM）資料之組合保護。然而，第三方可嘗試藉由破壞性及非破壞性技術之組合例如經由多種探測技術（例如，電光探測）及/或延遲元件以曝露、逆轉工程或以其他方式獲得對安全敏感組件之存取，以侵入這些安全敏感組件。在一些情況下，第三方可嘗試藉由將電磁（electromagnetic；EM）波脈衝至元件之主動電路系統上、使用缺陷注入技術、採用近紅外線（NIR）雷射觸發或電路之聚焦離子束（focused ion beam；

FIB) 改性、化學蝕刻技術及其他物理、化學及/或電磁侵入工具以及甚至逆轉工程來侵入安全敏感組件。這些技術可用於實體上存取諸如積體電路之微型裝置的敏感電路以直接讀取加密資訊，觸發電路釋放以其他方式加密之資訊，理解製造製程，萃取足以能夠最終複製敏感設計的資訊，或完全繞過安全協定以在無適當的權限之情況下激活或使用晶片。舉例而言，在一些情況下，駭客可嘗試存取加密密鑰，該加密密鑰可儲存於電路設計、記憶體或這兩者之組合中。技術亦可用於藉由基於缺陷注入輸入分析所得輸出而間接讀取敏感資訊，且經由遞歸分析判定加密密鑰或資料內容。在結構上保護元件上之安全敏感組件具有挑戰性。

【0016】 因此，為包括安全敏感組件之元件（諸如半導體積體裝置晶粒）提供改良安全性為至關重要的。本文中所揭示之各種具體實例係關於一種接合結構，其包括接合至第二半導體元件之第一半導體元件。該第二半導體元件可包含保護性元件，該保護性元件包括安置於該第一半導體元件之主動電路系統上方且經配置以抑制該主動電路系統之詢問的複數個層。

【0017】 半導體晶片面臨硬體及軟體層級攻擊兩者。在一些情況下，此等可在單一技術中組合。舉例而言，對晶片之硬體攻擊可用以藉由提供故障資料或影響用以處理資料之邏輯電路來更改軟體程式之邏輯。

【0018】 攻擊者採用許多技術以損害敏感半導體晶片。此等可包括藉由蝕刻、研磨或其他去囊封技術進行實體竄改以顯露晶片之敏感電路。較複雜攻擊可進一步採用敏感電路之光學探測。其中，聚焦離子束（FIB）及雷射探測為最普遍的。在過去已使用且提議許多保護性防範措施，如下文更詳細地描述具有有限有效性。

【0019】 圖1提供使用雷射探測之光學成像攻擊之概述。光學探測技術可用以存取包括敏感電路系統（例如，易受侵入攻擊之電路系統）的半導體晶片100的主動電路系統116（例如，包括至少一個電晶體之電子電路系統）。光學探測技

術可使得攻擊者能夠重構敏感電路系統，從而損害敏感電路系統之機密性及安全性。光學探測技術可用於自半導體元件100之背側112存取主動電路系統116，此係因為與半導體元件100之前側114上不同，來自背側112之光學探針126未被任何佈線或金屬化物阻擋。在本文中所說明之裝置中，主動電路系統116可比元件100之背側112更接近半導體元件之前側114。舉例而言，主動電路系統116可經圖案化於元件100之前側114處或附近。光學探針126包括雷射源122、光束分光器120、偵測器124及物鏡118。雷射源122可產生雷射束且將其引導至光束分光器120，該光束分光器可將光束分成經由物鏡118引導至半導體元件100之第一分量及經引導至鏡面128及偵測器124之第二分量。背側光學入侵技術亦可用於監測電路之活動，從而收集位元流資訊以擷取加密密鑰且損害經加密資訊。可例如藉由運用近紅外線（NIR）雷射掃描去囊封（de-encapsulated）晶片來執行雷射探測，以對晶片上之電路進行成像並捕獲主動晶片之波形資訊。藉由捕獲由電路路徑之移位電磁場所導致之電路路徑反射率隨時間推移之差異，雷射探測可用以捕獲及重構敏感位元流資訊。在一些情況下，雷射探測可意欲激活晶片內之敏感電晶體或電路之特定集合，一旦在此類型之侵入期間激活，這些電晶體或電路便可發射少量IR，該IR又由偵測器捕獲以識別駭客感興趣之確切位置。在一些情況下，此攻擊可用以損害加密密鑰。另外，敏感電路之成像可允許攻擊者重構敏感演算法及其他資料。

【0020】 因此，防止光學入侵對確保含有安全敏感組件之半導體晶片的安全性至關重要。習知技術可包括用保護性外殼封裝半導體元件。然而，習知封裝可能對研磨、化學蝕刻及相對不複雜的其他封裝去封蓋過程敏感，從而使敏感電路系統曝露且對光學探測敏感。因此可能需要包括藉由將一或多個保護性元件直接接合至半導體元件（例如，具有包括敏感電路系統之主動電路系統116的主動晶片）來進行保護免於光學入侵。半導體元件100，諸如積體裝置晶粒或晶片

可安裝或堆疊於其他元件上。舉例而言，半導體元件100可安裝至載體，諸如封裝基板、插入件、重組晶圓或元件等。作為另一實例，半導體元件100可堆疊於另一半導體元件100之頂部上，例如，第一積體裝置晶粒可堆疊於第二積體裝置晶粒上。在一些配置中，基板穿孔（through-substrate via；TSV）可垂直地延伸穿過半導體元件100之厚度，以經由半導體元件100傳送電信號，例如，自半導體元件100之第一表面傳送至半導體元件100之第二相對表面。

【0021】 為了防止敏感半導體晶片100之光學成像，保護性元件可因此整合於晶片自身中，諸如安置於敏感半導體層上之閉塞或研磨層。阻塞性層之直接接合可有效針對習知去囊封技術，從而防止晶片之敏感電路層曝露於研磨或蝕刻。然而，侵入性攻擊可用於阻止此等保護性措施。如所陳述，攻擊者採用許多技術以損害敏感半導體晶片。舉例而言，駭客可藉由雷射探測晶片來重建主動電路系統116之2D活動圖。此外，成像攻擊可用以破壞其內發現之位元流加密資訊。因此，本文中所描述之保護性半導體元件阻擋或更改反射之光信號（例如，IR）以幫助改良晶片（例如，半導體元件100）之安全性以防止非接觸竄改。

【0022】 圖2說明實例FIB攻擊。FIB攻擊可使用聚焦離子束來逐層剝蝕去囊封晶片層之表面，從而消除保護性元件以曝露敏感半導體層。舉例而言，如圖2中所示，可藉由介入保護性電線202A、202B的剝蝕而曝露目標電線204。使用聚焦離子束之剝蝕可以穿過晶片及保護性電線202A、202B以具有深度d'之圓錐形圖案形成孔206。FIB可隨後在較低強度下使用以提供敏感層（例如，電線204）之高精度成像。另外，FIB可用於藉由感應電流、切斷或更改連接敏感電路之元件之跡線來更改主動晶片的功能。此可允許攻擊者修改及/或繞過敏感半導體層內之保護性結構。另外，可在剝蝕之後使用FIB或雷射探針以捕獲位元流資訊或影像敏感電路元件。

【0023】 藉由此侵入性實體攻擊，駭客可存取並直接監測IC之安全關鍵網

路並萃取敏感資訊。諸如此等攻擊之攻擊典型地發生在晶片之前側上但亦可發生在背側上。

【0024】 圖3展示用以阻止敏感半導體晶片之成像攻擊的保護性措施之說明性實例。如圖3中所展示，主動晶片310可接合（例如，直接接合而無需黏著劑）至含有阻塞性層305之保護性晶片300。如所示，保護性晶片300可直接接合至主動晶片310的與前側114（其可包含相較於背側112較接近於主動電路系統116的主動側）相對的背側112。在一些組態中，阻塞性層305可為經設計為防止主動晶片310之主動電路層116之雷射探測、FIB或其他侵入技術之光學閉塞層，諸如描述於在2022年7月14日申請之美國專利申請案第17/812,675號中，該美國專利申請案之全部內容特此以引用之方式併入本文中。如以上圖2中所示，此提供針對FIB攻擊之有限保護。有動機的攻擊者可例如識別主動晶片310之目標區域204並採用FIB攻擊以移除覆蓋晶片310之目標區域204的阻塞性層305之部分，從而使其曝露於探測。

【0025】 阻塞性層305可包含若干層，諸如藉由絕緣材料343間隔開之複數個金屬化層（例如，342A、342B）。在一些具體實例中，金屬化層342A、342B以及介入絕緣材料343形成具有分別連接至兩個所說明基板穿孔（TSV）330之正極及負極終端的電容電路。

【0026】 如所示，接合界面315可包含保護性晶片300之接合層340A與主動晶片310之接合層340B之間的接合。直接接合可包含非導電非黏著接合，其中接合層340A、340B之非導電層341A、341B（例如，介電材料）直接彼此接合。如所示，保護性晶片300接合至主動晶片310之背側312。另外，阻塞性層305位於保護性晶片310之接合層340A附近。在一些具體實例中，直接接合可包含混合接合，其中主動晶片310之導電接觸特徵350B直接接合至保護性晶片300之對應導電接觸特徵350A，且其中主動晶片310之非導電區域（例如非導電層341B）直接

接合至保護性晶片300之對應非導電區域（例如非導電層341A）。此外，各晶片300、310之接合層340A、340B可包含安置於諸如介電層（例如，氧化矽、氮化矽、碳氮氧化矽等）之非導電層341A、341B中之複數個導電接觸特徵350A、350B。導電接觸特徵350A、350B可包含準備用於直接混合接合之導電材料，例如金屬，諸如銅。保護性晶片300之導電接觸特徵350A可配置以鏡射及/或對應於主動晶片310之導電接觸特徵350B。襯墊可提供保護性晶片與主動晶片之間的電及/或機械連接。如本文中所使用，襯墊可包含基板穿孔（TSV）330或垂直互連件330（例如，標記為襯墊350A）或至少部分地嵌入於場區域中之離散襯墊（例如，標記為襯墊350B）的曝露端。

【0027】 在一些情況下，主動晶片310可配置以偵測保護性晶片300的更改。舉例而言，如圖3中所展示，保護性晶片300可藉由基板穿孔（TSV）330電連接至主動晶片310之主動電路系統116，這些基板穿孔可使得主動晶片310能夠感測由自阻塞性層305移除材料所導致的對保護性晶片300之屬性之改變。在一些具體實例中，保護性晶片300可經由直接混合接合或其他互連技術電連接至主動晶片310。主動晶片310可配置以量測阻塞性層305或建構於保護性晶片內之其他結構之電阻或電容。若阻塞性層305或結構發生實質改變，則主動晶片310可隨後感測改變且停用敏感電路元件。然而，FIB攻擊可能非常精確，且藉由FIB剝蝕之阻塞性層305之部分可能太小而無法建立阻塞性層305之電屬性之可量測的改變。本發明之具體實例係針對接合結構，包括直接接合至主動晶片310之包含對侵入性攻擊具有抗性之保護性層之保護性晶片300，這些主動晶片可包含安全敏感電路系統或電路元件。

【0028】 圖4A說明針對補救其他解決方案之缺點以保護敏感半導體晶片100免受採用光學及/或侵入性FIB攻擊之複雜入侵的本發明之實例具體實例。如圖4A及圖4B中所示，本發明之具體實例可包括包含保護性電路系統層410之保護

性晶片300，保護性晶片300直接接合至主動晶片310（例如接合至晶片310之背側112）。保護性電路系統層410可配置以偵測或中斷對保護性元件及/或半導體元件之主動電路系統之外部存取。在一些具體實例中，例如，如圖4B中所展示，所揭示具體實例可包括形成於保護性晶片300中的阻塞性層305及單獨的保護性電路系統層410，保護性晶片可直接接合至主動晶片310（例如，晶片310之背側112）以保護主動晶片310之主動電路系統116。在所說明之具體實例中，主動電路系統116位於主動晶片310之前側114附近。如上文所描述，非接合保護性結構可易於經由相對容易的移除技術（諸如研磨或蝕刻）移除。因此可能需要將保護性晶片300及主動晶片310併入至接合結構中。

【0029】 在一些具體實例中，接合界面315可包含保護性晶片300之接合層340A與主動晶片310之接合層340B之間的接合，在所說明的具體實例中，該接合可形成於或至少部分地界定晶片310的背側112。在一些具體實例中，直接接合可包含非導電非黏著接合，其中元件之非導電材料（例如，介電及/或半導體材料341A、341B）彼此直接接合。在所說明之具體實例中，直接接合可包含混合接合，其中主動晶片310之導電接觸特徵或襯墊350A亦直接接合至保護性晶片300之對應導電接觸特徵350B，且其中主動晶片310之非導電區域（例如接合層340B）直接接合至保護性晶片300之對應非導電區域（例如接合層340A）。如圖4A中所展示，各晶片之接合層315可包含安置於非導電材料，諸如非導電或介電層341（例如，氧化矽、氮化矽、碳氮氧化矽等）中之複數個接觸襯墊350。接觸襯墊350可包含導電材料，例如諸如銅之金屬。在此等具體實例中，保護性晶片300之接觸襯墊350可配置以鏡射及/或對應於主動晶片310之接觸襯墊350。襯墊350可提供保護性晶片300與主動晶片310之間的電及/或機械連接。同樣地，主動晶片310之接合層315之接觸襯墊350可經由TSV 330連接至主動晶片310之主動電路系統116。藉由將保護性晶片300之接觸襯墊350A接合至主動晶片310之對應接觸

襯墊350B，在一些具體實例中，接合結構可因此在主動晶片310之主動電路系統116與保護性晶片300之一或多個層之間具有電連接。舉例而言，保護性晶片300可具有提供保護性電路系統層410與接合層315之接觸襯墊350之間的電連接的垂直連接件（例如，垂直互連件）360。保護性晶片300之保護性電路系統層410可隨後配置以穿過TSV 330跨越接合界面與主動晶片310之主動層116連通。

【0030】 如圖4A中所示，保護性晶片300可包含保護性電路系統層410。本文中所描述之保護性電路系統層410可配置以偵測或中斷對保護性晶片300及主動晶片310之主動電路系統116中之至少一者的外部存取。在一些具體實例中，舉例而言，保護性電路系統層410可包含不對主動晶片310提供功能處理，但可配置以偵測駭客入侵以便保護晶片310的主動電路系統116的電路系統，諸如丟棄邏輯。在此等具體實例中，保護性電路系統層410中之電路系統可配置以模仿敏感主動電路系統之外觀。舉例而言，保護性晶片300可併有包含非敏感電路之保護性電路系統層410以浪費攻擊者之時間並延長識別主動晶片310之敏感區域所需的分析，此可中斷對晶片310之主動電路系統116的外部存取。本文中所展示之保護性晶片300之保護性電路系統層410可包含主動電路系統層。在此等具體實例中，主動保護性電路系統層410可包含至少一個電晶體，例如多個電晶體。在此等具體實例中，保護性電路系統層410可含有電路以向主動晶片310提供額外的非敏感功能性。在一些具體實例中，保護性晶片300上之保護性電路系統層410中的廉價主動電路系統可將誤導性或混淆資料提供至光學攻擊，此係因為雷射探針並未自要保護的主動晶片310反射，而是由保護性晶片300上之保護性電路系統層410中的廉價低邏輯電路系統反射，此可中斷對晶片310之外部存取。在此等具體實例中，採用FIB向下鑽孔至主動晶片310之攻擊者可藉由剝蝕保護性晶片300之介入保護性電路系統層410而導致主動晶片310停用或發生故障。若保護性電路系統層410之一或多個電晶體被破壞或以其他方式更改，則保護性電路系統

410可偵測外部存取且可將指示入侵之警示傳輸至晶片310之主動電路系統116。作為回應，主動晶片310可停用晶片310之功能性，導致主動電路系統116自毀或不活動，或以其他方式防止對電路系統116的外部存取。在一些具體實例中，保護性電路系統層410可包含配置以向主動晶片310之主動電路系統116提供信號或回饋的主動電路系統。在此等具體實例中，經由自FIB剝蝕引入至保護性層410中之任何誤差可導致來自保護性層410之信號停止或改變，從而警示主動晶片310保護性晶片300已經竄改。舉例而言，保護性層410可包含配置以將加密時序信號提供至主動晶片310之主動電路系統。若加密時序信號由外部入侵嘗試修改，則可警示主動晶片310外部存取。

【0031】 在所說明之具體實例中，保護性電路系統層410之主動電路系統可包含一或多個電晶體。在各種具體實例中，由於保護性晶片300可僅利用基本功能性而不需要先進電路系統，因此主動晶片310之操作性處理電路系統可使用用於形成用於主動晶片310中之電晶體之先進製程，而可使用較便宜且較不先進的處理技術來製造保護性晶片300的主動電路系統（例如，在保護性電路系統層410中）。作為一實例，主動晶片310的操作性處理電路系統116可使用先進製程，諸如先進低於22 nm（sub-22nm）的節點製程。相比之下，保護性元件300或晶片之保護性電路系統層410的主動電路系統層可包含使用具有較大特徵大小（諸如65 nm及更大）之舊版節點製程的電晶體。在所說明之具體實例中，保護性電路系統層410可安置於保護性元件300之本體內（例如，完全在本體內）。在一些具體實例中，保護性元件300中之電晶體可用以在已竄改保護性晶片300時向主動晶片310提供警告。在一些具體實例中，保護性元件300之保護性電路系統層410中的主動電路系統（例如，包括一或多個電晶體）可起始或導致主動晶片310之敏感電路系統116以正常方式停止工作或起作用。因此，保護性電路系統410抑制來自FIB之剝蝕攻擊。用於保護性晶片300中之保護性材料，包括用於阻塞性層

305及保護性電路系統層410中之材料，可包括但不限於描述於2020年4月9日申請之美國專利申請案第16/844,932號、2020年4月9日申請之美國專利申請案第16/844941號、2020年5月22日申請之美國專利申請案第16/881621號及2020年4月10日申請之美國專利申請案第16/846177號中之保護性材料，這些美國專利申請案中之各者的全部內容以全文引用之方式且出於所有目的併入本文中。

【0032】 如圖4B中所展示，保護性晶片300可進一步包含與保護性電路系統層410分離且垂直地間隔開的阻塞性層305。在一些具體實例中，阻塞性層305可包含由絕緣層343分離的複數個金屬化層342A、342B，這使得層305對雷射探針的輻射不透明。在其他具體實例中，阻塞性層305可包含光學濾光片。為了增加分析敏感晶片之成本，可能需要對攻擊者提供誤導性或混淆資料以便減緩分析過程。因而代替僅阻擋光信號，更改信號可為有益的。光學濾光片可用以更改光信號。舉例而言，在一些具體實例中，光學濾光片可包含折射濾光片。在此等具體實例中，阻塞性層305可導致攻擊者之雷射探針產生不準確的量測結果。如描述於以引用方式併入本文中之美國申請案第17/812,675號中，阻塞性層可改變入射或出射光束之方向（例如折射）、聚集或散焦（例如透鏡化）該光束、散射該光束、漫射該光束、繞射該光束（例如光柵）、移位該光束之相位/波長等。因此，金屬化層342A、342B係指阻擋或改性在嘗試侵入敏感電路系統時所利用之入射光的光阻擋或光改性材料。

【0033】 在一些具體實例中，保護性晶片300之接合層315之連接接觸襯墊或特徵（例如，350A）可藉由半導體穿孔垂直連接件360進一步連接至保護性晶片300之一或多個閉塞層，如圖4B之具體實例中所示。另外或替代地，如圖4B中所展示，保護性晶片300之阻塞性層305可連接至主動晶片310之主動層116及/或保護性晶片300之保護性電路系統層410。舉例而言，保護性晶片300之阻塞性層305可藉由一或多個垂直互連件360電連接至保護性晶片300之保護性層410。

【0034】 圖4B展示藉助於形成於主動晶片中之接觸襯墊350A、350B及TSV 330電連接至主動晶片310之電路系統116的阻塞性層305。在一些具體實例中，阻塞性層305可進一步包含偵測電路。在此等具體實例中，主動晶片310可配置以經由TSV 330回應於對阻塞性層305中之偵測電路之一或多個屬性的改變。在一些具體實例中，偵測電路可配置以使得能夠偵測阻塞性層305或保護性晶片300之阻塞性層305的一部分的電阻。另外或替代地，偵測電路可配置以使得能夠偵測阻塞性層305或保護性晶片300之阻塞性層305的一部分的電容。在此等具體實例中，主動晶片310可能夠回應於保護性晶片300之足夠大部分之移除。舉例而言，FIB探針可用以剝蝕保護性晶片300之阻塞性層305之部分以曝露主動晶片310之敏感半導體層。藉由移除保護性晶片300之此等部分，FIB可將保護性晶片300之阻塞性層305之電容及/或電阻或阻抗更改至可由偵測電路偵測的程度。在此等具體實例中，主動晶片310可配置以在其偵測到保護性晶片300之阻塞性層305之改變時關閉。另外或替代地，主動晶片310可配置以在其偵測到保護性晶片300之阻塞性層305之改變時發出警示信號。保護性晶片300之阻塞性層305可另外或替代地藉由額外垂直連接件360連接至保護性晶片300之保護性電路系統層410。在此等具體實例中，保護性晶片300之保護性層410可經進一步組態以回應於對保護性晶片300之阻塞性層305之屬性之改變。在一些具體實例中，保護性晶片300之保護性電路系統層410可配置以在偵測到保護性晶片300之改變時停用主動晶片310。

【0035】 如圖4B中所展示，保護性晶片300之阻塞性層305可安置於保護性晶片300之保護性層410與主動晶片310之主動層116之間。所屬技術領域中具有通常知識者應理解，此僅出於說明之目的。在其他具體實例中，保護性晶片300之保護性層410可介於保護性晶片300之阻塞性層305與主動晶片310之主動層之間。另外，在一些具體實例中，保護性晶片300可具有多個保護性層410。另外或

替代地，保護性晶片300可具有多個阻塞性層305。在此等具體實例中，這些層可以任何次序安置於保護性晶片300中。如所示，保護性晶片300接合至主動晶片310之背側112。在一些具體實例中，保護性元件300之保護性電路系統層410及保護性元件300之阻塞性層305沿著橫向於接合界面315之方向彼此間隔開（亦即，距離d）。在一些具體實例中，阻塞層305可位於保護性晶片300、主動晶片310或這兩者上。

【0036】 圖5說明保護性晶片300之組態中之額外考慮因素。如上文更詳細地描述，FIB之精確度可使得攻擊者能夠鑽孔穿過接合結構之阻塞性層305而不剝蝕阻塞性材料之可偵測部分。然而，FIB之縱橫比相當淺。因此，如圖2中所示，FIB隨著與焦點之距離增加而加寬。如圖5中所展示，為了確保可偵測FIB攻擊，在一些具體實例中，保護性晶片300之阻塞性層305可安置在距主動晶片310之敏感半導體層116最小距離（亦即D）處，其中距離D描述橫向於接合界面315的距離。此可確保用以曝露主動晶片310之一部分的FIB攻擊將剝蝕保護性晶片300之阻塞性層305之足夠材料以為可偵測的。在一些具體實例中，保護性元件300之阻塞性層305與半導體元件或主動晶片310之主動電路系統116之間的間隔或距離D為至少20微米。在一些具體實例中，距離D可介於20微米與100微米之間，例如介於50微米與100微米之間。在一些具體實例中，距離D可介於100微米與500微米之間。在一些具體實例中，保護性晶片300亦可包含包含主動電路系統層之保護性電路系統層410。在此等具體實例中，保護性元件300可含有電路以向主動晶片310提供額外的非敏感功能性。此外，在一些其他具體實例中，保護性晶片300可包含多個阻塞性層305。除增加頂部阻塞性層305與主動晶片310之主動層116之間的距離之外，在此等具體實例中，FIB攻擊將需要剝蝕穿過多個阻塞性層305以便曝露主動晶片310之敏感半導體層（例如，主動電路系統116）。因此，在各種具體實例中，保護性晶片300之阻塞性層305可安置於距主動晶片310之半導體

層最小距離處，因為增加之距離D需要保護性晶片300之增加剝蝕。在保護性元件中包括保護性電路系統（例如，包括電晶體之主動電路系統及/或諸如電容器之被動電路系統）的優點在於，此可迫使偽造者在剝蝕保護性元件之材料時產生較大孔，此又將增加觸發對主動晶片310之警告的機會。

【0037】 儘管本文中之所說明具體實例（例如圖3至圖5）展示接合至半導體元件310之背側112的保護性元件300，但在其他具體實例中，保護性元件300可另外或替代地接合至前側314以提供電路系統之前側保護。因此，在一些具體實例中，接合結構可包括沿第二接合界面315直接接合至半導體元件310之前側而無需黏著劑之第二保護性元件300，該第二保護性元件300包括：第二阻塞性層305，其配置以抑制對至少半導體元件310之前側114的外部存取；及第二保護性電路系統層410，其安置於該保護性元件300內，該保護性電路系統層410配置以偵測或中斷對半導體元件300之該前側114之外部存取。

直接接合方法及直接接合結構之實例

【0038】 本文中所揭示之各種具體實例係關於兩個元件可彼此直接接合而無需介入黏著劑的直接接合結構。兩個或更多個半導體元件（諸如積體裝置晶粒、晶圓等，例如元件300、310）可堆疊於彼此上或彼此接合以形成接合結構。一個元件之導電接觸特徵或襯墊（例如，350A、350B）可電連接至另一元件之對應導電接觸特徵（例如，350A、350B）。任何合適數目個元件可堆疊於接合結構中。

【0039】 在一些具體實例中，元件彼此直接接合而無需黏著劑。在各種具體實例中，第一元件（例如，保護性或閉塞元件）之非導電或介電材料（例如，341A）可直接接合至第二元件（例如，主動晶片）之對應非導電或介電場區域（例如，341B）而無需黏著劑。非導電材料可被稱作第一元件之非導電接合區域或接合層。在一些具體實例中，第一元件之非導電材料可使用電介質對電介質接

合技術直接接合至第二元件之對應非導電材料。舉例而言，電介質對電介質接合可使用直接接合技術形成而無需黏著劑，這些直接接合技術至少揭示於美國專利第9,564,414號、第9,391,143號及第10,434,749號中，其中之各者的全部內容以全文引用之方式且出於所有目的併入本文中。

【0040】 在各種具體實例中，可形成混合式直接接合而無需介入黏著劑。舉例而言，電介質接合表面可經拋光為高度平滑。這些接合表面可經清潔且曝露於電漿及/或蝕刻劑以激活這些表面。在一些具體實例中，表面可在激活之後或在激活期間（例如，在電漿及/或蝕刻製程期間）用某種物種終止。在不受理論限制之情況下，在一些具體實例中，激活製程可經執行以破壞接合表面處之化學鍵，且終止製程可在接合表面處提供在直接接合期間提高接合能量之額外化學物種。在一些具體實例中，激活及終止提供於同一步驟中，例如，用以激活及終止表面之電漿或濕蝕刻劑。在其他具體實例中，接合表面可在單獨處理中終止，以提供用於直接接合之額外物種。在各種具體實例中，終止物種可包含氮。此外，在一些具體實例中，接合表面可曝露於氟。舉例而言，在層及/或接合界面附近可存在一個或多個氟峰值。因此，在直接接合結構中，兩種介電材料之間的接合界面可包含在接合界面處具有較高氮含量及/或氟峰值之極平滑界面。激活及/或終止處理之額外實例可見於美國專利第9,564,414號、第9,391,143號及第10,434,749號中，其中之各者的全部內容以全文引用之方式且出於所有目的併入本文中。

【0041】 在各種具體實例中，第一元件之導電接觸襯墊亦可直接接合至第二元件之對應導電接觸襯墊。舉例而言，混合接合技術可用於沿著包括如上文所描述製備之共價直接接合電介質對電介質表面的接合界面（例如，315）提供導體對導體直接接合。在各種具體實例中，可使用至少在美國專利第9,716,033號及第9,852,988號中所揭示之直接接合技術形成導體對導體（例如，接觸襯墊對接觸

襯墊)直接接合及電介質對電介質混合接合,這些美國專利中之各者的全部內容以全文引用之方式且出於所有目的併入本文中。

【0042】 舉例而言,電介質接合表面可經製備且彼此直接接合而無需介入黏著劑,如上文所解釋。導電接觸襯墊(其可由非導電介電場區域包圍)亦可彼此直接接合而無需介入黏著劑。在一些具體實例中,各別接觸襯墊可凹入至介電場或非導電接合區域之外(例如,上)表面下方,例如凹入小於30 nm、小於20 nm、小於15 nm或小於10 nm,例如在2 nm至20 nm範圍內或在4 nm至10 nm範圍內凹入。在一些具體實例中,非導電接合區域可在室溫下彼此直接接合而無需黏著劑,且隨後,可對接合結構進行退火。在退火後,接觸襯墊可膨脹且彼此接觸以形成金屬對金屬直接接合。有利地,可購自加利福尼亞州聖何塞之Xperi的混合接合技術(諸如,Direct Bond Interconnect或DBI®)之使用可實現跨越直接接合界面連接之高密度襯墊(例如,規則陣列之小或精細間距)。在一些具體實例中,接合襯墊或嵌入於接合元件中之一者的接合表面中之導電跡線的間距可小於40微米或小於10微米或甚至小於2微米。對於一些應用,接合襯墊之間距與接合襯墊之尺寸中之一者的比率小於5,或小於3,且有時合乎需要地小於2。在其他應用中,嵌入於接合元件中之一者的接合表面中之導電跡線的寬度可在0.3至3微米之間的範圍內。在各種具體實例中,接觸襯墊及/或跡線可包含銅,但其他金屬可為合適的。

【0043】 因此,在直接接合製程中,第一元件可直接接合至第二元件而無需介入黏著劑。在一些配置中,第一元件可包含單體化元件,諸如單體化積體裝置晶粒或單體化保護性元件。在其他配置中,第一元件可包含載體或基板(例如,晶圓),該載體或基板包括在經單體化時形成複數個積體裝置晶粒之複數(例如,數十、數百或更多)個裝置區域。類似地,第二元件可包含單體化元件,諸如單體化積體裝置晶粒。在其他配置中,第二元件可包含載體或基板(例如,晶圓)。

【0044】 如本文中所解釋，第一元件及第二元件可彼此直接接合而無需黏著劑，這不同於沈積製程。在一個應用中，接合結構中之第一元件的寬度可類似於第二元件之寬度。在一些其他具體實例中，接合結構中之第一元件之寬度可不同於第二元件之寬度。接合結構中之較大元件之寬度或面積可比較小元件之寬度或面積大至少10%。第一元件及第二元件可因此包含非沈積元件。此外，不同於沈積層，直接接合結構可包括沿著奈米空隙存在於其中之接合界面的缺陷區域。奈米空隙可歸因於接合表面之激活（例如，曝露於電漿）而形成。如上文所解釋，接合界面可包括來自激活及/或最後化學處理製程之材料的濃度。舉例而言，在利用氮電漿進行激活之具體實例中，氮峰值可形成於接合界面處。在利用氧電漿進行激活之具體實例中，氧峰值可形成於接合界面處。在一些具體實例中，接合界面可包含氮氧化矽、碳氮氧化矽或碳氮化矽。如本文中所解釋，直接接合可包含共價接合，其強於凡得瓦（van Der Waals）接合。接合層亦可包含經平坦化為高度平滑之經拋光表面。

【0045】 在各種具體實例中，接觸襯墊之間的金屬對金屬接合可經結合以使得銅粒跨越接合界面彼此生長。在一些具體實例中，銅可具有沿晶面定向之粒以用於改良接合界面上之銅擴散。接合界面可實質上完全延伸至接合接觸襯墊之至少一部分，使得在接合接觸襯墊處或附近之非導電接合區域之間實質上不存在間隙。在一些具體實例中，障壁層可設置於接觸襯墊（例如，其可包括銅）下方。然而，在其他具體實例中，在接觸襯墊下方可能不存在障壁層，例如，如US 2019/0096741中所描述，其以全文引用之方式且出於所有目的併入本文中。

【0046】 在一個態樣中，提供一種接合結構。該接合結構包括半導體元件，其包括主動電路系統（例如，116）。該接合結構亦包括保護性元件，其沿著接合界面直接接合至該半導體元件而無需黏著劑。該保護性元件包括配置以抑制對該主動電路系統之至少一部分之外部存取的阻塞性層（亦即，305）。該保護性元

件亦可另外或替代地包括安置於其內之保護性電路系統層（例如，410），且該保護性電路系統層配置以偵測或中斷對該保護性元件、該半導體元件之主動電路系統或這兩者的外部存取。

【0047】 在一些具體實例中，保護性元件之阻塞性層及半導體元件之主動電路系統相對於接合界面彼此間隔開。在一些具體實例中，保護性元件之阻塞性層與半導體元件之主動電路系統之間的間隔介於50微米與100微米之間。在一些具體實例中，保護性元件之保護性電路系統層及保護性元件之阻塞性層沿著橫向於接合界面之方向彼此間隔開。在一些具體實例中，保護性元件之保護性電路系統層與阻塞性層之間的間隔為至少20微米。在一些具體實例中，保護性元件之保護性電路系統層安置於保護性元件之阻塞性層與接合界面之間。在一些具體實例中，保護性元件之阻塞性層安置於保護性元件之保護性電路系統層與該接合界面之間。在一些具體實例中，保護性元件之阻塞性層包括閉塞層，該閉塞層配置以在平行於層之表面之平面中閉塞半導體元件之預界定區域。在一些具體實例中，保護性元件包括直接接合至半導體元件之接合層的接合層。在一些具體實例中，保護性元件之接合層以匹配保護性元件之接合層之金屬化圖案的至少一部分之圖案金屬化。在一些具體實例中，半導體元件之接合層包括安置於非導電層中之多個接觸襯墊，且保護性元件之接合層包括直接接合至半導體元件之接觸襯墊之安置於非導電層中的多個接觸襯墊。在一些具體實例中，保護性元件之接合層及保護性元件之保護性電路系統層經由一或多個垂直互連件（例如，360）連接。在一些具體實例中，保護性元件之阻塞性層包括配置以偵測保護性元件之外部存取的偵測電路。在一些具體實例中，偵測電路包括配置以偵測外部存取之被動電子電路元件。在一些具體實例中，被動電子電路包括電容電路元件、電阻電路元件或這兩者。在一些具體實例中，被動電子電路元件包括包含圖案化跡線之電阻元件。在一些具體實例中，該被動電子電路元件包括電容元件，

該電容元件包含由絕緣材料分離之複數條跡線。在一些具體實例中，偵測電路包括主動電路系統。在一些具體實例中，垂直互連件自該偵測電路延伸至保護性元件之接觸襯墊。在一些具體實例中，垂直互連件自偵測電路延伸至保護性元件之保護性電路系統層。在一些具體實例中，保護性元件之一或多個接觸襯墊接合至半導體元件之主動側處的接觸襯墊。在一些具體實例中，保護性元件之保護性電路系統層包括配置以模仿主動電路系統之外觀之被動電子電路。在一些具體實例中，保護性元件之保護性電路系統層包括主動電路系統。在一些具體實例中，保護性電路系統層之主動電路系統配置以發出加密時序信號。在一些具體實例中，保護性電路系統層之主動電路系統配置以偵測保護性電路系統層之改變。在一些具體實例中，保護性電路系統層之主動電路系統配置以在其偵測到保護性電路系統層之改變時停用半導體之主動電路系統。在一些具體實例中，保護性電路系統層配置以在保護性電路系統層之主動電路系統偵測到保護性電路系統層之改變時發出警報信號。在一些具體實例中，垂直互連件自保護性電路系統層延伸至保護性元件之接觸襯墊。在一些具體實例中，保護性元件直接接合至半導體元件之與主動側（例如，114）相對的背側（例如，112），且半導體穿孔（例如，330）自半導體元件之主動側處或附近的接觸襯墊延伸至保護性元件之接觸襯墊，從而提供半導體元件與保護性元件之保護性電路系統層之間的電連通。在一些具體實例中，保護性電路系統層完全嵌入於該保護性元件內。

【0048】 在另一態樣中，提供一種用於形成接合結構之方法。該方法包括將半導體元件直接接合至保護性元件而無需黏著劑。半導體元件包括主動電路系統，且保護性元件包括配置以抑制對該主動電路系統之一部分的外部存取之阻塞性層，及配置以偵測或中斷對保護性元件、半導體元件或這兩者之外部存取的保護性層。

【0049】 在一些具體實例中，該方法包括形成保護性元件使得保護性元件

之阻塞性層與保護性元件之保護性層沿著橫向於接合界面之方向彼此間隔開。在一些具體實例中，該方法包括形成保護性元件使得阻塞性層與保護性層之間的間隔為至少20微米。在一些具體實例中，該方法包括形成保護性元件使得保護性元件之阻塞性層與保護性元件之主動電路系統之間的間隔為至少20微米。在一些具體實例中，該方法包括形成保護性元件以包括接合層、形成半導體元件以包括接合層及將保護性元件之接合層接合至半導體元件之接合層。在一些具體實例中，該方法包括形成保護性元件使得保護性元件之接合層經金屬化以匹配半導體元件之金屬化圖案。在一些具體實例中，該方法包括形成保護性元件使得保護性元件之接合層包括安置於非導電層中之多個接觸襯墊，其配置以鏡射半導體元件之接合層之複數個接觸襯墊。在一些具體實例中，該方法包括形成保護性元件使得阻塞性層包括配置以偵測對保護性元件之外部存取之偵測電路。在一些具體實例中，該方法包括形成保護性元件以包括自偵測電路延伸至保護性元件之接觸襯墊之垂直互連件。在一些具體實例中，該方法包括：將保護性元件直接接合至半導體元件之與半導體元件之主動側直接相對的背側；及形成半導體元件以包括半導體穿孔（through semiconductor via；TSV），該半導體穿孔自半導體之主動側處或附近之接觸襯墊延伸至保護性元件之接觸襯墊，使得TSV提供半導體元件與偵測電路之間的電連通。在一些具體實例中，該方法包括形成保護性元件以包括自偵測電路延伸至保護性元件之保護性層的垂直互連件，及自保護性元件之保護性層延伸至保護性元件之接觸襯墊的第二垂直互連件。在一些具體實例中，該方法包括形成保護性電路系統層以包括配置以模仿主動電路系統之外觀之被動電子電路。在一些具體實例中，該方法包括形成保護性電路系統層以包括主動電路系統。在一些具體實例中，該方法包括組態保護性電路系統層之主動電路系統以發出加密時序信號。在一些具體實例中，該方法包括組態保護性電路系統層之主動電路系統以偵測保護性電路系統層之改變。在一些具體實

例中，該方法包括組態保護性電路系統層之主動電路系統以在保護性電路系統層之主動電路系統偵測到保護性電路系統層之改變時停用半導體元件之主動電路系統。在一些具體實例中，該方法包括組態保護性電路系統層之主動電路系統以在保護性電路系統層之主動電路系統偵測到保護性電路系統層之改變時發出警報信號。在一些具體實例中，該方法包括形成保護性元件以包括自保護性電路系統層延伸至保護性元件之接觸襯墊之垂直互連件。在一些具體實例中，該方法包括：將保護性元件直接接合至半導體元件之與半導體元件之主動側直接相對的背側；及形成半導體元件以包括半導體穿孔（TSV），該半導體穿孔自半導體之主動側處或附近之接觸襯墊延伸至保護性元件之接觸襯墊，使得TSV提供半導體元件與保護性元件之保護性層之間的電連通。在一些具體實例中，該方法包括形成該保護性元件使得該保護性電路系統層完全嵌入於該保護性元件內。

【0050】 在另一態樣中，提供一種接合結構。該接合結構包括：半導體元件，其包括主動電路系統；及保護性元件，其沿著接合界面直接接合至半導體元件而無需黏著劑。保護性元件包括配置以偵測或中斷對保護性元件、半導體元件之主動電路系統或這兩者之外部存取之保護性電路系統層。

【0051】 在一些具體實例中，保護性元件之保護性層及半導體元件之主動電路系統沿著橫向於接合界面之方向彼此間隔開。在一些具體實例中，保護性元件之阻塞性層與半導體元件之主動電路系統之間間隔為至少20微米。在一些具體實例中，保護性元件包括接合層，且半導體元件包括直接接合至保護性元件之接合層的接合層。在一些具體實例中，保護性元件之接合層經金屬化以匹配半導體元件之金屬化圖案。在一些具體實例中，半導體元件之接合層包括安置於非導電層中之多個接觸襯墊，且保護性元件之接合層包括直接接合至半導體元件之接觸襯墊之安置於非導電層中的多個接觸襯墊。在一些具體實例中，保護性元件之保護性層包括配置以模仿主動電路系統之外觀之被動電子電路。在一些具

體實例中，保護性元件之保護性層包括主動電路系統。在一些具體實例中，保護性電路系統層之主動電路系統配置以發出加密時序信號。在一些具體實例中，保護性電路系統層之主動電路系統配置以偵測保護性元件之改變。在一些具體實例中，保護性電路系統層之主動電路系統配置以在保護性電路系統層之主動電路系統偵測到保護性元件之改變時停用半導體元件之主動電路系統。在一些具體實例中，該保護性電路系統層配置以在其偵測到該保護性元件之改變時發出警報信號。在一些具體實例中，接合結構包括自保護性元件之保護性層延伸至保護性元件之接觸襯墊的垂直互連件。在一些具體實例中，保護性元件直接接合至半導體元件之與主動側相對的背側，且半導體穿孔（TSV）自半導體元件之主動側處或附近的接觸襯墊延伸至保護性元件之接觸襯墊，使得TSV提供半導體元件與保護性元件之保護性層之間的電連通。在一些具體實例中，保護性元件之保護性電路系統層完全嵌入於保護性元件內。

【0052】 除非上下文另外明確地要求，否則在整個說明書及申請專利範圍中，字組「包含（comprise/comprising）」、「包括（include/including）」及類似者應以包括性意義解釋，而非排他性或窮盡性意義解釋；亦即以「包括但不限於」之意義來解釋。如本文中一般所使用之字組「耦接」係指可直接連接或藉助於一或多個中間元件連接之兩個或更多個元件。同樣，如本文中一般所使用之字組「連接」係指可直接連接或藉助於一或多個中間元件連接之兩個或更多個元件。另外，當用於本申請案中時，字組「本文中」、「上文」、「下文」及類似意義之字組應指本申請案整體而非本申請案之任何特定部分。此外，如本文中所使用，當第一元件描述為「在」第二元件「上」或「上方」時，第一元件可直接在第二元件上或上方，使得第一元件與第二元件直接接觸，或第一元件可間接在第二元件上或上方，使得一或多個元件在第一元件與第二元件之間介入。在上下文准許之情況下，上文實施方式中使用單數或複數數目之字組亦可分別包括複數或單數

數目。字組「或」關於兩個或更多個項目之清單，該字組涵蓋該字組之所有以下解釋：清單中之項目中之任一者、清單中之所有項目及清單中之項目之任何組合。

【0053】 此外，除非另外具體地陳述，或在所使用上下文內以其他方式理解，否則本文中所使用之條件性語言（諸如，「能」、「可能」、「可」、「可以」、「例如」、「舉例而言」、「諸如」及類似者）大體上意欲表達某些具體實例包括而其他具體實例不包括某些特徵、元件及/或狀態。因此，此條件性語言大體上並不意欲暗示特徵、元件及/或狀態無論如何為一或多個具體實例所需的。

【0054】 雖然已描述某些具體實例，但此等具體實例僅作為實例呈現，且並不意欲限制本發明之範圍。實際上，可以多種其他形式體現本文中所描述之新穎設備、方法及系統；此外，在不脫離本發明之精神的情況下，可對本文中所描述之方法及系統的形式進行各種省略、取代及改變。舉例而言，雖然以給定配置呈現區塊，但替代具體實例可用不同組件及/或電路拓樸結構執行類似功能性，且一些區塊可被刪除、移動、添加、再分、組合及/或修改。此等區塊中之各者可以多種不同方式實施。上文所描述之各種具體實例之元件及動作的任何合適組合可經組合以提供其他具體實例。隨附申請專利範圍及其等效物意欲涵蓋將屬於本發明之範圍及精神內的此類形式或修改。

【符號說明】

【0055】

100:半導體晶片

112:背側

114:前側

116:主動電路系統

118:物鏡
120:光束分光器
122:雷射源
124:偵測器
126:光學探針
128:鏡面
202A:保護性電線
202B:保護性電線
204:電線
206:孔
300:保護性晶片
305:阻塞性層
310:主動晶片
312:背側
314:前側
315:接合界面
330:基板穿孔 (TSV)
340A:接合層
340B:接合層
341A:非導電或介電材料
341B:非導電或介電場區域
342A:金屬化層
342B:金屬化層
350A:導電接觸特徵

350B:導電接觸特徵

360:垂直互連件

410:保護性電路系統層

d':深度

d:距離

D:距離

【發明申請專利範圍】

【請求項1】一種接合結構，其包含：

半導體元件，其包含主動電路系統；及

保護性元件，其沿著接合界面直接接合至該半導體元件而無需黏著劑，該保護性元件包含：

阻塞性層，其配置以抑制對該主動電路系統之至少一部分之外部存取；及

保護性電路系統層，其安置於該保護性元件內，該保護性電路層配置以偵測或中斷對該半導體元件之該主動電路系統之外部存取。

【請求項2】如請求項1之接合結構，其中該保護性元件直接接合至該半導體元件之與該半導體元件之主動前側相對的背側，該半導體元件之該主動電路系統安置成相較於該背側較接近該主動前側。

【請求項3】如請求項1之接合結構，其中該保護性元件之該阻塞性層及該半導體元件之該主動電路系統沿橫向於該接合界面之方向彼此間隔開。

【請求項4】如請求項1之接合結構，其中該保護性元件之該阻塞性層與該半導體元件之該主動電路系統之間的時間隔為至少20微米。

【請求項5】如請求項1之接合結構，其中該保護性元件之該阻塞性層與該半導體元件之該主動電路系統之間的時間隔介於50微米與100微米之間。

【請求項6】如請求項1之接合結構，其中該保護性元件之該保護性電路系統層及該保護性元件之該阻塞性層沿著橫向於該接合界面之方向彼此間隔開。

【請求項7】如請求項6之接合結構，其中該保護性元件之該保護性電路系統層與該保護性元件之該阻塞性層之間的時間隔為至少20微米。

【請求項8】如請求項1之接合結構，其中該保護性元件之該保護性電路系統層安置於該保護性元件之該阻塞性層與該接合界面之間。

【請求項9】如請求項1之接合結構，其中該保護性元件之該阻塞性層安置於

該保護性元件之該保護性電路系統層與該接合界面之間。

【請求項10】如請求項1之接合結構，其中該保護性元件之該阻塞性層進一步包含閉塞層，該閉塞層配置以在平行於該層之表面之平面中閉塞該半導體元件之預界定區域。

【請求項11】如請求項1之接合結構，其中該保護性元件進一步包含接合層，並且其中該保護性元件進一步包含接合層，該保護性元件之該接合層直接接合至該半導體元件之該接合層。

【請求項12】如請求項11之接合結構，其中該保護性元件之該接合層經金屬化以匹配該半導體元件之該接合層之金屬化圖案的至少一部分。

【請求項13】如請求項12之接合結構，其中該半導體元件之該接合層包含安置於非導電層中之複數個接觸襯墊，且其中該保護性元件之該接合層包含直接接合至該半導體元件之這些接觸襯墊之安置於非導電層中的複數個接觸襯墊。

【請求項14】如請求項10之接合結構，其中該保護性元件之該接合層與該保護性元件之該保護性電路系統層經由至少一個垂直互連件連接。

【請求項15】如請求項1至14中任一項之接合結構，其中該保護性元件之該阻塞性層包含配置以偵測該保護性元件之外部存取的偵測電路。

【請求項16】如請求項15之接合結構，其中該偵測電路包含配置以偵測該外部存取之被動電子電路元件。

【請求項17】如請求項16之接合結構，其中該被動電子電路包含電容電路元件及電阻電路元件中之至少一者。

【請求項18】如請求項17之接合結構，其中該被動電子電路元件包含該電阻元件，並且其中該電阻元件進一步包含圖案化跡線。

【請求項19】如請求項17之接合結構，其中該被動電子電路元件包含該電容元件，並且其中該電容元件進一步包含藉由絕緣材料分離之複數條跡線。

【請求項20】如請求項15之接合結構，其中該偵測電路進一步包含主動電路系統。

【請求項21】如請求項15至20中任一項之接合結構，其進一步包含垂直互連件，該垂直互連件自該偵測電路延伸至該保護性元件之接觸襯墊。

【請求項22】如請求項15至20中任一項之接合結構，其進一步包含垂直互連件，該垂直互連件自該偵測電路延伸至該保護性元件之該保護性電路系統層。

【請求項23】如請求項21之接合結構，其中該保護性元件之該接觸襯墊直接接合至該半導體元件之主動側處的接觸襯墊。

【請求項24】如請求項1至23中任一項之接合結構，其中該保護性元件之該保護性電路系統層進一步包含配置以模仿主動電路系統之外觀之被動電子電路。

【請求項25】如請求項1至23中任一項之接合結構，其中該保護性元件之該保護性電路系統層進一步包含第二主動電路系統。

【請求項26】如請求項25之接合結構，其中該保護性電路系統層之該第二主動電路系統配置以發出加密時序信號。

【請求項27】如請求項25之接合結構，其中該保護性電路系統層之該第二主動電路系統配置以偵測該保護性電路系統層之改變。

【請求項28】如請求項27之接合結構，其中該保護性電路系統層之該第二主動電路系統配置以在該保護性電路系統層之該主動電路系統偵測到該保護性電路系統層之實體改變時停用該半導體之該主動電路系統。

【請求項29】如請求項27之接合結構，其中該保護性電路系統層配置以在該保護性電路系統層之該第二主動電路系統偵測到該保護性電路系統層之改變時發出警報信號。

【請求項30】如請求項25至29中任一項之接合結構，其進一步包含垂直互連

件，該垂直互連件自該保護性元件之該保護性電路系統層延伸至該保護性元件之接觸襯墊。

【請求項31】如請求項30之接合結構，其進一步包含：半導體穿孔（TSV），該半導體穿孔自該半導體元件之該主動側處或附近之接觸襯墊延伸至該保護性元件之該接觸襯墊，該半導體穿孔提供該半導體元件與該保護性元件之該保護性電路系統層之間的電連通。

【請求項32】如請求項1至31中任一項之接合結構，其中該保護性元件之該保護性電路系統層完全嵌入於該保護性元件內。

【請求項33】一種形成接合結構之方法，該方法包含：

將半導體元件直接接合至保護性元件而無需黏著劑，該半導體元件包含主動電路系統，且該保護性元件包含安置於該保護性元件內之阻塞性層及保護性電路系統層，該阻塞性層配置以抑制對該主動電路系統之至少一部分之外部存取，且該保護性電路系統層配置以偵測或中斷對該半導體元件之該主動電路系統之外部存取。

【請求項34】如請求項33之方法，其進一步包含：

形成該保護性元件使得該保護性元件之該阻塞性層及該保護性元件之該保護性層沿著橫向於該接合界面之方向彼此間隔開。

【請求項35】如請求項34之方法，其進一步包含：

形成該保護性元件使得該保護性元件之該阻塞性層與該保護性元件之該保護性層之間的時間隔為至少20微米。

【請求項36】如請求項34之方法，其進一步包含：

形成該保護性元件使得該保護性元件之該阻塞性層與該半導體元件之該主動電路系統之間的時間隔為至少20微米。

【請求項37】如請求項33至36中任一項之方法，其進一步包含：

形成該保護性元件以包含接合層；

形成該半導體元件以包含接合層；以及

將該保護性元件之該接合層接合至該半導體元件之該接合層。

【請求項38】如請求項37之方法，其進一步包含：

形成該保護性元件使得該保護性元件之該接合層經金屬化以匹配該半導體元件之金屬化圖案。

【請求項39】如請求項38之方法，其進一步包含：

形成該保護性元件使得該保護性元件之該接合層包含安置於非導電層中之複數個接觸襯墊，這些接觸襯墊配置以鏡射該半導體元件之該接合層之複數個接觸襯墊。

【請求項40】如請求項33至39中任一項之方法，其進一步包含：

形成該保護性元件使得該阻塞性層包含配置以偵測該保護性元件之外部存取之偵測電路。

【請求項41】如請求項40之方法，其進一步包含：

形成該保護性元件以包括垂直互連件，該垂直互連件自該偵測電路延伸至該保護性元件之接觸襯墊。

【請求項42】如請求項41之方法，其進一步包含：

將該保護性元件直接接合至該半導體元件之與該半導體元件之主動側直接相對的背側，其中該半導體元件之該主動電路系統安置於該半導體元件之該主動側處或接近且進一步包含半導體穿孔（TSV），該半導體穿孔自該半導體元件之該主動側處或附近之接觸襯墊延伸至該保護性元件之該接觸襯墊，該半導體穿孔提供該半導體元件與該偵測電路之間的電連通。

【請求項43】如請求項40之方法，其進一步包含：

形成該保護性元件以包括自該偵測電路延伸至該保護性元件之該保護性層

之第一垂直互連件，及自該保護性元件之該保護性層延伸至該保護性元件之接觸襯墊的第二垂直互連件。

【請求項44】如請求項33至43中任一項之方法，其進一步包含：

形成該保護性電路系統層以包含配置以模仿主動電路系統之外觀之被動電子電路。

【請求項45】如請求項33至43中任一項之方法，其進一步包含：

形成該保護性電路系統層以包含第二主動電路系統。

【請求項46】如請求項45之方法，其進一步包含：

配置該保護性電路系統層之該第二主動電路系統以發出加密時序信號。

【請求項47】如請求項45之方法，其進一步包含：

配置該保護性電路系統層之該第二主動電路系統以偵測該保護性電路系統層之改變。

【請求項48】如請求項47之方法，其進一步包含：

配置該保護性電路系統層之該第二主動電路系統以在該保護性電路系統層之該主動電路系統偵測到該保護性電路系統層之改變時停用該半導體元件之該主動電路系統。

【請求項49】如請求項47之方法，其進一步包含：

配置該保護性電路系統層之該第二主動電路系統以在該保護性電路系統層之該主動電路系統偵測到該保護性電路系統層之改變時發出警報信號。

【請求項50】如請求項45至49中任一項之方法，其進一步包含：

形成該保護性元件以包括自該保護性元件之該保護性電路系統層延伸至該保護性元件之接觸襯墊的垂直互連件。

【請求項51】如請求項50之方法，其進一步包含：

將該保護性元件直接接合至該半導體元件之與該半導體元件之主動側直接

相對的背側，其中該半導體元件之該主動電路系統安置於該半導體元件之該主動側處或接近且進一步包含半導體穿孔（TSV），該半導體穿孔自該半導體元件之該主動側處或附近之接觸襯墊延伸至該保護性元件之該接觸襯墊，該半導體穿孔提供該半導體元件與該保護性元件之該保護性層之間的電連通。

【請求項52】如請求項33至51中任一項之方法，其進一步包含：

形成該保護性元件使得該保護性電路系統層完全嵌入於該保護性元件內。

【請求項53】一種接合結構，其包含：

半導體元件，其包含第一主動電路系統；及

保護性元件，其沿著接合界面直接接合至該半導體元件而無需黏著劑，該保護性元件包含安置於該保護性元件內之保護性電路系統層，該保護性電路層具有配置以偵測或中斷對該半導體元件之該第一主動電路系統之外部存取之第二主動電路系統。

【請求項54】如請求項53之接合結構，其中該保護性元件直接接合至該半導體元件之與該半導體元件之主動前側相對的背側，該半導體元件之該第一主動電路系統安置成相較於該背側較接近該主動前側。

【請求項55】如請求項53之接合結構，其中該保護性元件之該保護性層及該半導體元件之該主動電路系統沿著橫向於該接合界面之方向彼此間隔開。

【請求項56】如請求項55之接合結構，其中該保護性元件之該阻塞性層與該半導體元件之該主動電路系統之間的間隔為至少20微米。

【請求項57】如請求項53至56中任一項之接合結構，其中該保護性元件進一步包含接合層，並且其中該半導體元件進一步包含直接接合至第一半導體元件之該接合層的接合層。

【請求項58】如請求項57之接合結構，其中保護性元件之該接合層經金屬化以匹配該半導體元件之金屬化圖案。

【請求項59】如請求項58之接合結構，其中該半導體元件之該接合層包含安置於非導電層中之複數個接觸襯墊，且其中該保護性元件之該接合層包含直接接合至該半導體元件之這些接觸襯墊之安置於非導電層中的複數個接觸襯墊。

【請求項60】如請求項53至59中任一項之接合結構，其中該保護性元件之該保護性層進一步包含配置以模仿主動電路系統之外觀之被動電子電路。

【請求項61】如請求項53至59中任一項之接合結構，其中該保護性元件之該保護性層進一步包含第二主動電路系統。

【請求項62】如請求項61之接合結構，其中該保護性電路系統層之該第二主動電路系統配置以發出加密時序信號。

【請求項63】如請求項61之接合結構，其中該保護性電路系統層之該第二主動電路系統配置以偵測該保護性元件之改變。

【請求項64】如請求項63之接合結構，其中該保護性電路系統層之該第二主動電路系統配置以在該保護性電路系統層之該主動電路系統偵測到該保護性元件之改變時停用該半導體元件之該主動電路系統。

【請求項65】如請求項63之接合結構，其中該保護性電路系統層配置以在該保護性電路系統層之該第二主動電路系統偵測到該保護性元件之改變時發出警報信號。

【請求項66】如請求項61或65之接合結構，其進一步包含自該保護性元件之該保護性層延伸至該保護性元件之接觸襯墊的垂直互連件。

【請求項67】如請求項66之接合結構，其中該保護性元件直接接合至該半導體元件之與主動側相對的背側，該接合結構進一步包含半導體穿孔（TSV），該半導體穿孔自該半導體元件之該主動側處或附近之接觸襯墊延伸至該保護性元件之該接觸襯墊，該半導體穿孔提供該半導體元件與該保護性元件之該保護性層之間的電連通。

【請求項68】如請求項53至67中任一項之接合結構，其中該保護性元件之該保護性電路系統層完全嵌入於該保護性元件內。

【請求項69】一種接合結構，其包含：

半導體元件，其包含主動電路系統；及

保護性元件，其沿著接合界面直接接合至該半導體元件之背側而無需黏著劑，該保護性元件包含：

阻塞性層，其配置以抑制對該半導體元件之該主動電路系統之外部存取；及

保護性電路系統層，其安置於該保護性元件內，該保護性電路層配置以偵測或中斷對該半導體元件之該主動電路系統之外部存取。

【請求項70】如請求項69之接合結構，其進一步包含第二保護性元件，該第二保護性元件沿著第二接合界面直接接合至該半導體元件之前側而無需黏著劑，該第二保護性元件包含：

第二阻塞性層，其配置以抑制對至少該半導體元件之該前側之外部存取；及

第二保護性電路系統層，其安置於該保護性元件內，該保護性電路層配置以偵測或中斷對該半導體元件之該前側之外部存取。

【請求項71】如請求項69之接合結構，其中該保護性元件之該保護性電路系統層安置於該保護性元件之該阻塞性層與該接合界面之間。

【請求項72】如請求項69之接合結構，其中該保護性元件之該阻塞性層安置於該保護性元件之該保護性電路系統層與該接合界面之間。

【請求項73】一種接合結構，其包含：

半導體元件，其包含主動電路系統；及

保護性元件，其沿著接合界面直接接合至該半導體元件之背側而無需黏著劑，該保護性元件包含阻塞性層，該阻塞性層配置以抑制對該半導體元件之該主動電路系統之外部存取，其中該阻塞性層與該主動電路系統藉由至少20微米之

距離垂直地分離。

【請求項74】如請求項73之接合結構，其進一步包含安置於該保護性元件內之保護性電路系統層，該保護性電路層配置以偵測或中斷對該半導體元件之該主動電路系統之外部存取。

【發明圖式】

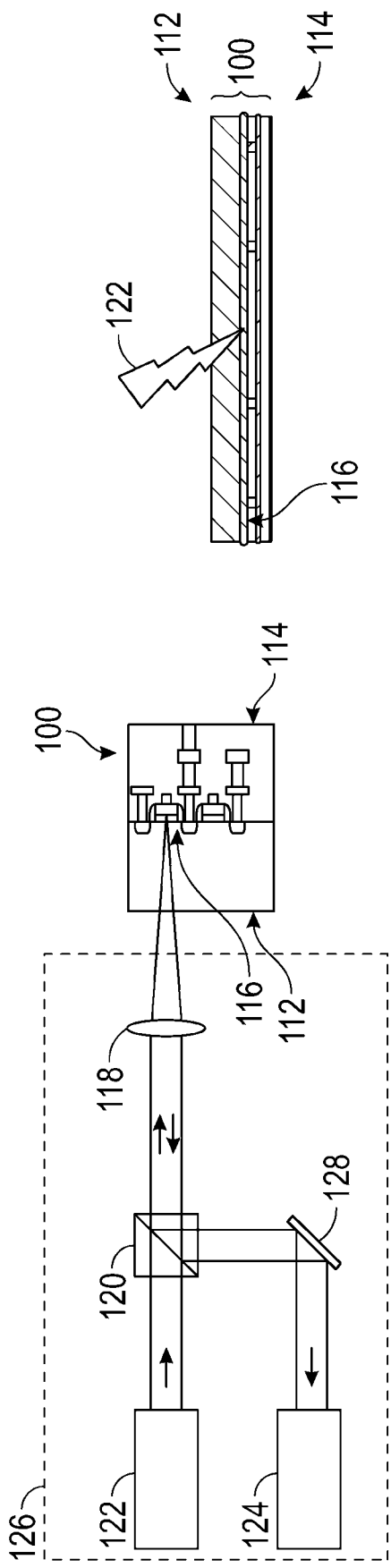


圖1

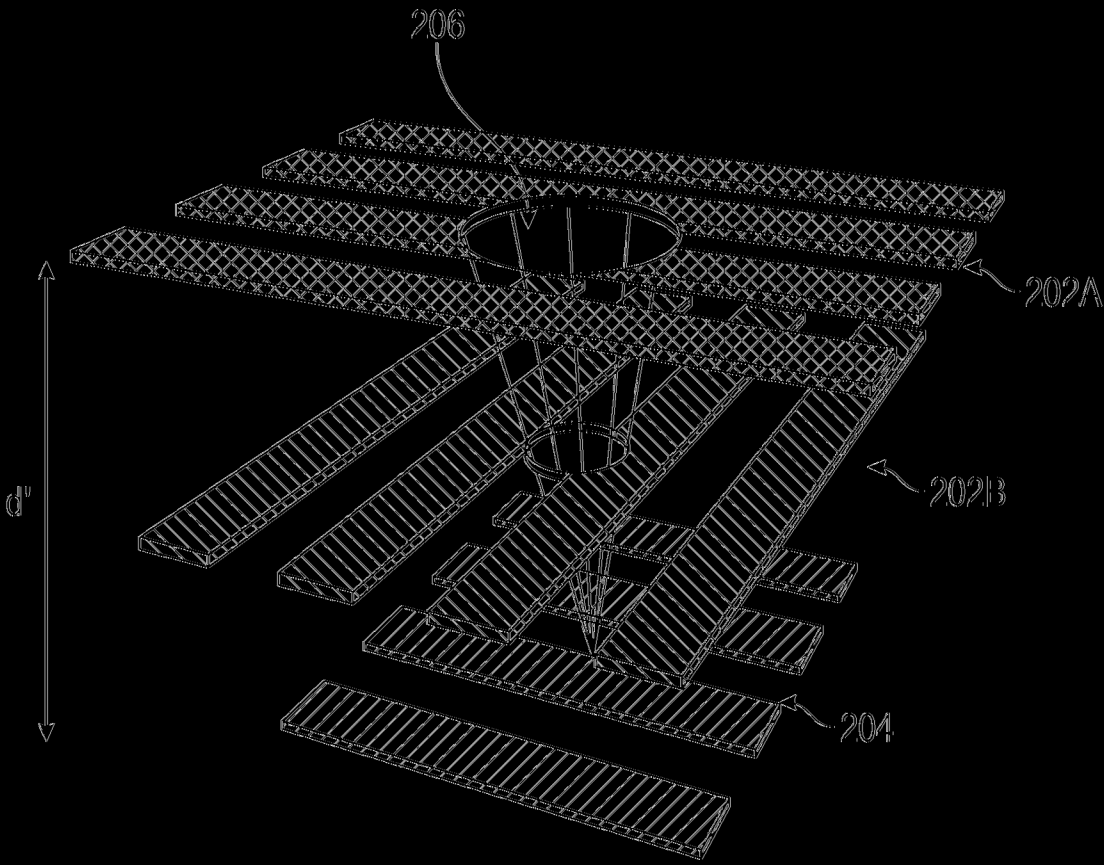
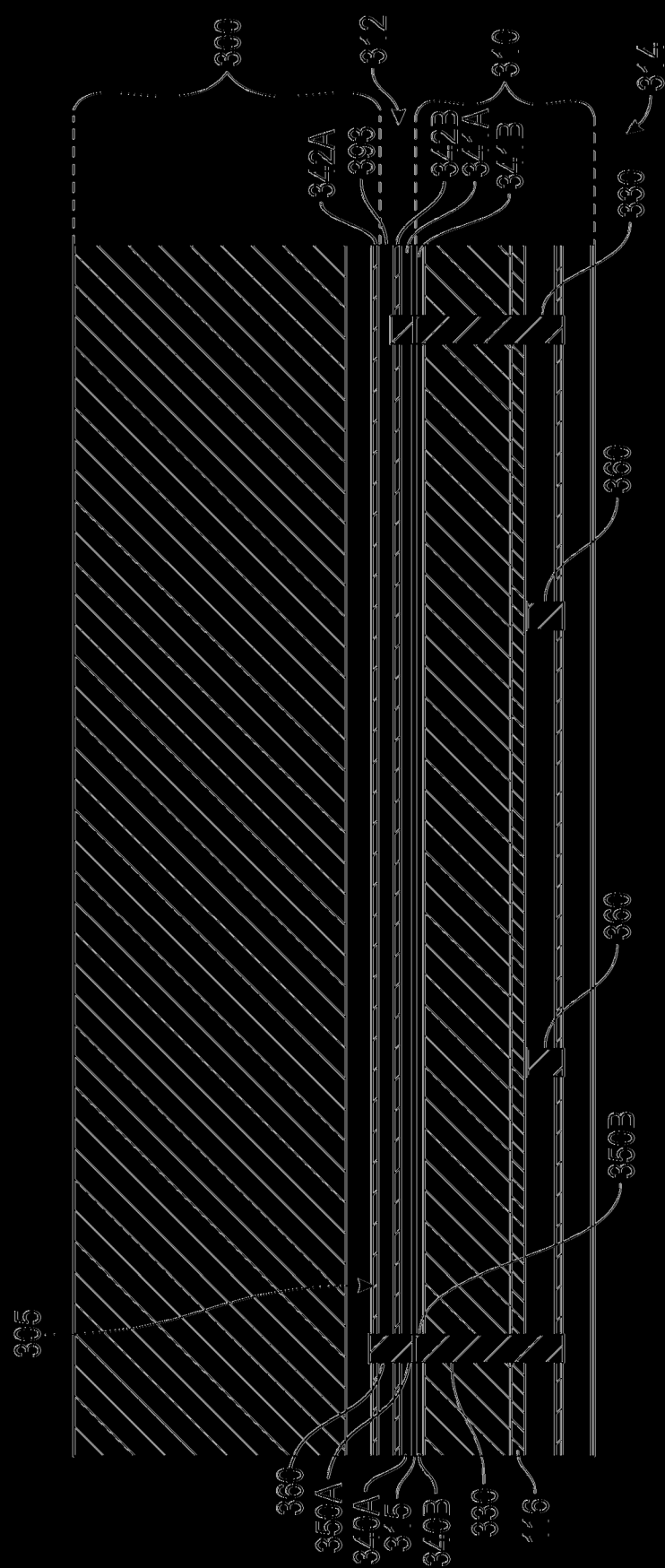
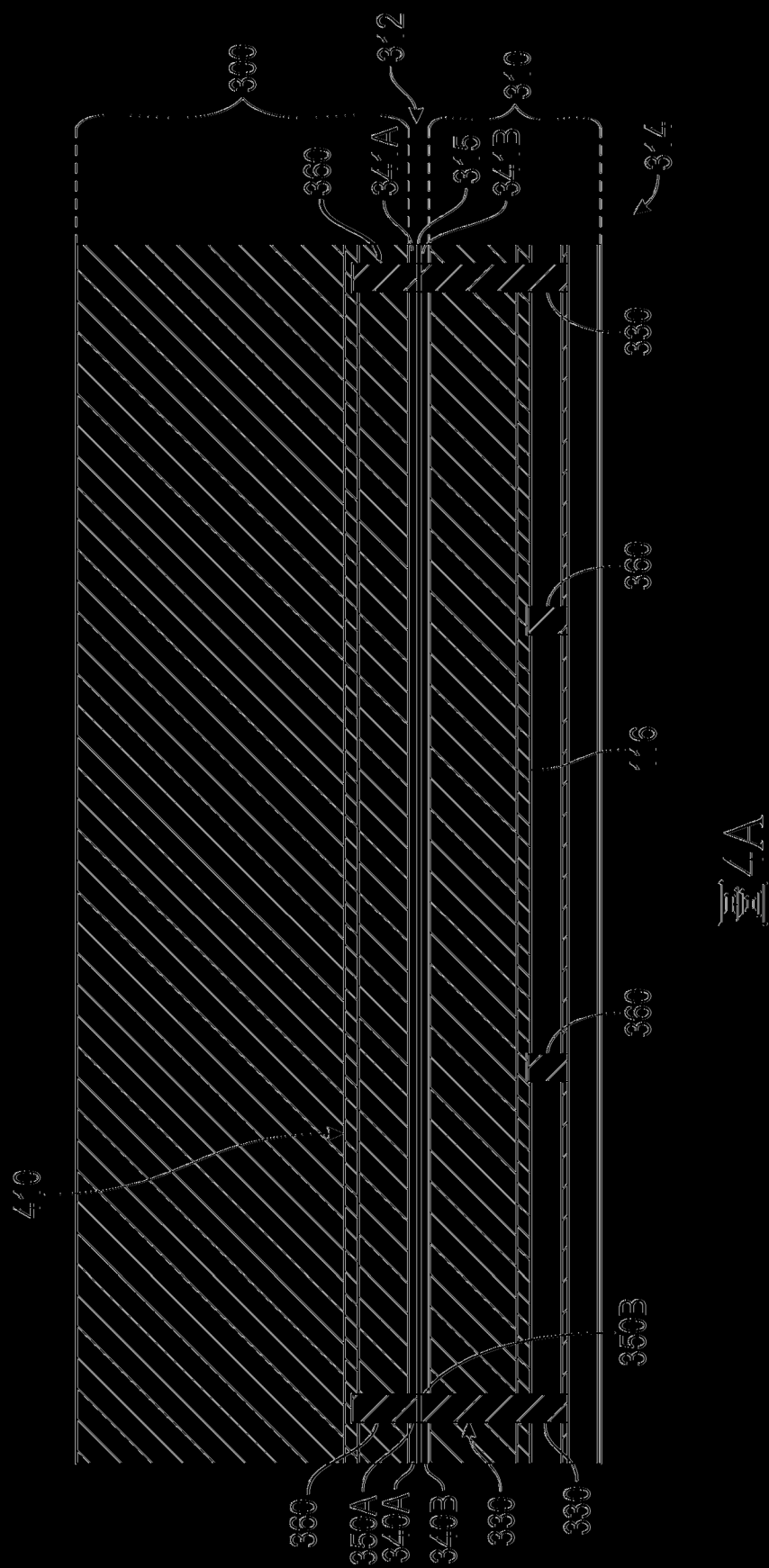
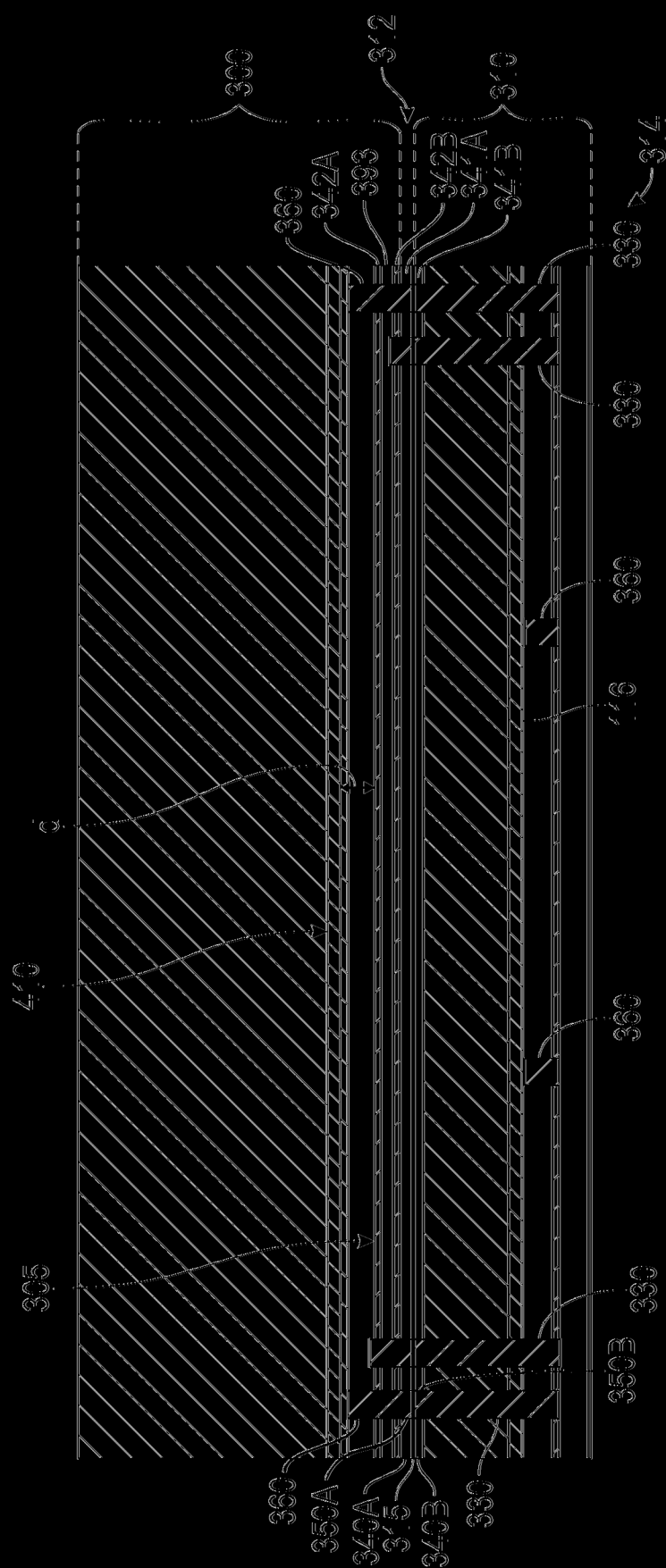
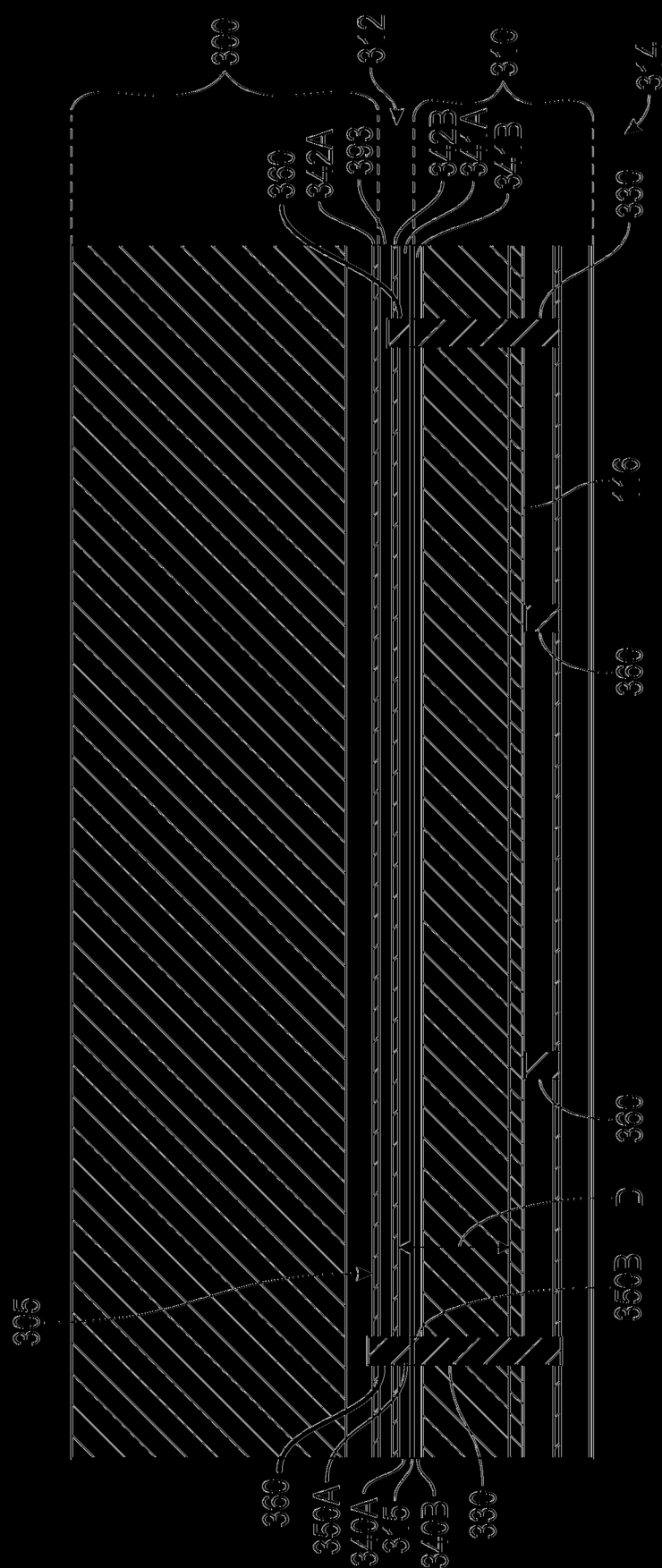


Fig. 2





37
 1888



W
H
H

【發明申請專利範圍】

【請求項1】一種接合結構，其包含：

半導體元件，其包含主動電路系統；及

保護性元件，其沿著接合界面直接接合至該半導體元件而無需黏著劑，該保護性元件包含：

阻塞性層，其配置以抑制對該主動電路系統之至少一部分之外部存取；及

保護性電路系統層，其安置於該保護性元件內，該保護性電路層配置以偵測或中斷對該半導體元件之該主動電路系統之外部存取。

【請求項2】如請求項1之接合結構，其中該保護性元件直接接合至該半導體元件之與該半導體元件之主動前側相對的背側，該半導體元件之該主動電路系統安置成相較於該背側較接近該主動前側。

【請求項3】如請求項1之接合結構，其中該保護性元件之該阻塞性層及該半導體元件之該主動電路系統沿橫向於該接合界面之方向彼此間隔開。

【請求項4】如請求項1之接合結構，其中該保護性元件之該阻塞性層與該半導體元件之該主動電路系統之間的時間隔為至少20微米。

【請求項5】如請求項1之接合結構，其中該保護性元件之該阻塞性層與該半導體元件之該主動電路系統之間的時間隔介於50微米與100微米之間。

【請求項6】如請求項1之接合結構，其中該保護性元件之該保護性電路系統層及該保護性元件之該阻塞性層沿著橫向於該接合界面之方向彼此間隔開。

【請求項7】如請求項6之接合結構，其中該保護性元件之該保護性電路系統層與該保護性元件之該阻塞性層之間的時間隔為至少20微米。

【請求項8】如請求項1之接合結構，其中該保護性元件之該保護性電路系統層安置於該保護性元件之該阻塞性層與該接合界面之間。

【請求項9】如請求項1之接合結構，其中該保護性元件之該阻塞性層安置於

該保護性元件之該保護性電路系統層與該接合界面之間。

【請求項10】如請求項1之接合結構，其中該保護性元件之該阻塞性層進一步包含閉塞層，該閉塞層配置以在平行於該層之表面之平面中閉塞該半導體元件之預界定區域。

【請求項11】如請求項1之接合結構，其中該保護性元件進一步包含接合層，並且其中該保護性元件進一步包含接合層，該保護性元件之該接合層直接接合至該半導體元件之該接合層。

【請求項12】如請求項11之接合結構，其中該保護性元件之該接合層經金屬化以匹配該半導體元件之該接合層之金屬化圖案的至少一部分。

【請求項13】如請求項12之接合結構，其中該半導體元件之該接合層包含安置於非導電層中之複數個接觸襯墊，且其中該保護性元件之該接合層包含直接接合至該半導體元件之這些接觸襯墊之安置於非導電層中的複數個接觸襯墊。

【請求項14】如請求項10之接合結構，其中該保護性元件之該接合層與該保護性元件之該保護性電路系統層經由至少一個垂直互連件連接。

【請求項15】如請求項1至14中任一項之接合結構，其中該保護性元件之該阻塞性層包含配置以偵測該保護性元件之外部存取的偵測電路。

【請求項16】如請求項15之接合結構，其中該偵測電路包含配置以偵測該外部存取之被動電子電路元件。

【請求項17】如請求項16之接合結構，其中該被動電子電路包含電容電路元件及電阻電路元件中之至少一者。

【請求項18】如請求項17之接合結構，其中該被動電子電路元件包含該電阻元件，並且其中該電阻元件進一步包含圖案化跡線。

【請求項19】如請求項17之接合結構，其中該被動電子電路元件包含該電容元件，並且其中該電容元件進一步包含藉由絕緣材料分離之複數條跡線。

【請求項20】如請求項15之接合結構，其中該偵測電路進一步包含主動電路系統。

【請求項21】如請求項15之接合結構，其進一步包含垂直互連件，該垂直互連件自該偵測電路延伸至該保護性元件之接觸襯墊。

【請求項22】如請求項15之接合結構，其進一步包含垂直互連件，該垂直互連件自該偵測電路延伸至該保護性元件之該保護性電路系統層。

【請求項23】如請求項21之接合結構，其中該保護性元件之該接觸襯墊直接接合至該半導體元件之主動側處的接觸襯墊。

【請求項24】如請求項1至14中任一項之接合結構，其中該保護性元件之該保護性電路系統層進一步包含配置以模仿主動電路系統之外觀之被動電子電路。

【請求項25】如請求項1至14中任一項之接合結構，其中該保護性元件之該保護性電路系統層進一步包含第二主動電路系統。

【請求項26】如請求項25之接合結構，其中該保護性電路系統層之該第二主動電路系統配置以發出加密時序信號。

【請求項27】如請求項25之接合結構，其中該保護性電路系統層之該第二主動電路系統配置以偵測該保護性電路系統層之改變。

【請求項28】如請求項27之接合結構，其中該保護性電路系統層之該第二主動電路系統配置以在該保護性電路系統層之該主動電路系統偵測到該保護性電路系統層之實體改變時停用該半導體之該主動電路系統。

【請求項29】如請求項27之接合結構，其中該保護性電路系統層配置以在該保護性電路系統層之該第二主動電路系統偵測到該保護性電路系統層之改變時發出警報信號。

【請求項30】如請求項25之接合結構，其進一步包含垂直互連件，該垂直互

連件自該保護性元件之該保護性電路系統層延伸至該保護性元件之接觸襯墊。

【請求項31】如請求項30之接合結構，其進一步包含：半導體穿孔（TSV），該半導體穿孔自該半導體元件之該主動側處或附近之接觸襯墊延伸至該保護性元件之該接觸襯墊，該半導體穿孔提供該半導體元件與該保護性元件之該保護性電路系統層之間的電連通。

【請求項32】如請求項1至14中任一項之接合結構，其中該保護性元件之該保護性電路系統層完全嵌入於該保護性元件內。

【請求項33】一種形成接合結構之方法，該方法包含：

將半導體元件直接接合至保護性元件而無需黏著劑，該半導體元件包含主動電路系統，且該保護性元件包含安置於該保護性元件內之阻塞性層及保護性電路系統層，該阻塞性層配置以抑制對該主動電路系統之至少一部分之外部存取，且該保護性電路系統層配置以偵測或中斷對該半導體元件之該主動電路系統之外部存取。

【請求項34】如請求項33之方法，其進一步包含：

形成該保護性元件使得該保護性元件之該阻塞性層及該保護性元件之該保護性層沿著橫向於該接合界面之方向彼此間隔開。

【請求項35】如請求項34之方法，其進一步包含：

形成該保護性元件使得該保護性元件之該阻塞性層與該保護性元件之該保護性層之間的時間隔為至少20微米。

【請求項36】如請求項34之方法，其進一步包含：

形成該保護性元件使得該保護性元件之該阻塞性層與該半導體元件之該主動電路系統之間的時間隔為至少20微米。

【請求項37】如請求項33至36中任一項之方法，其進一步包含：

形成該保護性元件以包含接合層；

形成該半導體元件以包含接合層；以及

將該保護性元件之該接合層接合至該半導體元件之該接合層。

【請求項38】如請求項37之方法，其進一步包含：

形成該保護性元件使得該保護性元件之該接合層經金屬化以匹配該半導體元件之金屬化圖案。

【請求項39】如請求項38之方法，其進一步包含：

形成該保護性元件使得該保護性元件之該接合層包含安置於非導電層中之複數個接觸襯墊，這些接觸襯墊配置以鏡射該半導體元件之該接合層之複數個接觸襯墊。

【請求項40】如請求項33至36中任一項之方法，其進一步包含：

形成該保護性元件使得該阻塞性層包含配置以偵測該保護性元件之外部存取之偵測電路。

【請求項41】如請求項40之方法，其進一步包含：

形成該保護性元件以包括垂直互連件，該垂直互連件自該偵測電路延伸至該保護性元件之接觸襯墊。

【請求項42】如請求項41之方法，其進一步包含：

將該保護性元件直接接合至該半導體元件之與該半導體元件之主動側直接相對的背側，其中該半導體元件之該主動電路系統安置於該半導體元件之該主動側處或接近且進一步包含半導體穿孔（TSV），該半導體穿孔自該半導體元件之該主動側處或附近之接觸襯墊延伸至該保護性元件之該接觸襯墊，該半導體穿孔提供該半導體元件與該偵測電路之間的電連通。

【請求項43】如請求項40之方法，其進一步包含：

形成該保護性元件以包括自該偵測電路延伸至該保護性元件之該保護性層之第一垂直互連件，及自該保護性元件之該保護性層延伸至該保護性元件之接

觸襯墊的第二垂直互連件。

【請求項44】如請求項33至36中任一項之方法，其進一步包含：

形成該保護性電路系統層以包含配置以模仿主動電路系統之外觀之被動電子電路。

【請求項45】如請求項33至36中任一項之方法，其進一步包含：

形成該保護性電路系統層以包含第二主動電路系統。

【請求項46】如請求項45之方法，其進一步包含：

配置該保護性電路系統層之該第二主動電路系統以發出加密時序信號。

【請求項47】如請求項45之方法，其進一步包含：

配置該保護性電路系統層之該第二主動電路系統以偵測該保護性電路系統層之改變。

【請求項48】如請求項47之方法，其進一步包含：

配置該保護性電路系統層之該第二主動電路系統以在該保護性電路系統層之該主動電路系統偵測到該保護性電路系統層之改變時停用該半導體元件之該主動電路系統。

【請求項49】如請求項47之方法，其進一步包含：

配置該保護性電路系統層之該第二主動電路系統以在該保護性電路系統層之該主動電路系統偵測到該保護性電路系統層之改變時發出警報信號。

【請求項50】如請求項45之方法，其進一步包含：

形成該保護性元件以包括自該保護性元件之該保護性電路系統層延伸至該保護性元件之接觸襯墊的垂直互連件。

【請求項51】如請求項50之方法，其進一步包含：

將該保護性元件直接接合至該半導體元件之與該半導體元件之主動側直接相對的背側，其中該半導體元件之該主動電路系統安置於該半導體元件之該主

動側處或接近且進一步包含半導體穿孔（TSV），該半導體穿孔自該半導體元件之該主動側處或附近之接觸襯墊延伸至該保護性元件之該接觸襯墊，該半導體穿孔提供該半導體元件與該保護性元件之該保護性層之間的電連通。

【請求項52】如請求項33至36中任一項之方法，其進一步包含：

形成該保護性元件使得該保護性電路系統層完全嵌入於該保護性元件內。

【請求項53】一種接合結構，其包含：

半導體元件，其包含第一主動電路系統；及

保護性元件，其沿著接合界面直接接合至該半導體元件而無需黏著劑，該保護性元件包含安置於該保護性元件內之保護性電路系統層，該保護性電路層具有配置以偵測或中斷對該半導體元件之該第一主動電路系統之外部存取之第二主動電路系統。

【請求項54】如請求項53之接合結構，其中該保護性元件直接接合至該半導體元件之與該半導體元件之主動前側相對的背側，該半導體元件之該第一主動電路系統安置成相較於該背側較接近該主動前側。

【請求項55】如請求項53之接合結構，其中該保護性元件之該保護性層及該半導體元件之該主動電路系統沿著橫向於該接合界面之方向彼此間隔開。

【請求項56】如請求項55之接合結構，其中該保護性元件之該阻塞性層與該半導體元件之該主動電路系統之間的間隔為至少20微米。

【請求項57】如請求項53至56中任一項之接合結構，其中該保護性元件進一步包含接合層，並且其中該半導體元件進一步包含直接接合至第一半導體元件之該接合層的接合層。

【請求項58】如請求項57之接合結構，其中保護性元件之該接合層經金屬化以匹配該半導體元件之金屬化圖案。

【請求項59】如請求項58之接合結構，其中該半導體元件之該接合層包含安

置於非導電層中之複數個接觸襯墊，且其中該保護性元件之該接合層包含直接接合至該半導體元件之這些接觸襯墊之安置於非導電層中的複數個接觸襯墊。

【請求項60】如請求項53至56中任一項之接合結構，其中該保護性元件之該保護性層進一步包含配置以模仿主動電路系統之外觀之被動電子電路。

【請求項61】如請求項53至56中任一項之接合結構，其中該保護性元件之該保護性層進一步包含第二主動電路系統。

【請求項62】如請求項61之接合結構，其中該保護性電路系統層之該第二主動電路系統配置以發出加密時序信號。

【請求項63】如請求項61之接合結構，其中該保護性電路系統層之該第二主動電路系統配置以偵測該保護性元件之改變。

【請求項64】如請求項63之接合結構，其中該保護性電路系統層之該第二主動電路系統配置以在該保護性電路系統層之該主動電路系統偵測到該保護性元件之改變時停用該半導體元件之該主動電路系統。

【請求項65】如請求項63之接合結構，其中該保護性電路系統層配置以在該保護性電路系統層之該第二主動電路系統偵測到該保護性元件之改變時發出警報信號。

【請求項66】如請求項61之接合結構，其進一步包含自該保護性元件之該保護性層延伸至該保護性元件之接觸襯墊的垂直互連件。

【請求項67】如請求項66之接合結構，其中該保護性元件直接接合至該半導體元件之與主動側相對的背側，該接合結構進一步包含半導體穿孔（TSV），該半導體穿孔自該半導體元件之該主動側處或附近之接觸襯墊延伸至該保護性元件之該接觸襯墊，該半導體穿孔提供該半導體元件與該保護性元件之該保護性層之間的電連通。

【請求項68】如請求項53至56中任一項之接合結構，其中該保護性元件之該

保護性電路系統層完全嵌入於該保護性元件內。

【請求項69】一種接合結構，其包含：

半導體元件，其包含主動電路系統；及

保護性元件，其沿著接合界面直接接合至該半導體元件之背側而無需黏著劑，該保護性元件包含：

阻塞性層，其配置以抑制對該半導體元件之該主動電路系統之外部存取；及

保護性電路系統層，其安置於該保護性元件內，該保護性電路層配置以偵測或中斷對該半導體元件之該主動電路系統之外部存取。

【請求項70】如請求項69之接合結構，其進一步包含第二保護性元件，該第二保護性元件沿著第二接合界面直接接合至該半導體元件之前側而無需黏著劑，該第二保護性元件包含：

第二阻塞性層，其配置以抑制對至少該半導體元件之該前側之外部存取；及

第二保護性電路系統層，其安置於該保護性元件內，該保護性電路層配置以偵測或中斷對該半導體元件之該前側之外部存取。

【請求項71】如請求項69之接合結構，其中該保護性元件之該保護性電路系統層安置於該保護性元件之該阻塞性層與該接合界面之間。

【請求項72】如請求項69之接合結構，其中該保護性元件之該阻塞性層安置於該保護性元件之該保護性電路系統層與該接合界面之間。

【請求項73】一種接合結構，其包含：

半導體元件，其包含主動電路系統；及

保護性元件，其沿著接合界面直接接合至該半導體元件之背側而無需黏著劑，該保護性元件包含阻塞性層，該阻塞性層配置以抑制對該半導體元件之該主動電路系統之外部存取，其中該阻塞性層與該主動電路系統藉由至少20微米之距離垂直地分離。

【請求項74】如請求項73之接合結構，其進一步包含安置於該保護性元件內之保護性電路系統層，該保護性電路層配置以偵測或中斷對該半導體元件之該主動電路系統之外部存取。