



(12) 发明专利申请

(10) 申请公布号 CN 104038084 A

(43) 申请公布日 2014. 09. 10

(21) 申请号 201410081941. 2

(22) 申请日 2014. 03. 07

(30) 优先权数据

13/789, 950 2013. 03. 08 US

(71) 申请人 英飞凌科技股份有限公司

地址 德国瑙伊比贝尔格市坎茨昂 1 - 12 号

(72) 发明人 M. 费尔德凯勒

(74) 专利代理机构 中国专利代理(香港)有限公司

72001

代理人 马丽娜 胡莉莉

(51) Int. Cl.

H02M 7/23(2006. 01)

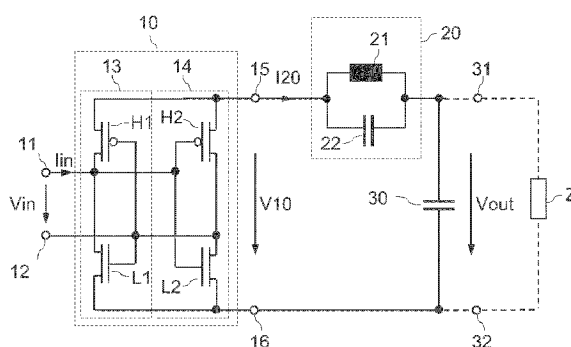
权利要求书3页 说明书9页 附图15页

(54) 发明名称

整流电路

(57) 摘要

一种整流电路。整流电路包括被配置为接收  
交变输入信号的电桥电路。将并联谐振电路耦合  
于所述电桥电路和输出之间。所述电路还可以包  
括耦合至所述输出并且被配置为提供输出信号  
的电容性存储元件。



1. 一种整流电路,包括:  
被配置为接收交变输入信号的电桥电路;以及  
耦合于所述电桥电路和输出之间的并联谐振电路。
2. 根据权利要求1所述的整流电路,还包括耦合至所述输出并且被配置为提供输出信号的电容性存储元件。
3. 根据权利要求2所述的整流电路,其中,使所述并联谐振电路和所述电容性存储元件串联连接。
4. 根据权利要求1所述的整流电路,其中,所述交变输入信号具有输入频率,并且其中,所述并联谐振电路具有谐振频率,其中,所述谐振频率是基于所述输入频率的值选择的。
5. 根据权利要求4所述的整流电路,其中,所述并联谐振电路的谐振频率是基于电感器的电感和电容器的电容选择的。
6. 根据权利要求4所述的整流电路,其中,所述并联谐振电路的谐振频率是基于至少一种关系选择的,所述关系选自由下述构成的组:  
 $0.5 \cdot (2 \cdot f_{IN}) < f_{RES} < 2 \cdot (2 \cdot f_{IN})$ ;  
 $0.8 \cdot (2 \cdot f_{IN}) < f_{RES} < 1.2 \cdot (2 \cdot f_{IN})$ ; 以及  
 $0.9 \cdot (2 \cdot f_{IN}) < f_{RES} < 1.1 \cdot (2 \cdot f_{IN})$ ;  
其中,  $f_{RES}$  是所述谐振频率,并且  $f_{IN}$  是所述输入信号的频率。
7. 根据权利要求1所述的整流电路,其中,所述并联谐振电路包括电感器以及与所述电感器并联连接的第二电容性存储元件。
8. 根据权利要求7所述的整流电路,其中,所述第二电容性存储元件包括MOS电容器。
9. 根据权利要求8所述的整流电路,其中,所述MOS电容器包括:  
耦合至第一电容器端子的掺杂半导体衬底;  
耦合至第二电容器端子的电极;以及  
在所述掺杂半导体衬底和所述电极之间的介电层。
10. 根据权利要求1所述的整流电路,还包括变压器,所述变压器包括初级绕组和次级绕组,其中,所述次级绕组被配置为输出所述电桥电路的交变输入信号。
11. 根据权利要求1所述的整流电路,其中,所述电桥电路包括:  
耦合于第一输入节点和所述电桥电路的第一输出节点和第二输出节点之间的第一半桥;以及  
耦合于第二输入节点和所述电桥电路的第一输出节点和第二输出节点之间的第二半桥,  
其中,在所述第一和第二输入节点处接收所述交变输入信号。
12. 根据权利要求11所述的整流电路,  
其中,所述第一半桥包括耦合于所述第一输入节点和所述第一输出节点之间的第一高侧开关以及耦合于所述第一输入节点和所述第二输出节点之间的第一低侧开关,并且  
其中,所述第二半桥包括耦合于所述第二输入节点和所述第一输出节点之间的第二高侧开关以及耦合于所述第二输入节点和所述第二输出节点之间的第二低侧开关。
13. 根据权利要求12所述的整流电路,

其中,所述第一高侧开关和所述第一低侧开关每者包括耦合至所述第二输入节点的控制端子;并且

其中,所述第二高侧开关和所述第二低侧开关每者包括耦合至所述第一输入节点的控制端子。

14. 根据权利要求 12 所述的整流电路,其中,所述第一高侧开关、所述第一低侧开关、所述第二高侧开关和所述第二低侧开关每者包括晶体管。

15. 根据权利要求 1 所述的整流电路,还包括:

被配置为接收另一交变输入信号的另一电桥电路;以及

耦合于所述另一电桥电路和另一输出之间的另一并联谐振电路,其中,将所述另一输出配置为输出另一输出信号,

其中,使所述电桥电路的输出和所述另一电桥电路的所述另一输出级联连接。

16. 一种包括多个整流电路的电子电路,

其中,每一整流电路包括被配置为接收交变输入信号的电桥电路以及耦合于所述电桥电路和输出之间的并联谐振电路,并且

其中,使所述多个整流电路的整流电路的输出级联。

17. 根据权利要求 16 所述的电子电路,

其中,每一整流电路的并联谐振电路包括电感器;并且

其中,使所述多个整流电路的并联谐振电路的电感器感应地耦合。

18. 根据权利要求 17 所述的电子电路,其中,所述电感器中的每者包括平面绕组。

19. 根据权利要求 16 所述的电子电路,还包括变压器,所述变压器包括一个初级绕组和多个次级绕组,其中,所述多个次级绕组中的每者耦合至所述多个整流电路之一的电桥电路,并且其中,所述的多个整流电路之一的每一电桥电路具有与之连接的次级绕组。

20. 根据权利要求 16 所述的电子电路,其中,使所述多个整流电路的整流电路的输出级联,从而将所述多个整流电路之一的第一输出节点连接至所述多个整流电路中的另一个的第二输出节点。

21. 一种整流电路,包括:

被配置为接收交变输入信号的电桥电路;以及

耦合于所述电桥电路和输出之间的整流元件。

22. 根据权利要求 21 所述的整流电路,还包括耦合至所述输出并且被配置为提供输出信号的电容性存储元件。

23. 根据权利要求 22 所述的整流电路,其中,所述整流元件包括选自由二极管和二极管接法晶体管构成的组的元件。

24. 根据权利要求 23 所述的整流电路,其中,所述二极管接法晶体管包括选自由双极晶体管和 MOSFET 构成的组的晶体管。

25. 根据权利要求 21 所述的整流电路,其中,所述整流元件包括低于可在所述输出处获得的输出信号的电平的电压阻断能力。

26. 根据权利要求 21 所述的整流电路,还包括变压器,所述变压器包括初级绕组和次级绕组,其中,将所述次级绕组配置为输出所述电桥电路的交变输入信号。

27. 根据权利要求 21 所述的整流电路,其中,所述电桥电路包括:

耦合于第一输入节点和所述电桥电路的第一输出节点和第二输出节点之间的第一半桥 ;以及

耦合于第二输入节点和所述电桥电路的第一输出节点和第二输出节点之间的第二半桥,

其中,在所述第一和第二输入节点处接收所述交变输入信号。

28. 根据权利要求 27 所述的整流电路,

其中,所述第一半桥包括耦合于所述第一输入节点和所述第一输出节点之间的第一高侧开关以及耦合于所述第一输入节点和所述第二输出节点之间的第一低侧开关 ;并且

其中,所述第二半桥包括耦合于所述第二输入节点和所述第一输出节点之间的第二高侧开关以及耦合于所述第二输入节点和所述第二输出节点之间的第二低侧开关。

29. 根据权利要求 28 所述的整流电路,

其中,所述第一高侧开关和所述第一低侧开关每者包括耦合至所述第二输入节点的控制端子 ;并且

其中,所述第二高侧开关和所述第二低侧开关每者包括耦合至所述第一输入节点的控制端子。

30. 根据权利要求 28 所述的整流电路,其中,所述第一高侧开关、所述第一低侧开关、所述第二高侧开关和所述第二低侧开关每者包括晶体管。

31. 根据权利要求 21 所述的整流电路,还包括 :

被配置为接收另一交变输入信号的另一电桥电路 ;以及

耦合于所述另一电桥电路和另一输出之间的另一整流元件,其中,将所述另一输出配置为输出另一输出信号,

其中,使所述电桥电路的输出和所述另一电桥电路的所述另一输出级联连接。

## 整流电路

### 技术领域

[0001] 本发明的实施例涉及整流电路,例如,用于对具有相对地高频率的交变输入电压进行整流以进行能量传输的整流电路。

### 背景技术

[0002] 在很多不同的电子电路应用当中,必须对交变输入电压整流,以提供直流输出电压。一种可能的应用是通过势垒的电力传输。公知的是可以使用包括初级绕组和次级绕组的变压器通过势垒传输电力。在这种类型的应用中,向变压器的初级绕组施加交变功率信号。借助感应地耦合至初级绕组的次级绕组,由初级绕组接收到的交变功率信号导致在次级绕组处可获得交变功率信号。施加至初级绕组的功率信号和可在次级绕组处获得的功率信号可以具有不同的信号波形,但是基本上具有相同的频率。

[0003] 根据用于传输电力的变压器的具体类型,交变功率信号的频率可以相对地高,以高效率地通过变压器传输电力。尤其是非常小的并且/或者不包括磁芯的变压器可能需要高于数十 MHz 的频率,并且甚至高于 100MHz 的频率。

### 发明内容

[0004] 第一实施例涉及整流电路。整流电路包括被配置为接收交变输入信号的电桥电路以及耦合于所述电桥电路和输出之间的并联谐振电路,其中,将所述输出配置为输出输出信号。

[0005] 第二实施例涉及电子电路。所述电子电路包括多个整流电路,其中,每一整流电路包括被配置为接收交变输入信号的电桥电路以及耦合于所述电桥电路和输出之间的并联谐振电路,其中,使所述多个整流电路的整流电路的输出级联。

[0006] 第三实施例涉及整流电路。所述整流电路包括被配置为接收交变输入信号的电桥电路以及耦合于所述电桥电路和输出之间的整流元件,其中,将所述输出配置为输出输出信号。

[0007] 第四实施例涉及一种包括多个整流电路的电子电路。每一整流电路包括被配置为接收交变输入信号的电桥电路以及耦合于所述电桥电路和输出之间的并联谐振电路。

### 附图说明

[0008] 现在将参考附图解释示例。附图用来对基本原理举例说明,因而仅示出了理解基本原理所必需的方面。附图不是按比例画的。在附图中,相同的参考符号表示相似的特征。

[0009] 图 1 示出了包括电桥电路的整流电路;

图 2 (其包括图 2A 和 2B) 示出了图 1 的整流电路的操作原理;

图 3 示意性地示出了具有矩形波形的输入信号;

图 4 示出了整流电路的一个实施例,其包括电桥电路以及耦合于所述电桥电路和所述整流电路的输出之间的并联谐振电路;

图 5 示出了说明图 4 的整流电路的操作原理的时序图；

图 6 示出了基于图 3 的整流电路的整流电路，并且其额外地包括耦合至所述电桥电路的输入的变压器；

图 7（其包括图 7A 和 7B）示出了所述并联谐振电路的电容性存储元件的一个实施例；

图 8 示出了包括多个级联整流电路的电子电路的第一实施例；

图 9 示出了包括多个级联整流电路的电子电路的第二实施例；

图 10 示出了两个不同的并联谐振电路的电感器的实施例；

图 11 示出了一个整流电路实施例，其包括电桥电路以及耦合于所述电桥电路和所述整流电路的输出之间的整流元件；

图 12（其包括图 12A 和 12B）示出了所述整流元件的可能的实施方式；

图 13 示出了包括多个级联整流电路的电子电路的另一实施例；以及

图 14 示出了包括整流电路的应用电路。

[0010] 在下面的详细说明中，参考附图。附图形成了说明书的部分，并且通过举例说明示出了其中可以实践本发明的具体实施例。应当理解，可以使本文中描述的不同实施例的特征相互组合，除非另外特别地指出。

## 具体实施方式

[0011] 图 1 示出了整流电路的一个实施例。所述整流电路包括被配置为在具有第一输入节点 11 和第二输入节点 12 的输入处接收交变输入信号（交变输入电压） $V_{in}$  的电桥电路 10。所述整流电路还包括具有第一输出节点 31 和第二输出节点 32 的输出，其被耦合至所述电桥电路 10，并且被配置为输出经整流的输出信号（经整流的输出电压） $V_{out}$ 。

[0012] 根据图 1 的电桥电路 10 是有源整流器电桥，并且包括具有第一高侧开关 H1 和第一低侧开关 L1 的第一半桥 13 以及具有第二高侧开关 H2 和第二低侧开关 L2 的第二半桥 14。将所述第一半桥 13 的第一高侧开关 H1 和第一低侧开关 L1 串联连接于电桥电路 10 的第一输出节点 15 和第二输出节点 16 之间，并且将第二半桥 14 的第二高侧开关 H2 和第二低侧开关 L2 串联连接于电桥电路 10 的第一输出节点 15 和第二输出节点 16 之间。将电桥电路的输出节点 15、16 耦合至整流电路的输出。

[0013] 电桥电路 10 的开关 H1-L2 中的每个包括控制节点，其中，连接第一高侧开关 H1 和第一低侧开关 L1 的控制节点，并且其中，连接第二高侧开关 H2 和第二低侧开关 L2 的控制节点。第一和第二半桥 13、14 中的每者包括输入，其中，第一半桥 13 的输入是第一高侧开关 H1 和第一低侧开关 L1 的加载路径共有的电路节点，并且其中，第二半桥 14 的输入是第二高侧开关 H2 和第二低侧开关 L2 的加载路径共有的电路节点。将第一半桥 13 的输入以及第二高侧开关 H2 和第二低侧开关 L2 的控制端子耦合至所述第一输入节点 11，并且将第二半桥 14 的输入以及所述第一高侧开关 H1 和第一低侧开关 L1 的控制节点耦合至第二输入节点 12。

[0014] 在图 1 的电桥电路 10 中，将各个开关 H1-L2 实施为晶体管，尤其是 MOSFET（金属氧化物半导体场效应晶体管）。具体而言，第一高侧开关 H1 和第二高侧开关 H2 是第一类型的晶体管，并且第一低侧开关 L1 和第二低侧开关 L2 是第二类型的晶体管。根据一个实施例，所述高侧开关 H1、H2 是 p 型 MOSFET，并且所述低侧开关 L1、L2 是 n 型 MOSFET。这些

MOSFET 中的每个包括作为控制节点的栅极端子以及处于漏极端子和源极端子之间的加载路径。根据一个实施例,高侧开关 H1、H2 使其源极端子连接至第一输出节点 15,并且低侧开关 L1、L2 使其源极端子连接至第二输出节点 16。将第一高侧开关 H1 的漏极端子连接至第一低侧开关 L1 的漏极端子,并且将第二高侧开关 H2 的漏极端子连接至第二低侧开关 L2 的漏极端子。

[0015] 公知的是 MOSFET (比如,图 1 的电桥电路 10 中被用作高侧开关 H1、H2 的 MOSFET 和被用作低侧开关 L1、L2 的 MOSFET) 是根据其栅极-源极电压的水平导通或截止的电压控制开关。一个晶体管的栅极-源极电压是晶体管的栅极端子和源极端子之间的电压。在图 1 的电桥电路中,通过第二输入节点 12 和第一输出节点 15 之间的电压控制第一高侧开关 H1,通过第二输入节点 12 和第二输出节点 16 之间的电压控制所述第一低侧开关 L1,通过所述第一输入节点 11 和所述第一输出节点 15 之间的电压控制所述第二高侧开关 H2,并且通过所述第一输入节点 11 和所述第二输出节点 16 之间的电压控制所述第二低侧开关 L2。MOSFET H1-L2 中的每者具有阈值电压,其中,各个 MOSFET 在其栅极-源极电压的幅度高于所述阈值电压的幅度时导通(导电)。在本实施例中用 p 型 MOSFET 实施的高侧开关 H1、H2 具有负阈值电压,并且在实施例中用 n 型 MOSFET 实施的低侧开关 L1、L2 具有正阈值电压。出于解释的目的,假设一个 MOSFET 在对应的栅极-源极电压的水平一达到所述阈值电压时就导通(导电,处于导通状态)。在导通状态下,导通电阻和电导分别根据所述栅极-源极电压的信号电平而变化。在栅极-源极电压的水平只是略高于所述阈值电压时,分别地,所述 MOSFET 的导通电阻可以是相对地高,并且电导可以是相对地低,其中,随着所述栅极-源极电压的升高,所述导通电阻下降(并且所述电导升高)。

[0016] 参考下面的图 2A 和 2B 解释图 1 的整流电路的基本操作原理。图 2A 和 2B 示出了电桥电路 10 中的各个开关 H1-L2 的取决于输入电压  $V_{in}$  的操作状态,其中,图 2A 示出了就正输入电压  $V_{in}$  情况下的操作状态,并且图 2B 示出了就负输入电压情况下的操作状态。在输入电压  $V_{in}$  为正时,第一输入节点 11 处的电势高于第二输入节点 12 处的电势,并且在输入电压  $V_{in}$  为负时,第二输入节点 12 处的电势高于第一输入节点 11 处的电势。

[0017] 出于解释的目的,假设将输出电容器 30 连接于所述整流电路的第一和第二输出节点 31、32 之间,并且先前已经将输出电容器 30 充电到了输出电压  $V_{out}$ 。图 2A 和 2B 示出了相对于输出电压  $V_{out}$  的输入电压  $V_{in}$ ,并且示出了所述电桥电路的各个开关 H1-L2 的操作状态。参考图 2A 和 2B,  $ST_{H1}$  表示第一高侧开关 H1 的操作状态,  $ST_{L1}$  表示第一低侧开关 L1 的操作状态,  $ST_{H2}$  表示第二高侧开关 H2 的操作状态,并且  $ST_{L2}$  表示第二低侧开关 L2 的操作状态。在下文中这些信号  $ST_{H1}$ - $ST_{L2}$  将被称为状态信号。出于解释的目的,假设状态信号的高电平表示对应开关的导通状态,并且状态信号的低电平表示对应开关的截止状态。

[0018] 参考图 2A,在输入电压  $V_{in}$  高于第二低侧开关 L2 的阈值电压  $V_{t_{L2}}$  时,第二低侧开关 L2 导通。在导通状态下,第二低侧开关 L2 将第二输入节点 12 连接至电桥电路 10 的第二输出节点 16,从而使输入电压  $V_{in}$  和输出电压  $V_{out}$  分别参考电桥电路 10 的第二输出节点 16 和所述整流电路的第二输出节点 32。只要输入电压  $V_{in}$  为正并且只要输出电压  $V_{out}$  的幅度高于第一高侧开关 H1 的阈值电压  $V_{t_{H1}}$  的幅度就使第一高侧开关 H1 导通。在导通状态下,第一高侧开关 H1 将第一输入节点 11 连接至电桥电路 10 的第一输出节点 15。在第一高侧开关 H1 和第二低侧开关 L2 导通时,输入电流  $I_{in}$  能够沿图 1 中所示的方向流动,即

经由分别耦合至输出端子 31、32 的第一高侧开关 H1 和输出电容器 30 或负载 Z (以虚线示出) 以及第二低侧开关 L2 从第一输入节点 11 流至第二输入节点 12。

[0019] 参考图 2A, 在输入电压  $V_{in}$  降至输出电压  $V_{out}$  以下, 从而使输入电压  $V_{in}$  超过第二高侧开关 H2 的低于所述输出电压的阈值电压  $V_{t_{H2}}$  的幅度时, 第二高侧开关 H2 导通。因而, 存在这样的输入电压  $V_{in}$  的电压范围  $V_{out} - |V_{t_{H2}}| \leq V_{in} \leq |V_{t_{L2}}|$ , 其导致第二高侧开关 H2 和第二低侧开关 L2 两者均导电。这可能导致输出电容器 30 部分放电, 并且可能因此导致不希望的损耗。

[0020] 参考图 2B, 在输入电压  $V_{in}$  的幅度高于第一低侧开关 L1 的阈值电压  $V_{t_{L1}}$  时, 第一低侧开关 L1 导通。在导通状态下, 第一低侧开关 L1 将第一输入节点 11 连接至电桥电路 10 的第二输出节点 16, 从而使负输入电压  $-V_{in}$  和输出电压  $V_{out}$  分别参考电桥电路 10 的第二输出节点 16 以及整流电路的第二输出节点 32。只要输入电压  $V_{in}$  为负并且只要输出电压  $V_{out}$  的幅度高于第二高侧开关 H2 的阈值电压  $V_{t_{H2}}$  的幅度, 第二高侧开关 H2 就导通。在导通状态下, 第二高侧开关 H2 将第二输入节点 12 连接至电桥电路 10 的第二输出节点 16。在第二高侧开关 H2 和第一低侧开关 L1 导通时, 输入电流  $I_{in}$  能够沿与图 1 中所示的方向相反的方向流动, 即分别经由第二高侧开关 H2 和输出电容器 30 或负载 Z 以及第一低侧开关 L1 从第二输入节点 12 流至第一输入节点 11。

[0021] 参考图 2B, 在输入电压  $V_{in}$  的幅度降至输出电压  $V_{out}$  以下, 从而使输入电压  $V_{in}$  的幅度超过第一高侧开关 H1 的低于所述输出电压的阈值电压  $V_{t_{H1}}$  的幅度时, 第一高侧开关 H1 导通。因而, 存在这样的输入电压  $V_{in}$  的电压范围  $V_{out} - |V_{t_{H1}}| \leq -V_{in} \leq |V_{t_{L1}}|$ , 其导致第一高侧开关 H1 和第一低侧开关 L1 两者均导电。这可能导致输出电容器 30 部分放电, 并且可能因此导致不希望的损耗。

[0022] 参考关于图 2A 和 2B 的解释, 在输入电压  $V_{in}$  的幅度低于输出电压  $V_{out}$  减去第一高侧开关 H1 或第二高侧开关 H2 的阈值电压时, 可能在图 1 的整流电路中发生损耗。因而, 图 1 的整流电路适于用如图 3 中示意性表示的矩形波形对输入电压  $V_{in}$  整流。在这种情况下, 输入电压  $V_{in}$  交替地在第一(正)信号电平和第二(负)信号电平之间变化。

[0023] 然而, 在输入电压  $V_{in}$  是其中信号电平在正最大电平和负最大电平之间缓慢地变化的交变电压时, 可能在图 1 的整流电路中发生显著的损耗。在这种情况下, 存在重要的时间段, 在所述时间段内, 输入电压  $V_{in}$  具有其中使第一高侧开关 H1 和第一低侧开关 L1 两者均导电或者其中使第二高侧开关 H2 和第二低侧开关 L2 两者均导电的信号电平。

[0024] 图 4 示出了被配置为克服前文概述的问题的整流电路的一个实施例。具体而言, 将图 4 的整流电路配置为对不具有矩形波形而是具有其中信号电平在正最大电平和负最大电平之间相对缓慢地变化的波形的交变输入电压  $V_{in}$  进行整流。根据一个实施例, 输入电压  $V_{in}$  具有正弦波形或者类似于正弦波形的波形。

[0025] 图 4 的整流电路以图 1 的整流电路为基础, 并且另外包括连接于电桥电路 10 的输出 15、16 和整流电路的输出 31、32 之间的并联谐振电路 20。在本实施例中, 将并联谐振电路 20 连接于电桥电路 10 的第一输出节点 15 和整流电路的第一输出节点 31 之间。将所述并联谐振电路串联连接至输出电容器 30, 其中, 将具有所述并联谐振电路和输出电容器 30 的串联电路连接于电桥电路 10 的第一和第二输出节点 15、16 之间。可跨越所述第一和第二输出节点之间的输出电容器 30 获得所述整流电路的输出电压  $V_{out}$ 。所述并联谐振电路



20 包括电感器 21 和与所述电感器 21 并联连接的电容性存储元件 22。

[0026] 参考图 5 解释图 4 的整流电路的操作原理,图 5 示出了输入电压  $V_{in}$ 、电桥电路 10 的输出电压  $V_{10}$  和输出电压  $V_{out}$  的时序图。出于解释的目的,假设输入电压  $V_{in}$  具有正弦波形,并且输出电压  $V_{out}$  基本恒定。然而,这只是示例,当输入电压  $V_{in}$  具有除正弦波形以外的交变信号波形时并且当输出电压  $V_{out}$  变化时,下面解释的操作原理基本上是相同的。

[0027] 参考关于图 2A 提供的解释,在输入电压  $V_{in}$  高于输出电压  $V_{out}$  时,第一高侧开关 H1 和第二低侧开关 L2 导通。这导致输入电流沿如图 4 中示出的方向流经第一高侧开关 H1、并联谐振电路 20 的电感器 20、输出电容器 30 和 / 或负载 Z 以及第二低侧开关 L2。随着输入电流  $I_{in}$  流经电感器 21,能量被磁性地存储在电感器 21 中。随着输入电压  $V_{in}$  降至低于输出电压  $V_{out}$  减去第二高侧开关 H2 的阈值电压  $V_{t_{H2}}$  的幅度(图 5 中的时间  $t_1$  上),第二高侧开关 H2 导通,因而第二高侧开关 H2 和第二低侧开关 L2 两者均导电。然而,先前存储在电感器 21 中的能量导致电流通过电感器 21 继续流动,其中,这个电流要么对并联谐振电路 22 中的电容性存储元件充电,要么对输出电容器 30 充电,并且防止输出电容器 30 通过导电的第二高侧开关 H2 和第二低侧开关 L2 放电。

[0028] 在输入电压  $V_{in}$  变为负时并且在负输入电压的信号电平升高到输出电压  $V_{out}$  减去第一高侧开关 H1 的阈值电压以上时,第二高侧开关 H2 和第一低侧开关 L1 导通。在这种情况下,输入电流  $I_{in}$  从第二输入节点 12 流经第二高侧开关 H2、电感器 21、输出电容器 30 和 / 或负载 Z 以及第一低侧开关 L1。

[0029] 参考图 5,电桥电路的输出电压  $V_{10}$  是经整流的电压,其包括所具有的频率基本上是输入电压  $V_{in}$  的频率的两倍的电压纹波。这个输出电压  $V_{10}$  的最小值  $V_{10_{MIN}}$  基本上是通过第一半桥 13 和第二半桥 14 的高侧开关和低侧开关的阈值电压之和给定的,即:

$$V_{10_{MIN}} = V_{t_{H1}} + V_{t_{L1}} \quad (1a)$$

$$V_{10_{MIN}} = V_{t_{H2}} + V_{t_{L2}} \quad (1b)。$$

[0030] 在输出电压  $V_{10}$  达到最小值  $V_{10_{MIN}}$  时,第一半桥的开关中的至少一个截止,从而使输出电压  $V_{10}$  不能进一步降低。根据一个实施例,并联谐振变换器 20 的谐振频率  $f_{RES}$  处于输入电压  $V_{in}$  的频率  $f_{IN}$  的两倍的范围中。根据一个实施例,谐振频率  $f_{RES}$  处于输入电压的频率的两倍的 50% 和 200% 之间,80% 和 120% 之间或者 90% 和 110% 之间。也就是说:

$$0.5 \cdot (2 \cdot f_{IN}) < f_{RES} < 2 \cdot (2 \cdot f_{IN}) \quad (2a)$$

$$0.8 \cdot (2 \cdot f_{IN}) < f_{RES} < 1.2 \cdot (2 \cdot f_{IN}) \quad (2b)$$

$$0.9 \cdot (2 \cdot f_{IN}) < f_{RES} < 1.1 \cdot (2 \cdot f_{IN}) \quad (2c)。$$

[0031] 参考图 5,电桥电路 10 的输出电压  $V_{10}$  具有直流分量和交流分量(电压纹波)。出于解释的目的,假设交流分量具有图 5 中的基本上正弦波形。然而,这只是示例。下文解释的操作原理不限于具有正弦交流分量的输出电压  $V_{10}$ ,而是相应地适用于所具有的交流分量具有除了正弦波形以外的波形的输出电压  $V_{10}$ 。所述交流分量的波形取决于所述电桥电路的输入电压  $V_{in}$  的波形。

[0032] 电桥电路 10 的输出电压  $V_{10}$  导致电流  $I_{20}$  通过并联谐振电路 20 抵达输出 31、32。这个电流具有由输出电压  $V_{10}$  的直流分量所得到的直流分量(其流经所述电感器)。输出电压  $V_{10}$  的交流分量导致电流通过电感器 21 以及通过电容器 22。这些电流具有基本上  $180^\circ$  的相位差,其中,通过电感器 21 的电流以交变方式对电容器 22 充电,并且被充电的电容器

22 导致电流通过电感器 21, 并磁化所述电感器, 并且其中, 对所述电容器充电的电流和使所述电感器磁化的电流沿相反方向流动。通过所述电感器的电流和通过所述电容器的电流至少部分相互补偿, 从而使电流 I<sub>20</sub> 的直流分量基本上流至输出 31、32。

[0033] 借助在并联谐振电路 20 中流动的交变电流, 在其中输出电压 V<sub>10</sub> 接近最小值 V<sub>10\_MIN</sub> 并且其中一个半桥 13、14 的两个开关导电的那些时间段中, 基本上没有电流能够从输出电容器 30 流过电桥电路 10。

[0034] 参考图 6, 可以使用参考图 4 解释的整流电路来对通过变压器 40 传输的功率信号整流。参考图 6, 变压器 40 包括初级绕组 41 和次级绕组 42, 其中, 将次级绕组 42 连接至电桥电路 10 的输入节点 11、12。在这种情况下, 电桥电路 10 的输入电压 V<sub>in</sub> 是可跨越所述变压器的次级绕组 42 获得的电压。输入电压 V<sub>in</sub> 的波形取决于施加至变压器的初级绕组 41 的初级电压 V<sub>41</sub> 的波形。这个初级电压 V<sub>41</sub> 可以具有矩形波形或者任何其它交变波形。在图 6 的实施例中, 变压器 40 供给了提供初级电压 V<sub>41</sub> 的电压源(图 6 中的虚线中所示)和具有与之连接的负载 Z 的整流电路之间的势垒。因而, 能够使初级电压 V<sub>41</sub> 和输出电压 V<sub>out</sub> 参考不同的参考电势。

[0035] 根据一个实施例, 变压器 40 是不包括变压器芯的所谓的无芯变压器。可以将这种类型的变压器实施为具有平面绕组的集成变压器。为了通过这种类型的变压器高效率地传输电力, 需要数十 MHz 的交变初级电压 V<sub>41</sub> 的频率, 例如, 在 100MHz 和 400MHz 之间的频率。所述电桥电路的输入电压 V<sub>in</sub> 的频率基本上对应于初级电压 V<sub>41</sub> 的频率。然而, 由于变压器 40 的不可避免的杂散电容以及电桥电路 10 的寄生电容, 输入电压 V<sub>in</sub> 的信号波形可以不同于初级电压 V<sub>41</sub> 的信号波形。这些电容起着类似于低通滤波器的作用。例如, 在初级电压 V<sub>41</sub> 具有矩形波形时, 输入电压 V<sub>in</sub> 可以具有梯形波形, 或者与正弦波形类似的具有甚至更为平滑边沿的波形。

[0036] 图 6 的具有电桥电路 10 和并联谐振电路 20 的整流电路能够高效率地对具有那些相对地高的频率的交变输入电压 V<sub>in</sub> 整流。

[0037] 根据一个实施例, 并联谐振电路 20 的电容性存储元件 22 具有取决于跨越并联谐振电路 20 的电压 V<sub>20</sub> 的电容。根据一个实施例, 电容性存储元件 22 的电容随着跨越并联谐振电路 20 的电压 V<sub>20</sub> 的增加而增加。根据一个实施例, 将电容性存储元件 22 实施为所谓的 MOS 电容器。图 7 中示出了这种类型的电容器的一个实施例。参考图 7, 所述电容器包括连接至所述电容性存储元件的第一端子 23 的掺杂半导体衬底 221、连接至所述电容性存储元件 22 的第二端子 24 的电极 222 以及被布置在所述掺杂半导体衬底 21 和电极 22 之间的介电层 223。半导体衬底 221 可以包括常规半导体材料, 例如, 硅、碳化硅、砷化镓等。电极 222 可以包括常规电极材料, 例如, 高掺杂多晶半导体材料或金属。半导体衬底 221 是单晶半导体衬底。例如, 所述半导体衬底的掺杂浓度选自  $1E16cm^{-3}$  和  $1E19cm^{-3}$  之间的范围。

[0038] 图 7 的电容性存储元件 22 的操作原理如下。根据施加在第一和第二端子 23、24 之间的电压, 可能在介电层 223 下面的掺杂半导体衬底 221 中存在耗尽区(空间电荷区)。所述电容性存储元件的总电容随着所述耗尽区向衬底 221 中更深的扩展而降低。当在所述介电层下面的半导体衬底 221 中存在聚积区时, 所述电容达到最大值。

[0039] 出于解释的目的, 假设所述半导体衬底 221 是 p 掺杂半导体衬底。在这种情况下, 要求电极 222 相对于衬底 221 的电势的负电势, 以在介电层 223 的下面的衬底 221 中生成

聚积区,因而所述电容器的电容 C22 具有如图 7B 中示意性示出的特性。参考图 7B,在电压 V20 具有如图 7A 中所示的极性时,并且在这个电压 V20 的电压水平增加时,电容 C 增大。将图 7A 中所示的类型的电容性存储元件 22 连接在所述并联谐振电路中,从而将第一端子 23 连接至电桥电路 10 的第一输出节点 15,并且将第二端子 24 连接至所述整流电路的第一输出节点 31。

[0040] 在半导体衬底 221 是 n 掺杂时,要求电极 222 相对于衬底 221 的正电势,以在介电层 223 下面的衬底 221 中生成聚积区。在这种情况下,电压 V20 相对于端子 24、25 的极性与图 7A 中所示的极性相反,因而在这种情况下,将第二端子 24 连接至电桥电路 10 的第一输出节点 15,并且将第一端子 23 连接至所述整流电路的第一输出节点 31。

[0041] 在电容器 22 具有如图 7B 中所示的特性曲线时,当电桥输出电压 V10 接近最小值(并且小于输出电压  $V_{out}$ )时,电容器 22 具有相对地低的电容。电容器 22 的这个变化的电容的作用在于,使跨越受到电桥电压 V10 激励的并联谐振电路 20 的振荡电压具有长于负的正的半周期的正的半周期。在电桥电压 V10 具有类似的波形时,也就是说,在电桥电压 V10 的纹波的“负半周期”短于“正半周期”时,这是尤为有用的。例如,在电桥电路 10 的输入电压  $V_{in}$  具有梯形波形时,就是这种情况。

[0042] 图 8 示出了包括多个上文参考图 2 到 7 解释的整流电路的电子电路。在图 8 的整流电路中,对应的特征具有仅下标索引不同的对应参考符号。图 8 的电子电路包括两个整流电路。然而,这只是示例。也可以在电子电路中实施多于两个的整流电路。参考图 8,使各个整流电路级联,也就是说,使各个整流电路的输出电容器  $30_1, 30_n$  串联连接。 $V_{out_1}, V_{out_n}$  表示图 8 中的各个整流电路的输出电压。总输出电压  $V_{out}$  对应于各个输出电压  $V_{out_1}, V_{out_n}$  的和  $V_{out_1}+V_{out_n}$ 。在图 8 中,参考符号 31、32 表示所述电子电路的输出节点,也就是说,将输出电容器  $30_1, 30_n$  串联连接在这些输出节点 31、32 之间。

[0043] 在图 8 的电子电路中,电桥电路  $10_1, 10_n$  的输入电压  $V_{in_1}, V_{in_n}$  是可在变压器 40 的次级绕组  $42_1, 42_n$  处获得的次级电压。这个变压器具有一个初级绕组 41,所述初级绕组接收初级电压 V41 并且其与次级绕组  $42_1, 42_n$  感应地耦合。次级绕组  $42_1, 42_n$  的数目对应于级联整流电路的数目,因而每一整流电路从一个次级绕组  $42_1, 42_n$  接收其输入电压  $V_{in_1}, V_{in_n}$ 。

[0044] 图 9 示出了以图 8 的电子电路为基础的电子电路,并且其与图 8 的电子电路的区别在于,在电子电路的输出端子 33、34 之间连接了一个公共输出电容器 30,而不是每一整流电路中的输出电容器(图 8 中的  $30_1, 30_n$ )。根据另一实施例(未示出),其中每一整流电路包括如图 8 中示出的输出电容器  $30_1, 30_n$ ,并且另外在输出端子 31、32 之间连接一个如图 9 中示出的公共输出电容器 30。

[0045] 根据一个实施例,使各个整流电路的并联谐振电路  $20_1, 20_n$  的电感器  $22_1, 22_n$  感应地耦合。根据一个实施例,在图 10 中示出,将这些电感器实施为衬底 200 上的平面线圈。参考图 10,线圈  $21_1, 21_2$  可以是螺旋形的,并且所述螺旋形线圈可以基本上是同心的。所述线圈可以包括常规线圈材料、例如,金属、高掺杂多晶半导体材料等。

[0046] 图 11 示出了根据另一实施例的整流电路。这个整流电路包括参考图 1 解释的电桥电路 10,并且替代上文解释的并联谐振电路 20,包括在所述电桥电路 10 的输出和所述整流电路的输出 31、32 之间的整流元件 50。在图 11 的实施例中,将整流元件 50 连接于电桥电路 10 的第二输出节点 16 和整流电路的第二输出节点 32 之间。整流元件 50 的极性使得

所述整流元件防止电流从所述整流电路的输出 31、32 流至电桥电路 10。参考图 11, 可以将整流元件 50 实施为二极管, 其具有连接至电桥电路 10 的第二输出节点 16 的阴极端子 52 并且具有连接至所述电桥电路的第二输出节点 32 的阳极端子 51。可替代地, 可以将整流元件 50 连接于所述电桥电路 10 的第一输出节点 15 和所述整流电路 10 的第一输出节点 31 之间。

[0047] 参考图 12A 和 12B, 可以将整流元件 50 实施为二极管接法晶体管 (diode-connected transistor)。参考图 12A 中所示的第一实施例, 所述晶体管可以是双极结型晶体管 (BJT), 其使得其基极连接至其集电极。参考图 12B 中所示的第二实施例, 所述晶体管可以是 MOS 晶体管 (MOSFET), 其使得其栅极连接至其漏极。根据一个实施例, 将图 12B 的二极管接法的 MOS 晶体管实施为具有基本上为 0V 的阈值电压。在这种情况下, 可以将整流元件 50 实施为具有极低的传导损耗。

[0048] 根据一个实施例, 整流元件 50 的电压阻断能力低于输出电压  $V_{out}$ 。使整流元件 50 反向偏置, 因而其在一个半桥 13、14 的高侧开关和低侧开关同时导电时阻断。然而, 电桥电路 10 的输出 15、16 之间的电压至少是导电的高侧开关的阈值电压和导电的低侧开关的阈值电压之和。这降低了使整流元件 50 反向偏置的电压。

[0049] 图 13 示出了一种电子电路, 其对应于图 8 的电子电路, 但是其根据图 11 被实施为具有多个整流电路。可以如参考图 9 进行的解释来修改图 13 的这个电子电路, 以只包括连接于所述电子电路的输出节点之间的一个输出电容器 (图 9 中的 30)。

[0050] 具体而言, 可以在其中必须通过势垒供应负载的电路应用中使用上文解释的整流电路或者本文前面解释的具有多个整流电路的电子电路。这这种类型的应用的一个示例是包括高侧开关的驱动电路的电子电路。

[0051] 图 14 示意性地示出了包括与负载 Z2 串联连接的高侧开关 61 的电子电路。驱动电路 62 接收来自整流电路 1 的输出电压  $V_{out}$ 。图 14 的整流电路 1 代表所述整流电路之一或者具有本文前面解释的多个整流电路的电子电路之一, 其输出经整流的输出电压  $V_{out}$ , 并接收初级电压  $V_{41}$ 。所述驱动电路 62 还接收定义高侧开关 61 的所需开关状态的输入信号  $S_{in}$ 。将驱动电路 62 配置为根据输入信号  $S_{in}$  并使用输出电压  $V_{out}$  作为电源电压来使高侧开关 62 导通或截止。

[0052] 将所述高侧开关实施为 n 型 MOS 晶体管, 尤其是 n 形 MOSFET。使所述整流电路的输出电压  $V_{out}$  (驱动电路 62 的电源电压) 参考高侧开关 61 的源极端子。所述源极电势的水平可以根据高侧开关 61 的开关状态而变化。然而, 这不影响输出电压  $V_{out}$  的生成, 因为输出电压  $V_{out}$  和生成施加至变压器 40 的初级绕组 41 的初级电压  $V_{41}$  的电源 (电压源) 通过变压器 40 电 (galvanically) 隔离。

[0053] 在上文的描述中, 参考所描述的附图的取向而使用了方向术语, 例如, “顶部”、“底部”、“前面”、“背面”、“前导”、“拖尾”等。由于可以按照多种不同的取向放置实施例的部件, 因而所述方向术语的使用是出于举例说明的目的, 其无论如何都不构成限制。应当理解, 在不背离本发明的范围的情况下, 可以采用其它实施例, 并且可以做出结构或逻辑上的改变。因此, 不应以限制的意义理解下述详细说明, 并且本发明的范围由所附权利要求界定。

[0054] 尽管已经公开了本发明的各种示范性实施例, 但是对于本领域技术人员而言显然可以看到, 在不背离本发明的精神和范围的情况下可以做出将实现本发明的某些优点的各

种变化和修改。对于本领域适当的技术人员而言将显然的是,可以适当地替代其它执行相同的功能的部件。应当提到的是,可以使参考特定的附图解释的特征与其它附图的特征结合,即使是在其中并未明确提到这种结合的那些情况下。此外,可以完全通过软件实施方式、使用适当的处理器指令或者通过利用硬件逻辑和软件逻辑的组合来实现相同结果的混合实施方式来实现本发明的方法。旨在使所附权利要求涵盖这样的对本发明构思的修改。

[0055] 为了便于描述,使用诸如“之下”、“下面”、“下方”、“之上”、“上方”等空间相对术语来解释一个元件相对于第二元件的定位。这些术语旨在包含除了与附图中描绘的取向不同的取向之外的器件的不同取向。此外,还使用诸如“第一”、“第二”等术语描述各种元件、区域、部分等,并且同样并非旨在是限制性的。遍及本描述,类似的术语指的是类似的元件。

[0056] 如文中使用的,“具有”、“含有”、“包括”、“包含”等术语是可扩充术语,其表明陈述的元件或特征的存在,但不排除额外的元件或特征。冠词“一”,“一个”和“该”旨在包括复数以及单数,除非上下文明确地另行指出。

[0057] 在着眼于上述变化和应用范围的情况下,应当理解本发明不受前面描述的限制,也不受附图的限制。更确切地说,本发明仅被下面的权利要求及其法律等同物所限制。

[0058] 应当理解,可以使文中描述的各个实施例的特征相互结合,除非另行明确地指出。

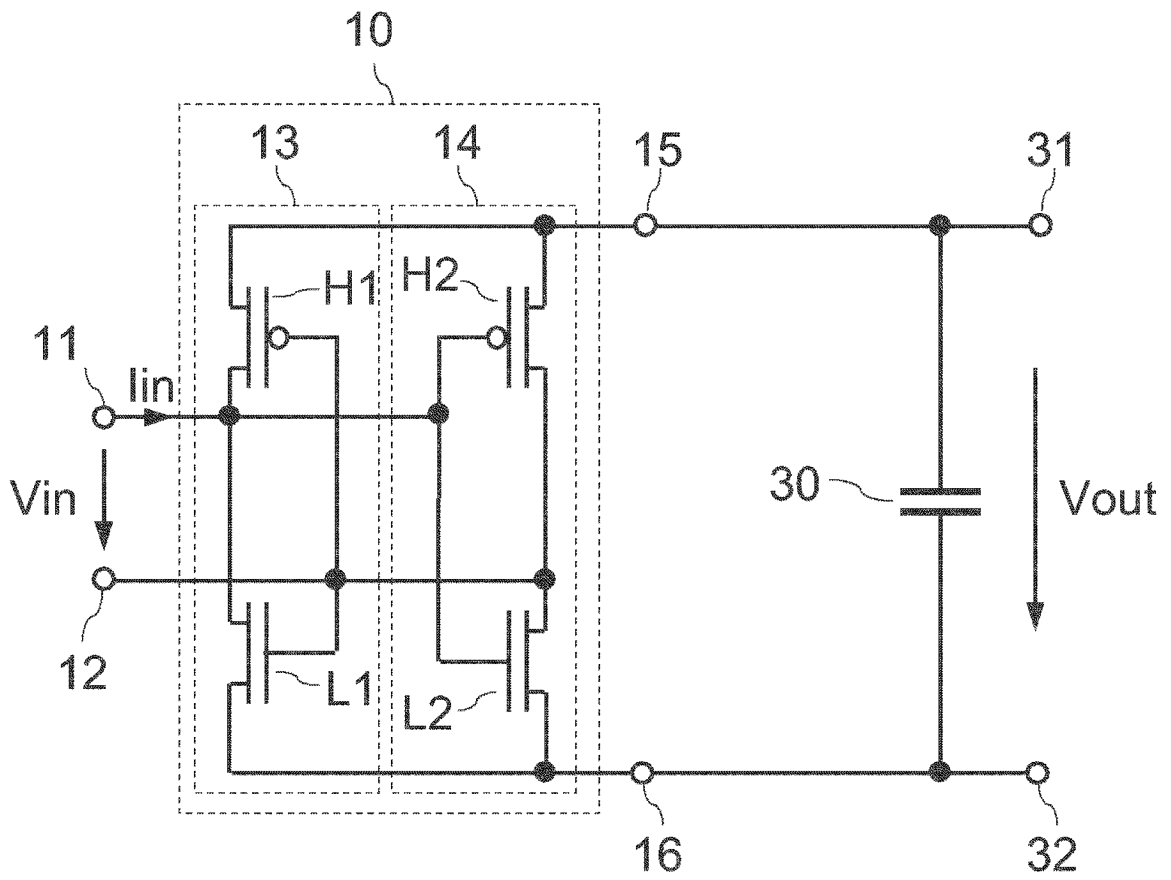


图 1

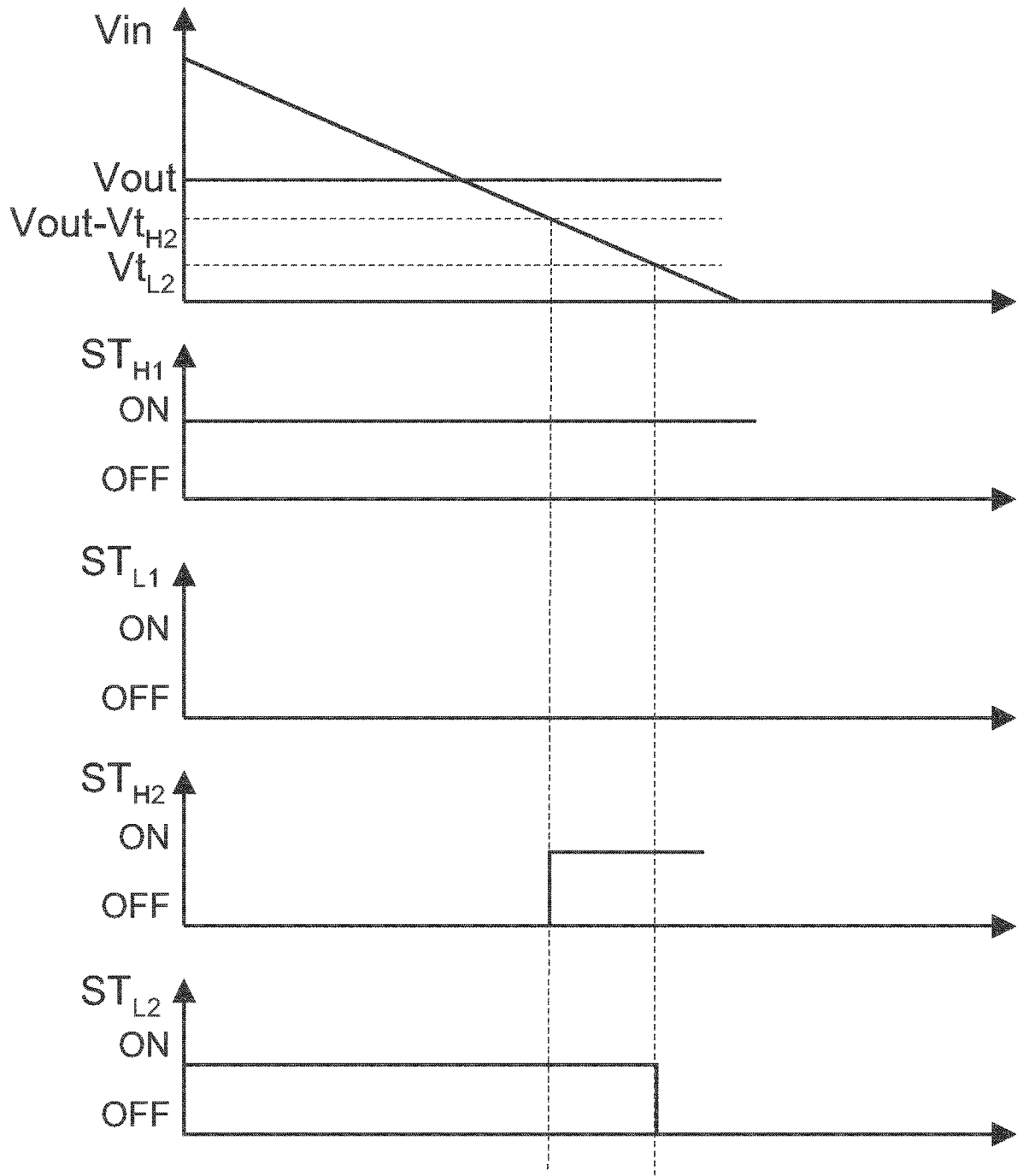


图 2A

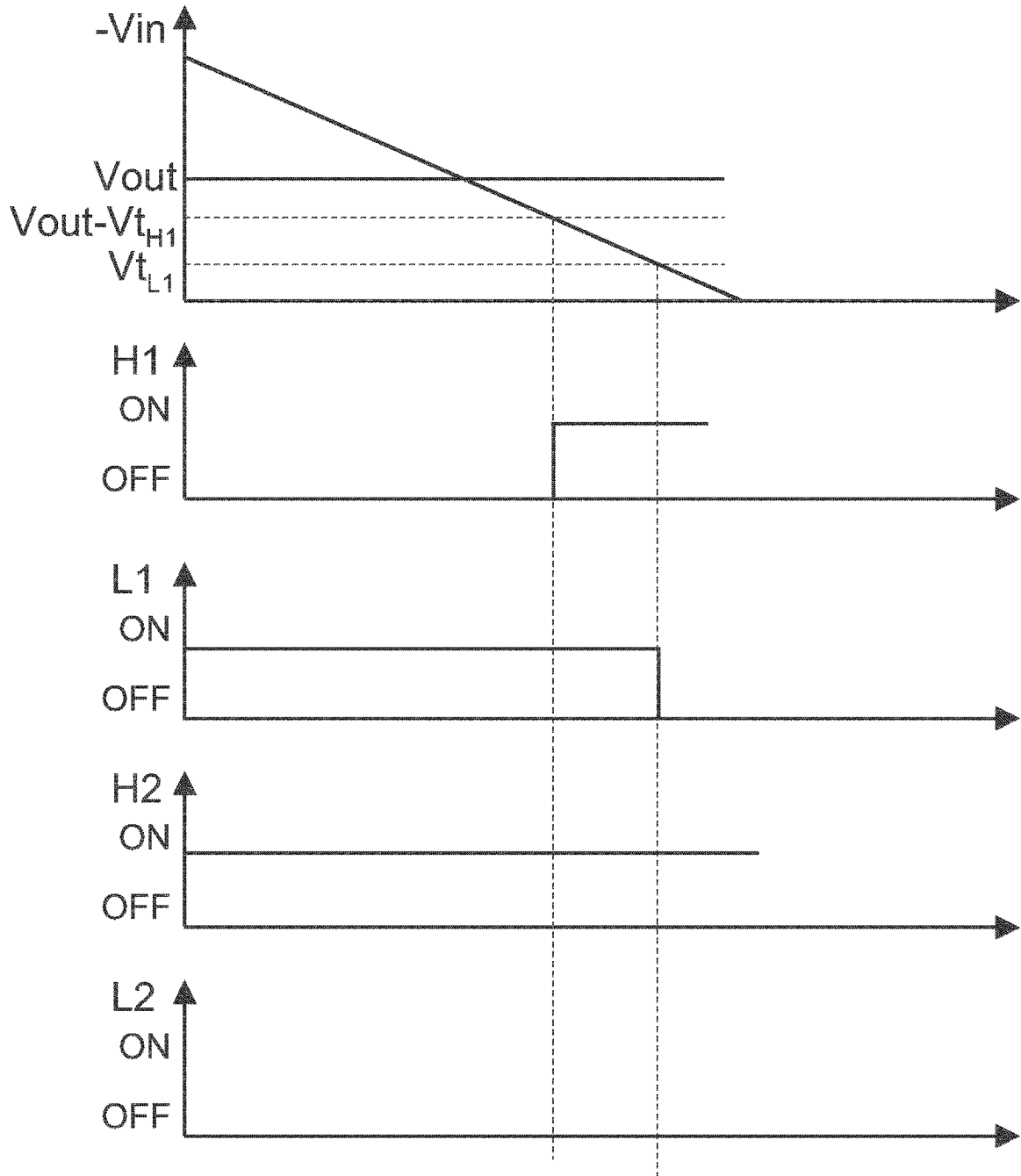


图 2B



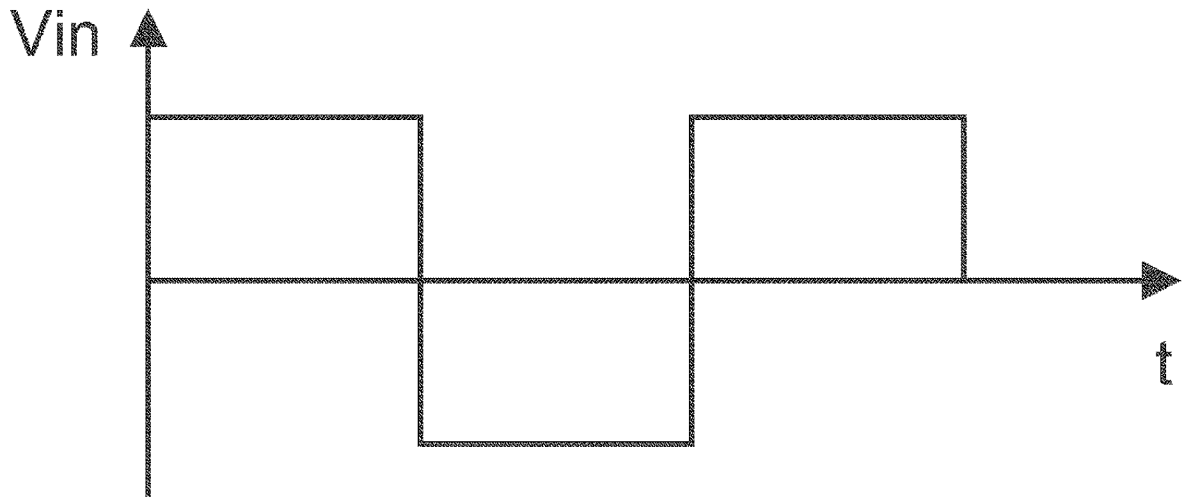


图 3

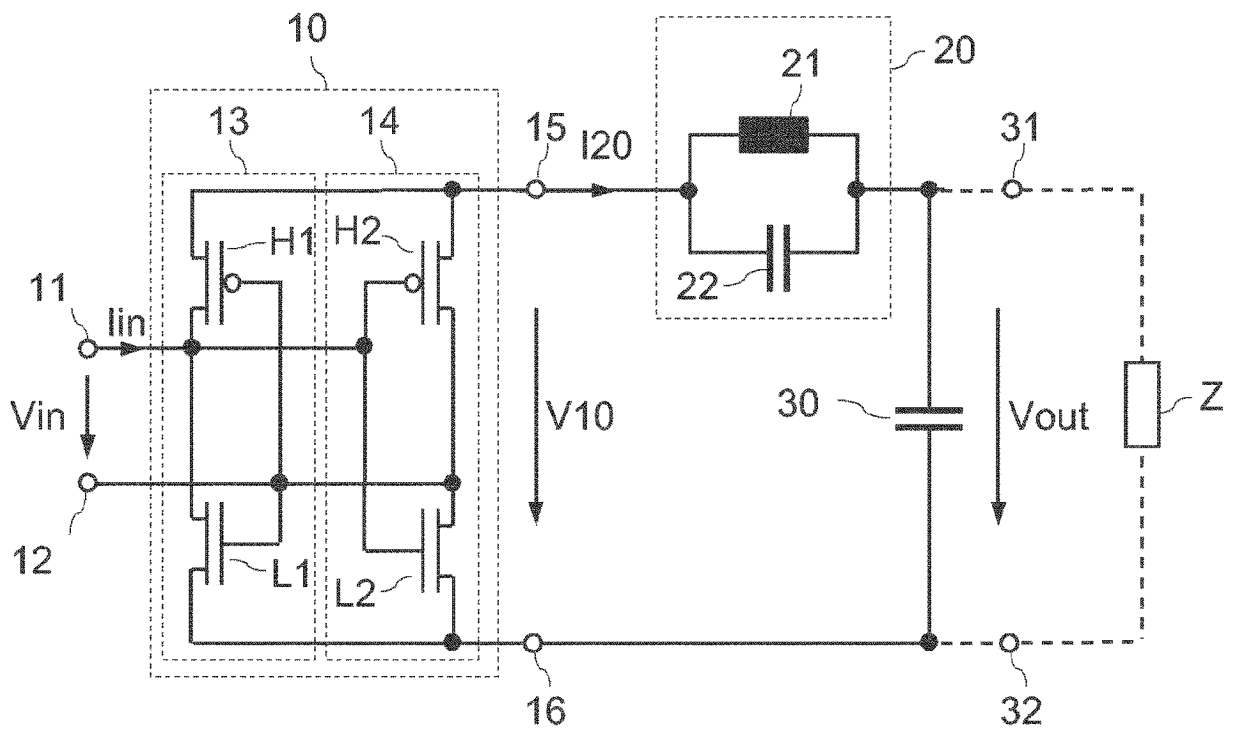


图 4

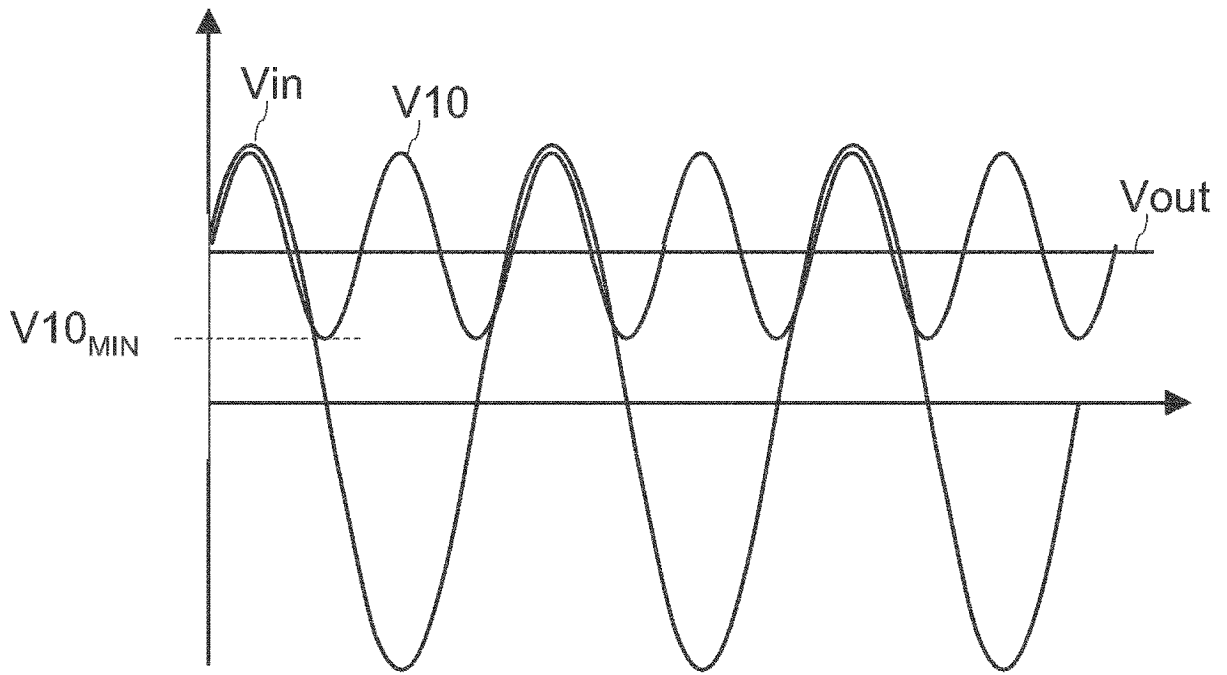


图 5

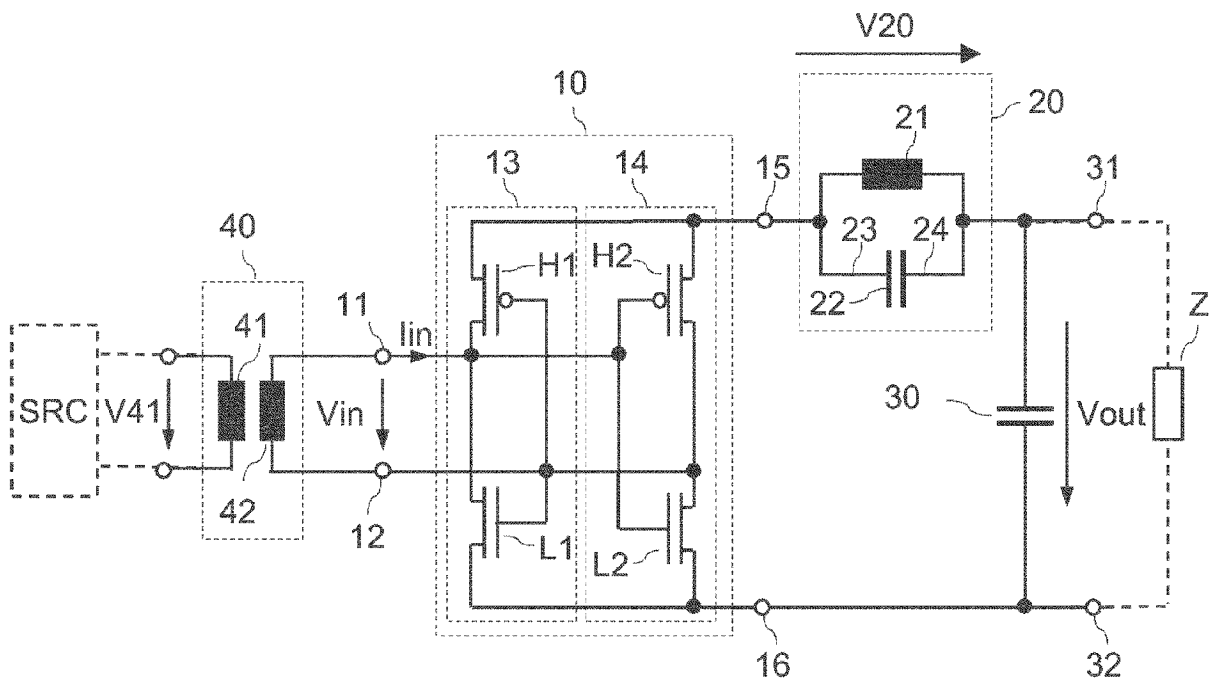


图 6

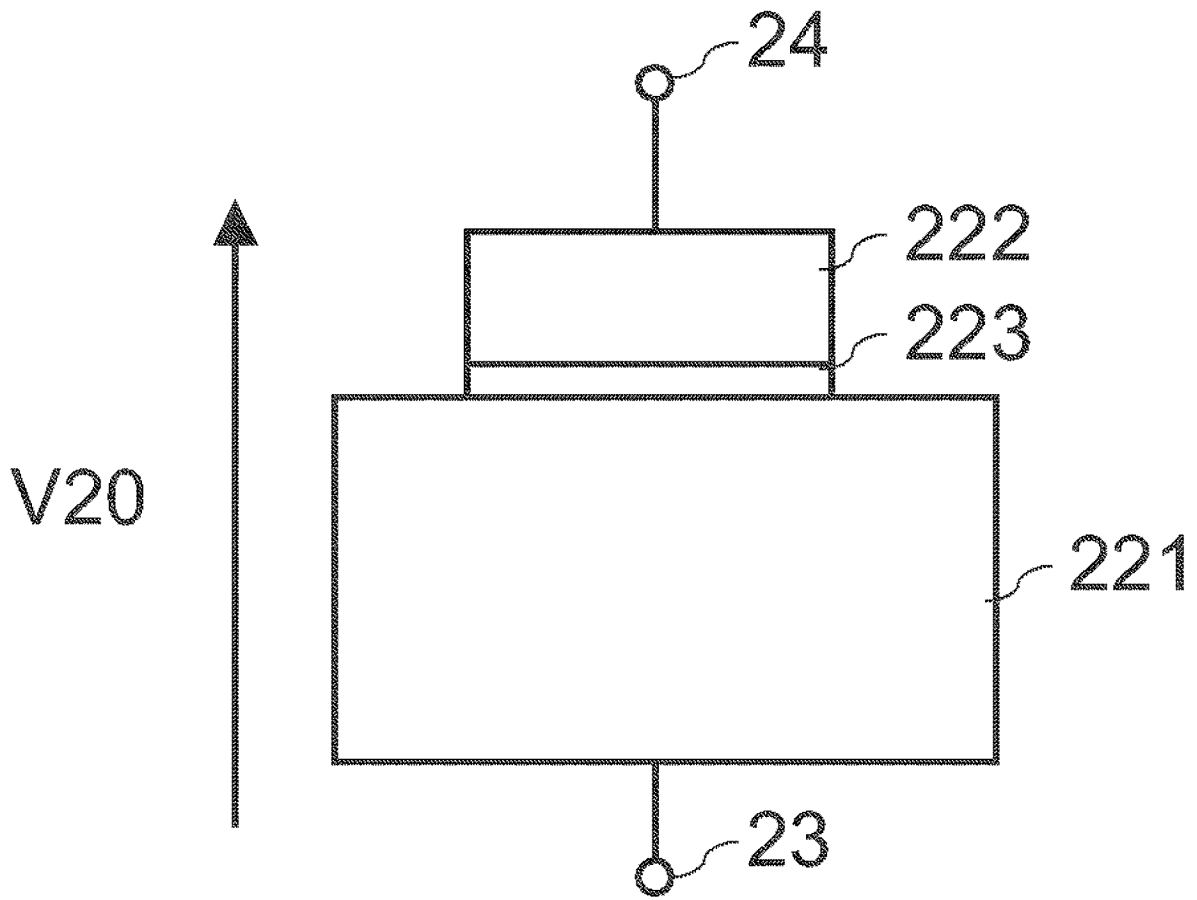


图 7A

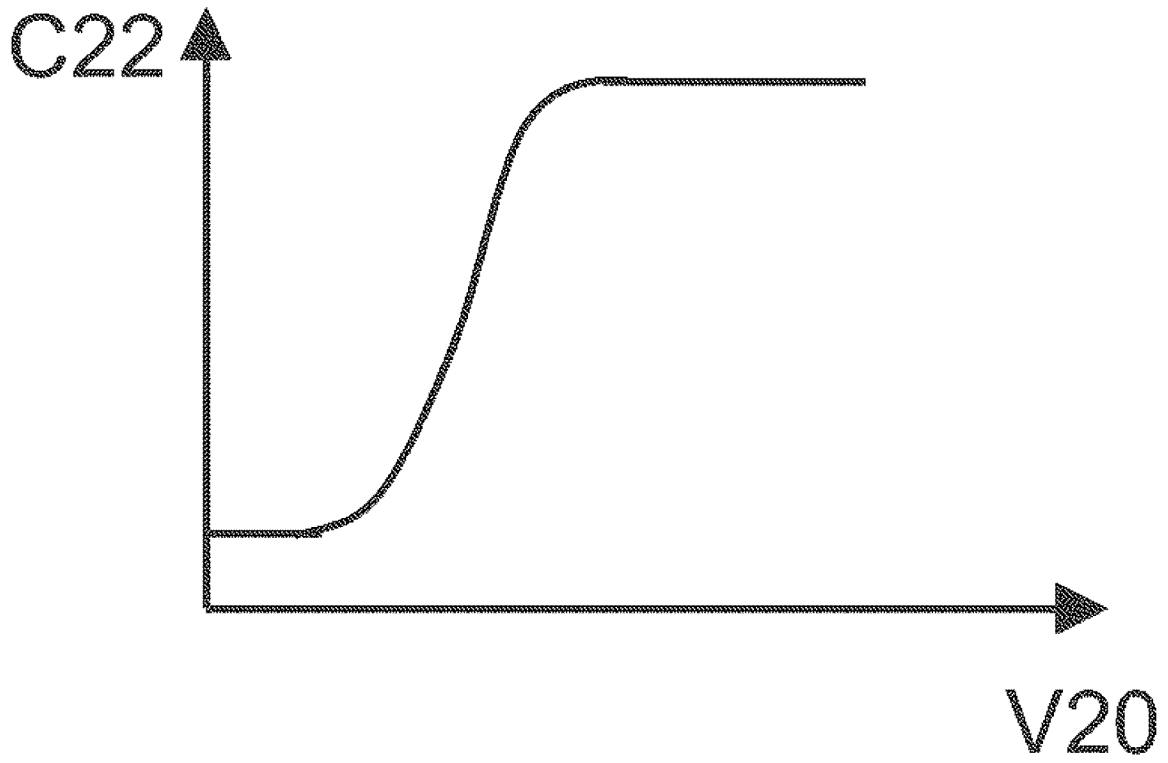


图 7B

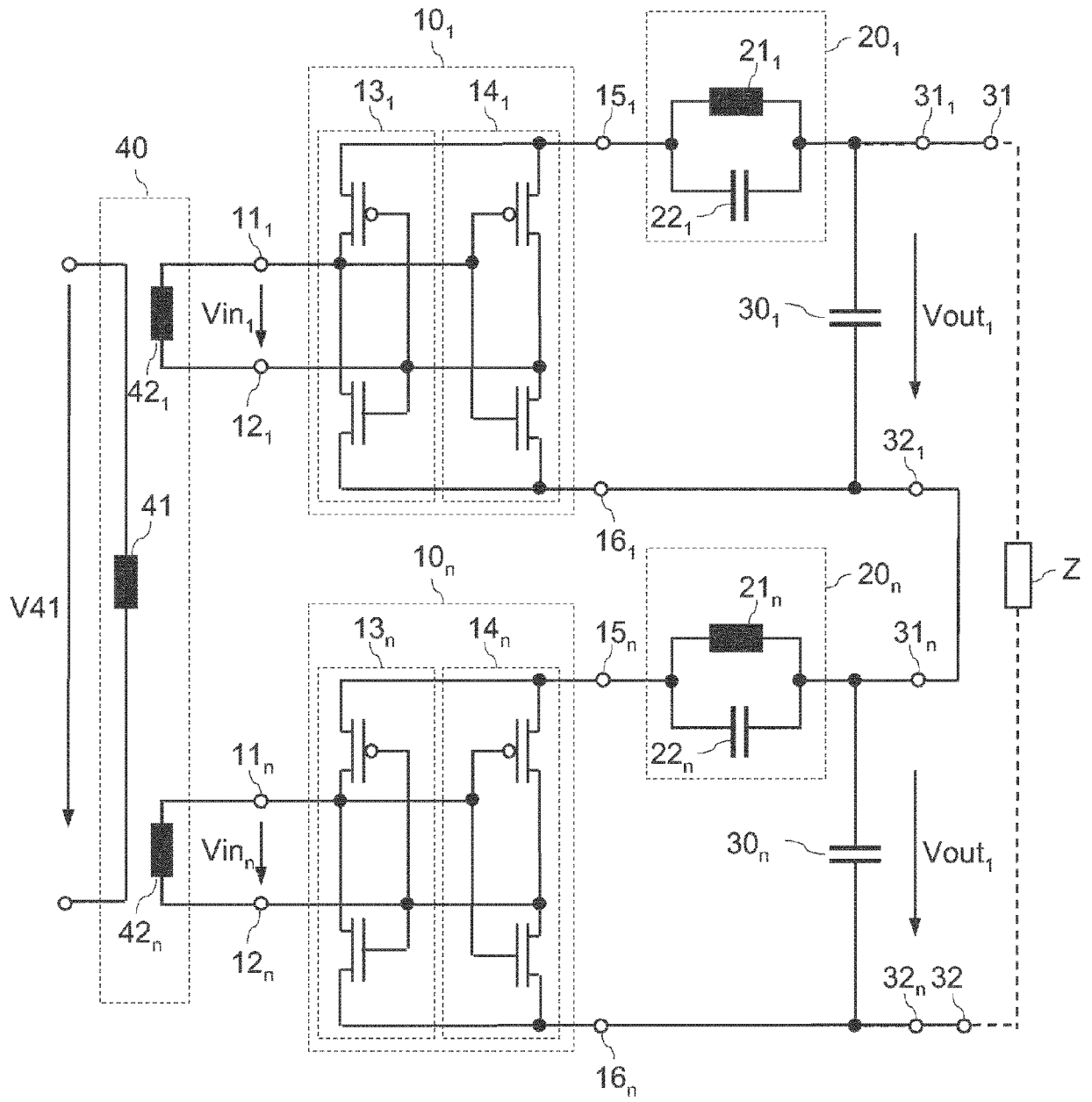


图 8

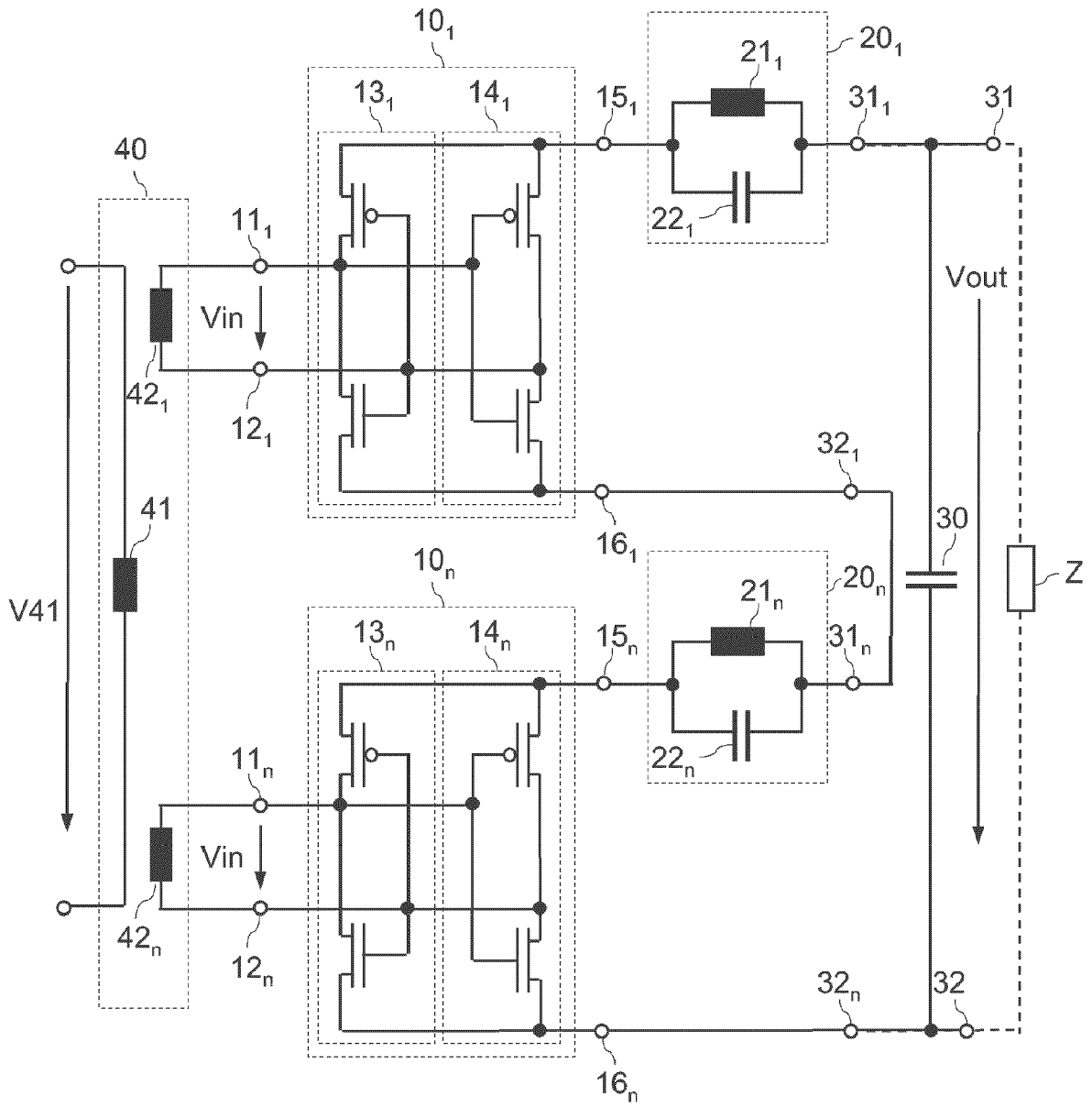


图 9

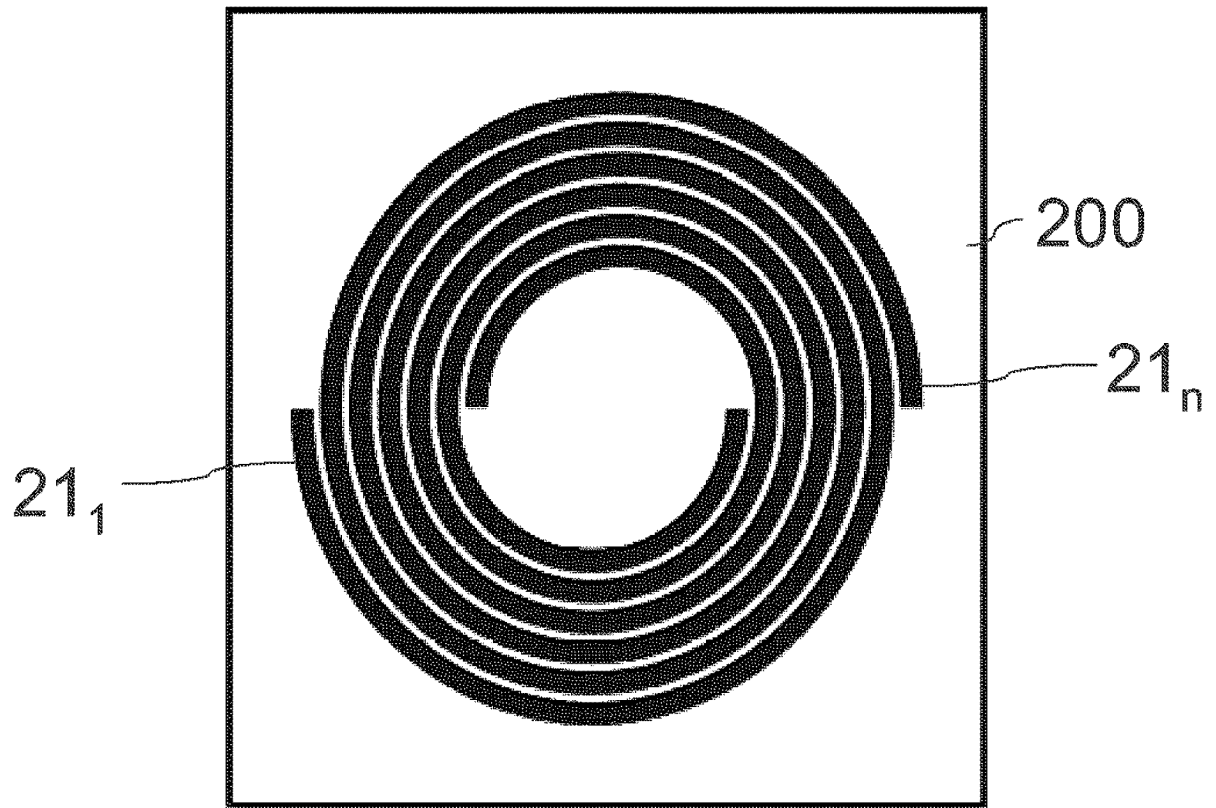


图 10

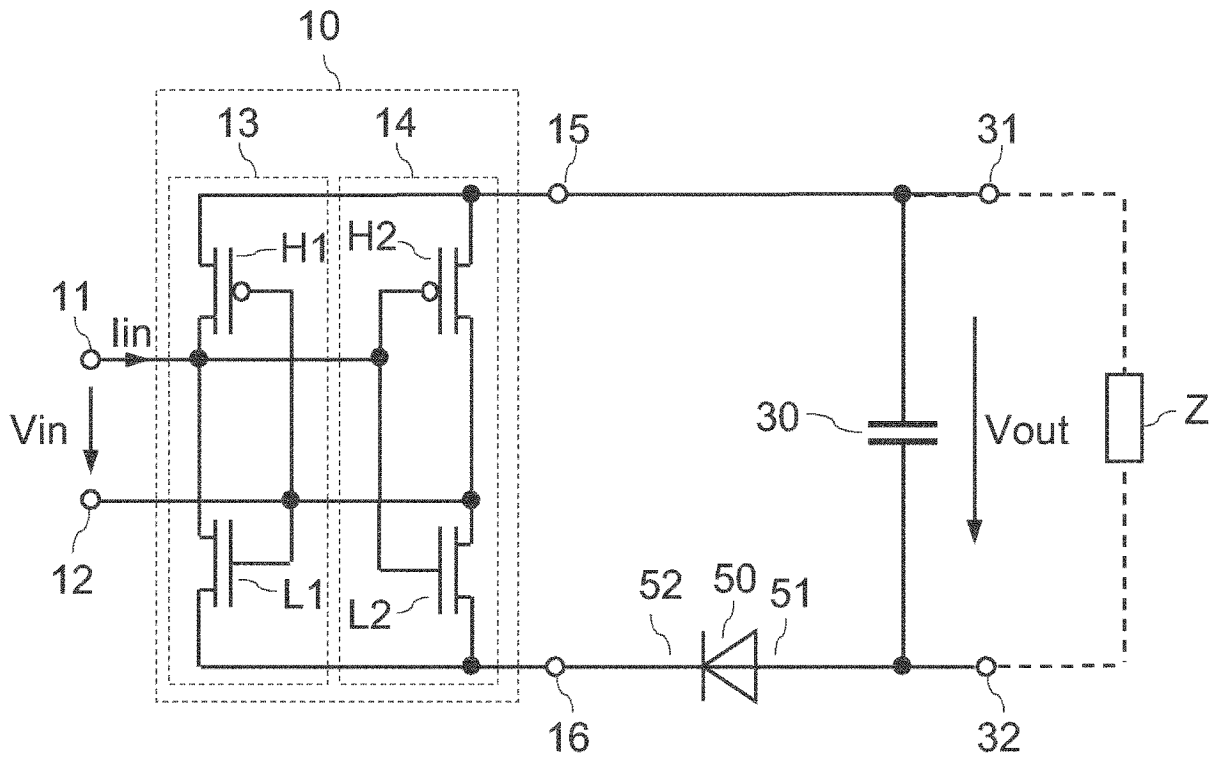


图 11



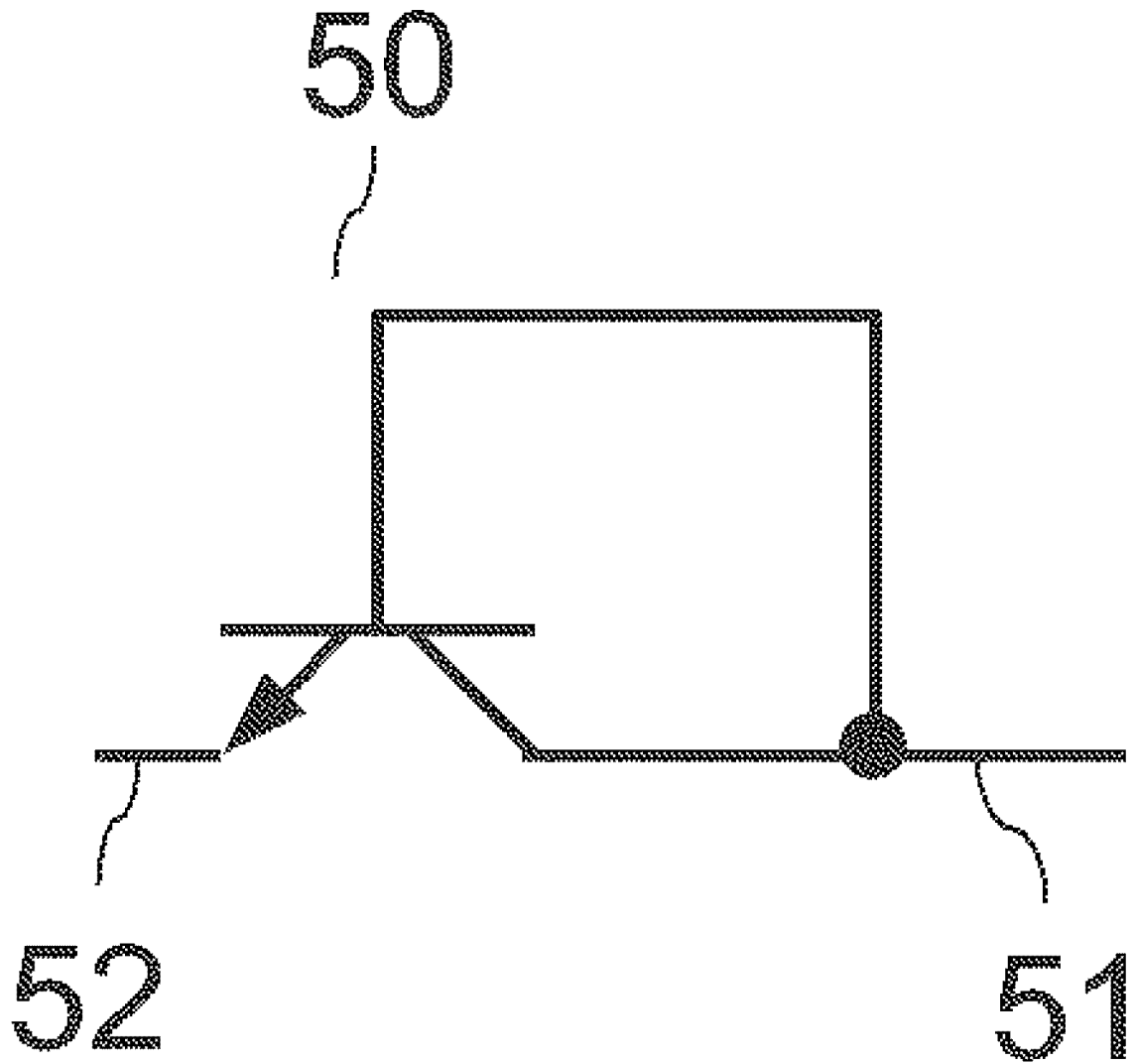


图 12A

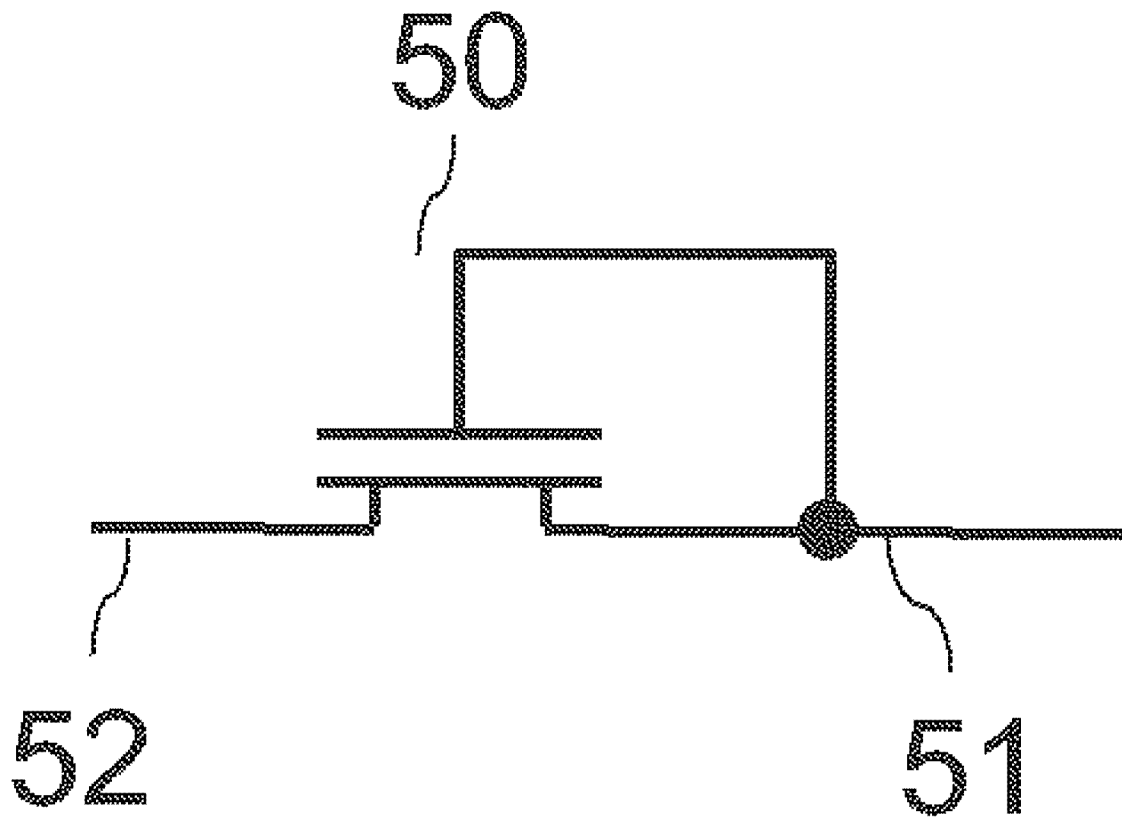


图 12B

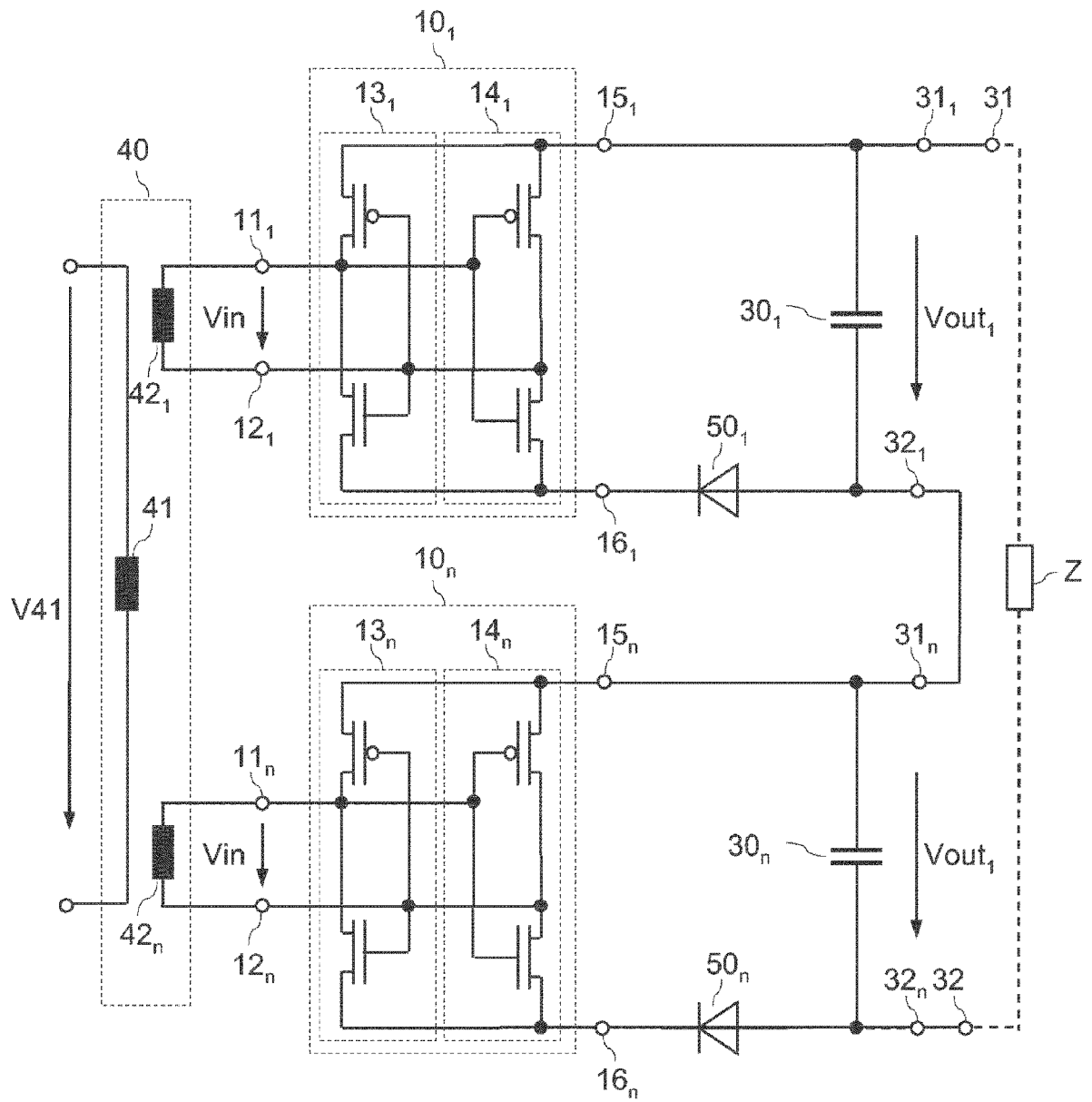


图 13

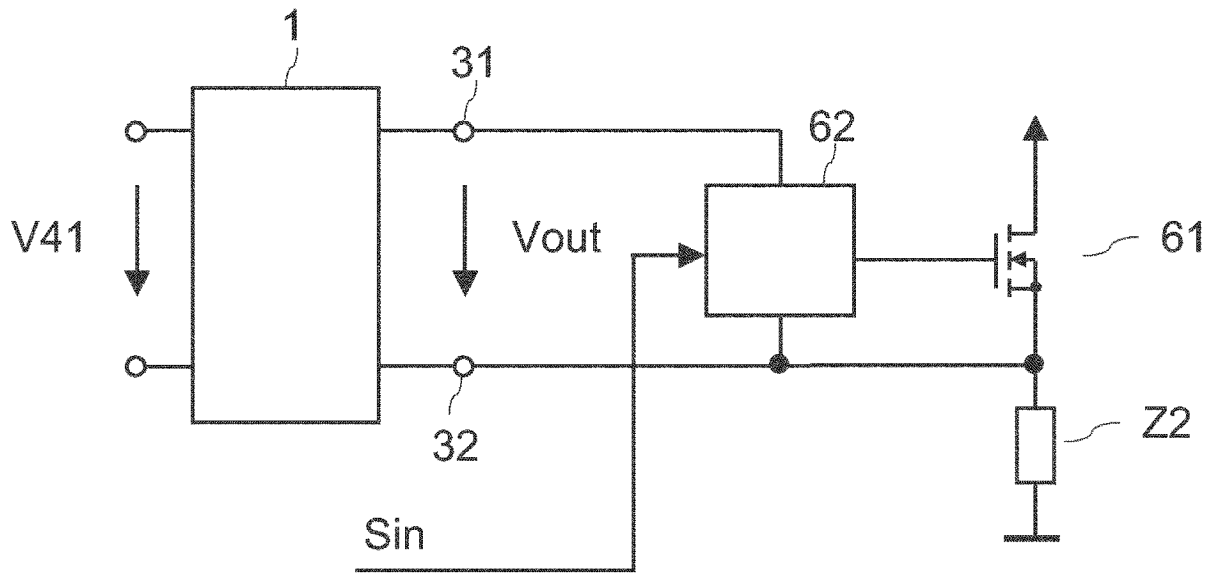


图 14