

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月24日(24.09.2020)



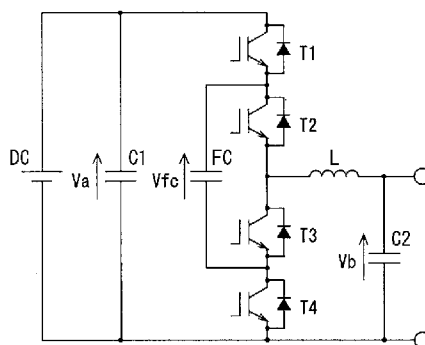
(10) 国際公開番号

WO 2020/189041 A1

- (51) 国際特許分類:
H02M 3/155 (2006.01) *H02M 7/483* (2007.01)
H02M 7/48 (2007.01)
- (21) 国際出願番号: PCT/JP2020/003319
- (22) 国際出願日: 2020年1月30日(30.01.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-050592 2019年3月19日(19.03.2019) JP
- (71) 出願人: 株式会社明電舎 (**MEIDENSHA CORPORATION**) [JP/JP]; 〒1416029 東京都品川区大崎2丁目1番1号 Tokyo (JP).
- (72) 発明者: 大井 一伸 (**OI, Kazunobu**); 〒1416029 東京都品川区大崎2丁目1番1号 株式会社明電舎
- 舎内 Tokyo (JP). 小堀 賢司 (**KOBORI, Kenji**); 〒1416029 東京都品川区大崎2丁目1番1号 株式会社明電舎内 Tokyo (JP).
- (74) 代理人: 小林 博通, 外 (**KOBAYASHI, Hiromichi et al.**); 〒1040044 東京都中央区明石町1番29号 掖済会ビル S H I G A 内 外国特許事務所内 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) **Title:** FC-TYPE 3-LEVEL POWER CONVERSION DEVICE

(54) 発明の名称: FC型3レベル電力変換装置



(57) **Abstract:** This FC-type 3-level power conversion device turns on or off first to fourth semiconductor switching elements T1-T4 on the basis of the comparison between flying capacitor voltage V_{fc} and a half of high-voltage side filter capacitor voltage V_a , the comparison between the high-voltage side filter capacitor voltage V_a and the flying capacitor voltage V_{fc} plus low-voltage side filter capacitor voltage V_b , the comparison between the flying capacitor voltage V_{fc} and the low-voltage side filter capacitor voltage V_b , and the comparison between the low-voltage side filter capacitor voltage V_b or the high-voltage side filter capacitor voltage V_a and a filter capacitor voltage command value, thereby flowing current through a path including a filter reactor L and charging a flying capacitor FC and charging a low-voltage side filter capacitor $C2$ or a high-voltage side filter capacitor $C1$ to predetermined values. This allows the FC-type 3-level power conversion device to charge both the flying capacitor and the filter capacitor without outputting current to the outside of the device.

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: フライイングキャパシタ電圧 V_{fc} と高圧側のフィルタコンデンサ電圧 V_a の $1/2$ との比較、および、高圧側のフィルタコンデンサ電圧 V_a とフライイングキャパシタ電圧 V_{fc} + 低圧側のフィルタコンデンサ電圧 V_b との比較、フライイングキャパシタ電圧 V_{fc} と低圧側のフィルタコンデンサ電圧 V_b との比較、および、低圧側のフィルタコンデンサ電圧 V_b または高圧側のフィルタコンデンサ電圧 V_a とフィルタコンデンサ電圧指令値との比較、に基づいて、第1～第4半導体スイッチング素子 $T_1 \sim T_4$ をONまたはOFFしてフィルタリアクトル L を含む経路に電流を流し、フライイングキャパシタ FC および低圧側のフィルタコンデンサ C_2 または高圧側のフィルタコンデンサ C_1 を所定の値に充電する。これにより、 FC 型3レベル電力変換装置において、装置外部に電流を出力することなくフライイングキャパシタとフィルタコンデンサの両方を充電する。

明 細 書

発明の名称： F C 型 3 レベル電力変換装置

技術分野

[0001] 本発明は、フライングキャパシタ（F C）型 3 レベル電力変換装置において、フライングキャパシタおよびフィルタコンデンサの電圧制御に関する。

背景技術

[0002] 図 2 1 に特許文献 1 記載の F C 型 3 レベルチョッパ回路を示し、図 2 2 に、複数のユニットを有し、差動出力可能な F C 型 3 レベル変換器の構成例を示す。本明細書では、図 2 1 に示すような F C 型 3 レベルチョッパ回路と、図 2 2 に示すような F C 型 3 レベル変換器を含めて、F C 型 3 レベル電力変換装置と称する。

[0003] F C 型 3 レベル電力変換装置は 2 レベルに比べ出力電圧リプルが半分である。また、遮断電圧も半分であるため半導体スイッチング素子のスイッチング損失が減少し、スイッチング周波数を上げやすくなる。この特長は、高効率や高い応答速度、低リプルが要求される装置に適している。

[0004] F C 型 3 レベル電力変換装置を正常に動作させるためには、フライングキャパシタ電圧 V_{fc} 、 V_{fc1} 、 V_{fc2} を直流電圧源電圧の半分に制御する必要がある。フライングキャパシタ電圧 V_{fc} 、 V_{fc1} 、 V_{fc2} にずれが生じると、一部の半導体スイッチング素子に過大な電圧がかかり、出力電圧に重畳するリプルが大きくなり出力電圧や出力電流の波形がひずみ、周囲の装置の誤動作やフィルタのリアクトル、フィルタコンデンサおよびトランスの過熱といった問題が発生する。

[0005] 特許文献 2、3 には F C 型 3 レベルインバータ向けの F C 電圧制御法が開示されており、F C 型 3 レベルチョッパ回路にもそのまま適用することができる。

[0006] 差動出力可能な L C フィルタを有する F C 型 3 レベル変換器は、直流電圧源電圧 V_{dc} を E としたとき、第 1 ～ 第 8 半導体スイッチング素子 $T_1 \sim T_8$

8のオンまたはオフの動作によって、第1、第2フライングキャパシタ電圧 V_{fc1} 、 V_{fc2} を $E/2$ (V_{dc} の半分)に制御しつつ、3レベルの電圧(E , $E/2$, 0)を第2、第3半導体スイッチング素子 T_2 , T_3 の接続点、第6、第7半導体スイッチング素子 T_6 , T_7 の接続点より出力して負荷に印加する。

[0007] FC型3レベル変換器の詳細は、一般文献や特許文献5に開示されている。

[0008] 特許文献2、3を用いてフライングキャパシタ電圧を制御するためには、装置が電流を出力している必要がある。そのため、装置が停止している間は自然放電によりフライングキャパシタ電圧が減少してしまう。また、運転前にあらかじめフライングキャパシタ電圧を直流電圧の半分程度に充電する手段が別途必要になる。

[0009] また、一般的な電力変換装置にはスイッチングリプルを除去を目的としてフィルタコンデンサが接続されている。例えば装置にバッテリーを接続する場合、バッテリーからフィルタコンデンサに突入電流が流れてしまう。これを防止するため、あらかじめフィルタコンデンサをバッテリーと同じ電圧に充電する必要がある。特許文献4ではフィルタコンデンサの接続を想定していないため、フィルタコンデンサの充電を行うことができない。

[0010] 以上示したようなことから、FC型3レベル電力変換装置において、装置外部に電流を出力することなくフライングキャパシタとフィルタコンデンサの両方を充電することが課題となる。

先行技術文献

特許文献

[0011] 特許文献1：特公平6-67181号公報

特許文献2：特許第3301761号

特許文献3：特開2018-129968号公報

特許文献4：特開2015-216790号公報

特許文献5：特開2017-163622号公報

発明の概要

[0012] 本発明は、前記従来の問題に鑑み、案出されたもので、その一態様は、高圧側のフィルタコンデンサと、前記高圧側のフィルタコンデンサの正極と負極との間に順次直列接続された第1～第4半導体スイッチング素子と、前記第1、第2半導体スイッチング素子の接続点と前記第3、第4半導体スイッチング素子の接続点との間に接続されたフライングキャパシタと、前記第2、第3半導体スイッチング素子の接続点に一端が接続されたフィルタリアクトルと、前記フィルタリアクトルの他端と前記高圧側のフィルタコンデンサの負極との間に接続された低圧側のフィルタコンデンサと、前記高圧側のフィルタコンデンサ、または、前記低圧側のフィルタコンデンサに対して並列接続された直流電圧源と、を備えたF C型3レベル電力変換装置であって、フライングキャパシタ電圧と高圧側のフィルタコンデンサ電圧の $1/2$ との比較、および、前記高圧側のフィルタコンデンサ電圧と前記フライングキャパシタ電圧+低圧側のフィルタコンデンサ電圧との比較、前記フライングキャパシタ電圧と前記低圧側のフィルタコンデンサ電圧との比較、および、前記低圧側のフィルタコンデンサ電圧または前記高圧側のフィルタコンデンサ電圧とフィルタコンデンサ電圧指令値との比較、に基づいて、前記第1～第4半導体スイッチング素子をONまたはOFFして前記フィルタリアクトルを含む経路に電流を流し、前記フライングキャパシタおよび前記低圧側のフィルタコンデンサまたは前記高圧側のフィルタコンデンサを所定の値に充電することを特徴とする。

[0013] また、他の態様として、高圧側のフィルタコンデンサと、前記高圧側のフィルタコンデンサの正極と負極との間に順次直列接続された第4～第1半導体スイッチング素子と、前記第4、第3半導体スイッチング素子の接続点と前記第2、第1半導体スイッチング素子の接続点との間に接続されたフライングキャパシタと、前記第3、第2半導体スイッチング素子の接続点に一端が接続されたフィルタリアクトルと、前記フィルタリアクトルの他端と前記高圧側のフィルタコンデンサの正極との間に接続された低圧側のフィルタコ

ンデンサと、前記高圧側のフィルタコンデンサ、または、前記低圧側のフィルタコンデンサに対して並列接続された直流電圧源と、を備えたFC型3レベル電力変換装置であって、フライングキャパシタ電圧と高圧側のフィルタコンデンサ電圧の $1/2$ との比較、および、前記高圧側のフィルタコンデンサ電圧と前記フライングキャパシタ電圧+低圧側のフィルタコンデンサ電圧との比較、前記フライングキャパシタ電圧と前記低圧側のフィルタコンデンサ電圧との比較、および、前記低圧側のフィルタコンデンサ電圧または前記高圧側のフィルタコンデンサ電圧とフィルタコンデンサ電圧指令値との比較、に基づいて、前記第1～第4半導体スイッチング素子をONまたはOFFして前記フィルタリアクトルを含む経路に電流を流し、前記フライングキャパシタおよび前記低圧側のフィルタコンデンサまたは前記高圧側のフィルタコンデンサを所定の値に充電することを特徴とする。

[0014] また、他の態様として、直流電圧源の正極と負極との間に順次直列接続された第1～第4半導体スイッチング素子と、前記第1，第2半導体スイッチング素子の接続点と前記第3，第4半導体スイッチング素子の接続点との間に接続された第1フライングキャパシタと、を有する第1ユニットと、前記直流電圧源の正極と負極との間に順次直列接続された第5～第8半導体スイッチング素子と、前記第5，第6半導体スイッチング素子の接続点と前記第7，第8半導体スイッチング素子の接続点との間に接続された第2フライングキャパシタと、を有する第2ユニットと、前記第2，第3半導体スイッチング素子の接続点に一端が接続された第1フィルタリアクトルと、前記第6，第7半導体スイッチング素子の接続点に一端が接続された第2フィルタリアクトルと、前記第1，第2フィルタリアクトルの他端の間に接続されたフィルタコンデンサと、を備えたFC型3レベル電力変換装置であって、第1，第2フライングキャパシタ電圧と直流電圧源電圧の $1/2$ との比較、および、フィルタコンデンサ電圧とフィルタコンデンサ電圧指令値との比較、および、前記直流電圧源電圧と前記第1フライングキャパシタ電圧+前記第2フライングキャパシタ電圧+前記フィルタコンデンサ電圧指令値との比較、

および、前記直流電圧源電圧と前記第1フライングキャパシタ電圧+前記第2フライングキャパシタ電圧-前記フィルタコンデンサ電圧指令値との比較、および、前記第1、第2フライングキャパシタ電圧と前記フィルタコンデンサ電圧との比較、および、前記第1フライングキャパシタ電圧と前記第2フライングキャパシタ電圧との比較に基づいて、前記第1～第8半導体スイッチング素子をONまたはOFFして前記第1、第2フィルタリアクトルを含む経路に電流を流し、前記第1、第2フライングキャパシタおよび前記フィルタコンデンサを所定の値に充電することを特徴とする。

[0015] また、他の態様として、前記直流電圧源は前記高圧側のフィルタコンデンサに並列接続されており、 $V_{fc} < V_a / 2$ 、かつ、 $V_b < V_{b*}$ 、かつ、 $V_a > V_{fc} + V_b + \alpha$ の場合は、前記第1半導体スイッチング素子をON、前記第2、第3、第4半導体スイッチング素子はOFFし、 $V_{fc} < V_a / 2$ 、かつ、 $V_b < V_{b*}$ 、かつ、 $V_a \leq V_{fc} + V_b + \alpha$ の場合は、前記第1、第2半導体スイッチング素子をON、前記第3、第4半導体スイッチング素子はOFFした後、前記第1半導体スイッチング素子をON、前記第2、第3、第4半導体スイッチング素子はOFFし、 $V_{fc} < V_a / 2$ 、かつ、 $V_b \geq V_{b*}$ 、かつ、 $V_b > V_{fc} + \alpha$ の場合は、前記第4半導体スイッチング素子をON、前記第1、第2、第3半導体スイッチング素子はOFFし、 $V_{fc} < V_a / 2$ 、かつ、 $V_b \geq V_{b*}$ 、かつ、 $V_b \leq V_{fc} + \alpha$ の場合は、前記第3、第4半導体スイッチング素子をON、前記第1、第2半導体スイッチング素子をOFFした後、前記第4半導体スイッチング素子をON、前記第1、第2、第3半導体スイッチング素子をOFFし、 $V_{fc} \geq V_a / 2$ 、かつ、 $V_b < V_{b*}$ 、かつ、 $V_{fc} > V_b + \alpha$ の場合は、前記第2半導体スイッチング素子をON、前記第1、第3、第4半導体スイッチング素子はOFFし、 $V_{fc} \geq V_a / 2$ 、かつ、 $V_b < V_{b*}$ 、かつ、 $V_{fc} \leq V_b + \alpha$ の場合は、前記第1、第2半導体スイッチング素子をON、前記第3、第4半導体スイッチング素子はOFFした後、前記第2半導体スイッチング素子をON、前記第1、第3、第4半導体スイッチング素子はOFF

し、 $V_{fc} \geq V_a / 2$ 、かつ、 $V_b \geq V_{b*}$ の場合は、前記第1～第4半導体スイッチング素子のOFF状態を維持することを特徴とする。

ただし、 V_{fc} ：フライングキャパシタ電圧

V_a ：高圧側のフィルタコンデンサ電圧

V_b ：低圧側のフィルタコンデンサ電圧

V_{b*} ：低圧側のフィルタコンデンサ電圧指令値

α ：所定値。

[0016] また、他の態様として、前記直流電圧源は前記低圧側のフィルタコンデンサに並列接続されており、 $V_{fc} < V_a / 2$ 、かつ、 $V_a > V_{a*}$ 、かつ、 $V_a > V_{fc} + V_b + \alpha$ の場合は、前記第1半導体スイッチング素子をON、前記第2，第3，第4半導体スイッチング素子はOFFし、 $V_{fc} < V_a / 2$ 、かつ、 $V_a > V_{a*}$ 、かつ、 $V_a \leq V_{fc} + V_b + \alpha$ の場合は、前記第1，第2半導体スイッチング素子をON、前記第3，第4半導体スイッチング素子はOFFした後、前記第1半導体スイッチング素子をON、前記第2，第3，第4半導体スイッチング素子はOFFし、 $V_{fc} < V_a / 2$ 、かつ、 $V_a \leq V_{a*}$ 、かつ、 $V_b > V_{fc} + \alpha$ の場合は、前記第4半導体スイッチング素子をON、前記第1，第2，第3半導体スイッチング素子はOFFし、 $V_{fc} < V_a / 2$ 、かつ、 $V_a \leq V_{a*}$ 、かつ、 $V_b \leq V_{fc} + \alpha$ の場合は、前記第3，第4半導体スイッチング素子をON、前記第1，第2半導体スイッチング素子をOFFした後、前記第4半導体スイッチング素子をON、前記第1，第2，第3半導体スイッチング素子をOFFし、 $V_{fc} \geq V_a / 2$ 、かつ、 $V_a > V_{a*}$ の場合は、前記第1～第4半導体スイッチング素子のOFF状態を維持し、 $V_{fc} \geq V_a / 2$ 、かつ、 $V_a \leq V_{a*}$ 、かつ、 $V_{fc} + V_b > V_a + \alpha$ の場合は、前記第3半導体スイッチング素子をON、前記第1，第2，第4半導体スイッチング素子はOFFし、 $V_{fc} \geq V_a / 2$ 、かつ、 $V_a \leq V_{a*}$ 、かつ、 $V_{fc} + V_b \leq V_a + \alpha$ の場合は、前記第3，第4半導体スイッチング素子をONし、前記第1，第2半導体スイッチング素子をOFFした後、前記第3半導体スイッチング素子をON、

前記第 1, 第 2, 第 4 半導体スイッチング素子を OFF することを特徴とする。

ただし、 V_{fc} : フライングキャパシタ電圧

V_a : 高圧側のフィルタコンデンサ電圧

V_b : 低圧側のフィルタコンデンサ電圧

V_a^* : 高圧側のフィルタコンデンサ電圧指令値

α : 所定値。

[0017] また、他の態様として、 $\alpha = 0$ とすることを特徴とする。

[0018] また、他の態様として、 $\alpha > 0$ とすることを特徴とする。

[0019] また、他の態様として、以下の (1) 式に示す条件を満たす場合、以下の表 1 に示すスイッチングパターン、以下の (1) 式に示す条件を満たさずまたは、以下の (1) 式の条件および表 1 の選択条件の両方を同時に満たさず、かつ、以下の (2) 式に示す条件を満たす場合、以下の表 2 に示すスイッチングパターン、以下の (1) 式、(2) 式に示す条件を満たさず、以下の (3) 式に示す条件を満たす場合、以下の表 3 に示すスイッチングパターンで前記第 1 ~ 第 8 半導体スイッチング素子を ON または OFF し、以下の (1) 式 ~ (3) 式に示す条件をすべて満たさない場合、前記第 1 ~ 第 8 半導体スイッチング素子をすべて OFF することを特徴とする。

[0020] [数1]

$$(V_{fc1} < V_{dc}/2) \text{ AND } (V_{fc2} < V_{dc}/2) \quad \cdots (1)$$

[0021]

[表1]

NO	スイッチングパターンの選択条件	T1	T2	T3	T4	T5	T6	T7	T8
1	$((V_c < V_{c^*}) \text{ AND } (V_{fc1} + V_{fc2} + V_{c^*} < V_{dc}))$	オン	オフ	オフ	オフ	オフ	オフ	オフ	オン
2	$((V_c > V_{c^*}) \text{ AND } (V_{fc1} + V_{fc2} - V_{c^*} < V_{dc}))$	オフ	オフ	オフ	オン	オン	オフ	オフ	オフ

[0022] [数2]

$(\text{MIN}(V_{fc1}, V_{fc2}) < V_{dc}/2) \quad \cdots (2)$

[0023]

[表2]

NO	スイッチングパターンの選択条件	T1	T2	T3	T4	T5	T6	T7	T8
3	(Vfc1 < Vfc2) AND (Vc < Vc)	オフ	オフ	オフ	オン	オフ	オフ	オフ	オフ
4	(Vfc1 < Vfc2) AND (Vc < Vc*) AND (Vfc1 > Vc)	オン	オフ	オフ	オフ	オフ	オフ	オン	オン
5	(Vfc1 < Vfc2) AND (Vc > Vc*) AND (Vfc1 > Vc)	オフ	オフ	オフ	オン	オン	オン	オフ	オフ
6	(Vfc1 > Vfc2) AND (Vfc2 < Vc)	オフ	オフ	オフ	オフ	オン	オフ	オフ	オフ
7	(Vfc1 > Vfc2) AND (Vfc2 > Vc) AND (Vc < Vc*)	オン	オン	オフ	オフ	オフ	オフ	オフ	オン
8	(Vfc1 > Vfc2) AND (Vfc2 > Vc) AND (Vc > Vc*)	オフ	オフ	オン	オン	オン	オフ	オフ	オフ

[0024] [数3]

$$(V_c < V_{c^*}) \quad \cdots (3)$$

[0025]

[表3]

NO	スイッチングパターンの選択条件	T1	T2	T3	T4	T5	T6	T7	T8
9	$(V_c < \text{MAX}(V_{fc1}, V_{fc2})) \text{ AND } (V_{fc1} > V_{fc2})$	オフ	オン	オフ	オフ	オフ	オフ	オン	オン
10	$(V_c < \text{MAX}(V_{fc1}, V_{fc2})) \text{ AND } (V_{fc1} < V_{fc2})$	オン	オン	オフ	オフ	オフ	オフ	オン	オフ
11	$(V_c > \text{MAX}(V_{fc1}, V_{fc2}))$	オン	オン	オフ	オフ	オフ	オフ	オン	オン

[0026] V_{fc1} : 第1フライングキャパシタ電圧

V_{fc2} : 第2フライングキャパシタ電圧

V_{dc} : 直流電圧源電圧

V_c : フィルタコンデンサ電圧

V_{c*} : フィルタコンデンサ電圧指令値

T1～T8 : 第1～第8半導体スイッチング素子。

[0027] また、他の態様として、前記直流電圧源の正極と負極との間に順次直列接続された4つの半導体スイッチング素子と、1つ目の半導体スイッチング素子と2つ目の半導体スイッチング素子の接続点と3つ目の半導体スイッチング素子と4つ目の半導体スイッチング素子の接続点との間に接続されたフライングキャパシタと、をそれぞれ備えた第1～第Nユニット（ $N=3$ 以上の整数）と、各ユニットの2つ目の半導体スイッチング素子と3つ目の半導体スイッチング素子の接続点に一端が接続された第1～第Nリアクトルと、前記第1～第Nリアクトルの他端の間にそれぞれ接続されたフィルタコンデンサと、を備え、フライングキャパシタ電圧が最も低いユニットと、2番目に低いユニットを前記第1ユニット、前記第2ユニットとし、前記第1ユニッ

ト、第2ユニットに一端が接続されたフィルタリアクトルを第1、第2フィルタリアクトルとし、前記第1、第2フィルタリアクトルの他端の間に接続されたフィルタコンデンサのフィルタコンデンサ電圧を V_c とすることを特徴とする。

[0028] 本発明によれば、FC型3レベル電力変換装置において、装置外部に電流を出力することなくフライングキャパシタとフィルタコンデンサの両方を充電することが可能となる。

図面の簡単な説明

[0029] [図1]実施形態1におけるFC型3レベル電力変換装置を示す回路図。

[図2]実施形態1における充電処理の手順を示すフローチャート。

[図3]各スイッチングパターンにおける電流経路を示す図。

[図4]実施形態2におけるFC型3レベル電力変換装置を示す回路図。

[図5]実施形態2における充電処理の手順を示すフローチャート。

[図6]実施形態3におけるFC型3レベル電力変換装置を示す回路図。

[図7]実施形態5におけるFC型3レベル電力変換装置を示す回路図。

[図8]実施形態5（N○1）のスイッチングパターンにおける電流経路を示す図。

[図9]実施形態5（N○2）のスイッチングパターンにおける電流経路を示す図。

[図10]実施形態5（N○3）のスイッチングパターンにおける電流経路を示す図。

[図11]実施形態5（N○4）のスイッチングパターンにおける電流経路を示す図。

[図12]実施形態5（N○5）のスイッチングパターンにおける電流経路を示す図。

[図13]実施形態5（N○6）のスイッチングパターンにおける電流経路を示す図。

[図14]実施形態5（N○7）のスイッチングパターンにおける電流経路を示す図。

す図。

[図15]実施形態5（N o 8）のスイッチングパターンにおける電流経路を示す図。

[図16]実施形態5（N o 9）のスイッチングパターンにおける電流経路を示す図。

[図17]実施形態5（N o 10）のスイッチングパターンにおける電流経路を示す図。

[図18]実施形態5（N o 11）のスイッチングパターンにおける電流経路を示す図。

[図19]実施形態6におけるF C型3レベル電力変換装置を示す回路図。

[図20]実施形態7におけるF C型3レベル電力変換装置を示す回路図。

[図21]従来のF C型3レベルチョッパ回路を示す回路図。

[図22]従来のF C型3レベル変換器を示す回路図。

発明を実施するための形態

[0030] 以下、本願発明におけるF C型3レベル電力変換装置の実施形態1～7を図1～図20に基づいて詳述する。

[0031] [実施形態1]

図1に本実施形態1におけるF C型3レベル電力変換装置（F C型3レベルチョッパ回路）の回路構成を示す。直流電圧源D Cには並列に高圧側のフィルタコンデンサC 1が接続される。また、高圧側のフィルタコンデンサC 1の正極と負極との間には、第1～第4半導体スイッチング素子T 1～T 4が順次直列接続される。第1，第2半導体スイッチング素子T 1，T 2の接続点と第3，第4半導体スイッチング素子T 3，T 4の接続点との間にフライングキャパシタF Cが接続される。

[0032] 第2，第3半導体スイッチング素子T 2，T 3の接続点には、フィルタリアクトルLの一端が接続される。フィルタリアクトルLの他端と高圧側のフィルタコンデンサC 1の負極との間には低圧側のフィルタコンデンサC 2が接続される。フィルタリアクトルLと低圧側のフィルタコンデンサC 2の接

続点、および、直流電圧源DCの負極が出力端子となる。

[0033] ここで、高圧側のフィルタコンデンサ電圧を V_a 、低圧側のフィルタコンデンサ電圧を V_b 、フライングキャパシタ電圧を V_{fc} とする。本実施形態1では高圧側に直流電圧源DCが接続され、直流電圧源DCからフライングキャパシタFCと低圧側のフィルタコンデンサC2を充電することを想定している。チョッパ回路とLCフィルタからなる電力変換装置と負荷は切り離された状態とする。

[0034] 図2は本実施形態1における充電処理の手順を示すフローチャートである。図2のフローチャートにおける判断では、条件を満たしていれば下に、条件を満たさなければ右に分岐する。本実施形態1では、判断における所定値 $\alpha = 0$ とする。所定値 α については後述する。本実施形態1は以下の手順（S1～S15）によりフライングキャパシタFCと低圧側のフィルタコンデンサC2を充電する。

[0035] S1において、直流電圧源電圧（＝高圧側のフィルタコンデンサ電圧） V_a 、低圧側のフィルタコンデンサ電圧 V_b 、フライングキャパシタ電圧 V_{fc} を検出する。S2において、フライングキャパシタ電圧 V_{fc} と直流電圧源電圧（＝高圧側のフィルタコンデンサ電圧） V_a の $1/2$ である $V_a/2$ を比較する。

[0036] $V_{fc} < V_a/2$ 、すなわち、フライングキャパシタFCを充電する必要がある場合、S3へ移行して低圧側のフィルタコンデンサ電圧 V_b とフィルタコンデンサ電圧指令値 V_{b*} を比較する。

[0037] $V_b < V_{b*}$ 、すなわち、フライングキャパシタFCと低圧側のフィルタコンデンサC2の両方を充電する必要がある場合、S4へ移行して直流電圧源電圧（高圧側のフィルタコンデンサ電圧） V_a と $V_{fc} + V_b$ を比較する。

[0038] $V_a > V_{fc} + V_b$ の場合、S5へ移行して第1半導体スイッチング素子T1をONする。 $V_a \leq V_{fc} + V_b$ の場合、S6へ移行し、第1半導体スイッチング素子T1と第2半導体スイッチング素子T2をONした後、S5

へ移行して第2半導体スイッチング素子T2をOFFし第1半導体スイッチング素子T1のみをONする。

[0039] S3において、 $V_b \geq V_{b*}$ 、すなわち、フライングキャパシタFCだけを充電する必要がある場合、S7へ移行して低圧側のフィルタコンデンサ電圧 V_b とフライングキャパシタ電圧 V_{fc} を比較する。

[0040] $V_b > V_{fc}$ の場合、S8へ移行し、第4半導体スイッチング素子T4をONする。 $V_b \leq V_{fc}$ の場合、S9へ移行して第3半導体スイッチング素子T3と第4半導体スイッチング素子T4をONした後、S8へ移行して第3半導体スイッチング素子T3をOFFし、第4半導体スイッチング素子T4のみをONする。

[0041] S2において、 $V_{fc} \geq V_a/2$ 、すなわち、フライングキャパシタFCの充電が不要の場合、S10へ移行し、低圧側のフィルタコンデンサ電圧 V_b とフィルタコンデンサ電圧指令値 V_{b*} を比較する。

[0042] $V_b < V_{b*}$ 、すなわち、低圧側のフィルタコンデンサC2だけ充電する必要がある場合、S11へ移行し、フライングキャパシタ電圧 V_{fc} と低圧側のフィルタコンデンサ電圧 V_b を比較する。

[0043] $V_{fc} > V_b$ の場合、S12へ移行して第2半導体スイッチング素子T2をONする。 $V_{fc} \leq V_b$ の場合、S13へ移行して第1半導体スイッチング素子T1と第2半導体スイッチング素子T2をONした後、S12へ移行して第1半導体スイッチング素子T1をOFFし、第2半導体スイッチング素子T2のみをONする。

[0044] S10において、 $V_b \geq V_{b*}$ 、すなわち、フライングキャパシタFCも低圧側のフィルタコンデンサC2も充電不要の場合、S14へ移行し、第1～第4半導体スイッチング素子T1～T4はOFFを維持し、自然放電を促す。

[0045] S15では、すべての半導体スイッチング素子のゲートをOFFする。ゲートON時間、または、待機時間は短時間（ $10\mu s$ 程度）を想定している。以上の動作を例えば1ms間隔など半導体スイッチング素子やフィルタリ

アクトルなどの熱責務が問題にならない頻度で運転開始まで繰り返す。

[0046] 図3に各スイッチングパターンにおける電流経路を示す。フライングキャパシタFCと低圧側のフィルタコンデンサC2を両方とも充電したい場合、S5において、第1半導体スイッチング素子T1をONし、図3(b)の経路(C1→T1→FC→T3→L→C2)で電流を流し、フライングキャパシタFCと低圧側のフィルタコンデンサC2を充電する。

[0047] しかし、両方ともある程度充電が進んでいて $V_{fc} + V_b \geq V_a$ の場合は、第1半導体スイッチング素子T1だけをONしても電流が流れない。この場合は、S6において、第2半導体スイッチング素子T2も合わせてONして、図3(a)の経路(C1→T1→T2→L→C2)で電流を流し、S5において、第2半導体スイッチング素子T2だけをOFFして、図3(b)の経路で電流を流す。

[0048] 低圧側のフィルタコンデンサ電圧 V_b は十分でフライングキャパシタFCだけを充電したい場合、 $V_b > V_{fc}$ ならば、S8において、第4半導体スイッチング素子T4をONし、図3(d)の経路(C2→L→T2→FC→T4)で電流を流し、低圧側のフィルタコンデンサC2からフライングキャパシタFCへ充電する。

[0049] $V_b \leq V_{fc}$ ならば第4半導体スイッチング素子T4だけをONしても電流は流れないため、S9において、第3半導体スイッチング素子T3も合わせてONして、図3(c)の経路(C2→L→T3→T4)で電流を流し、その後、S8において、第3半導体スイッチング素子T3だけをOFFして図3(d)の経路で電流を流す。

[0050] フライングキャパシタ電圧 V_{fc} は十分で低圧側のフィルタコンデンサC2だけを充電したい場合、 $V_{fc} > V_b$ ならば、S12において、第2半導体スイッチング素子T2をONし、図3(e)の経路(FC→T2→L→C2→T4)で電流を流し、フライングキャパシタFCから低圧側のフィルタコンデンサC2へ充電する。

[0051] $V_{fc} \leq V_b$ ならば第2半導体スイッチング素子T2だけをONしても電

流は流れないため、S 1 3において、第1半導体スイッチング素子T 1も合わせてONして図3 (a)の経路(C 1→T 1→T 2→L→C 2)で電流を流し、その後、S 1 2において、第1半導体スイッチング素子T 1だけをOFFして図3 (e)の経路で電流を流す。

[0052] フライングキャパシタFCも低圧側のフィルタコンデンサC 2も電圧が十分高い場合は、S 1 4において、すべての半導体スイッチング素子のゲートのOFFを維持し、自然放電を促しつつ待機する(S 1 4)。

[0053] 以上を一定の周期で繰り返し行うことで、フライングキャパシタ電圧 V_f を $V_a/2$ に、低圧側のフィルタコンデンサ電圧 V_b をフィルタコンデンサ電圧指令値 V_b^* に充電することができる。

[0054] 以上示したように、本実施形態1によれば、FC型3レベル電力変換装置(FC型3レベルチョッパ回路)において高圧側からフライングキャパシタFCと低圧側のフィルタコンデンサC 2を充電することができる。

[0055] 負荷を切り離れた状態で充電することができるため、負荷に電流を流す必要がなく、負荷接続時の突入電流を防止することができる。負荷を接続した状態で本実施形態1を適用することもでき、ゲートON時間を短くすることにより負荷に流れる電流を最小限にすることができる。

[0056] 本実施形態1は別途予備充電回路を用意することなくフライングキャパシタFCと低圧側のフィルタコンデンサC 2を充電することができる。

[0057] [実施形態2]

図4に本実施形態2におけるFC型3レベル電力変換装置(FC型3レベルチョッパ回路)の回路構成を示す。本実施形態2では低圧側のフィルタコンデンサC 2に対して直流電圧源DCが並列接続され、高圧側のフィルタコンデンサC 1に並列接続された直流電圧源DCが削除されている。その他は実施形態1(図1)と同様である。本実施形態2では、直流電圧源DCからフライングキャパシタFCと高圧側のフィルタコンデンサC 1を充電することを想定している。本実施形態2においても負荷は切り離された状態とする。

- [0058] 図5に本実施形態2のフローチャートを示す。本実施形態2においても、判断における所定値 $\alpha = 0$ とする。本実施形態2は以下の手順（S1，S2，S4～S9，S14～S20）によりフライングキャパシタFCと高圧側のフィルタコンデンサC1を充電する。
- [0059] S1において、高圧側のフィルタコンデンサ電圧 V_a ，直流電圧源電圧（＝低圧側のフィルタコンデンサ電圧） V_b ，フライングキャパシタ電圧 V_{fc} を検出する。S2において、フライングキャパシタ電圧 V_{fc} と高圧側のフィルタコンデンサ電圧 V_a の $1/2$ である $V_a/2$ を比較する。
- [0060] $V_{fc} < V_a/2$ の場合、すなわち、フライングキャパシタFCを充電する必要がある場合、S16へ移行し、高圧側のフィルタコンデンサ電圧 V_a とフィルタコンデンサ電圧指令値 V_a^* を比較する。
- [0061] $V_a > V_a^*$ 、すなわち、フライングキャパシタFCだけを充電する必要がある場合、S4へ移行して高圧側のフィルタコンデンサ電圧 V_a と $V_{fc} + V_b$ を比較する。 $V_a > V_{fc} + V_b$ ならば、S5へ移行して第1半導体スイッチング素子T1をONする。
- [0062] $V_a \leq V_{fc} + V_b$ の場合、S6へ移行して第1半導体スイッチング素子T1と第2半導体スイッチング素子T2をONした後、S5へ移行して第2半導体スイッチング素子T2をOFFし第1半導体スイッチング素子T1のみをONする。
- [0063] $V_a \leq V_a^*$ 、すなわち、フライングキャパシタFCと高圧側のフィルタコンデンサC1の両方を充電する必要がある場合、S7へ移行して直流電圧源電圧（＝低圧側のフィルタコンデンサ電圧） V_b とフライングキャパシタ電圧 V_{fc} を比較する。
- [0064] $V_b > V_{fc}$ の場合、S8へ移行して第4半導体スイッチング素子T4をONする。 $V_b \leq V_{fc}$ の場合、S9へ移行して第3半導体スイッチング素子T3と第4半導体スイッチング素子T4をONした後、S8へ移行して第3半導体スイッチング素子T3をOFFし第4半導体スイッチング素子T4のみをONする。

- [0065] S 2 において、 $V_{fc} \geq V_a / 2$ 、すなわち、フライングキャパシタ F C の充電が不要ならば、S 1 7 へ移行し、高圧側のフィルタコンデンサ電圧 V_a とフィルタコンデンサ電圧指令値 V_a^* を比較する。 $V_a > V_a^*$ 、すなわち、フライングキャパシタ F C も高圧側のフィルタコンデンサ C 1 も充電不要ならば、S 1 4 へ移行して、第 1 ～第 4 半導体スイッチング素子 T 1 ～T 4 は O F F を維持し、自然放電を促す。
- [0066] $V_a \leq V_a^*$ 、すなわち、高圧側のフィルタコンデンサ C 1 だけ充電する必要がある場合、S 1 8 へ移行して $V_{fc} + V_b$ と高圧側のフィルタコンデンサ電圧 V_a を比較する。
- [0067] $V_{fc} + V_b > V_a$ の場合、S 1 9 へ移行して第 3 半導体スイッチング素子 T 3 を O N する。 $V_{fc} + V_b \leq V_a$ の場合、S 2 0 へ移行して第 3 半導体スイッチング素子 T 3 と第 4 半導体スイッチング素子 T 4 を O N した後、S 1 9 へ移行して第 4 半導体スイッチング素子 T 4 を O F F し第 3 半導体スイッチング素子 T 3 のみを O N する。
- [0068] 最後に、S 1 5 へ移行してすべての半導体スイッチング素子のゲートを O F F する。
- [0069] 本実施形態 2 もゲート O N 時間または待機時間は短時間（ $10 \mu s$ 程度）を想定している。以上の動作を運転開始まで繰り返す。本実施形態 2 では、予備充電回路などを用いて高圧側のフィルタコンデンサ電圧 V_a をあらかじめ直流電圧源電圧（低圧側のフィルタコンデンサ電圧） V_b まで充電する必要がある。
- [0070] 本実施形態 2 でのスイッチングパターン選択条件として、実施形態 1 における S 3, S 1 0 の「 $V_b < V_b^*$ （低圧側のフィルタコンデンサ C 2 を充電したい場合）」を S 1 6, S 1 7 において、「 $V_a > V_a^*$ （高圧側のフィルタコンデンサ C 1 を放電したい場合）」に置き換えればよい。すなわち、図 5 のフローチャートにおいて、2 番目の判断において不等号の向きを変えればよい。
- [0071] ただし、実施形態 1 における「フライングキャパシタ電圧 V_{fc} もフィル

タコンデンサ電圧 V_b も十分高い場合（S14）」は本実施形態2において「フライングキャパシタ電圧 V_{fc} は十分高いが高圧側のフィルタコンデンサ電圧 V_a は充電が必要（S18）」に相当する。そのため、S19において、第3半導体スイッチング素子 T_3 をONして図3（f）の経路（ $C_2 \rightarrow L \rightarrow T_3 \rightarrow FC \rightarrow T_1 \rightarrow C_1$ ）で電流を流し、高圧側のフィルタコンデンサ C_1 を充電する。 $V_a \geq V_{fc} + V_b$ で第3半導体スイッチング素子 T_3 だけをONしても電流が流れない場合は、S20において、第4半導体スイッチング素子 T_4 もONして図3（c）の経路で電流を流し、その後、S19において、第4半導体スイッチング素子 T_4 をOFFして電流経路を図3（f）とする。

[0072] 一方、実施形態1における「フライングキャパシタ電圧 V_{fc} は十分だが低圧側のフィルタコンデンサ電圧 V_b は充電が必要な場合（S10でYesの場合）」は、本実施形態2において「フライングキャパシタ電圧 V_{fc} も高圧側のフィルタコンデンサ電圧 V_a も十分高い場合（S17でYesの場合）」に相当するため、すべての半導体スイッチング素子のゲートのOFFを維持して自然放電を促しつつ待機する（S14）。

[0073] 以上示したように、本実施形態2によれば、FC型3レベル電力変換装置（FC型3レベルチョッパ回路）において、低圧側からフライングキャパシタ FC と高圧側のフィルタコンデンサ C_1 を充電することができる。その他の効果は実施形態1と同等だが、実施形態2では高圧側のフィルタコンデンサ C_1 の予備充電回路が必要となる。なお、フライングキャパシタ FC の予備充電回路は不要である。

[0074] [実施形態3]

図6に本実施形態3の回路構成を示す。本実施形態3は高圧側のフィルタコンデンサ C_1 、低圧側のフィルタコンデンサ C_2 の正極側を共通電位とした構成である。半導体スイッチング素子は、正極側から順に第4半導体スイッチング素子 T_4 、第3半導体スイッチング素子 T_3 、第2半導体スイッチング素子 T_2 、第1半導体スイッチング素子 T_1 とする。その他は実施形態

1、または、実施形態2と同様である。

[0075] 高圧側のフィルタコンデンサC1に直流電圧源DCが並列接続された場合、実施形態1と同じ手順でフライングキャパシタFC、および、低圧側のフィルタコンデンサC2を充電する。低圧側のフィルタコンデンサC2に直流電圧源DCが並列接続された場合、実施形態2と同じ手順でフライングキャパシタFC、および、高圧側のフィルタコンデンサC2を充電する。

[0076] 実施形態1、2では高圧側のフィルタコンデンサC1、低圧側のフィルタコンデンサC2の負極側を共通電位とした構成であった。しかし、図6に示すように正極側を共通電位とする回路構成も可能である。本実施形態3は半導体スイッチング素子の接続順を入れ替えることにより、図6の回路構成に対しても実施形態1、2と全く同じ手順でフライングキャパシタFCおよび高圧側のフィルタコンデンサC1、または、低圧側のフィルタコンデンサC2を充放電することが可能となる。

[0077] 以上示したように、本実施形態3により、正極側を共通電位としたFC型3レベル電力変換装置（FC型3レベルチョッパ回路）においても実施形態1、2と同様の効果を得ることができる。

[0078] [実施形態4]

本実施形態4では、図2、図5のフローチャートの電圧比較（S4、S7、S11、S18）において所定値 $\alpha > 0$ とする。

[0079] 例えば、実施形態1において $V_{fc} < V_a / 2$ （フライングキャパシタFCを充電したい）、 $V_b < V_{b*}$ （低圧側のフィルタコンデンサC2を充電したい）の場合、 $V_a > V_{fc} + V_b$ を満たすならば第1半導体スイッチング素子T1だけをONする。

[0080] しかし、両者の値が非常に近い場合、フィルタリアクトルLに印加される電圧 $V_a - V_{fc} - V_b > 0$ は零よりも大きいが非常に小さくなり、充電電流は流れるが充電に時間がかかってしまう。これを防ぐため所定値 $\alpha > 0$ を設定する。フィルタリアクトルLに印加される電圧 $V_a - V_{fc} - V_b$ を所定値 α よりも確実に大きくすることができる。

[0081] また $V_a > V_{fc} + V_b + \alpha$ を満たさない場合は、第1半導体スイッチング素子 T_1 と第2半導体スイッチング素子 T_2 をあわせてONすることでフィルタリアクトル L に印加する電圧は $V_a - V_b$ となり、大きな充電電流を流し充電時間を短くすることができる。

[0082] 所定値 α の値の目安としては、フィルタリアクトル L の大きさにもよるが高圧側のフィルタコンデンサ電圧の定格値（耐圧値）の10%～30%程度となる。所定値 α の値を可変にし、装置の立ち上げ直後は所定値 α を大きくして充電完了までの時間を短縮し、いったんフライングキャパシタ FC と高圧側のフィルタコンデンサ C_1 または低圧側のフィルタコンデンサ C_2 の充電が完了したら所定値 α を小さくすることで充電電流を小さくし電圧制御の精度を向上し装置部品の熱責務を低減することもできる。

[0083] 以上示したように、本実施形態4によれば、フライングキャパシタ FC およびフィルタコンデンサ C の充電にかかる時間を短くすることができる。

[0084] [実施形態5]

実施形態5～7は、差動出力可能なLCフィルタを有するFC型3レベル電力変換装置（FC型3レベル変換器）において、「待機中」に直流電圧源 DC や第1、第2フライングキャパシタ FC_1 、 FC_2 、フィルタコンデンサ C_2 の充電状態に応じて、半導体スイッチング素子をオン／オフさせることにより、第1、第2フライングキャパシタ FC_1 、 FC_2 やフィルタコンデンサ C_2 の充電および充電状態を維持する方法を説明する。

[0085] 図7に本実施形態5におけるFC型3レベル電力変換装置（FC型3レベル変換器）の概略図を示す。図7では、負荷を蓄電装置 C_3 としている。まず、図7に示すFC型3レベル電力変換装置（FC型3レベル変換器）について説明する。

[0086] 図7に示すように、直流電圧源 DC には第1ユニット1と第2ユニット2が接続される。第1ユニット1は、直流電圧源 DC の正極と負極との間に第1～第4半導体スイッチング素子 $T_1 \sim T_4$ が順次直列接続される。第1、第2半導体スイッチング素子 T_1 、 T_2 の接続点と第3、第4半導体スイッ

チング素子 T_3 、 T_4 の接続点との間に第 1 フライングキャパシタ FC_1 が接続される。第 2、第 3 半導体スイッチング素子 T_2 、 T_3 の接続点が第 1 ユニット 1 の出力端子となる。

[0087] 第 2 ユニット 2 は、直流電圧源 DC の正極と負極との間に第 5～第 8 半導体スイッチング素子 $T_5 \sim T_8$ が順次直列接続される。第 5、第 6 半導体スイッチング素子 T_5 、 T_6 の接続点と第 7、第 8 半導体スイッチング素子 T_7 、 T_8 の接続点との間に第 2 フライングキャパシタ FC_2 が接続される。第 6、第 7 半導体スイッチング素子 T_6 、 T_7 の接続点が第 2 ユニットの出力端子となる。

[0088] 第 1 ユニット 1 と第 2 ユニット 2 の出力端子には、それぞれ第 1、第 2 フィルタリアクトル L_1 、 L_2 の一端が接続される。第 1、第 2 フィルタリアクトル L_1 、 L_2 の他端の間にはフィルタコンデンサ C_2 が接続される。フィルタコンデンサ C_2 には蓄電装置 C_3 が並列接続される。フィルタコンデンサ C_2 と蓄電装置 C_3 の間にはスイッチ SW が接続される。

[0089] 各半導体スイッチング素子がすべてオフの状態のときに、スイッチ SW を開いて、 FC 型 3 レベル電力変換装置と蓄電装置 C_3 を切り離しておく。フィルタコンデンサ C_2 のフィルタコンデンサ電圧指令値 V_{c*} は、蓄電装置 C_3 の電圧値と一致するように設定する。なお、本実施形態 5 では、 $V_{c*} \geq 0$ とする。

[0090] 次に、以下の (1) 式の条件式を満たす場合、すなわち第 1、第 2 フライングキャパシタ FC_1 、 FC_2 の充電がそれぞれ必要ならば、直流電圧源 DC から、第 1、第 2 フライングキャパシタ FC_1 、 FC_2 を同時に充電する。スイッチングパターンは、以下の表 1 に従って、各半導体スイッチング素子をオン／オフさせる。

[0091]

[数1]

$$(V_{fc1} < V_{dc}/2) \text{ AND } (V_{fc2} < V_{dc}/2) \quad \cdots (1)$$

[0092] [表1]

NO	スイッチングパターンの選択条件	T1	T2	T3	T4	T5	T6	T7	T8
1	$((V_c < V_c^*) \text{ AND } (V_{fc1} + V_{fc2} + V_c^* < V_{dc}))$	オン	オフ	オフ	オフ	オフ	オフ	オフ	オン
2	$((V_c > V_c^*) \text{ AND } (V_{fc1} + V_{fc2} - V_c^* < V_{dc}))$	オフ	オフ	オフ	オン	オン	オフ	オフ	オフ

[0093] 表1において、 V_c はフィルタコンデンサ電圧、 V_{fc1} は第1フライングキャパシタ電圧、 V_{fc2} は第2フライングキャパシタ電圧、 V_{dc} は直流電圧源電圧を示す。

[0094] 表1のNo.1の時は図8に示すスイッチングパターンとなり、No.2の時は図9に示すスイッチングパターンとなる。図8、図9に示すように、丸印は半導体スイッチング素子がオン状態中を示している。破線は電流方向を表し、矢印方向を正とする。

[0095] 図8の場合、 $DC \rightarrow T1 \rightarrow FC1 \rightarrow T3 \rightarrow L1 \rightarrow C2 \rightarrow L2 \rightarrow T6 \rightarrow FC2 \rightarrow T8$ の経路で電流が流れる。図9の場合、 $DC \rightarrow T5 \rightarrow FC2 \rightarrow T7 \rightarrow L2 \rightarrow C2 \rightarrow L1 \rightarrow T2 \rightarrow FC1 \rightarrow T4$ の経路で電流が流れる。

[0096] これにより、第1フライングキャパシタ $FC1$ および第2フライングキャパシタ $FC2$ は充電され、フィルタコンデンサ $C2$ は表1のNo.1（図8）では充電、No.2（図9）では放電される。

[0097] 上記（1）の条件式が満たしていない場合、または上記（1）の条件式を

満たしているが表 1 の選択条件を満たしていない場合、かつ、以下の (2) の条件式を満たす場合、すなわち第 1, 第 2 フライイングキャパシタ F C 1, F C 2 のうち何れか一方のみ充電が必要であるか、または、第 1, 第 2 フライイングキャパシタ F C 1, F C 2 およびフィルタコンデンサ C 2 の電圧が指令値には満たないが、第 1, 第 2 フライイングキャパシタ F C 1, F C 2 およびフィルタコンデンサ C 2 の電圧の合計が直流電圧 V d c より高いために第 1, 第 2 フライイングキャパシタ F C 1, F C 2 を同時に充電できないならば、直流電圧源 D C、または、フィルタコンデンサ C 2 から、第 1 フライイングキャパシタ F C 1、または、第 2 フライイングキャパシタ F C 2 のいずれか電圧値が低い方を充電する。

[0098] [数2]

$$(\text{MIN}(V_{fc1}, V_{fc2}) < V_{dc}/2) \quad \dots (2)$$

[0099] スイッチングパターンは、表 2 に従って、各半導体スイッチング素子をオン／オフさせる。

[0100]

[表2]

NO	スイッチングパターンを選択条件	T1	T2	T3	T4	T5	T6	T7	T8
3	$(V_{fc1} < V_{fc2}) \text{ AND}$ $(V_{fc1} < V_c)$	オフ	オフ	オフ	オン	オフ	オフ	オフ	オフ
4	$(V_{fc1} < V_{fc2}) \text{ AND}$ $(V_c < V_{c^*}) \text{ AND } (V_{fc1} > V_c)$	オン	オフ	オフ	オフ	オフ	オフ	オン	オン
5	$(V_{fc1} < V_{fc2}) \text{ AND}$ $(V_c > V_{c^*}) \text{ AND } (V_{fc1} > V_c)$	オフ	オフ	オフ	オン	オン	オン	オフ	オフ
6	$(V_{fc1} > V_{fc2}) \text{ AND}$ $(V_{fc2} < V_c)$	オフ	オフ	オフ	オフ	オン	オフ	オフ	オフ
7	$(V_{fc1} > V_{fc2}) \text{ AND}$ $(V_{fc2} > V_c) \text{ AND}$ $(V_c < V_{c^*})$	オン	オン	オフ	オフ	オフ	オフ	オフ	オン
8	$(V_{fc1} > V_{fc2}) \text{ AND}$ $(V_{fc2} > V_c) \text{ AND}$ $(V_c > V_{c^*})$	オフ	オフ	オン	オン	オン	オフ	オフ	オフ

[0101] 表2のN○3の時は図10、N○4の時は図11、N○5の時は図12、N○6の時は図13、N○7の時は図14、N○8の時は図15に示すスイッチングパターンとなる。図10、図11、図12、図13、図14、図15に示すように、丸印は半導体スイッチング素子がオン状態中を示している。破線は電流方向を表し、矢印方向を正とする。

[0102] 図10の場合、 $C2 \rightarrow L1 \rightarrow T2 \rightarrow FC1 \rightarrow T4 \rightarrow T8 \rightarrow T7 \rightarrow L2$ の経路で電流が流れる。図11の場合、 $DC \rightarrow T1 \rightarrow FC1 \rightarrow T3 \rightarrow L1 \rightarrow C2 \rightarrow L2 \rightarrow T7 \rightarrow T8$ の経路で電流が流れる。図12の場合、 $DC \rightarrow T5 \rightarrow T6 \rightarrow L2 \rightarrow C2 \rightarrow L1 \rightarrow T2 \rightarrow FC1 \rightarrow T4$ の経路で電流が流れる。図13の場合、 $C2 \rightarrow L1 \rightarrow T2 \rightarrow T1 \rightarrow T5 \rightarrow FC2 \rightarrow T7 \rightarrow L2$ の経路で電流が流れる。図14の場合、 $DC \rightarrow T1 \rightarrow T2 \rightarrow L1 \rightarrow C2 \rightarrow L2 \rightarrow T6 \rightarrow F$

C 2 → T 8 の経路で電流が流れる。図 1 5 の場合、D C → T 5 → F C 2 → T 7 → L 2 → C 2 → L 1 → T 3 → T 4 の経路で電流が流れる。

[0103] 第 1 フライイングキャパシタ F C 1、または、第 2 フライイングキャパシタ F C 2 は充電され、フィルタコンデンサ C 2 は表 2 の N o 4、N o 7 では充電、N o 3、N o 5、N o 6、N o 8 では放電される。

[0104] (1) の条件式および (2) の条件式を満たしておらず、かつ、以下の (3) 式の条件式を満たす場合、すなわち、第 1、第 2 フライイングキャパシタ F C 1、F C 2 の両方が充電されており、フィルタコンデンサ C 2 の充電が必要ならば、直流電圧源 D C または、第 1 フライイングキャパシタ F C 1 または第 2 フライイングキャパシタ F C 2 のいずれか電圧値が高い方から、フィルタコンデンサ C 2 を充電する。

[0105] [数3]

$$(V_c < V_{c^*}) \quad \dots (3)$$

[0106] スイッチングパターンは、表 3 に従って、各半導体スイッチング素子をオン／オフさせる。

[0107]

[表3]

NO	スイッチングパターンの選択条件	T1	T2	T3	T4	T5	T6	T7	T8
9	$(V_c < \text{MAX}(V_{fc1}, V_{fc2})) \text{ AND } (V_{fc1} > V_{fc2})$	オフ	オン	オフ	オフ	オフ	オフ	オン	オン
10	$(V_c < \text{MAX}(V_{fc1}, V_{fc2})) \text{ AND } (V_{fc1} < V_{fc2})$	オン	オン	オフ	オフ	オフ	オフ	オン	オフ
11	$(V_c > \text{MAX}(V_{fc1}, V_{fc2}))$	オン	オン	オフ	オフ	オフ	オフ	オン	オン

[0108] 表3のN○9の時は図16、N○10の時は図17、N○11の時は図18に示すスイッチングパターンとなる。図16、図17、図18に示すように、丸印は半導体スイッチング素子がオン状態中を示している。破線は電流方向を表し、矢印方向を正とする。

[0109] 図16の場合、 $FC1 \rightarrow T2 \rightarrow L1 \rightarrow C2 \rightarrow L2 \rightarrow T7 \rightarrow T8 \rightarrow T4$ の経路で電流が流れる。図17の場合、 $FC2 \rightarrow T5 \rightarrow T1 \rightarrow T2 \rightarrow L1 \rightarrow C2 \rightarrow L2 \rightarrow T7$ の経路で電流が流れる。図18の場合、 $DC \rightarrow T1 \rightarrow T2 \rightarrow L1 \rightarrow C2 \rightarrow L2 \rightarrow T7 \rightarrow T8$ の経路で電流が流れる。

[0110] フィルタコンデンサC2は充電され、表3のN○9（図16）では第1フライングキャパシタFC1を放電、N○10（図17）では第2フライングキャパシタFC2を放電する。

[0111] 上述した（1）式および（2）式および（3）式を満たさない場合は、一旦、半導体スイッチング素子をすべてオフして、待機中とし、FC型3レベル電力変換装置のインピーダンスで自然放電させる、または外部回路などで放電を行う。

[0112] また、半導体スイッチング素子のオン時間は、フィルタリアクトルの値に

よって、過電流による装置の破損が起こる可能性があるため、オン時間は短時間（ $10\mu\text{s}$ 程度）とする。

[0113] 第1フライングキャパシタ電圧 V_{fc1} および第2フライングキャパシタ電圧 V_{fc2} が $E/2 \pm$ 許容誤差の範囲内であり、フィルタコンデンサ電圧 V_c がフィルタコンデンサ電圧指令値 $V_c^* \pm$ 許容誤差の範囲内であった場合、一旦、半導体スイッチング素子をすべてオフして、充電を終了する。

[0114] その後、スイッチ SW をオンして FC 型3レベル電力変換装置と蓄電装置 $C3$ を接続した後に、従来技術と同様に給電を行う。この時、第1フライングキャパシタ電圧 V_{fc1} および第2フライングキャパシタ電圧 V_{fc2} の電圧は $E/2$ に充電されており、フィルタコンデンサ電圧 V_c は蓄電装置 $C3$ の電圧値と一致するため、スイッチ SW 投入時の突入電流が軽減される。また、給電の初期状態から $(E, E/2, 0)$ の負荷電圧を確立することができる。

[0115] 本実施形態5では、第1、第2フライングキャパシタ電圧 V_{fc1} 、 V_{fc2} を $E/2$ に確立してから、蓄電装置 $C3$ などの負荷へ給電できる。これにより、出力電圧や波形ひずみが軽減され、負荷給電の初期状態から高精度の電圧を負荷へ印加できるようになる。また、フィルタコンデンサ電圧 V_c は蓄電装置 $C3$ の電圧値と一致するため、スイッチ SW 投入時の不要な突入電流が軽減される。

[0116] [実施形態6]

本実施形態6では、 $V_c^* < 0$ とした場合、すなわちフィルタコンデンサ $C2$ の充電方向を実施形態5の逆としたものである。本実施形態6の FC 型3レベル電力変換装置（ FC 型3レベル変換器）の構成を図19に示す。図7の第1、第2フライングキャパシタ $FC1$ 、 $FC2$ および第1～第8半導体スイッチング素子 $T1 \sim T8$ を図19のように変更する。すなわち、第1、第2ユニット1、2を交換することにより、実施形態5の（1）式、（2）式、（3）式および表1、表2、表3が適用でき、実施形態5と同様の効果が得られる。

[0117] 〔実施形態 7〕

本実施形態 7 では、LC フィルタを有する FC 型 3 レベル電力変換装置のユニットの直列数を N ($N = 3$ 以上の整数) に拡張したものである。本実施形態 7 では、図 20 に示すように、 N を 3 とした構成としている。

[0118] 各ユニットは、直流電圧源 DC の正極と負極との間に 4 つの半導体スイッチング素子が直列接続される。1 つ目の半導体スイッチング素子と 2 つ目の半導体スイッチング素子の接続点と 3 つ目の半導体スイッチング素子と 4 つ目の半導体スイッチング素子の接続点との間にフライングキャパシタが接続される。

[0119] 各ユニットの 2 つ目の半導体スイッチング素子と 3 つ目の半導体スイッチング素子の接続点に第 1 ～第 N フィルタリアクトルの一端がそれぞれ接続される。第 1 ～第 N フィルタリアクトルの他端の間にそれぞれフィルタコンデンサが接続される。

[0120] フライングキャパシタ電圧の最も低いユニットと 2 番目に低いユニットを第 1, 第 2 ユニット 1, 2 とする。また、第 1, 第 2 ユニット 1, 2 に一端が接続されたフィルタリアクトルを第 1, 第 2 フィルタリアクトル L_1, L_2 とする。第 1, 第 2 フィルタリアクトル L_1, L_2 の他端間に接続されたフィルタコンデンサ C のフライングキャパシタ電圧を V_c とする。そして、実施形態 5 の (1) 式、(2) 式、(3) 式および表 1、表 2、表 3 を適用することで、実施形態 5 と同様の効果が得られる。

[0121] 以上、本発明において、記載された具体例に対してのみ詳細に説明したが、本発明の技術思想の範囲で多彩な変形および修正が可能であることは、当業者にとって明白なことであり、このような変形および修正が特許請求の範囲に属することは当然のことである。

[0122] なお、直流電圧源 DC は、直流電源としても良く、直流コンデンサとしても良い。

請求の範囲

[請求項1]

高圧側のフィルタコンデンサと、
前記高圧側のフィルタコンデンサの正極と負極との間に順次直列接続された第1～第4半導体スイッチング素子と、
前記第1，第2半導体スイッチング素子の接続点と前記第3，第4半導体スイッチング素子の接続点との間に接続されたフライングキャパシタと、
前記第2，第3半導体スイッチング素子の接続点に一端が接続されたフィルタリアクトルと、
前記フィルタリアクトルの他端と前記高圧側のフィルタコンデンサの負極との間に接続された低圧側のフィルタコンデンサと、
前記高圧側のフィルタコンデンサ、または、前記低圧側のフィルタコンデンサに対して並列接続された直流電圧源と、を備えたF C型3レベル電力変換装置であって、
フライングキャパシタ電圧と高圧側のフィルタコンデンサ電圧の $1/2$ との比較、および、前記高圧側のフィルタコンデンサ電圧と前記フライングキャパシタ電圧+低圧側のフィルタコンデンサ電圧との比較、前記フライングキャパシタ電圧と前記低圧側のフィルタコンデンサ電圧との比較、および、前記低圧側のフィルタコンデンサ電圧または前記高圧側のフィルタコンデンサ電圧とフィルタコンデンサ電圧指令値との比較、に基づいて、前記第1～第4半導体スイッチング素子をONまたはOFFして前記フィルタリアクトルを含む経路に電流を流し、前記フライングキャパシタおよび前記低圧側のフィルタコンデンサまたは前記高圧側のフィルタコンデンサを所定の値に充電するF C型3レベル電力変換装置。

[請求項2]

高圧側のフィルタコンデンサと、
前記高圧側のフィルタコンデンサの正極と負極との間に順次直列接続された第4～第1半導体スイッチング素子と、

前記第4, 第3半導体スイッチング素子の接続点と前記第2, 第1半導体スイッチング素子の接続点との間に接続されたフライングキャパシタと、

前記第3, 第2半導体スイッチング素子の接続点に一端が接続されたフィルタリアクトルと、

前記フィルタリアクトルの他端と前記高圧側のフィルタコンデンサの正極との間に接続された低圧側のフィルタコンデンサと、

前記高圧側のフィルタコンデンサ、または、前記低圧側のフィルタコンデンサに対して並列接続された直流電圧源と、を備えたF C型3レベル電力変換装置であって、

フライングキャパシタ電圧と高圧側のフィルタコンデンサ電圧の $1/2$ との比較、および、前記高圧側のフィルタコンデンサ電圧と前記フライングキャパシタ電圧+低圧側のフィルタコンデンサ電圧との比較、前記フライングキャパシタ電圧と前記低圧側のフィルタコンデンサ電圧との比較、および、前記低圧側のフィルタコンデンサ電圧または前記高圧側のフィルタコンデンサ電圧とフィルタコンデンサ電圧指令値との比較、に基づいて、前記第1～第4半導体スイッチング素子をONまたはOFFして前記フィルタリアクトルを含む経路に電流を流し、前記フライングキャパシタおよび前記低圧側のフィルタコンデンサまたは前記高圧側のフィルタコンデンサを所定の値に充電するF C型3レベル電力変換装置。

[請求項3]

直流電圧源の正極と負極との間に順次直列接続された第1～第4半導体スイッチング素子と、前記第1, 第2半導体スイッチング素子の接続点と前記第3, 第4半導体スイッチング素子の接続点との間に接続された第1フライングキャパシタと、を有する第1ユニットと、

前記直流電圧源の正極と負極との間に順次直列接続された第5～第8半導体スイッチング素子と、前記第5, 第6半導体スイッチング素子の接続点と前記第7, 第8半導体スイッチング素子の接続点との間

に接続された第2フライングキャパシタと、を有する第2ユニットと、

前記第2, 第3半導体スイッチング素子の接続点に一端が接続された第1フィルタリアクトルと、

前記第6, 第7半導体スイッチング素子の接続点に一端が接続された第2フィルタリアクトルと、

前記第1, 第2フィルタリアクトルの他端の間に接続されたフィルタコンデンサと、を備えたF C型3レベル電力変換装置であって、

第1, 第2フライングキャパシタ電圧と直流電圧源電圧の $1/2$ との比較、および、フィルタコンデンサ電圧とフィルタコンデンサ電圧指令値との比較、および、前記直流電圧源電圧と前記第1フライングキャパシタ電圧+前記第2フライングキャパシタ電圧+前記フィルタコンデンサ電圧指令値との比較、および、前記直流電圧源電圧と前記第1フライングキャパシタ電圧+前記第2フライングキャパシタ電圧-前記フィルタコンデンサ電圧指令値との比較、および、前記第1, 第2フライングキャパシタ電圧と前記フィルタコンデンサ電圧との比較、および、前記第1フライングキャパシタ電圧と前記第2フライングキャパシタ電圧との比較に基づいて、前記第1～第8半導体スイッチング素子をONまたはOFFして前記第1, 第2フィルタリアクトルを含む経路に電流を流し、前記第1, 第2フライングキャパシタおよび前記フィルタコンデンサを所定の値に充電するF C型3レベル電力変換装置。

[請求項4]

前記直流電圧源は前記高圧側のフィルタコンデンサに並列接続されており、

$V_{fc} < V_a / 2$ 、かつ、 $V_b < V_{b*}$ 、かつ、 $V_a > V_{fc} + V_b + \alpha$ の場合は、前記第1半導体スイッチング素子をON、前記第2, 第3, 第4半導体スイッチング素子はOFFし、

$V_{fc} < V_a / 2$ 、かつ、 $V_b < V_{b*}$ 、かつ、 $V_a \leq V_{fc} + V$

$b + \alpha$ の場合は、前記第 1，第 2 半導体スイッチング素子を ON、前記第 3，第 4 半導体スイッチング素子は OFF した後、前記第 1 半導体スイッチング素子を ON、前記第 2，第 3，第 4 半導体スイッチング素子は OFF し、

$V_{fc} < V_a / 2$ 、かつ、 $V_b \geq V_{b*}$ 、かつ、 $V_b > V_{fc} + \alpha$ の場合は、前記第 4 半導体スイッチング素子を ON、前記第 1，第 2，第 3 半導体スイッチング素子は OFF し、

$V_{fc} < V_a / 2$ 、かつ、 $V_b \geq V_{b*}$ 、かつ、 $V_b \leq V_{fc} + \alpha$ の場合は、前記第 3，第 4 半導体スイッチング素子を ON、前記第 1，第 2 半導体スイッチング素子を OFF した後、前記第 4 半導体スイッチング素子を ON、前記第 1，第 2，第 3 半導体スイッチング素子を OFF し、

$V_{fc} \geq V_a / 2$ 、かつ、 $V_b < V_{b*}$ 、かつ、 $V_{fc} > V_b + \alpha$ の場合は、前記第 2 半導体スイッチング素子を ON、前記第 1，第 3，第 4 半導体スイッチング素子は OFF し、

$V_{fc} \geq V_a / 2$ 、かつ、 $V_b < V_{b*}$ 、かつ、 $V_{fc} \leq V_b + \alpha$ の場合は、前記第 1，第 2 半導体スイッチング素子を ON、前記第 3，第 4 半導体スイッチング素子は OFF した後、前記第 2 半導体スイッチング素子を ON、前記第 1，第 3，第 4 半導体スイッチング素子は OFF し、

$V_{fc} \geq V_a / 2$ 、かつ、 $V_b \geq V_{b*}$ の場合は、前記第 1 ～ 第 4 半導体スイッチング素子の OFF 状態を維持する請求項 1 または 2 記載の FC 型 3 レベル電力変換装置。

ただし、 V_{fc} ：フライングキャパシタ電圧

V_a ：高圧側のフィルタコンデンサ電圧

V_b ：低圧側のフィルタコンデンサ電圧

V_{b*} ：低圧側のフィルタコンデンサ電圧指令値

α ：所定値

[請求項5] 前記直流電圧源は前記低圧側のフィルタコンデンサに並列接続されており、

$V_{fc} < V_a / 2$ 、かつ、 $V_a > V_{a*}$ 、かつ、 $V_a > V_{fc} + V_b + \alpha$ の場合は、前記第1半導体スイッチング素子をON、前記第2、第3、第4半導体スイッチング素子はOFFし、

$V_{fc} < V_a / 2$ 、かつ、 $V_a > V_{a*}$ 、かつ、 $V_a \leq V_{fc} + V_b + \alpha$ の場合は、前記第1、第2半導体スイッチング素子をON、前記第3、第4半導体スイッチング素子はOFFした後、前記第1半導体スイッチング素子をON、前記第2、第3、第4半導体スイッチング素子はOFFし、

$V_{fc} < V_a / 2$ 、かつ、 $V_a \leq V_{a*}$ 、かつ、 $V_b > V_{fc} + \alpha$ の場合は、前記第4半導体スイッチング素子をON、前記第1、第2、第3半導体スイッチング素子はOFFし、

$V_{fc} < V_a / 2$ 、かつ、 $V_a \leq V_{a*}$ 、かつ、 $V_b \leq V_{fc} + \alpha$ の場合は、前記第3、第4半導体スイッチング素子をON、前記第1、第2半導体スイッチング素子をOFFした後、前記第4半導体スイッチング素子をON、前記第1、第2、第3半導体スイッチング素子をOFFし、

$V_{fc} \geq V_a / 2$ 、かつ、 $V_a > V_{a*}$ の場合は、前記第1～第4半導体スイッチング素子のOFF状態を維持し、

$V_{fc} \geq V_a / 2$ 、かつ、 $V_a \leq V_{a*}$ 、かつ、 $V_{fc} + V_b > V_a + \alpha$ の場合は、前記第3半導体スイッチング素子をON、前記第1、第2、第4半導体スイッチング素子はOFFし、

$V_{fc} \geq V_a / 2$ 、かつ、 $V_a \leq V_{a*}$ 、かつ、 $V_{fc} + V_b \leq V_a + \alpha$ の場合は、前記第3、第4半導体スイッチング素子をONし、前記第1、第2半導体スイッチング素子をOFFした後、前記第3半導体スイッチング素子をON、前記第1、第2、第4半導体スイッチング素子をOFFする請求項1または2記載のFC型3レベル電力変

換装置。

ただし、 V_{fc} : フライングキャパシタ電圧

V_a : 高圧側のフィルタコンデンサ電圧

V_b : 低圧側のフィルタコンデンサ電圧

V_a^* : 高圧側のフィルタコンデンサ電圧指令値

α : 所定値

[請求項6] $\alpha = 0$ とする請求項4 または 5 記載の F C 型 3 レベル電力変換装置。

[請求項7] $\alpha > 0$ とする請求項4 または 5 記載の F C 型 3 レベル電力変換装置。

[請求項8] 以下の (1) 式に示す条件を満たす場合、以下の表 1 に示すスイッチングパターン、以下の (1) 式に示す条件を満たさずまたは、以下の (1) 式の条件および表 1 の選択条件の両方を同時に満たさず、かつ、以下の (2) 式に示す条件を満たす場合、以下の表 2 に示すスイッチングパターン、以下の (1) 式、(2) 式に示す条件を満たさず、以下の (3) 式に示す条件を満たす場合、以下の表 3 に示すスイッチングパターンで前記第 1 ～ 第 8 半導体スイッチング素子を ON または OFF し、

以下の (1) 式～(3) 式に示す条件をすべて満たさない場合、前記第 1 ～ 第 8 半導体スイッチング素子をすべて OFF する請求項 3 記載の F C 型 3 レベル電力変換装置。

[数1]

$$(V_{fc1} < V_{dc}/2) \text{ AND } (V_{fc2} < V_{dc}/2) \quad \dots (1)$$

[表1]

NO	スイッチングパターンの選択条件	T1	T2	T3	T4	T5	T6	T7	T8
1	$(V_c < V_c^*) \text{ AND } (V_{fc1} + V_{fc2} + V_c^* < V_{dc})$	オン	オフ	オフ	オフ	オフ	オフ	オフ	オン
2	$(V_c > V_c^*) \text{ AND } (V_{fc1} + V_{fc2} - V_c^* < V_{dc})$	オフ	オフ	オフ	オン	オン	オフ	オフ	オフ

[数2]

$$(\text{MIN}(V_{fc1}, V_{fc2}) < V_{dc}/2) \quad \dots (2)$$

[表2]

NO	スイッチングパターンの選択条件	T1	T2	T3	T4	T5	T6	T7	T8
3	$(V_{fc1} < V_{fc2}) \text{ AND } (V_{fc1} < V_c)$	オフ	オフ	オフ	オン	オフ	オフ	オフ	オフ
4	$(V_{fc1} < V_{fc2}) \text{ AND } (V_c < V_c^*) \text{ AND } (V_{fc1} > V_c)$	オン	オフ	オフ	オフ	オフ	オフ	オン	オン
5	$(V_{fc1} < V_{fc2}) \text{ AND } (V_c > V_c^*) \text{ AND } (V_{fc1} > V_c)$	オフ	オフ	オフ	オン	オン	オン	オフ	オフ
6	$(V_{fc1} > V_{fc2}) \text{ AND } (V_{fc2} < V_c)$	オフ	オフ	オフ	オフ	オン	オフ	オフ	オフ
7	$(V_{fc1} > V_{fc2}) \text{ AND } (V_{fc2} > V_c) \text{ AND } (V_c < V_c^*)$	オン	オン	オフ	オフ	オフ	オフ	オフ	オン
8	$(V_{fc1} > V_{fc2}) \text{ AND } (V_{fc2} > V_c) \text{ AND } (V_c > V_c^*)$	オフ	オフ	オン	オン	オン	オフ	オフ	オフ

[数3]

$$(V_c < V_{c^*}) \quad \cdots (3)$$

[表3]

NO	スイッチングパターンの選択条件	T1	T2	T3	T4	T5	T6	T7	T8
9	$(V_c < \text{MAX}(V_{fc1}, V_{fc2})) \text{ AND } (V_{fc1} > V_{fc2})$	オフ	オン	オフ	オフ	オフ	オフ	オン	オン
10	$(V_c < \text{MAX}(V_{fc1}, V_{fc2})) \text{ AND } (V_{fc1} < V_{fc2})$	オン	オン	オフ	オフ	オフ	オフ	オン	オフ
11	$(V_c > \text{MAX}(V_{fc1}, V_{fc2}))$	オン	オン	オフ	オフ	オフ	オフ	オン	オン

V f c 1 : 第 1 フライングキャパシタ 電圧

V f c 2 : 第 2 フライングキャパシタ 電圧

V d c : 直流電圧源電圧

V c : フィルタコンデンサ電圧

V c * : フィルタコンデンサ電圧指令値

T 1 ~ T 8 : 第 1 ~ 第 8 半導体スイッチング素子

[請求項9] 前記直流電圧源の正極と負極との間に順次直列接続された4つの半導体スイッチング素子と、1つ目の半導体スイッチング素子と2つ目の半導体スイッチング素子の接続点と3つ目の半導体スイッチング素子と4つ目の半導体スイッチング素子の接続点との間に接続されたフライングキャパシタと、をそれぞれ備えた第1～第Nユニット（N＝

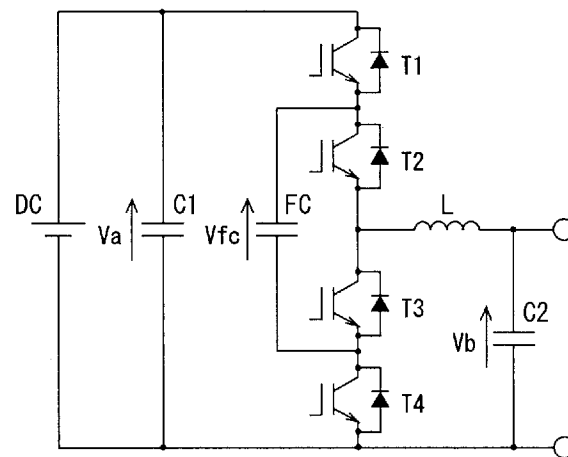
3以上の整数)と、

各ユニットの2つ目の半導体スイッチング素子と3つ目の半導体スイッチング素子の接続点に一端が接続された第1～第Nリアクトルと、

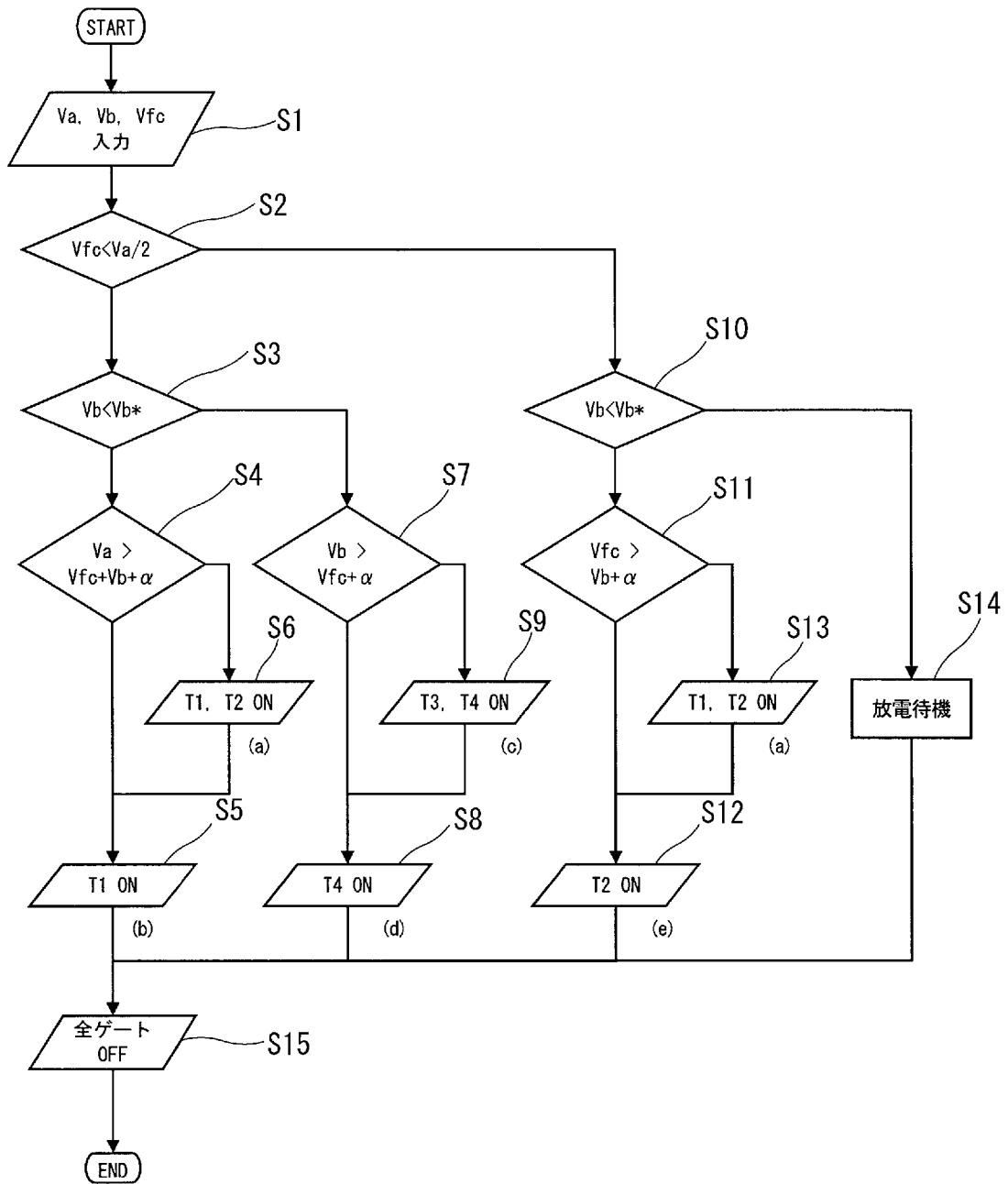
前記第1～第Nリアクトルの他端の間にそれぞれ接続されたフィルタコンデンサと、を備え、

フライングキャパシタ電圧が最も低いユニットと、2番目に低いユニットを前記第1ユニット、前記第2ユニットとし、前記第1ユニット、第2ユニットに一端が接続されたフィルタリアクトルを第1、第2フィルタリアクトルとし、前記第1、第2フィルタリアクトルの他端の間に接続されたフィルタコンデンサのフィルタコンデンサ電圧を V_c とする請求項8記載のF C型3レベル電力変換装置。

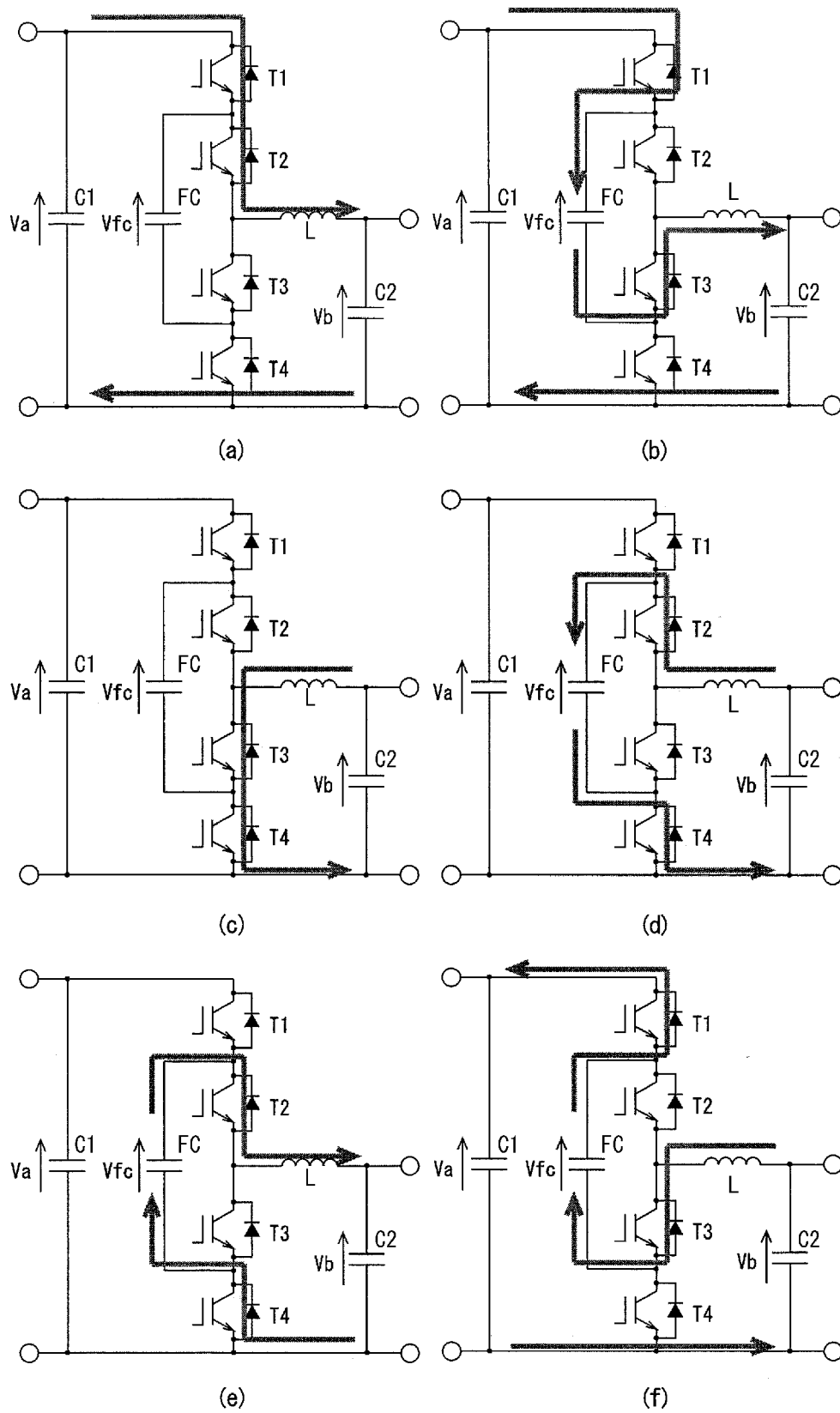
[図1]



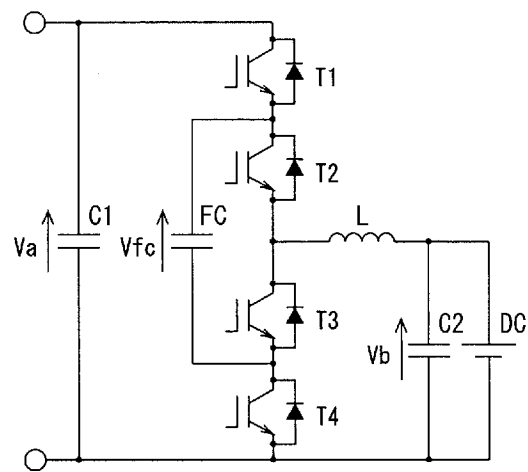
[図2]



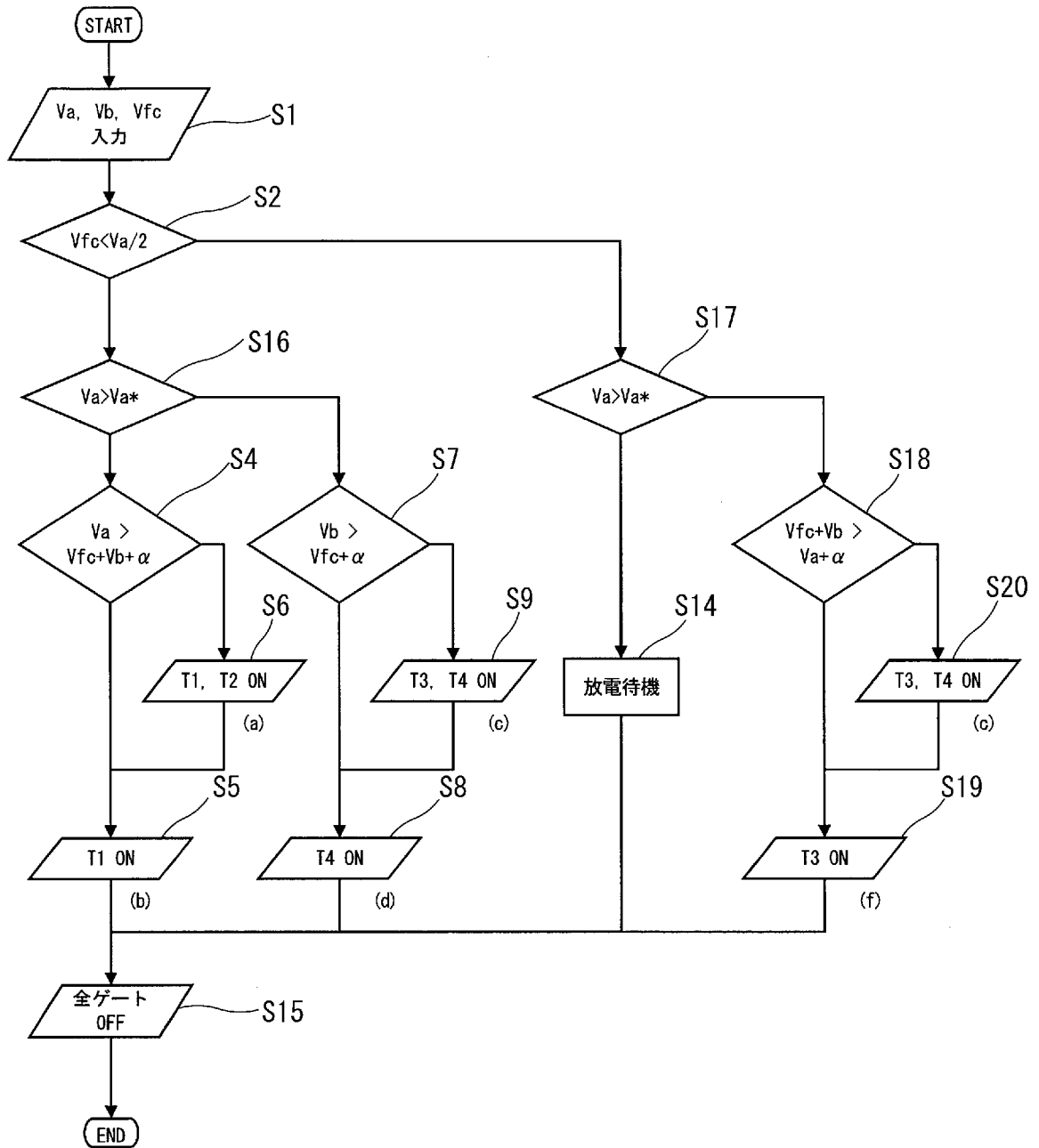
[図3]



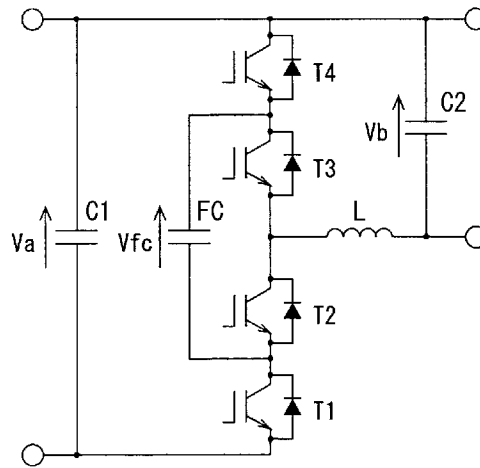
[図4]



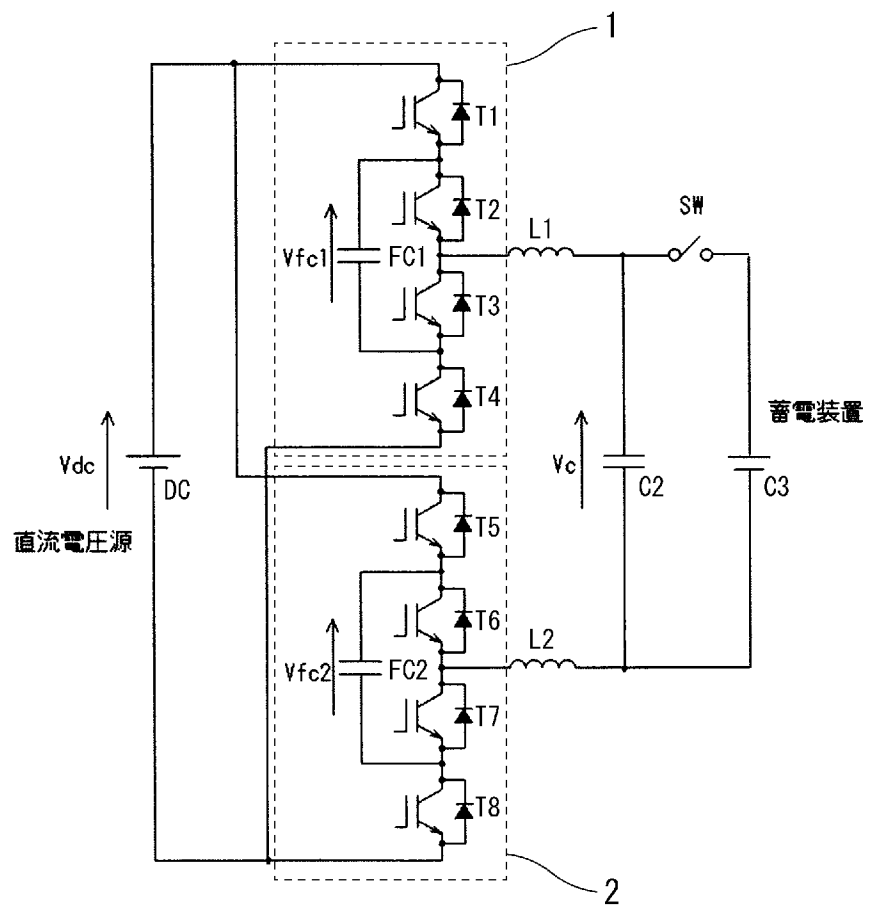
[図5]



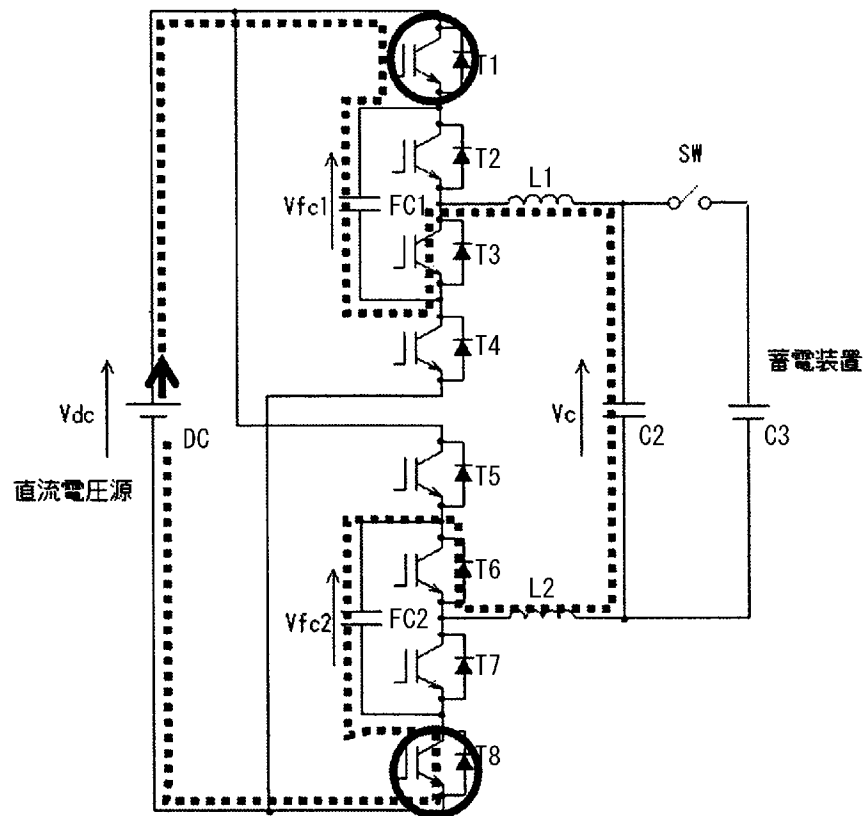
[図6]



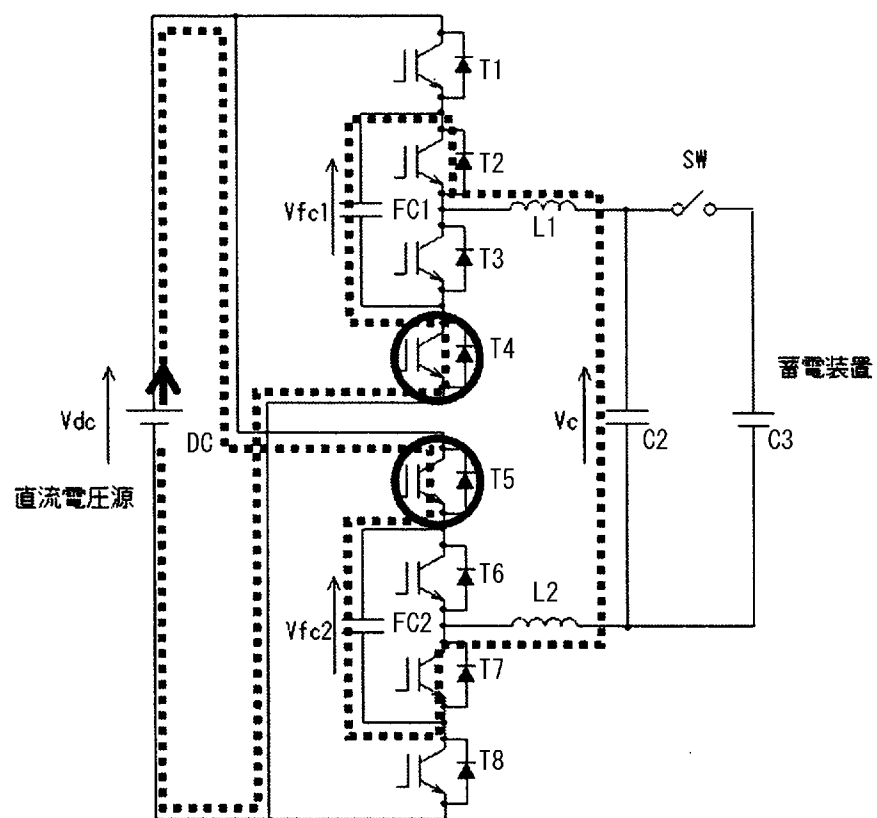
[図7]



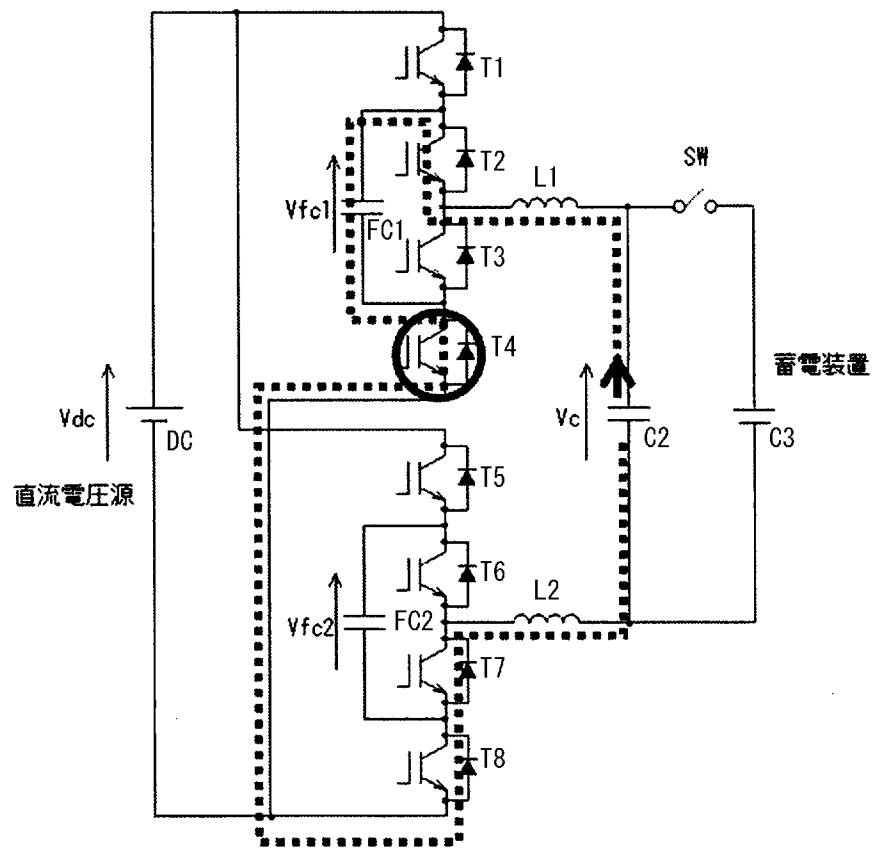
[図8]



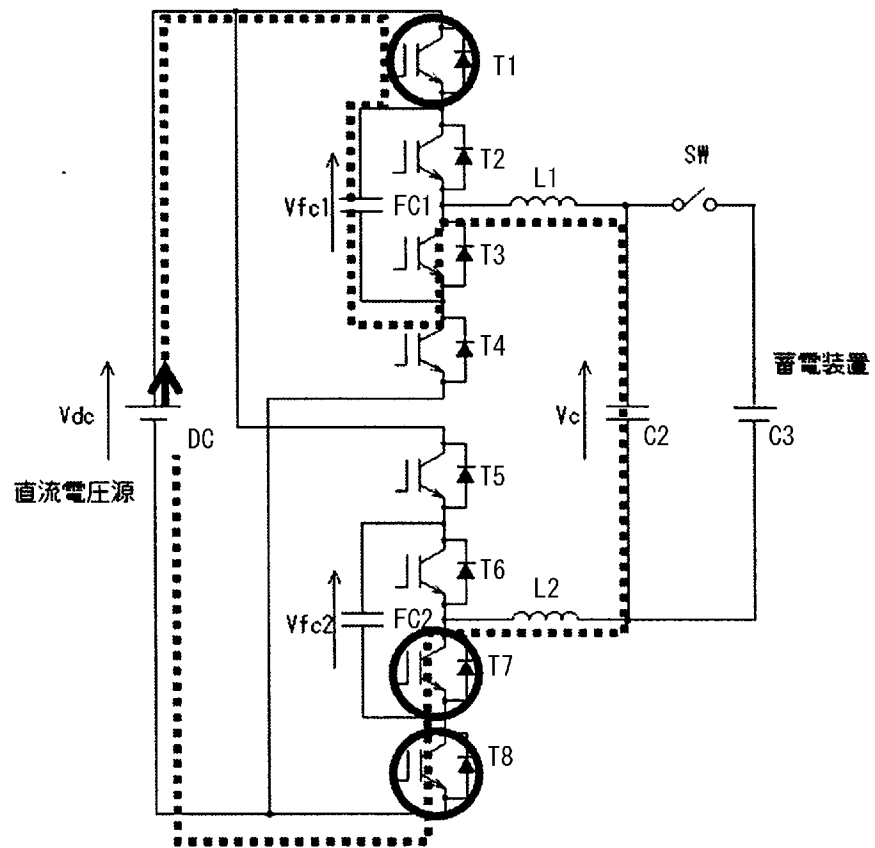
[図9]



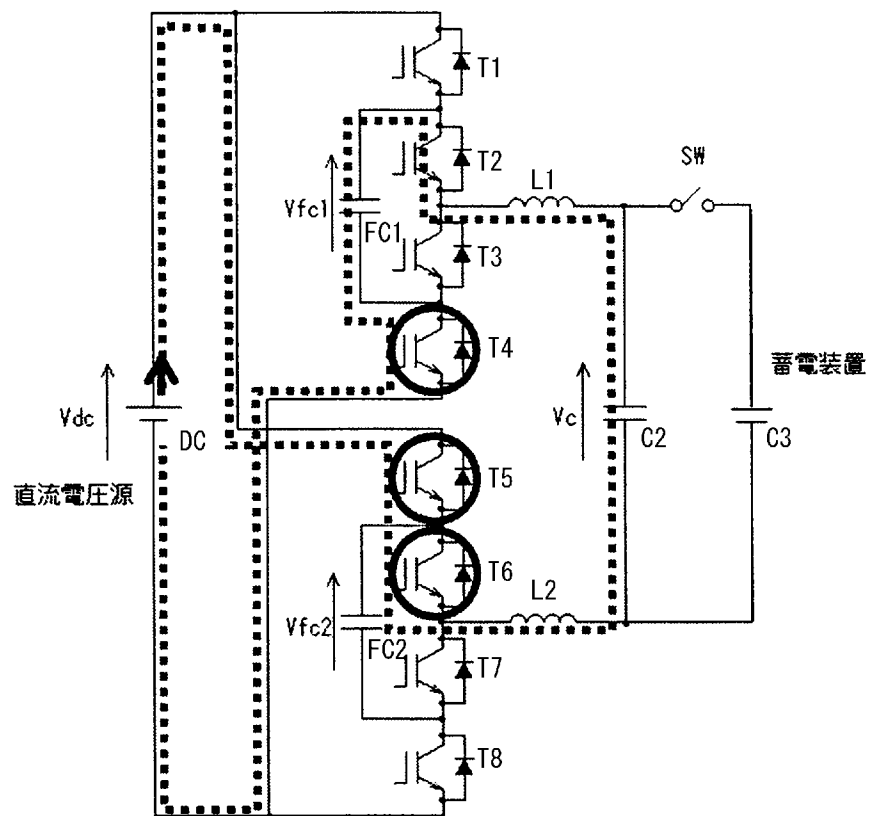
[図10]



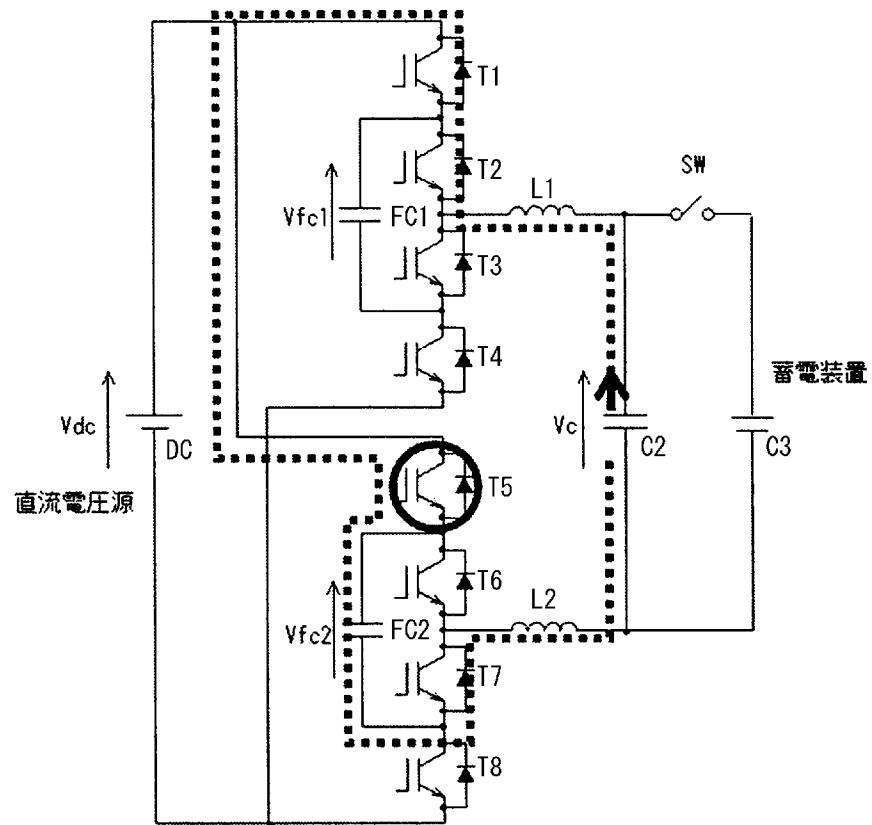
[図11]



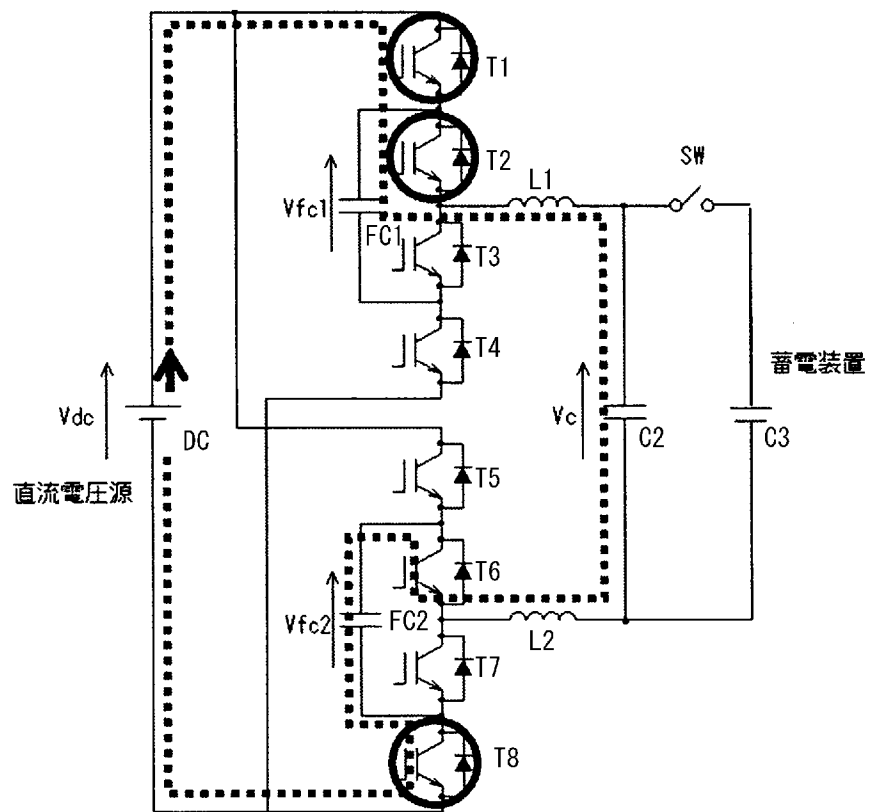
[図12]



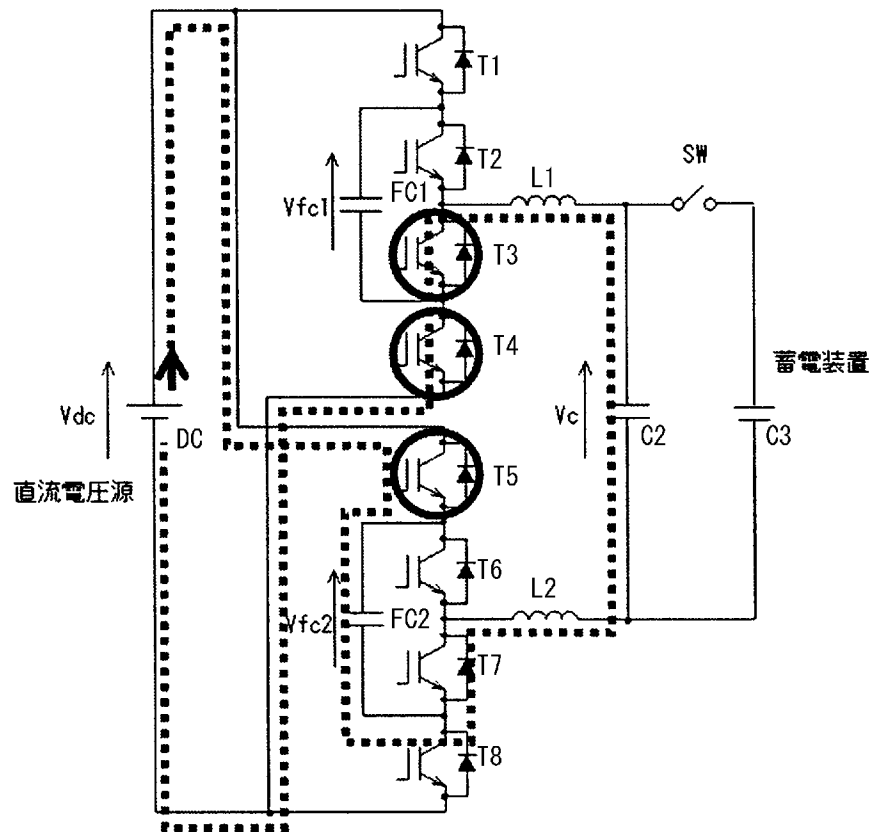
[図13]



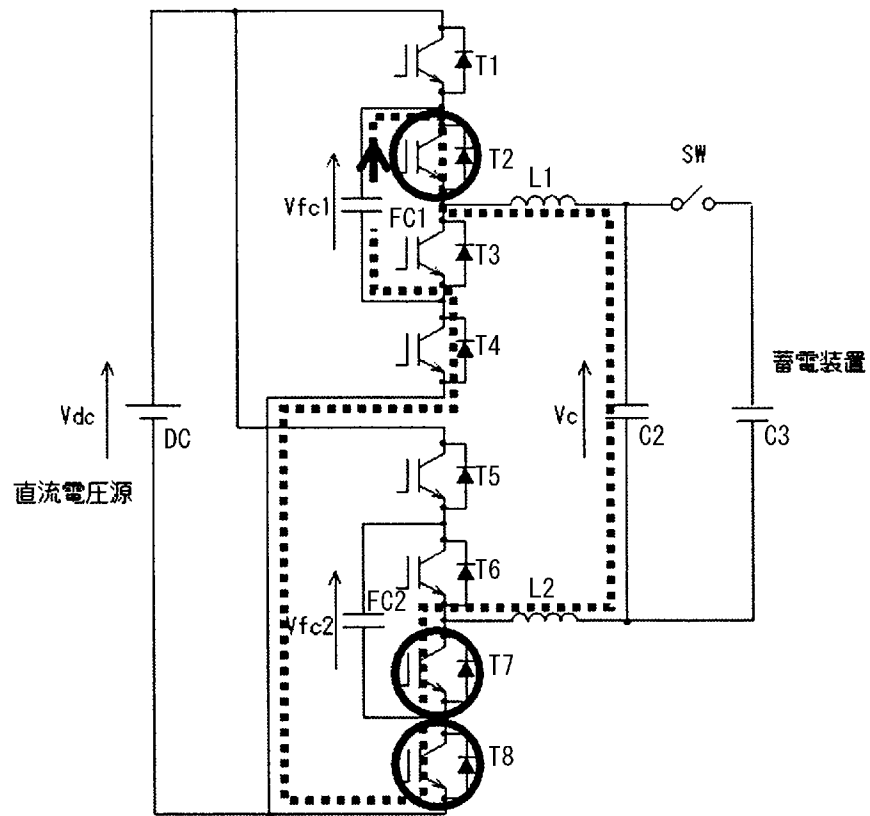
[図14]



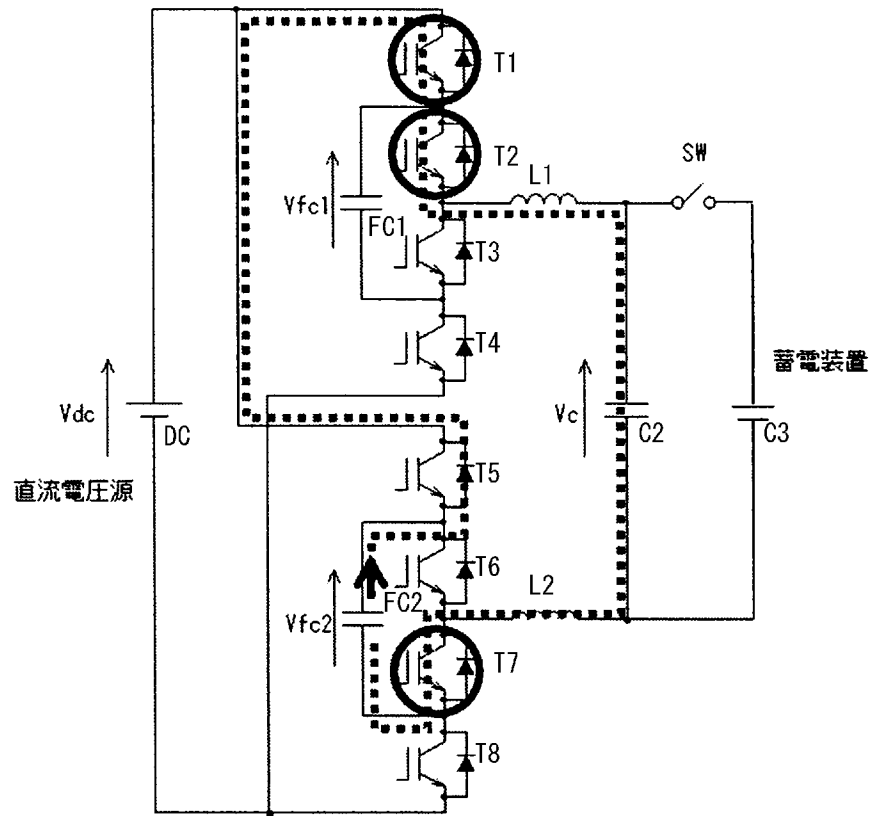
[図15]



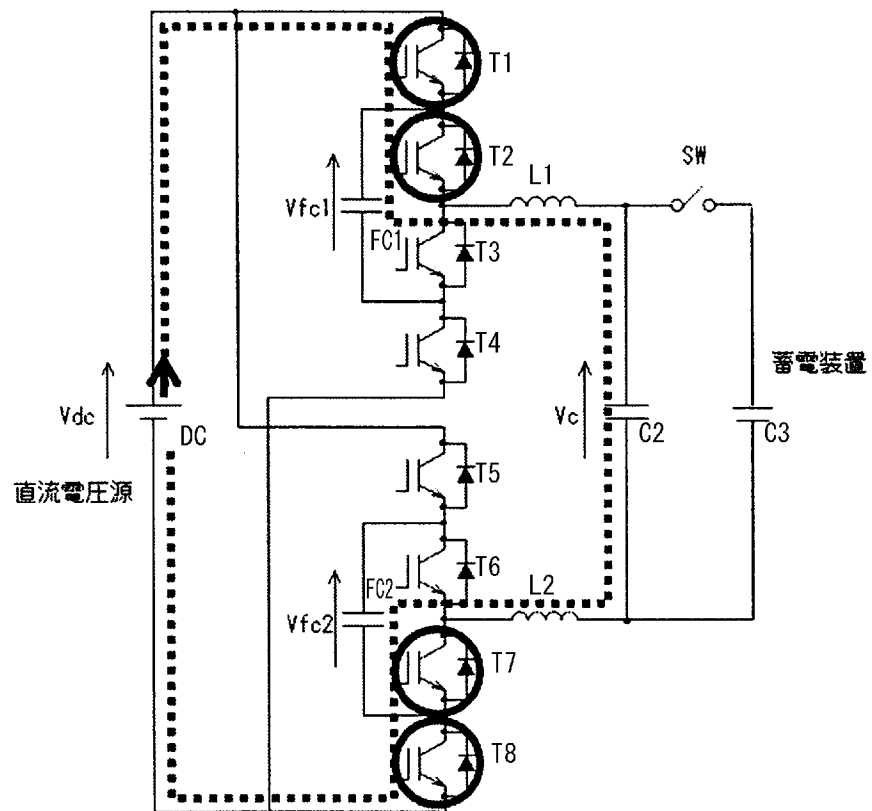
[図16]



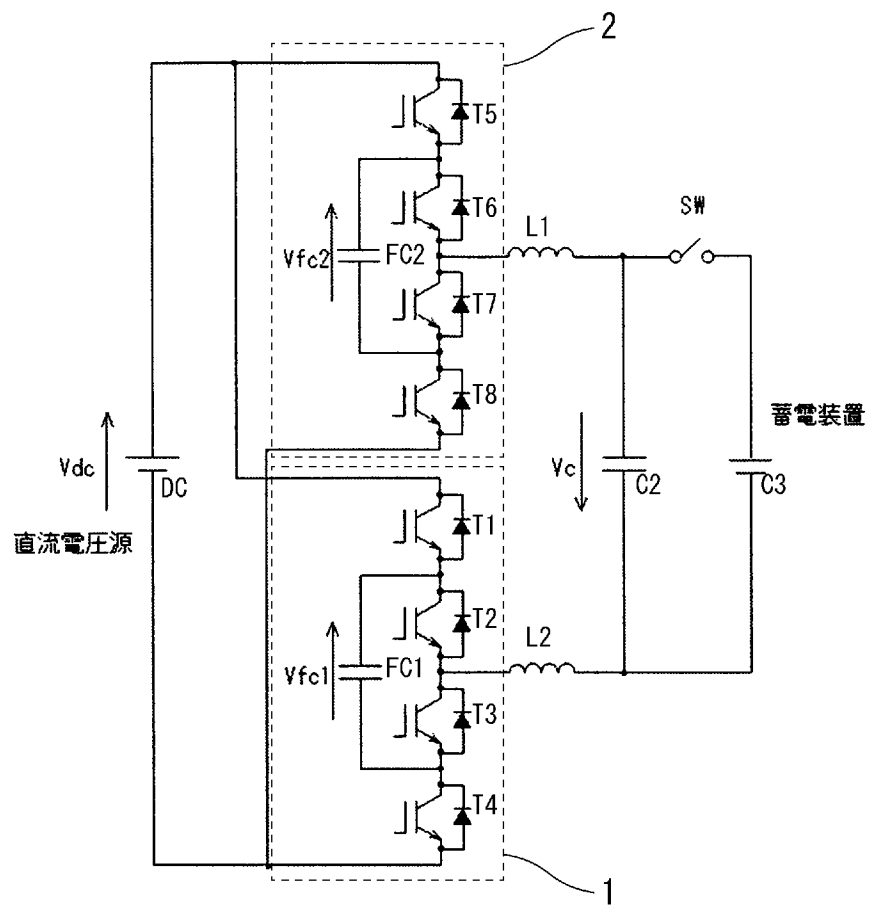
[図17]



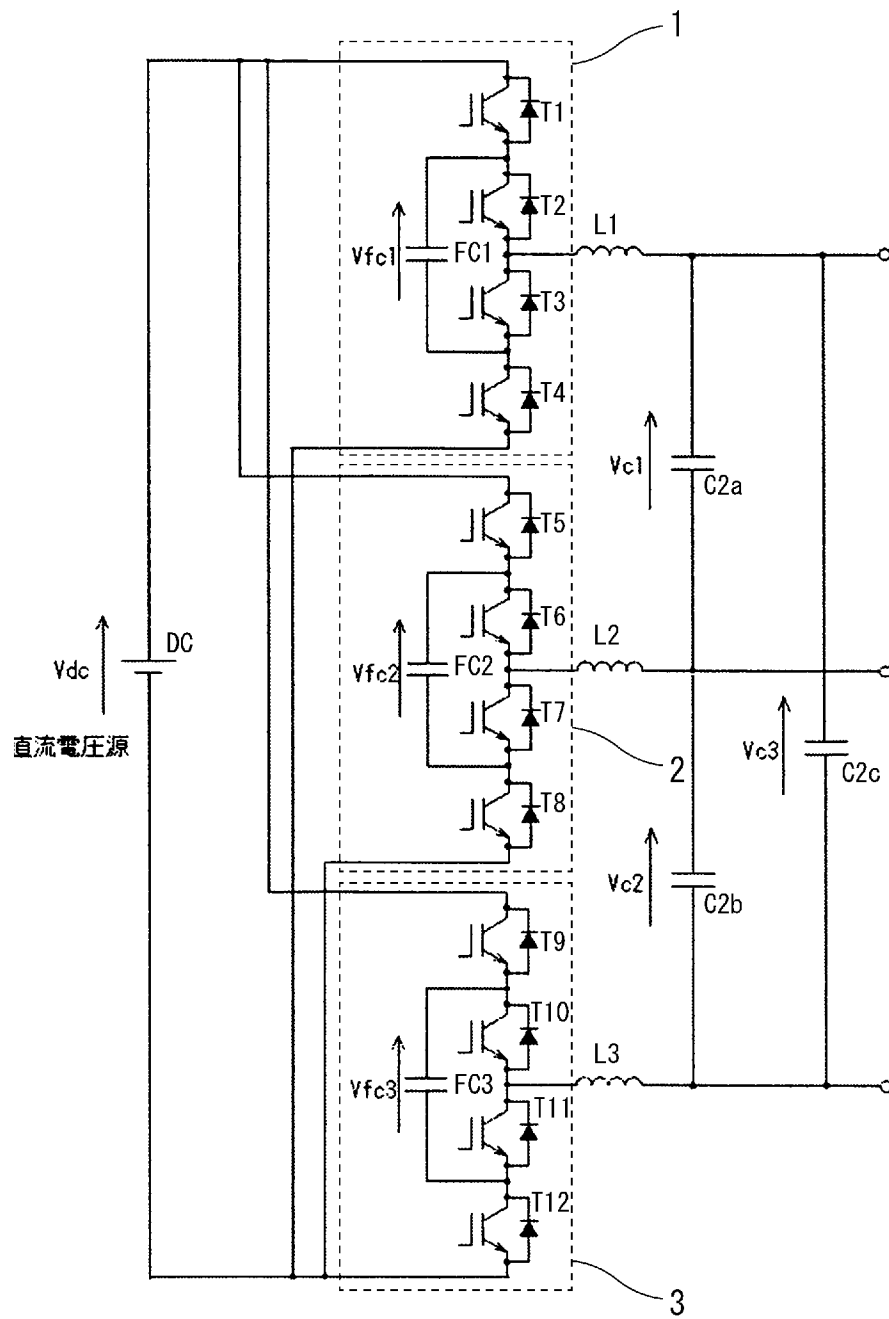
[図18]



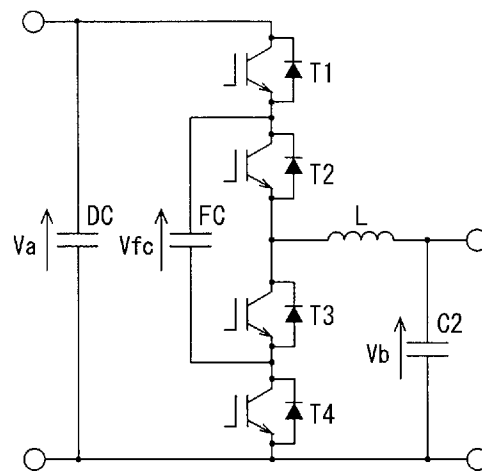
[図19]



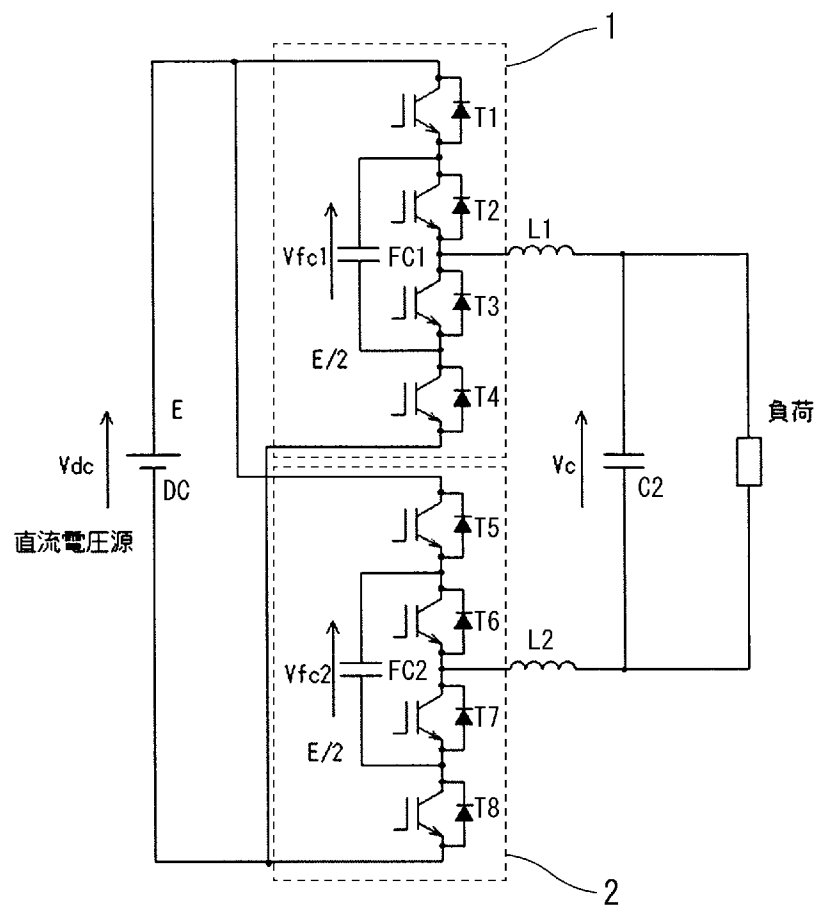
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/003319

A. CLASSIFICATION OF SUBJECT MATTER

H02M 3/155(2006.01)i; H02M 7/48(2007.01)i; H02M 7/483(2007.01)i
FI: H02M7/48 L; H02M3/155 B; H02M7/483

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/155; H02M7/48; H02M7/483

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-59132 A (TOSHIBA CORP.) 21.04.2016 (2016-04-21) paragraphs [0070]-[0071], [0088]-[0093], fig. 1, 4	1-9
A	JP 2015-216789 A (PANASONIC IP MANAGEMENT CO., LTD.) 03.12.2015 (2015-12-03) paragraphs [0019]-[0020], [0062]-[0069], [0105]-[0111], fig. 1-3, 10	1-9
A	US 2018/0006559 A1 (CHEN, Chihwei) 04.01.2018 (2018-01-04) paragraphs [0023]-[0025], fig. 3	1-9

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
04 March 2020 (04.03.2020)

Date of mailing of the international search report
17 March 2020 (17.03.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2020/003319

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2016-59132 A	21 Apr. 2016	(Family: none)	
JP 2015-216789 A	03 Dec. 2015	US 2017/0155321 A1 paragraphs [0029]- [0030], [0074]- [0081], [0121]- [0127], fig. 1-3, 10	
US 2018/0006559 A1	04 Jan. 2018	WO 2015/174016 A1 WO 2018/006098 A1 paragraphs [0022]- [0024], fig. 3	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 3/155(2006.01)i; H02M 7/48(2007.01)i; H02M 7/483(2007.01)i FI: H02M7/48 L; H02M3/155 B; H02M7/483		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H02M3/155; H02M7/48; H02M7/483 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年 国際調査でを使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2016-59132 A (株式会社東芝) 21.04.2016 (2016-04-21) [0070] - [0071], [0088] - [0093], 図1, 図4	1-9
A	JP 2015-216789 A (パナソニックIPマネジメント株式会社) 03.12.2015 (2015-12-03) [0019] - [0020], [0062] - [0069], [0105] - [0111], 図1-3, 図10	1-9
A	US 2018/0006559 A1 (CHEN Chih-Wei) 04.01.2018 (2018-01-04) [0023] - [0025], 図3	1-9
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 04.03.2020		国際調査報告の発送日 17.03.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 高野 誠治 5G 3567 電話番号 03-3581-1101 内線 3568

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/003319

引用文献			公表日	パテントファミリー文献	公表日
JP	2016-59132	A	21.04.2016	(ファミリーなし)	
JP	2015-216789	A	03.12.2015	US 2017/0155321 A1	
				[0029] - [0030], [0074] - [0081], [0121] - [0127], 図1-3, 図10	
				WO 2015/174016 A1	
US	2018/0006559	A1	04.01.2018	WO 2018/006098 A1	
				[0022] - [0024], 図3	