

申請日期	88.2.2
案號	88101493
類別	G11C 29/00

公告本

A4  
C4

(以上各欄由本局填註)

508581

發 明 專 利 說 明 書		
一、發明 名稱	中 文	積體式記憶體
	英 文	Integrated Memory
二、發明 創作人	姓 名	1. 羅德瑞克麥康尼爾 (McConnell, Roderick, Dr.) 2. 狄特利夫理查特 (Richter, Detlev)
	國 籍	1. 美國 2. 德國
	住、居所	1. 德國慕尼黑81539黑格坦街14號 2. 德國慕尼黑80827克藍尼克路3號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑D-80333威田巴黎廣場2號
	代 表 人 姓 名	貝斯納 (Basner) 雷哈特 (Reinhardt)

經濟部中央標準局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

德國(地區) 申請專利，申請日期：1998.2.2 案號：19804035.0 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

經濟部中央標準局員工消費合作社印製

## 五、發明說明(一)

本發明係關於一種積體式記憶體，其具有錯誤修正功能。

積體式記憶體（例如，動態記憶體，DRAMs）所需之錯誤修正功能是以所謂錯誤修正碼（ECC, Error Corection Code）來達成。在最簡單之情況中須進行一種所謂同位（parity）檢查。這表示：對每一個可儲存之資料字（其由多個位元所構成）須產生一個或多個同位位元且與資料字一同儲存於記憶體中。在由記憶體中讀出資料字時須對這些與資料字一同儲存之同位位元進行計算，這樣即可依據同位位元之數目來偵測一個或多個錯誤之位元且亦可依據所使用之錯誤修正碼來修正。一種簡易且可進一步擴展之錯誤修正碼是海明（Hamming）碼。設有此種錯誤修正功能之記憶體需要其它之記憶空間以便儲存同位位元。

因此存在二種記憶體形式：其中一種是不具備錯誤修正功能，於是每個資料字之儲存需求恰為每個資料字之位元數目。另一種記憶體則具有錯誤修正功能，每個資料字所需要之儲存空間須另外包括同位位元，但仍可在記憶體中修正所產生之錯誤。第一種記憶體適合儲存一些對錯誤不敏感之有效資料，例如，聲頻資料。第二種記憶體適合用在“無錯誤性”是很重要之情況中，例如儲存程式此種情況中。

本發明之目的是提供一種積體式記憶體，其具有錯誤修正功能且對錯誤敏感和錯誤不敏感之資料之儲存是可最佳

（請先閱讀背面之注意事項再填寫本頁）

訂

線

## 五、發明說明( 2 )

化的。

此目的是以申請專利範圍第1項之積體式記憶體來達成。本發明有利之構造和其它形式則敘述在申請專利範圍各附屬項中。

此種積體式記憶體具有二種操作模式以及至少二個記憶體區域。第一記憶體區域在此二種操作模式中用來儲存有效之資料。有效資料是資料字之待儲存之位元而不包括其它錯誤修正位元或同位位元。第二記憶體區域在第一(不是第二)操作模式中是用來儲存此種在第一記憶體區域中待儲存之有效資料所需之錯誤修正資料。此種記憶體因此在第一操作模式中具有一種錯誤修正功能，其使第一記憶體區域中待儲存之有效資料在第二記憶體區域中附加一種可儲存之錯誤修正資料(錯誤修正位元或同位位元)；此種記憶體另有第二操作模式，其中有效資料是儲存在第一記憶體區域中而不須有其它之錯誤修正資料放置在第二記憶體區域中。

在第二操作模式時因此須使記憶體之錯誤修正功能去(de-)驅動。記憶體在第一操作模式中因此適合用來儲存一些有效資料，其中重要的是一種較高之錯誤安全性，就像其在程式資料中之情況一樣。在第二操作模式中記憶體最好是用在錯誤安全性並非很重要之此種資料中，就像其在聲頻資料中之情況一樣。須以有利之方式來設計第二記憶體區域之大小，使其在第一操作模式中可接收所有屬

## 五、發明說明(3)

於第一記憶體區域之有效資料之錯誤修正資料。第二記憶體區域因此通常小於第一記憶體區域。

本發明之積體式記憶體可以是 DRAM, SRAM, EPROM 或每一種任意其它形式之積體式記憶體。

此種記憶體亦可具有一種錯誤修正單元，其是用來對此種可儲存在第二記憶體區域中之錯誤修正資料進行辨認以及計算之用。此種錯誤修正單元只在第一操作模式（不會在第二操作模式）中受到驅動。這表示：錯誤修正單元只在第一操作模式中進行錯誤修正功能。

依據本發明之第一實施形式，第二操作模式是一種省能量之操作模式，其中第二記憶體區域不受到驅動。不受到驅動或去驅動（de-activated）之意義是：第二記憶體區域之電流會降低或甚至等於零。此種去驅動是可能的，這是因為第二記憶體區域在第二操作模式中不需用來儲存上述之錯誤修正資料。此種記憶體在第二操作模式中適合用來儲存一些對錯誤不敏感之資料，同時所需之電流較第一操作模式中者還小。一些傳統之記憶體根本不具備錯誤修正功能，因此不能用來儲存此種對錯誤敏感之資料；但傳統之記憶體亦可具有一種持續受驅動之錯誤修正功能，使其在儲存一些錯誤不敏感之資料（其不需錯誤修正功能）時需要較高之電流。

依據本發明之第二實施形式，第二記憶體區域在第二操作模式（其中不需儲存錯誤修正資料）時是用來儲存有效

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

修正資料之錯誤修正資料。

經濟部中央標準局員工消費合作社印製

### 五、發明說明(4)

之資料。即，在第二操作模式中有效資料可儲存在第一記憶體區域或第二記憶體區域中。在第二操作模式中可供使用之記憶體容量因此較第一操作模式中者還大。因此在第二操作模式中在記憶體中所可儲存之有效資料較第一操作模式中者還多，只要其是和錯誤敏感之資料有關時。在傳統之具有（或不具有）錯誤修正功能之記憶體中，記憶體容量總是相同的，不管所要儲存的是對錯誤敏感或不敏感之資料都一樣。

本發明之記憶體因此依據實施形式而可按照待儲存之資料或所期望之錯誤安全性之形式來改變記憶體之電流或具有各種不同之較大之記憶體容量以供使用。

上述二個記憶體區域可在空間上互相隔開，其中它們例如可以是不同記憶體單胞陣列或記憶體方塊之組件，或它們可以互相連接之方式配置在相同記憶體單胞陣列或記憶體方塊內部中。

依據進一步之構成方式，記憶體具有一個測試單元以便在錯誤時可測試第一記憶體區域且依據測試結果來決定記憶體之操作模式。測試單元例如在記憶體之操作期間可測試第一記憶體區域且只有當記憶體實際上產生錯誤時才會藉由第二操作模式切換成第一操作模式而達成錯誤修正功能。這樣所具有之優點是：記憶體不存在錯誤時此記憶體是在第二操作模式中操作，其中（如上所述）能量需求可較第一操作模式中者還小。

## 五、發明說明(5)

另一方式是操作模式之間的切換亦可藉由一種由外部傳送至記憶體之控制信號來達成。此種記憶體之使用者可依據其需求而選取上述之操作模式。

本發明可藉由錯誤修正功能之導入或切斷(其例如可分別對每一第一記憶體區域來進行)而使記憶體彈性地應用於各種不同之情況中。因此,錯誤修正功能對此種只儲存錯誤無敏感性之有效資料(例如,聲頻資料)所用之第一記憶體區域是不需要的,但此種錯誤修正功能對此種可儲存錯誤敏感性之有效資料(例如,程式資料)所用之第一記憶體區域而言是必須被驅動的。

可儲存錯誤敏感性資料所用之記憶體或可儲存錯誤無敏感性資料所用之記憶體目前為止都需測試(但這些記憶體都不具備錯誤修正功能),其方式是以費時且昂貴之測試方法來對記憶體之硬體上之錯誤及軟體上之錯誤(並非在每次記憶體存時發生)進行正確性之測試。測試軟體上之錯誤所需之費用較測試硬體上之錯誤所需之費用大很多。

本發明可於記憶體製成之後接著對記憶體硬體上之錯誤作短暫之測試,因此測試時間和測試成本可節省80%。若稍後須使用此種記憶體以儲存一些錯誤敏感性資料,則記憶體須設定在第一操作模式中。若記憶體只用來儲存一些錯誤無敏感性資料,則軟體錯誤是可容忍的且記憶體可操作在第二操作模式中。記憶體本身之使用者可決定:記憶體應操作於何種操作模式。此外,可依下述方式設計:依據

## 五、發明說明 ( 1 )

此種即將儲存之資料形式而在記憶體操作期間來變換上述之操作模式。

本發明以下將依據一些顯示在實施例中之圖式作詳細描述。圖式簡單說明：

第1圖具有省能量操作模式之積體式記憶體之第一實施例。

第2圖第二實施例，其中此記憶體之容量在二個操作模式中是不同的。

第1圖顯示本發明積體式記憶體之第一實施例，其是一種DRAM且具有記憶體方塊形式之第一記憶體區域1和第二記憶體區域2。第一記憶體區域1在記憶體之第一和第二操作模式中是用來儲存此種經由處理器4之資料匯流排DB所傳送之有效資料。第二記憶體區域2只在第一操作模式中用來儲存一些錯誤修正資料（其屬於第一記憶體區域1中所儲存之有效資料）。在第二操作模式中第二記憶體區域2不是用來儲存錯誤修正資料，而是不會受到驅動。藉由此種與記憶體之電源電位VCC相連接之開關S之開啓（open），則第二記憶體區域2在第二操作模式中是與電源電位VCC相隔離，使第二記憶體區域2之電流隨後即等於零。第二操作模式是和本發明之實施例之省能量操作模式有關。

在另一實施形式中，第二記憶體區域在省能量操作模式時不會與電源電壓分隔，反之，在DRAM中記憶體單胞內容之更新（Refresh）在第二操作模式中是不允許的，這樣可

（請先閱讀背面之注意事項再填寫本頁）

訂

線

## 五、發明說明 ( 7 )

使電流消耗量下降。

每一記憶體區域 1, 2 具有許多記憶體單胞以便儲存有效  
- 或錯誤修正資料之每一個位元。記憶體之單胞是配置成  
矩陣形式且藉由第 1 圖中未顯示之列 - 或行解碼器 ( 通常是  
傳統之記憶體 ) 來定址。

此外, 第 1 圖中之記憶體具有錯誤修正單元 3 以便產生此  
種在第一操作模式中可儲存於第二記憶體區域 2 中之錯誤修  
正資料且在由第一記憶體區域 1 中讀出相對應之有效資料時  
用來計算這些錯誤修正資料。在第一操作模式時錯誤修正  
單元 3 經由多工器 MUX 而接收此種位於資料匯流排 DB 上之有  
效資料 D, 藉由適當之錯誤修正碼 ( 例如, Hamming Code )  
而產生此種和有效資料 D 有關之錯誤修正資料 E 且將此種錯  
誤修正資料 E 寫入第二記憶體區域 2 中且將與此相關之有效  
資料 D 寫入第一記憶體區域 1 中。在由第一記憶體區域 1 中讀  
出有效資料 D 時, 錯誤修正單元 3 同時由相對應之第二記憶  
體區域 2 中讀出此種屬於有效資料 D 之錯誤修正資料 E。然後  
依據錯誤修正資料 E 來對此種有效資料 D 之位元上之錯誤進  
行測試且錯誤時須修正之。於是經由多工器 MUX 發出此種 ( 可  
能已修正之 ) 有效資料 D 至資料匯流排 DB。

在第二操作模式中須使第二記憶體區域 2 去 ( de - ) 驅動  
且有效資料 D 直接由資料匯流排 DB 經由多工器 MUX 而寫入一  
第一記憶體區域 1 中, 其中須繞過 ( by-pass ) 錯誤修正單  
元 3。在第二操作模式中在由第一記憶體區域 1 中讀出這些

(請先閱讀背面之注意事項再填寫本頁)

訂

錄

## 五、發明說明( 8 )

有效資料時亦須繞過錯誤修正單元3。錯誤修正單元3因此只在第一操作模式中被驅動而在第二操作模式中是去驅動的。

在上述之實施例中有效資料D經由處理器4和多工器MUX之間的資料匯流排DB而傳送。處理器4因此可以是和上述組件相同之此種積體電路中之組件或可配置在一個與上述組件相隔離之積體電路上。處理器4是與多工器MUX相連接且經由一條控制線CTR而和開關S相連接。處理器4經由控制線來控制記憶體應處於何種操作模式中。若控制線CTR具有高電位，則記憶體處於第一操作模式中，開關S關閉且多工器MUX使有效資料D經由錯誤修正單元3而傳送至第一記憶體區域1中，而錯誤修正單元使錯誤修正資料E傳送至第二記憶體區域2中。在第二操作模式時控制線CTR具有低電位，開關S開啓且多工器MUX使有效資料D傳送至第一記憶體區域1而繞過錯誤修正單元3。錯誤修正單元3在第二操作模式時不將錯誤修正資料E傳送至第二記憶體區域。

在所示之實施例中以下述方式來設計：處理器4首先使記憶體操作於第二操作模式中（其電流較小）且以規則之時間間距來對第一記憶體區域1進行記憶體測試。此種記憶體測試是藉由測試資料寫入第一記憶體區域1中且隨後即讀出之方式來進行，其中所讀出之測試資料須與所寫入之測試資料相比較。若此處理器4因此可確定記憶體之錯誤，則處理器4藉由控制線CTR而使記憶體由第二操作模式變成第一

### 五、發明說明(9)

操作模式，這樣即可驅動第二記憶體區域2以及錯誤修正功能。處理器4因此具有測試單元之功能。

在本發明之其它實施形式中不需上述測試單元之剛提及之功能且操作模式是依據待儲存之資料之錯誤敏感性（可能時是由記憶體之使用者）來判定。控制線CTR為了此種目的亦在繞過處理器4之情況下連接至記憶體。所期望之操作模式亦可經由控制線而由外部來調整。

第2圖顯示本發明積體式記憶體之第二實施例，其與第1圖之實施例之不同點是：第1(1)和第2(2)記憶體區域在空間上不再互相分隔，而是互相連接且配置於記憶體方塊B之內部。即，在第一操作模式中此種可儲存在第一記憶體區域1中之有效資料是直接與第二記憶體區域2中屬於此有效資料之錯誤修正資料相鄰。在此一實施例中資料匯流排DB所具有之寬度是40位元，但在第一操作模式中只使用其中之32位元。每一第一記憶體區域1可容納一個32位元之有效資料之資料字。每一第二記憶體區域2可容納8位元之錯誤修正資料。為了儲存32位元之有效資料，因此在第一操作模式中需要40位元之記憶體空間。在第二操作模式中（其在此實施例中和第1圖之實施例不同而不是一種省能量之操作模式）亦需使用第二記憶體區域2來儲存這些有效資料。寬度是40位元之資料字因此可經由資料匯流排DB而寫入記憶體中且由記憶體中讀出。資料匯流排DB和內部之資料匯流排因此具有40條線，在第一操作模式中只使用其中之32條

（請先閱讀背面之注意事項再填寫本頁）

訂

線

## 五、發明說明(10)

線。

在第2圖之實施例之一種變型中亦可以下述方式設計：在第二操作模式中只儲存32位元之有效資料字且再讀出。在這些字中此種儲存此資料字之第一位元所用之記憶體單胞在第二操作模式中之延遲方式是和第一操作模式中者相反的。資料匯流排DB和外部之匯流排只有32位元寬。因此可儲存數目較多之32位元寬之資料字。反之，在第2圖之實施例中資料字之數目保持不變，但資料字之寬度在第二操作模式中大於第一操作模式中者。

在本發明之另一實施例中可以下述方式設計：在第一和第二記憶體區域1, 2之重重疊疊的配置(對應於第2圖)同樣使第二記憶體區域2去(de-)驅動，就像第1圖中所示之方式一樣。此外，亦可在第一和第二記憶體區域之空間相隔離之配置(對應於第1圖)中使用第二記憶體區域2來儲存上述之有效資料而不是在第二操作模式中以省能量之方式使第二記憶體區域2去驅動，這就像第2圖中所述者一樣。由於第1圖中所示之第一和第二記憶體區域分別表示這些記憶體容量之方塊，則在10個第一記憶體區域1和3個第二記憶體區域2中此種可供有效資料使用之記憶體容量在第二操作模式中可較第一操作模式中提高30%。

五、發明說明( 〃 )

圖面符號說明：

1, 2... 記憶體區域

3... 錯誤修正單元

4... 處理器

MUX... 多工器

DB... 資料匯流排

S... 開關

CTR... 控制線

(請先閱讀背面之注意事項再填寫本頁)

訂

線

線

經濟部中央標準局員工消費合作社印製

## 四、中文發明摘要(發明之名稱： 積體式記憶體 )

此種積體記憶體具有第一和第二操作模式以及第一記憶體區域(1)和第二記憶體區域(2)。第一記憶體區域

(1)在此二個操作模式中用來儲存有效資料。第二記憶體區域(2)在第一(即,不是第二)操作模式中用來儲存錯誤修正資料以用於此種可儲存在第一記憶體區域中之有效資料中。此記憶體因此在第一操作模式中具有一種錯誤修正功能,此種功能在第二操作模式中是去(de-)驅動的。

## 英文發明摘要(發明之名稱： Integrated Memory )

The integrated memory has a first and a second operation-mode as well as a first memory-area (1) and a second memory-area (2). The first memory-area (1) is used to store the effective data in said two operation-modes. The second memory-area (2) is in the first (but not in the second) operation-mode used to store the error-correction data for the effective data that is to be stored in the first memory-area. The memory thus has in the first operation-mode an error-correction function, which is deactivated in the second operation-mode.

## 六、申請專利範圍

1. 一種積體記憶體，其特徵為：
  - 具有第一和第二操作模式；
  - 具有至少一個第一記憶體區域(1)，其在此二個操作模式中是用來儲存有效資料；
  - 具有至少一個第二記憶體區域(2)，其在第一(即，不是在第二)操作模式中是用來儲存錯誤修正資料以用於此種可在第一記憶體區域中儲存之有效資料中；
  - 具有一個錯誤修正單元(3)以便產生此種可在第二記憶體區域(2)中儲存之錯誤修正資料且對其進行計算，此一錯誤修正單元(3)在第一(即，不是第二)操作模式中受驅動。
2. 如申請專利範圍第1項之記憶體，其中其第二操作模式是一種省能量之操作模式，其中可驅動第二記憶體區域。
3. 如申請專利範圍第1項之記憶體，其中其第二記憶體區域(2)在第二操作模式中是用來儲存上述之有效資料。
4. 如申請專利範圍第1項之記憶體，其中其第一(1)和第二(2)記憶體區域在空間上互相隔開。
5. 如申請專利範圍第1項之記憶體，其中其第一(1)和第二(2)記憶體區域以互相重疊之方式配置著。
6. 如申請專利範圍第1至5項中任一項之記憶體，其中具有一個測試單元(4)以便對第一記憶體區域(1)之錯誤進行測試且依據此測試結果來決定記憶體之操作模式。

(請先閱讀背面之注意事項再填寫本頁)

訂

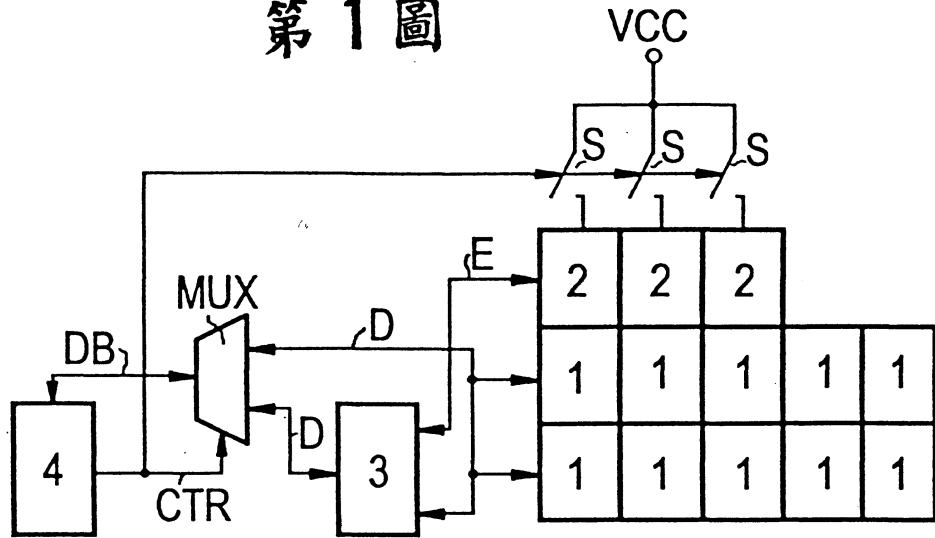
## 六、申請專利範圍

7. 如申請專利範圍第1至5項中任一項之記憶體，其中具有一個終端以便施加一種控制信號（CTR），依據此控制信號而在操作模式之間進行變換。

（請先閱讀背面之注意事項再填寫本頁）

訂

第 1 圖



第 2 圖

